



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년05월13일
(11) 등록번호 10-2664356
(24) 등록일자 2024년05월02일

(51) 국제특허분류(Int. Cl.)

H01L 25/065 (2023.01) H01L 21/56 (2006.01)
H01L 21/683 (2006.01) H01L 23/00 (2006.01)
H01L 23/31 (2006.01) H01L 23/498 (2006.01)
H01L 23/538 (2006.01) H01L 25/00 (2014.01)

(52) CPC특허분류

H01L 25/0657 (2023.08)
H01L 23/3128 (2013.01)

(21) 출원번호 10-2022-7000528

(22) 출원일자(국제) 2019년11월29일

심사청구일자 2022년01월06일

(85) 번역문제출일자 2022년01월06일

(65) 공개번호 10-2022-0018578

(43) 공개일자 2022년02월15일

(86) 국제출원번호 PCT/CN2019/121821

(87) 국제공개번호 WO 2021/102876

국제공개일자 2021년06월03일

(56) 선행기술조사문헌

US20100193930 A1*

US20130147063 A1*

KR1020197006072 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

양쯔 메모리 테크놀로지스 씨오., 엘티디.

중국, 후베이, 우한, 이스트 레이크 하이-테크 디벨롭먼트 존, 웨이라이 씨드 로드, 넘버 88

(72) 발명자

쥔, 신뤼

중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버18 룸 7018

천, 평

중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버18 룸 7018

저우, 허우더

중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버18 룸 7018

(74) 대리인

양영준, 임규빈, 백만기

전체 청구항 수 : 총 20 항

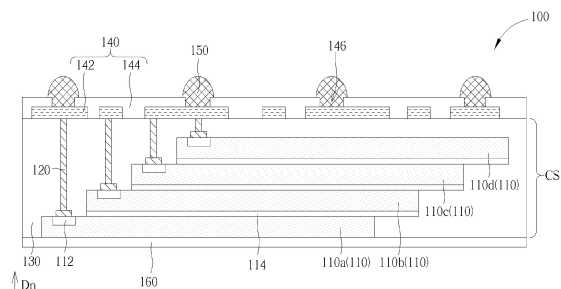
심사관 : 정구원

(54) 발명의 명칭 칩 패키지 구조체 및 그 제조 방법

(57) 요약

제1 칩 스택 및 재분배 층을 포함하는 칩 패키지 구조체가 제공된다. 제1 칩 스택은 복수의 제1 칩, 제1 몰딩 층 및 적어도 하나의 제1 수직 전도성 소자를 포함한다. 복수의 제1 칩은 순차적으로 적층되고, 여기서 복수의 제1 칩 각각은 적어도 하나의 제1 본딩 패드를 포함하고, 제1 본딩 패드들은 복수의 제1 칩에 의해 커버되지 않는다. 제1 몰딩 층은 복수의 제1 칩을 캡슐화한다. 적어도 하나의 제1 수직 전도성 소자는 제1 몰딩 층을 관통하고, 여기서 적어도 하나의 제1 수직 전도성 소자는 제1 본딩 패드들 중 적어도 하나 상에 배치되어 그에 전기적으로 연결된다. 재분배 층은 제1 칩 스택 상에 배치되고 적어도 하나의 제1 수직 전도성 소자에 전기적으로 연결된다.

대표도



(52) CPC특허분류

H01L 23/3135 (2013.01)
H01L 23/49811 (2013.01)
H01L 23/49816 (2013.01)
H01L 23/5389 (2013.01)
H01L 23/562 (2013.01)
H01L 24/19 (2013.01)
H01L 24/32 (2013.01)
H01L 24/45 (2013.01)
H01L 25/50 (2013.01)

명세서

청구범위

청구항 1

칩 패키지 구조체로서:

칩 스택 - 상기 칩 스택은:

함께 적층된 다중의 칩 - 상기 다중의 칩 각각은 상기 다중의 칩에 의해 커버되지 않은 본딩 패드를 포함함 -;

상기 다중의 칩을 캡슐화하는 몰딩 층 - 상기 다중의 칩의 제1 서브세트는 상기 다중의 칩의 제2 서브세트로부터 상기 몰딩 층에 의해 분리됨 -; 및

상기 몰딩 층의 면으로부터 연장하여 상기 본딩 패드에 도달하고 결합되는 수직 전도성 소자를 포함함 -; 및

재분배 층 - 상기 재분배 층은 상기 몰딩 층 위에 있고 또한

상기 수직 전도성 소자에 결합된 전도성 층; 및

상기 전도성 층 위에 있고 상기 전도성 층을 부분적으로 노출시키는 절연 층을 포함함 - 을 포함하는 칩 패키지 구조체.

청구항 2

제1항에 있어서,

상기 절연 층의 개구를 통해 상기 전도성 층의 노출된 부분과 접촉 상태에 있는 솔더 볼을 추가로 포함하는 칩 패키지 구조체.

청구항 3

제2항에 있어서,

상기 솔더 볼은 상기 절연 층의 상단 면 아래의 부분을 포함하는 칩 패키지 구조체.

청구항 4

제2항에 있어서,

상기 솔더 볼은 상기 수직 전도성 소자에 전자적으로 연결되는 칩 패키지 구조체.

청구항 5

제1항에 있어서,

2개 이상의 솔더 볼을 추가로 포함하고, 각각의 솔더 볼은 상기 절연 층의 각자의 개구를 통해 상기 전도성 층의 각자의 노출된 부분과 접촉 상태에 있는 칩 패키지 구조체.

청구항 6

제5항에 있어서,

상기 칩 스택은 2개 이상의 수직 전도성 소자를 포함하고, 인접한 2개의 수직 전도성 소자 사이의 거리는 인접한 2개의 솔더 볼 사이의 거리보다 작은 칩 패키지 구조체.

청구항 7

제1항에 있어서,

상기 전도성 층은 단일 층으로서 상기 몰딩 층 위에 확산되는 칩 패키지 구조체.

청구항 8

제1항에 있어서,

상기 전도성 층은 상기 수직 전도성 소자에 전자적으로 연결되는 칩 패키지 구조체.

청구항 9

제1항에 있어서,

상기 재분배 층은 다중의 전도성 층 및 다중의 절연 층을 포함하는 칩 패키지 구조체.

청구항 10

칩 패키지 구조체로서:

칩 스택 - 상기 칩 스택은:

함께 적층된 다중의 칩 - 상기 다중의 칩 각각은 메모리 셀들의 다중의 수직으로 오리엔테이션된 스트링 및 본딩 패드를 포함함 -;

상기 다중의 칩을 캡슐화하는 몰딩 층 - 상기 다중의 칩의 제1 서브세트는 상기 다중의 칩의 제2 서브세트로부터 상기 몰딩 층에 의해 분리됨 -; 및

상기 몰딩 층을 관통하는 수직 전도성 소자 - 상기 수직 전도성 소자는 상기 본딩 패드 상에 배치되고 상기 본딩 패드에 전기적으로 연결됨 - 를 포함함 -; 및

상기 칩 스택 상에 배치되고 상기 수직 전도성 소자에 전기적으로 연결되는 재분배 층을 포함하는 칩 패키지 구조체.

청구항 11

제10항에 있어서,

상기 본딩 패드는 서로의 위에 오버레이된 2개의 층을 포함하는 칩 패키지 구조체.

청구항 12

제10항에 있어서,

상기 다중의 칩 각각은 상기 본딩 패드의 대향 측 상의 기판을 추가로 포함하고, 상기 메모리 셀들의 다중의 수직으로 오리엔테이션된 스트링은 상기 기판에 대해 수직 방향으로 연장되는 칩 패키지 구조체.

청구항 13

제10항에 있어서,

상기 수직 전도성 소자의 연장 방향은 상기 칩 스택의 법선 방향에 실질적으로 평행한 칩 패키지 구조체.

청구항 14

제10항에 있어서,

상기 다중의 칩은 상기 본딩 패드들을 노출시키도록 계단 형태로 적층되는 칩 패키지 구조체.

청구항 15

제10항에 있어서,

상기 재분배 층에 대향하는 상기 칩 스택의 측면 상에 배치되는 보호 층을 추가로 포함하는 칩 패키지 구조체.

청구항 16

제10항에 있어서,

상기 칩 스택은 상기 다중의 칩 중 2개에 제각기 속하는 2개의 본딩 패드 사이에 전기적으로 연결된 연결 와이어를 추가로 포함하는 칩 패키지 구조체.

청구항 17

제10항에 있어서,

상기 수직 전도성 소자는 상기 다중의 칩 중 적어도 2개에 전자적으로 연결되는 칩 패키지 구조체.

청구항 18

제10항에 있어서,

상기 다중의 칩 중 적어도 하나는 상기 재분배 층 위에 배치된 컴포넌트에 전자적으로 연결되는 칩 패키지 구조체.

청구항 19

제10항에 있어서,

상기 재분배 층은 전도성 층 및 상기 전도성 층 위에 배치된 절연 층을 포함하고, 상기 절연 층은 상기 전도성 층의 다중의 부분을 노출시키기 위한 다중의 개구를 갖는 칩 패키지 구조체.

청구항 20

제1항에 있어서,

상기 다중의 칩의 제1 서브세트와 상기 다중의 칩의 제2 서브세트 사이에 위치하는 서브 재분배 층을 더 포함하고,

상기 서브 재분배 층은:

상기 다중의 칩의 제1 서브세트와 상기 다중의 칩의 제2 서브세트를 분리하는 서브 절연 층; 및

상기 서브 절연 층에 매립되고, 상기 수직 전도성 소자의 하부 부분과 상기 수직 전도성 소자의 상부 부분을 상호 연결하는 서브 전도성 층을 포함하는, 칩 패키지 구조체.

발명의 설명

기술 분야

[0001] 본 발명은 칩 패키지 구조체 및 그 제조 방법에 관한 것으로, 더 구체적으로는 순차적으로 적층된 복수의 칩을 갖는 칩 패키지 구조체 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 제조 공정에서, 패키징 공정은 반도체 컴포넌트를 보호하기 위해 반도체 패키지 구조체를 형성하도록 하나 이상의 칩(들)과 같은 반도체 컴포넌트를 캡슐화할 수 있다. 오늘날, 산업계에서는 우수한 특성을 갖는 패키지 구조체를 개발하기 위해 많은 노력을 기울인다. 예를 들어, (3D 메모리 디바이스와 같은) 3D 반도체 디바이스에서, 패키지 구조체는 저비용, 작은 크기, 짧은 설계 시간, 강한 보호 및/또는 바람직한 전기적 속성(예를 들어, 짧은 전기적 연결 거리)과 같은 특성들을 갖도록 개발된다. 그러나, 종래의 패키지 구조체는 상기 우수한 특성들을 동시에 충족시킬 수 없다.

발명의 내용

과제의 해결 수단

[0003] 본 발명은 순차적으로 적층된 복수의 칩을 갖는 칩 패키지 구조체 및 그 제조 방법을 제공한다.

[0004] 실시예에서, 칩 패키지 구조체는 제1 칩 스택 및 재분배 층을 포함한다. 제1 칩 스택은 복수의 제1 칩, 제1 몰

딩 층 및 적어도 하나의 제1 수직 전도성 소자를 포함한다. 복수의 제1 칩은 순차적으로 적층되고, 여기서 복수의 제1 칩 각각은 적어도 하나의 제1 본딩 패드를 포함하고, 제1 본딩 패드들은 복수의 제1 칩에 의해 커버되지 않는다. 제1 몰딩 층은 복수의 제1 칩을 캡슐화한다. 적어도 하나의 제1 수직 전도성 소자는 제1 몰딩 층을 관통하고, 여기서 적어도 하나의 제1 수직 전도성 소자는 제1 본딩 패드들 중 적어도 하나 상에 배치되고 그에 전기적으로 연결된다. 재분배 층은 제1 칩 스택 상에 배치되고 적어도 하나의 제1 수직 전도성 소자에 전기적으로 연결된다.

[0005] 또 다른 실시예에서, 칩 패키지 구조체의 제조 방법이 제공된다. 제조 방법은: 캐리어 보드 상에 복수의 제1 칩을 적층하는 단계 - 복수의 제1 칩 각각은 적어도 하나의 제1 본딩 패드를 갖고, 제1 본딩 패드들은 복수의 제1 칩에 의해 커버되지 않음 -; 상기 제1 본딩 패드들 중 적어도 하나에 전기적으로 연결되도록 상기 제1 본딩 패드들 중 적어도 하나 상에 적어도 하나의 제1 수직 전도성 소자를 형성하는 단계; 제1 몰딩 층을 형성하여 복수의 제1 칩을 캡슐화하여 제1 칩 스택을 형성하는 단계 - 적어도 하나의 제1 수직 전도성 소자는 제1 몰딩 층을 관통하고, 제1 칩 스택은 복수의 제1 칩, 적어도 하나의 제1 수직 전도성 소자 및 제1 몰딩 층을 포함함 -; 및 적어도 하나의 제1 수직 전도성 소자에 전기적으로 연결되도록 제1 몰딩 층 상에 재분배 층을 형성하는 단계를 포함한다.

[0006] 본 발명의 칩 패키지 구조체의 설계로 인해, 칩 패키지 구조체는 감소된 측방향 크기를 갖고, 칩 패키지 구조체의 칩들과 외부 디바이스 사이의 신호 송신 경로는 감소될 수 있다. 또한, 칩 패키지 구조체의 설계 시간 및 비용이 감소될 수 있다. 한편, 제조 공정에서, 칩 패키지 구조체의 신뢰성은 칩의 오프셋이 존재할 때 개선될 수 있다.

[0007] 본 발명의 이러한 목적 및 다른 목적은 다양한 도면들 및 그림들에 예시되어 있는 바람직한 실시예에 대한 다음의 상세한 설명을 읽은 후에 관련 기술분야의 통상의 기술자에게 의심의 여지 없이 명백해질 것이다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 제1 실시예에 따른 칩 패키지 구조체의 단면도를 도시하는 개략도이다.
 도 2는 본 발명의 제2 실시예에 따른 칩 패키지 구조체의 단면도를 도시하는 개략도이다.
 도 3은 본 발명의 제3 실시예에 따른 칩 패키지 구조체의 단면도를 도시하는 개략도이다.
 도 4는 본 발명의 제4 실시예에 따른 칩 패키지 구조체의 단면도를 도시하는 개략도이다.
 도 5는 본 발명의 실시예에 따른 칩 패키지 구조체의 제조 방법을 도시하는 흐름도이다.
 도 6a 내지 도 6k는 본 발명의 실시예에 따른 칩 패키지 구조체의 제조 방법에서의 상태들을 제각기 예시하는 개략도들이다.
 도 7은 본 발명의 또 다른 실시예에 따른 칩 패키지 구조체의 제조 방법을 도시하는 흐름도이다.
 도 8은 본 발명의 또 다른 실시예에 따른 칩 패키지 구조체의 제조 방법의 상태를 예시하는 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 구체적인 구성이나 배열이 설명되지만, 이는 단지 예시의 목적을 위해 이뤄진 것임을 이해하여야 한다. 관련 기술분야의 통상의 기술자라면 본 개시내용의 사상 및 범위를 벗어나지 않고 다른 구성들 및 배열들이 사용될 수 있다는 것을 인식할 것이다. 본 개시내용은 또한 다양한 다른 응용들에서 채택될 수 있다는 것이 관련 기술분야의 통상의 기술자에게 명백할 것이다.

[0010] 이 설명과 다음에 나오는 청구항들의 도처에서 특정 컴포넌트를 지칭하기 위해 소정 용어들이 사용된다. 본 기술분야의 통상의 기술자가 이해하는 바와 같이, 전자 장비 제조자들은 한 컴포넌트를 상이한 명칭들로 지칭할 수 있다. 이 문서는 이름은 다르지만 기능은 다르지 않은 컴포넌트들을 구별하도록 의도되지 않는다. 다음의 설명 및 청구항들에서, 용어들 "포함하다(include)", "포함하다(comprise)" 및 "갖다(have)"는 개방형 방식으로 사용되고, 따라서 "...를 포함하지만 이에 제한되지는 않는"을 의미하는 것으로 해석되어야 한다. 따라서, 용어들 "포함하다(include)", "포함하다(comprise)" 및/또는 "갖다(have)"가 본 개시내용의 설명에서 사용될 때, 대응하는 특징들, 영역들, 단계들, 동작들 및/또는 컴포넌트들은 존재하는 것으로 지적되는데, 하나의 또는 복수의 대응하는 특징들, 영역들, 단계들, 동작들 및/또는 컴포넌트들의 존재로만 제한되지는 않을 것이다.

- [0011] 본 명세서에서 "일 실시예", "실시예", "예시적인 실시예", "일부 실시예들" 등에 대한 참조들은 설명된 실시예가 특정의 특징, 구조 또는 특성을 포함할 수 있지만, 모든 실시예가 반드시 특정의 특징, 구조 또는 특성을 포함하지는 않을 수 있다는 것을 나타낸다는 점에 유의한다. 또한, 그러한 구문들이 반드시 동일 실시예를 지칭하지는 않는다. 또한, 실시예와 관련하여 특정의 특징, 구조 또는 특성이 설명될 때, 명시적으로 설명되었는지에 관계없이, 이러한 특징, 구조 또는 특성을 다른 실시예들과 관련하여 달성하는 것은 관련 기술분야의 통상의 기술자의 지식 내에 있을 것이다.
- [0012] 일반적으로, 용어는 적어도 부분적으로 문맥에서의 이용으로부터 이해될 수 있다. 예를 들어, 본 명세서에서 사용되는 바와 같은 "하나 이상"이라는 용어는, 적어도 부분적으로 문맥에 좌우되어, 임의의 특징, 구조, 또는 특성을 단수 의미로 설명하기 위해 사용될 수 있거나 또는 특징들, 구조들, 또는 특성들의 조합들을 복수 의미로 설명하기 위해 사용될 수 있다. 유사하게, 단수형("a", "an", 또는 "the") 용어들은 다시금 적어도 부분적으로 문맥에 좌우되어, 단수의 사용을 전달하거나 복수의 사용을 전달하도록 이해될 수 있다.
- [0013] 본 개시내용에서 "상(on)" 및 "위(above 및 over)"의 의미는, "상"이 어떤 것 "상에 직접"을 의미할 뿐만 아니라 그 사이에 중간 피처 또는 층이 있으면서 어떤 것의 "상"의 의미를 포함하도록, 그리고 "위"가 어떤 것의 "위"의 의미를 의미할 뿐만 아니라 그 사이에 어떠한 중간 피처 또는 층도 없으면서 어떤 것의 "위"(즉, 어떤 것의 바로 위)라는 의미를 또한 포함할 수 있도록 가장 넓은 방식으로 해석해야 한다는 것을 쉽게 이해해야 한다.
- [0014] 또한, "아래(beneath)", "아래(below)", "하부(lower)", "위에(above)", "상부(upper)" 등과 같은 공간적으로 상대적인 용어들은 도면들에 예시된 바와 같은 또 다른 요소(들) 또는 특징(들)에 대한 하나의 요소 또는 특징의 관계를 설명하기 위해 설명의 편의상 본 명세서에서 이용될 수 있다. 공간적으로 상대적인 용어들은 도면에 도시된 오리엔테이션 외에도 사용 또는 동작 시의 디바이스의 상이한 오리엔테이션을 포함하는 것을 의도한다. 장치는 달리 오리엔테이션될 수 있으며(90도 회전되거나 또는 다른 오리엔테이션에 있을 수 있으며), 본 명세서에서 사용된 공간적 상대 기술어는 이에 따라 마찬가지로 해석될 수 있다.
- [0015] 본 명세서에서 사용될 때, 용어 "기판"은 후속 재료 층들이 그 상에 추가되는 재료를 지칭한다. 기판 자체는 패터닝될 수 있다. 기판의 상단에 추가된 재료들은 패터닝될 수 있거나 패터닝되지 않은 채로 유지될 수 있다. 또한, 기판은 실리콘, 실리콘, 게르마늄(germanium), 갈륨비소(gallium arsenide), 인듐 인화물(indium phosphide) 등과 같은 광범위한 반도체 재료들을 포함할 수 있다. 대안적으로, 기판은 유리, 플라스틱, 또는 사파이어 웨이퍼와 같은 전기적으로 비전도성인 재료로 이루어질 수 있다.
- [0016] 본 명세서에서 사용되는 바와 같이, "층"이라는 용어는 두께를 갖는 영역을 포함하는 재료 부분을 지칭한다. 층은 아래에 놓인 또는 위에 놓인 구조물의 전체에 걸쳐 연장될 수 있거나, 또는 아래에 놓인 또는 위에 놓인 구조물의 범위보다 작은 범위를 가질 수 있다. 또한, 층은 연속 구조물의 두께보다 작은 두께를 갖는 균질 또는 비균질 연속 구조물의 영역일 수 있다. 예를 들어, 층은 연속 구조물의 상단 면과 하단 면 사이에 또는 상단 면과 하단 면에 있는 임의의 쌍의 수평 평면들 사이에 위치될 수 있다. 층은 수평으로, 수직으로, 및/또는 테이퍼링된 면을 따라 연장될 수 있다. 기판은 층일 수 있고, 그 안에 하나 이상의 층을 포함할 수 있고, 및/또는 그 상에, 그 위에, 및/또는 그 아래에 하나 이상의 층을 가질 수 있다. 층은 다중의 층을 포함할 수 있다. 예를 들어, 인터커넥트 층은 하나 이상의 전도체 및 콘택트 층(콘택트들, 인터커넥트 라인들, 및/또는 비아들이 형성됨) 및 하나 이상의 유전체 층을 포함할 수 있다.
- [0017] 본 명세서에서 이용된 바와 같이, "공칭상/공칭상으로(nominal/nominally)"라는 용어는, 원하는 값을 넘어서는 값 및/또는 그 아래의 값들의 범위와 함께, 제품 또는 공정의 설계 국면 동안 설정된, 컴포넌트 또는 공정 동작에 대한 특성 또는 파라미터의 원하는 값 또는 타겟 값을 지칭한다. 값들의 범위는 제조 공정들에서의 약간의 변동들 또는 허용오차들로 인한 것일 수 있다. 본 명세서에서 이용된 바와 같이, 용어 "약(about)"은 대상 반도체 디바이스와 연관된 특정 기술 노드에 기초하여 변할 수 있는 주어진 양의 값을 나타낸다. 특정한 기술 노드에 기초하여, 용어 "약"은 예를 들어, 값의 10~30%(예를 들어, 값의 $\pm 10\%$, $\pm 20\%$, 또는 $\pm 30\%$) 내에서 변하는 주어진 양의 값을 표시할 수 있다.
- [0018] 제1, 제2, 제3 등과 같은 용어들이 다양한 구성 요소들을 설명하기 위해 사용될 수 있지만, 이러한 구성 요소들은 이러한 용어들에 의해 제한되지 않는다. 용어들은 본 명세서에서 구성 요소를 다른 구성 요소들과 구별하기 위해서만 사용된다. 이러한 용어들은 구성 요소들의 순서 및/또는 구성 요소들의 제조 공정의 순서를 정렬하는 것을 의도하지 않는다. 청구항들은 동일한 용어들을 사용하지 않을 수 있지만, 대신에 요소가 청구되는 순서와 관련하여 제1, 제2, 제3 등의 용어들을 사용할 수 있다. 따라서, 이하의 설명에서, 제1 구성 요소는 청구항에

서의 제2 구성 요소일 수 있다.

- [0019] 도 1을 참조하면, 도 1은 본 발명의 제1 실시예에 따른 칩 패키지 구조체의 단면도를 도시하는 개략도이다. 도 1에 도시된 바와 같이, 칩 패키지 구조체(100)는 제1 칩 스택(CS1) 및 재분배 층(140)을 포함한다. 이 실시예에서, 제1 칩 스택(CS1)은 복수의 제1 칩(110), 제1 몰딩 층(130) 및 적어도 하나의 제1 수직 전도성 소자(120)를 포함하지만, 이에 제한되지는 않는다. 임의의 다른 적절한 컴포넌트가 제1 칩 스택(CS1)에 선택적으로 포함될 수 있다.
- [0020] 제1 칩들(110)은 반도체 제조 공정에 의해 형성될 수 있고, 제1 칩들(110)은 동일하거나 상이할 수 있다. 예를 들어, 일부 실시예들에서, 제1 칩들(110)은 동일할 수 있고 메모리 기능을 가질 수 있다; 일부 실시예들에서, 제1 칩들(110)은 상이할 수 있고, 제1 칩들(110)은 동일한 기능 또는 상이한 기능들을 갖지만, 이에 제한되지는 않는다. 요건(들)에 기초하여 임의의 종류의 칩이 제1 칩(110)의 역할을 하도록 선택될 수 있다. 더욱이, 일부 실시예들에서, 제1 칩(110)은 기판 및 기판 상에 배치된 전자 컴포넌트를 가질 수 있다. 전자 컴포넌트는 2D 메모리 유닛, 3D 메모리 유닛 및/또는 다른 적절한 컴포넌트를 포함할 수 있다. 예를 들어, 전자 컴포넌트는 제1 칩(110)이 메모리 기능을 가질 수 있도록 3D 메모리 유닛일 수 있고, 칩 패키지 구조체(100)는 3D 메모리 디바이스일 수 있지만, 이에 제한되지는 않는다. 용어 "3D 메모리 디바이스"는 메모리 스트링들이 기판에 대하여 수직 방향으로 연장되도록, 측방향으로-오리엔테이션된 기판 상에서 메모리 셀 트랜지스터들의 수직으로-오리엔테이션된 스트링들(즉, 본 명세서에서 "메모리 스트링들")을 갖는 반도체 디바이스를 지칭한다는 것에 유의한다.
- [0021] 도 1에서, 제1 칩 스택(CS1)은 순차적으로 적층된 4개의 제1 칩(110)(즉, 제각기 110a, 110b, 110c 및 110d)을 포함하지만, 이에 제한되지는 않는다. 이 실시예에서, 제1 칩들(110)은 복수의 다이 부착 필름(DAF)(114)에 의해 서로 부착될 수 있으며, 여기서 다이 부착 필름들(114)은 제1 칩들(110b, 110c, 110d) 중 3개의 칩의 하단면들 상에 제각기 배치될 수 있지만, 이에 제한되지는 않는다. 더욱이, 제1 칩들(110) 각각은 대응하는 제1 칩(110)과 (신호원 또는 전원 등과 같은) 외부 디바이스 사이의 신호 송신 경로의 컴포넌트이도록 구성된 적어도 하나의 제1 본딩 패드(112)를 포함한다. 도 1을 간단하고 명확하게 하기 위해, 도 1은 제1 칩들(110) 각각이 하나의 제1 본딩 패드(112)를 갖는 것만을 도시한다; 그러나, 실제로, 제1 칩들(110) 각각은 하나의 제1 본딩 패드(112) 또는 복수의 제1 본딩 패드(112)를 가질 수 있다. 제1 본딩 패드(112)는 금속 및/또는 투명 전도성 재료(이들로 제한되지 않음)와 같은 적어도 하나의 전도성 재료를 포함할 수 있다. 제1 본딩 패드(112)는 제1 칩(110)에 의해 커버되지 않아서, (나중에 논의되는 수직 전도성 소자들 및/또는 연결 와이어들과 같은) 일부 전도성 소자가 제1 본딩 패드들(112) 상에 배치되어 전기적으로 연결될 수 있도록 한다. 이 실시예에서, 도 1에 도시된 제1 칩들(110)은 제1 본딩 패드들(112)을 노출시키기 위해 계단 형태로 적층되지만, 이에 제한되지는 않는다.
- [0022] 제1 몰딩 층(130)은 제1 칩들(110)을 캡슐화하고 커버하여, 제1 칩들(110)을 보호하고 제1 칩들(110)에 대한 물리적 손상들 및/또는 화학적 손상들(예를 들어, 습기에 의해 야기되는 산화, 손상)을 감소시킬 수 있다. 제1 몰딩 층(130)은 에폭시 수지 및/또는 임의의 다른 적절한 몰딩 화합물을 포함할 수 있다.
- [0023] 각각의 제1 수직 전도성 소자(120)는 제1 본딩 패드(112) 중 적어도 하나 상에 배치되어 그것에 전기적으로 연결될 수 있다. 도 1에서, 제1 칩 스택(CS1)은 복수의 제1 수직 전도성 소자(120)를 포함하고, 제1 수직 전도성 소자들(120) 각각은 제1 본딩 패드들(112) 중 하나 상에 배치될 수 있지만, 이에 제한되지는 않는다. 또한, 이 실시예에서, 제1 수직 전도성 소자들(120) 각각은 대응하는 제1 본딩 패드(112)와 접촉할 수 있지만, 이것으로만 제한되는 것은 아니다.
- [0024] 또한, 제1 수직 전도성 소자들(120)은 제1 몰딩 층(130)을 관통할 수 있어서, 제1 칩들(110)이 제1 몰딩 층(130) 상에 배치된 컴포넌트에 전기적으로 연결될 수 있도록 한다. 도 1에서, 제1 수직 전도성 소자(120)의 연장 방향은 제1 칩 스택(CS1)의 법선 방향(Dn)(즉, 제1 칩 스택(CS1)의 면의 수직 방향)에 실질적으로 평행할 수 있지만, 이것으로 제한되지는 않는다. 또한, 제1 수직 전도성 소자(120)는, 금, 구리, 알루미늄, 은 및/또는 기타의 적절한 금속과 같은 적어도 하나의 전도성 재료를 포함할 수 있지만, 이것으로 제한되지는 않는다.
- [0025] 재분배 층(140)은 제1 칩 스택(CS1) 상에 배치되고, 재분배 층(140)은 제1 수직 전도성 소자들(120)에 전기적으로 연결된다. 상세하게는, 재분배 층(140)은 적어도 하나의 전도성 층(142) 및 적어도 하나의 절연 층(144)을 포함할 수 있고, 여기서 전도성 층(142)은 제1 수직 전도성 소자들(120)에 전기적으로 연결될 수 있다. 전도성 층(142)은 금속, 임의의 다른 적당한 전도성 재료 또는 이들의 조합을 포함할 수 있고, 절연 층(144)은 (실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 임의의 다른 적절한 절연 재료 또는 이들의 조합과 같은) 유기 재료

또는 무기 재료를 포함할 수 있다. 일부 실시예들에서, 도 1에 도시된 바와 같이, 재분배 층(140)은 하나의 전도성 층(142) 및 하나의 절연 층(144)을 포함할 수 있다. 일부 실시예들(도면들에 도시되지 않음)에서, 재분배 층(140)은 복수의 전도성 층(142) 및 복수의 절연 층(144)을 포함할 수 있다.

[0026] 도 1의 재분배 층(140)에서, 절연 층(144)은 전도성 층(142)의 복수의 부분을 노출시키기 위한 복수의 개구(146)를 가질 수 있다. 더욱이, 도 1에 도시된 바와 같이, 칩 패키지 구조체(100)는 전도성 층(142)의 노출 부분들과 접촉 상태에 있는 복수의 솔더 볼(150)을 추가로 포함할 수 있다. 즉, 솔더 볼들(150) 각각은 개구부들(146) 중 하나에 대응한다. 이 경우, 솔더 볼들(150) 각각은 신호 입력/출력 단자로서 역할을 할 수 있다. 솔더 볼들(150)(즉, 신호 입력/출력 단자들)을 통해, 외부 디바이스로부터의 신호는 칩 패키지 구조체(100)에 입력될 수 있고, 및/또는 칩 패키지 구조체(100)로부터의 신호는 외부 디바이스에 출력될 수 있다. 솔더 볼들(150) 각각은 제1 수직 전도성 소자들(120) 중 적어도 하나에 전기적으로 연결될 수 있다는 것에 유의한다.

[0027] 특히, 솔더 볼들(150)은 재분배 층(140)을 설계함으로써 배열될 수 있다. 따라서, 칩 패키지 구조체(100)는 외부 디바이스에 전기적으로 연결되기 위해 회로 보드 상에 본딩되기가 더 쉬울 수 있다. 일부 실시예들에서, 솔더 볼들(150) 중 인접한 2개 사이의 거리는 이 솔더 볼들(150)에 대응하는 제1 수직 전도성 소자들(120) 중 인접한 2개 사이의 거리보다 클 수도 있지만, 이것으로 제한되지는 않는다. 일부 실시예들에서, 칩 패키지 구조체(100)는 팬-아웃 타입 패키지일 수 있지만, 이것으로 제한되지는 않는다.

[0028] 제1 칩들(110)이 함께 적층되기 때문에, 칩 패키지 구조체(100)의 측면 크기가 감소될 수 있다. 칩 패키지 구조체(100)는 종래의 와이어 본딩 기법(즉, 패드와 본딩 기관 사이에 본딩된 만곡된 와이어) 대신에 제1 수직 전도성 소자(120) 및 재분배 층(140)을 사용하기 때문에, 칩 패키지 구조체(100)의 측면 크기는 (만곡된 와이어의 2개의 단부가 너무 가까울 수 없기 때문에) 더 감소될 수 있고, 제1 칩(110)과 외부 디바이스 사이의 신호 송신 경로는 감소될 수 있다. 또한, 종래의 와이어 본딩 기법에서 사용되는 본딩 기관은 칩 패키지 구조체(100)에 존재하지 않고, 따라서, 본딩 기관의 설계 시간 및 비용이 절감될 수 있다. 한편, 칩 패키지 구조체(100)의 제조 공정에서, 제1 수직 전도성 소자(120) 및 재분배 층(140)의 형성의 신뢰도는 제1 칩(110)의 오프셋이 존재할 때 종래의 와이어 본딩 기법의 신뢰도보다 크다.

[0029] 칩 패키지 구조체(100)는 임의의 다른 적절한 컴포넌트 또는 구조체를 선택적으로 포함할 수 있다. 예를 들어, 도 1에서, 칩 패키지 구조체(100)는 재분배층(140)에 대향하는 제1 칩 스택(CS1)의 측면 상에 배치되는 보호 층(160)을 추가로 포함할 수 있다. 보호 층(160)은 칩 패키지 구조체(100)에 대한 응력 보상(stress compensation)을 제공하고 패키지 휨 현상을 감소시키도록 구성된다.

[0030] 본 발명의 칩 패키지 구조체는 상기 실시예들에만 제한되지는 않는다. 본 발명의 추가 실시예들이 아래에 설명된다. 비교의 용이함을 위해, 동일한 컴포넌트들은 이하에서 동일한 기호로 라벨링될 것이다. 다음의 설명들은 실시예들 각각 사이의 차이들에 관한 것이고, 반복된 부분들은 중복하여 설명되지 않을 것이다.

[0031] 도 2를 참조하면, 도 2는 본 발명의 제2 실시예에 따른 칩 패키지 구조체의 단면도를 도시하는 개략도이다. 도 2를 간단하고 명확하게 하기 위해, 도 2는 제1 칩들(110) 각각이 하나의 제1 본딩 패드(112)를 갖는 것만을 도시한다; 그러나, 실제로, 제1 칩들(110) 각각은 하나의 제1 본딩 패드(112) 또는 복수의 제1 본딩 패드(112)를 가질 수 있다. 도 2에 도시된 바와 같이, 이 실시예와 제1 실시예 간의 차이는, 이 실시예의 칩 패키지 구조체(200)가 적어도 하나의 연결 와이어(210)를 추가로 포함하고, 각각의 연결 와이어(210)가 제1 칩들(110) 중 2개에 제각기 속하는 제1 본딩 패드들(112) 중 2개 사이에 전기적으로 연결되어, 제1 수직 전도성 소자들(120) 중 하나가 제1 칩들(110) 중 적어도 2개에 전기적으로 연결될 수 있도록 한다는 것이다. 예를 들어, 도 2는 2개의 제1 칩(110c 및 110d)에 제각기 속하는 제1 본딩 패드들(112) 중 2개 사이에 전기적으로 연결된 하나의 연결 와이어(210)를 도시하고, 최상부 제1 수직 전도성 소자(120)는 이들 2개의 제1 칩(110c 및 110d)에 전기적으로 연결되지만, 이에 제한되지는 않는다. 연결 와이어(210)는 임의의 다른 적절한 위치 상에 배치될 수 있고, 임의의 적절한 수의 연결 와이어(210)가 요건(들)에 기초하여 사용될 수 있다. 한 예로서, 일부 실시예들에서, 하나의 연결 와이어(210)가 2개의 제1 칩(110c 및 110d)에 제각기 속하는 제1 본딩 패드들(112) 중 2개 사이에 전기적으로 연결되고, 또 다른 연결 와이어(210)가 2개의 제1 칩(110b 및 110c)에 제각기 속하는 제1 본딩 패드들(112) 중 2개 사이에 전기적으로 연결되어, 최상부 제1 수직 전도성 소자(120)(또는 또 다른 제1 수직 전도성 소자(120))가 이들 3개의 제1 칩(110b, 110c 및 110d)에 전기적으로 연결되지만, 이에 제한되지는 않는다. 또 다른 예로서, 일부 실시예들에서, 하나의 연결 와이어(210)가 2개의 제1 칩(110c 및 110d)에 제각기 속하는 제1 본딩 패드들(112) 중 두 개 사이에 전기적으로 연결되고, 또 다른 연결 와이어(210)가 2개의 제1 칩(110b 및 110c)에 제각기 속하는 제1 본딩 패드들(112) 중 2개 사이에 전기적으로 연결되고, 또 다른 연결 와이어(210)가

두 개의 제1 칩(110a 및 110b)에 제각기 속하는 제1 본딩 패드들(112) 중 2개 사이에 전기적으로 연결되어, 최상부 제1 수직 전도성 소자(120)(또는 또 다른 제1 수직 전도성 소자(120))가 이들 네 개의 제1 칩(110a-110d)에 전기적으로 연결되지만, 이에 제한되지는 않는다.

[0032] 또한, 연결 와이어(210)가 와이어 본딩 공정으로 형성될 수 있으며, 연결 와이어(210)는 금, 구리, 알루미늄, 은 및/또는 다른 적절한 금속과 같은 적어도 하나의 전도성 재료를 포함할 수 있지만, 이에 제한되지는 않는다.

[0033] 도 3을 참조하면, 도 3은 본 발명의 제3 실시예에 따른 칩 패키지 구조체의 단면도를 도시하는 개략도이다. 도 3을 간단하고 명확하게 하기 위해, 도 3은 제1 칩들(110) 각각이 하나의 제1 본딩 패드(112)를 갖는 것만을 도시한다. 그러나, 실제로, 제1 칩들(110) 각각은 하나의 제1 본딩 패드(112) 또는 복수의 제1 본딩 패드(112)를 가질 수 있다. 도 3에 도시된 바와 같이, 이 실시예와 제1 실시예 사이의 차이는, 이 실시예의 칩 패키지 구조체(300)가 제1 칩 스택(CS1)과 재분배 층(140) 사이에 배치된 제2 칩 스택(CS2)을 추가로 포함한다는 것이다. 제2 칩 스택(CS2)은 복수의 제2 칩(310), 제2 몰딩 층(330) 및 적어도 하나의 제2 수직 전도성 소자(320)를 포함할 수 있지만, 이에 제한되지는 않는다. 임의의 다른 적절한 컴포넌트가 제2 칩 스택(CS2)에 선택적으로 포함될 수 있다.

[0034] 제2 칩들(310)은 반도체 제조 공정에 의해 형성될 수 있고, 제2 칩들(310)은 동일하거나 상이할 수 있다. 예를 들어, 일부 실시예들에서, 제2 칩들(310)은 동일할 수 있고 메모리 기능을 가질 수 있다. 일부 실시예들에서, 제2 칩들(310)은 상이할 수 있고, 제2 칩들(310)은 동일한 기능 또는 상이한 기능들을 갖지만, 이에 제한되지는 않는다. 요건(들)에 기초하여 임의의 종류의 칩이 제2 칩(310)의 역할을 하도록 선택될 수 있다. 더욱이, 일부 실시예들에서, 제2 칩(310)은 기판 및 기판 상에 배치된 전자 컴포넌트를 가질 수 있다. 전자 컴포넌트는 2D 메모리 유닛, 3D 메모리 유닛 및/또는 다른 적절한 컴포넌트를 포함할 수 있다.

[0035] 일부 실시예들에서, 제2 칩들(310) 중 적어도 하나는 제1 칩들(110) 중 적어도 하나와 동일할 수 있지만, 이에 제한되지는 않는다. 일부 실시예들에서, 모든 제2 칩들(310)은 모든 제1 칩들(110)과 상이할 수 있다.

[0036] 도 3에서, 제2 칩 스택(CS2)은 순차적으로 적층된 4개의 제2 칩(310)(즉, 제각기 310a, 310b, 310c 및 310d)을 포함하지만, 이에 제한되지는 않는다. 이 실시예에서, 제2 칩들(310)은 복수의 다이 부착 필름(314)에 의해 서로 접촉될 수 있으며, 여기서 다이 부착 필름들(314)은 제2 칩들(310b, 310c, 310d) 중 3개의 칩의 하단 면들 상에 제각기 배치될 수 있지만, 이에 제한되지는 않는다. 더욱이, 제2 칩들(310) 각각은 대응하는 제2 칩(310)과 외부 디바이스 사이의 신호 송신 경로 상의 컴포넌트로서 역할하는 적어도 하나의 제2 본딩 패드(312)를 포함한다. 도 3을 간단하고 명확하게 하기 위해, 도 3은 제2 칩들(310) 각각이 하나의 제2 본딩 패드(312)를 갖는 것만을 도시한다; 그러나, 실제로, 제2 칩들(310) 각각은 하나의 제2 본딩 패드(312) 또는 복수의 제2 본딩 패드(312)를 가질 수 있다. 제2 본딩 패드(312)는, 금속 및/또는 투명 전도성 재료와 같은 적어도 하나의 전도성 재료를 포함할 수 있지만, 이것으로 제한되지는 않는다. 제2 본딩 패드들(312)은 제2 칩들(310)에 의해 커버되지 않아서, (나중에 논의되는) 일부 전도성 소자들이 제2 본딩 패드들(312) 상에 배치되어 이것들에 전기적으로 연결될 수 있도록 한다. 이 실시예에서, 도 3에 도시된 제2 칩들(310)은 제2 본딩 패드들(312)을 노출시키기 위해 계단 형태로 적층되지만, 이에 제한되지는 않는다.

[0037] 제2 몰딩 층(330)은 제2 칩들(310)을 캡슐화하고 커버하여, 제2 칩들(310)을 보호하고 제2 칩들(310)에 대한 물리적 손상들 및/또는 화학적 손상들(예컨대, 습기에 의해 야기되는 산화, 손상)을 감소시킬 수 있도록 한다. 제2 몰딩 층(330)은 에폭시 수지 및/또는 임의의 다른 적절한 몰딩 화합물을 포함할 수 있다. 일부 실시예들에서, 제2 몰딩 층(330)의 재료는 제1 몰딩 층(130)의 재료와 동일할 수 있지만, 이에 제한되지는 않는다.

[0038] 각각의 제2 수직 전도성 소자(320)는 제2 본딩 패드들(312) 중 적어도 하나 상에 배치되어 이것에 전기적으로 연결될 수 있다. 도 3에서, 제2 칩 스택(CS2)은 복수의 제2 수직 전도성 소자(320)를 포함하고, 제2 수직 전도성 소자들(320) 각각은 제2 본딩 패드들(312) 중 하나 상에 배치될 수 있지만, 이것으로 제한되지는 않는다. 또한, 이 실시예에서, 제2 수직 전도성 소자들(320) 각각은 대응하는 제2 본딩 패드(312)와 접촉 상태에 있을 수 있지만, 이것으로 제한되지는 않는다.

[0039] 또한, 제2 수직 전도성 소자(320)는 제2 몰딩 층(330)을 관통할 수 있어서, 제2 칩들(310)이 제2 몰딩 층(330) 상에 배치된 컴포넌트에 전기적으로 연결될 수 있도록 한다. 도 3에서, 제2 수직 전도성 소자(320)의 연장 방향은 제2 칩 스택(CS2)의 법선 방향(즉, 제2 칩 스택(CS2)의 면의 수직 방향)에 실질적으로 평행할 수 있지만, 이것으로 제한되지는 않는다. 일부 실시예들에서, 제2 수직 전도성 소자(320)의 연장 방향은 제1 수직 전도성

소자(120)의 연장 방향에 실질적으로 평행할 수 있지만(즉, 제2 수직 전도성 소자(320)의 연장 방향이 제1 칩 스택(CS1)의 법선 방향(Dn)에 실질적으로 평행함), 이것으로 제한되지는 않는다. 또한, 제2 수직 전도성 소자(320)는, 금, 구리, 알루미늄, 은 및/또는 다른 적절한 금속과 같은 적어도 하나의 전도성 재료를 포함할 수 있지만, 이것으로 제한되지는 않는다. 일부 실시예들에서, 제2 수직 전도성 소자(320)의 재료는 제1 수직 전도성 소자(120)의 재료와 동일할 수 있지만, 이것으로 제한되지는 않는다.

[0040] 도 3에서, 재분배 층(140)은 제2 수직 전도성 소자들(320)에 전기적으로 연결된다. 유사하게, 재분배 층(140)에서, 절연 층(144)은 전도성 층(142)의 더 많은 부분들을 노출시키기 위해 더 많은 개구들(146)을 더 가질 수 있고, 개구들(146) 중 하나에 대응하는 솔더 볼들(150) 각각은 제1 수직 전도성 소자들(120) 중 적어도 하나 및/또는 제2 수직 전도성 소자들(320) 중 적어도 하나에 전기적으로 연결될 수 있다.

[0041] 특히, 제1 칩 스택(CS1)의 기능은 제2 칩 스택(CS2)의 기능과 동일하거나 상이할 수 있다. 또한, 제1 칩들(110)의 수는 제2 칩들(310)과 동일하거나 상이할 수 있다.

[0042] 더욱이, 칩 패키지 구조체(300)는 제2 칩 스택(CS2)의 하단 면 상에 배치되는 다이 부착 필름(340)을 추가로 포함할 수 있어서, 제2 칩 스택(CS2)이 다이 부착 필름(340)에 의해 제1 칩 스택(CS1)에 접촉될 수 있도록 한다. 도 3에서, 제2 칩 스택(CS2)은 계단 형태로 제1 칩 스택(CS1) 상에 적층되지만, 이에 제한되지는 않는다. 또한, 일부 실시예들에서, 제1 수직 전도성 소자(120) 및 제2 수직 전도성 소자(320)는 칩 패키지 구조체(300)의 중심에 대하여 상이한 부분들에 자리잡을 수 있다. 예를 들어, 도 3에서, 제1 수직 전도성 소자들(120)은 칩 패키지 구조체(300)의 중심에 대해 좌측 부분에 자리잡을 수 있고, 제2 수직 전도성 소자들(320)은 칩 패키지 구조체(300)의 중심에 대해 우측 부분에 자리잡을 수 있지만, 이에 제한되지는 않는다. 일부 실시예들에서, 제1 수직 전도성 소자들(120) 및 제2 수직 전도성 소자들(320)은 칩 패키지 구조체(300)의 중심에 대하여 동일한 부분에 자리잡을 수 있다. 예를 들어, 제1 수직 전도성 소자들(120) 및 제2 수직 전도성 소자들(320)은 칩 패키지 구조체(300)의 중심에 대하여 좌측 부분에 자리잡을 수 있다. 또한, 도 3에 도시된 제2 칩 스택(CS2)은 제1 본딩 패드들(112) 및 제1 수직 전도성 소자들(120)을 커버하지 않지만, 이에 제한되지는 않는다.

[0043] 특히, 칩 패키지 구조체(300)는 제3 몰딩 층(360) 및 적어도 하나의 제3 수직 전도성 소자(350)를 추가로 포함할 수 있다. 제3 몰딩 층(360)은 제1 칩 스택(CS1) 및 제2 칩 스택(CS2)을 캡슐화할 수 있다. 도 3에서, 제3 몰딩 층(360)은 제1 칩 스택(CS1)과 재분배 층(140) 사이의 겹에 및 제2 칩 스택(CS2)과 보호 층(160) 사이의 겹에 채워질 수 있다. 제3 몰딩 층(360)은 에폭시 수지 및/또는 임의의 다른 적절한 몰딩 화합물을 포함할 수 있다. 일부 실시예들에서, 제3 몰딩 층(360)의 재료는 제1 몰딩 층(130)의 재료 및/또는 제2 몰딩 층(330)의 재료와 동일할 수 있지만, 이것으로 제한되지는 않는다.

[0044] 각각의 제3 수직 전도성 소자(350)는 제1 수직 전도성 소자들(120) 중 하나 상에 배치되고 그에 전기적으로 연결될 수 있고, 각각의 제3 수직 전도성 소자(350)는 재분배 층(140)에 전기적으로 연결될 수 있다. 즉, 제1 칩(110)의 제1 본딩 패드(112)는 제1 수직 전도성 소자(120) 및 제3 수직 전도성 소자(350)를 통해 재분배 층(140)에 전기적으로 연결될 수 있다. 도 3에서, 칩 패키지 구조체(300)는 복수의 제3 수직 전도성 소자(350)를 포함하고, 제3 수직 전도성 소자들(350) 각각은 대응하는 제1 수직 전도성 소자(120)와 접촉 상태에 있을 수 있지만, 이에 제한되지는 않는다.

[0045] 또한, 제3 수직 전도성 소자(350)는 제3 몰딩 층(360)을 관통할 수 있다. 도 3에서, 제3 수직 전도성 소자(350)의 연장 방향은 제1 칩 스택(CS1)의 법선 방향(Dn)에 실질적으로 평행할 수 있지만, 이것으로 제한되지는 않는다. 일부 실시예들에서, 제3 수직 전도성 소자(350)의 연장 방향은 제1 수직 전도성 소자(120)의 연장 방향 및/또는 제2 수직 전도성 소자(320)의 연장 방향에 실질적으로 평행할 수 있지만, 이것으로 제한되지는 않는다. 또한, 제2 수직 전도성 소자(320)는, 금, 구리, 알루미늄, 은 및/또는 다른 적절한 금속과 같은 적어도 하나의 전도성 재료를 포함할 수 있지만, 이것으로 제한되지는 않는다. 일부 실시예들에서, 제3 수직 전도성 소자(350)의 재료는 제1 수직 전도성 소자(120)의 재료 및/또는 제2 수직 전도성 소자(320)의 재료와 동일할 수 있지만, 이것으로 제한되지는 않는다.

[0046] 일부 실시예들에서, 칩 패키지 구조체(300)는 제2 칩 스택(CS2)과 재분배 층(140) 사이에 배치되는 다른 칩 스택을 추가로 포함할 수 있다. 이 경우, 제3 몰딩 층(360)은 또한 제2 칩 스택(CS2)과 재분배 층(140) 사이에 배치된 이러한 칩 스택을 캡슐화할 수 있다.

[0047] 그 결과, 칩 스택들이 적층되기 때문에, 칩 패키지 구조체(300)의 측면 크기가 감소될 수 있다. 또한, 칩 패키지 구조체(300)의 측면 크기는 수직 전도성 소자들의 사용으로 인해 더 감소될 수 있다. 한편, 제조 공정에서,

수직 전도성 소자들 및 재분배 층(140)을 형성하는 신뢰도는 칩의 오프셋이 존재할 때의 종래의 와이어 본딩 기술의 신뢰도보다 높다.

[0048] 도 4를 참조하면, 도 4는 본 발명의 제4 실시예에 따른 칩 패키지 구조체의 단면도를 도시하는 개략도이다. 도 4를 간단하고 명확하게 하기 위해, 도 4는 제1 칩들(110) 각각이 하나의 제1 본딩 패드(112)를 갖고 제2 칩들(310) 각각이 하나의 제2 본딩 패드(312)를 갖는 것만을 도시한다; 그러나, 실제로, 제1 칩들(110) 각각은 하나의 제1 본딩 패드(112) 또는 복수의 제1 본딩 패드(112)를 가질 수 있고, 제2 칩들(310) 각각은 하나의 제2 본딩 패드(312) 또는 복수의 제2 본딩 패드(312)를 가질 수 있다. 도 4에 도시된 바와 같이, 이 실시예와 제3 실시예 간의 차이는 이 실시예의 칩 패키지 구조체(400)의 제1 칩 스택(CS1)이 서브 재분배 층(sub redistribution layer)(440)을 추가로 포함하고, 여기서 서브 재분배 층(440)은 제1 수직 전도성 소자(120)와 제3 수직 전도성 소자(350) 사이에 배치된다는 것이다. 다시 말해서, 서브 재분배 층(440)은 제1 몰딩 층(130) 상에 있다.

[0049] 서브 재분배 층(440)의 구조는 재분배 층(140)과 유사하다. 상세하게는, 서브 재분배 층(440)은 적어도 하나의 전도성 층(442) 및 적어도 하나의 절연 층(444)을 포함할 수 있고, 여기서 전도성 층(442)은 제1 수직 전도성 소자(120)와 제3 수직 전도성 소자(350) 사이에 전기적으로 연결될 수 있다. 전도성 층(442)은 금속, 임의의 다른 적절한 전도성 재료 또는 이들의 조합을 포함할 수 있고, 절연 층(444)은 유기 재료 또는 무기 재료를 포함할 수 있다. 일부 실시예들에서, 도 3에 도시된 바와 같이, 서브 재분배 층(440)은 하나의 전도성 층(442) 및 하나의 절연 층(444)을 포함할 수 있다. 일부 실시예들(도면들에 도시되지 않음)에서, 서브 재분배 층(440)은 복수의 전도성 층(142) 및 복수의 절연 층(144)을 포함할 수 있다.

[0050] 도 4에서, 서브 재분배 층(440)으로 인해, 제3 수직 전도성 소자(350)는 대응하는 제1 수직 전도성 소자(120) 상에 직접 배치될 필요가 없을 수 있다. 즉, 서로 대응하는 제3 수직 전도성 소자(350) 및 제1 수직 전도성 소자(120)는 제1 칩 스택(CS1)의 법선 방향(Dn)에서 엇갈릴 수 있다. 따라서, 제3 수직 전도성 소자(350)는 임의의 다른 적절한 위치에 배치될 수 있다. 더욱이, 이 경우, 도 4에 도시된 제2 칩 스택(CS2)은 제1 칩(110d)의 제1 본딩 패드(112) 및 최상부 제1 수직 전도성 소자(120)와 중첩될 수 있는데, 이에 제한되지는 않는다. 그 결과, 제1 칩 스택(CS1) 및 제2 칩 스택(CS2)의 중첩 면적은 칩 패키지 구조체(400)의 측면 크기를 감소시키도록 증진된다.

[0051] 전술한 칩 패키지 구조체들을 제조하기 위한 예시적인 방법들이 이하에 개시된다.

[0052] 도 5를 참조하면, 도 5는 본 발명의 실시예에 따른 칩 패키지 구조체의 제조 방법을 도시하는 흐름도이다. 도 5에 도시된 흐름도는 예시적이라는 것을 알아야 한다. 일부 실시예들에서, 단계들 중 일부는 동시에, 또는 도 5에 도시된 것과 상이한 순서로 수행될 수 있다. 일부 실시예들에서, 임의의 다른 적절한 단계가 방법(500)의 기존 단계 중 하나 이전에 또는 이후에 방법(500)에 추가될 수 있다. 이하의 내용과 관련하여, 방법(500)은 도 5를 참조하여 설명될 것이다. 그러나, 방법(500)은 그러한 예시적인 실시예들로만 제한되지는 않는다.

[0053] 방법(500)을 더 명확하게 설명하기 위해, 도 6a 내지 도 6k 및 도 3이 더 참조된다. 도 6a 내지 도 6k는 본 발명의 실시예에 따른 칩 패키지 구조체(300)의 제조 방법에서의 상태들을 제각기 예시하는 개략도들이다. 도 6a 내지 도 6k 및 도 3은 도 3에 도시된 칩 패키지 구조체(300)(즉, 제3 실시예의 칩 패키지 구조체(300))의 제조 공정을 도시하기 위해 더 참조된다는 것에 유의한다.

[0054] 도 5의 단계(510a)에서, (도 6a에 도시된 바와 같이) 캐리어 보드(CB1) 상에 제1 칩들(110)이 적층된다. 예를 들어, 도 6a에서, 제1 칩들(110)은 계단 형태로 적층되어, 제1 본딩 패드들(112)이 제1 칩들(110)에 의해 커버되지 않도록 한다. 더욱이, 다이 부착 필름들(114)은 몇몇 제1 칩들(110b, 110c 및 110d)의 하단 면들 상에 배치될 수 있어서, 제1 칩들(110)이 서로 접촉될 수 있도록 한다.

[0055] 도 5의 단계(520a)에서, 제1 수직 전도성 소자(들)(120)는 (도 6b에 도시된 바와 같이) 제1 본딩 패드(들)(112)에 전기적으로 연결되도록 제1 본딩 패드(들)(112) 상에 형성된다. 일부 실시예들에서, 제1 수직 전도성 소자(들)(120)는 본딩 공정에 의해 형성될 수 있고, 여기서 제1 수직 전도성 소자(120)의 단부는 제1 본딩 패드(112) 상에 본딩되고, 제1 수직 전도성 소자(120)의 또 다른 단부는 어떤 것이라도 접촉 상태에 있지 않다. 따라서, 제1 수직 전도성 소자(120)의 연장 방향은 제1 칩 스택(CS1)의 법선 방향(Dn)에 실질적으로 평행할 수 있다.

[0056] 선택적으로, 일부 실시예들에서, 제1 칩들(110) 중 2개에 제각기 속하는 제1 본딩 패드들(112) 중 2개 사이에 전기적으로 연결된 연결 와이어(210)(도 2 참조)가 형성될 수 있는데, 이에 제한되지는 않는다.

- [0057] 도 5의 단계(530a)에서, 제1 몰딩 층(130)은 (도 6c 및 도 6d에 도시된 바와 같이) 제1 칩 스택(CS1)을 형성하기 위해 제1 칩들(110)을 캡슐화하도록 형성되며, 여기서 제1 칩 스택(CS1)은 제1 칩들(110), 제1 수직 전도성 소자(들)(120) 및 제1 몰딩 층(130)을 포함한다.
- [0058] 상세하게는, 도 6c에 도시된 바와 같이, 제1 몰딩 층(130)은 제1 칩들(110) 및 제1 수직 전도성 소자(들)(120)를 커버하도록 형성된다. 그 후, 도 6d에 도시된 바와 같이, 제1 몰딩 층(130)의 면은 각각의 제1 수직 전도성 소자(120)의 단부를 노출시키도록 얇아진다. 다시 말해서, 제1 몰딩 층(130)을 형성하는 단계는: 제1 몰딩 층(130)의 면을 얇게 하여 각각의 제1 수직 전도성 소자(120)의 단부를 노출시키는 단계를 포함할 수 있다. 그러므로, 제1 수직 전도성 소자(들)(120)는 후속 제조 공정에서 제1 몰딩 층(130) 상에 형성된 컴포넌트에 전기적으로 연결될 수 있다. 또한, 이러한 박형화 단계(thinning step)는 화학 기계적 폴리싱(CMP) 또는 임의의 다른 적절한 공정을 이용한다. 또한, 제1 몰딩 층(130)이 형성된 후에, 제1 수직 전도성 소자(들)(120)는 제1 몰딩 층(130)을 관통할 수 있다.
- [0059] 선택적으로, 일부 실시예들에서, 서브 재분배 층(440)(도 4 참조)은 제1 몰딩 층(130)이 형성된 후에 제1 몰딩 층(130) 상에 형성될 수 있는데, 이에 제한되지는 않는다.
- [0060] 도 5의 단계(510b)에서, (도 6a에 도시된 바와 같이) 캐리어 보드(CB1) 상에 제2 칩들(310)이 적층된다. 예를 들어, 도 6a에서, 제2 칩들(310)은 계단 형태로 적층되어, 제2 본딩 패드들(312)이 제2 칩들(310)에 의해 커버되지 않도록 한다. 더욱이, 다이 부착 필름들(314)이 몇몇 제2 칩들(310b, 310c 및 310d)의 하단 면들 상에 배치되어, 제2 칩들(310)이 서로 접촉될 수 있도록 한다.
- [0061] 도 5의 단계(520b)에서, 제2 수직 전도성 소자(들)(320)는 (도 6b에 도시된 바와 같이) 제2 본딩 패드(들)(312)에 전기적으로 연결되도록 제2 본딩 패드(들)(312) 상에 형성된다. 일부 실시예들에서, 제2 수직 전도성 소자(들)(320)는 본딩 공정에 의해 형성될 수 있고, 여기서 제2 수직 전도성 소자(320)의 단부는 제2 본딩 패드(312) 상에 본딩되고, 제2 수직 전도성 소자(320)의 또 다른 단부는 어떤 것과도 접촉 상태에 있지 않다. 따라서, 제2 수직 전도성 소자(320)의 연장 방향은 제2 칩 스택(CS2)의 법선 방향에 실질적으로 평행할 수 있다(예를 들어, 일부 실시예들에서, 제2 수직 전도성 소자(320)는 제1 칩 스택(CS1)의 법선 방향(Dn)에 실질적으로 평행할 수 있다).
- [0062] 도 5의 단계(530b)에서, 제2 몰딩 층(330)은 (도 6c 및 도 6d에 도시된 바와 같이) 제2 칩 스택(CS2)을 형성하기 위해 제2 칩들(310)을 캡슐화하도록 형성되며, 여기서 제2 칩 스택(CS2)은 제2 칩들(310), 제2 수직 전도성 소자(들)(320) 및 제2 몰딩 층(330)을 포함한다.
- [0063] 상세하게는, 도 6c에 도시된 바와 같이, 제2 몰딩 층(330)이 제2 칩들(310) 및 제2 수직 전도성 소자(들)(320)를 커버하도록 형성된다. 다음에, 도 6d에 도시된 바와 같이, 제2 몰딩 층(330)의 면은 각각의 제2 수직 전도성 소자(320)의 단부를 노출시키기 위해 박형화되어서, 제2 수직 전도성 소자(들)(320)가 후속 제조 공정에서 제2 몰딩 층(330) 상에 형성된 컴포넌트에 전기적으로 연결될 수 있도록 한다. 또한, 이러한 박형화 단계(thinning step)는 화학 기계적 폴리싱(CMP) 또는 임의의 다른 적절한 공정을 이용한다. 또한, 제2 몰딩 층(330)이 형성된 후에, 제2 수직 전도성 소자(들)(320)는 제2 몰딩 층(330)을 관통할 수 있다.
- [0064] 일부 실시예들에서, 도 5 및 도 6a에 도시된 바와 같이, 단계(510a)에서의 캐리어 보드는 단계(510b)에서의 캐리어 보드와 동일할 수 있다; 즉, 제1 칩들(110) 및 제2 칩들(310)은 동일 캐리어 보드(CB1) 상에 적층될 수 있는데, 이에 제한되지는 않는다. 따라서, 단계(510a) 및 단계(510b)는 동시에 수행될 수 있다. (도면에 도시되지 않은) 일부 실시예들에서, 단계(510a)에서의 캐리어 보드는 단계(510b)에서의 캐리어 보드와 상이할 수 있고, 단계(510a) 및 단계(510b)는 동시에 수행되지 않을 수 있다.
- [0065] 일부 실시예들에서, 도 5 및 도 6b 내지 도 6d에 도시된 바와 같이, 단계(520a) 및 단계(520b)는 동시에 수행될 수 있고, 단계(530a) 및 단계(530b)는 동시에 수행될 수 있어서, 제1 칩 스택(CS1) 및 제2 칩 스택(CS2)이 동일한 캐리어 보드(CB1) 상에 형성되고, 제1 몰딩 층(130) 및 제2 몰딩 층(330)이 동일한 재료로 형성되도록 하는데, 이에 제한되지는 않는다. 도 6c 및 도 6d에 도시된 바와 같이, 제1 몰딩 층(130) 및 제2 몰딩 층(330)은 서로 직접 연결되는데, 이에 제한되지는 않는다.
- [0066] 그 후, 일부 실시예들에서, 일부 단계가 방법(500)에서 추가될 수 있다. 예를 들어, 제1 칩 스택(CS1) 및 제2 칩 스택(CS2)이 도 6d에서 동일한 캐리어 보드(CB1) 상에 형성되기 때문에, 캐리어 보드(CB1)를 제거하기 위한 단계 및 제2 칩 스택(CS2)으로부터 제1 칩 스택(CS1)을 분리하기 위한 단계가 수행된다. 더 정확하게는, 도 6e에 도시된 바와 같이, 캐리어 보드(CB1)가 제거될 수 있어서, 제1 칩 스택(CS1) 및 제2 칩 스택(CS2)이 캐리어

보드(CB1)로부터 분리될 수 있도록 한다. 일부 실시예들에서, 캐리어 보드(CB1)로부터 제1 칩 스택(CS1) 및 제2 칩 스택(CS2)을 분리하기 위해 본딩해제 공정이 수행될 수 있는데, 이에 제한되지는 않는다. 이후, 제1 칩 스택(CS1) 및 제2 칩 스택(CS2)은 서로 분리될 수 있다. 일부 실시예들에서, 절단 공정이 제2 칩 스택(CS2)으로부터 제1 칩 스택(CS1)을 분리하기 위해 수행될 수 있는데, 이에 제한되지는 않는다. 선택적으로, 다이 부착 필름(340)은 제2 칩 스택(CS2)으로부터 제1 칩 스택(CS1)을 분리한 후에 제2 칩 스택(CS2)의 하단 면 상에 추가로 형성될 수 있다.

[0067] 도 5의 단계(540)에서, 제2 칩 스택(CS2)은 (도 6f에 도시된 바와 같이) 제1 칩 스택(CS1) 상에 적층된다. 상세하게는, 제1 칩 스택(CS1)은 또다른 캐리어 보드(CB2) 상에 배치될 수 있고, 이후, 제2 칩 스택(CS2)은 제1 칩 스택(CS1) 상에 적층되고, 여기서 이러한 캐리어 보드(CB2)는 전술한 캐리어 보드(CB1)와 동일하거나 상이할 수 있다. 예를 들어, 도 6f에서, 제2 칩 스택(CS2)은 계단 형태로 제1 칩 스택(CS1) 상에 적층될 수 있어서, 제1 본딩 패드들(112)이 제2 칩 스택(CS2)에 의해 커버되지 않도록 한다. 더욱이, 일부 실시예들에서, 제2 칩 스택(CS2) 및 제1 칩 스택(CS1)은 제2 칩 스택(CS2)의 하단 면 상에 형성되는 다이 부착 필름(340)을 통해 서로 접착된다.

[0068] 도 5의 단계(550)에서, 제3 수직 전도성 소자(들)(350)는 (도 6g에 도시된 바와 같이) 제1 수직 전도성 소자(들)(120)에 전기적으로 연결되도록 제1 수직 전도성 소자(들)(120) 상에 형성된다. 제3 수직 전도성 소자(350)의 형성 공정은 제1 수직 전도성 소자(120)의 형성 공정과 유사하다. 일부 실시예들에서, 제3 수직 전도성 소자(들)(350)는 본딩 공정에 의해 형성될 수 있고, 여기서, 제3 수직 전도성 소자(350)의 한 단부는 제1 수직 전도성 소자(120) 상에 본딩되고, 제3 수직 전도성 소자(350)의 또 다른 단부는 어떤 것과도 접촉 상태에 있지 않다. 따라서, 제3 수직 전도성 소자(350)의 연장 방향은 제1 칩 스택(CS1)의 법선 방향(Dn)에 실질적으로 평행할 수 있다.

[0069] 도 5의 단계(560)에서, 제3 몰딩 층(360)은 (도 6h 및 도 6i에 도시된 바와 같이) 제1 칩 스택(CS1) 및 제2 칩 스택(CS2)을 캡슐화하도록 형성된다. 상세하게는, 도 6h에 도시된 바와 같이, 제3 몰딩 층(360)이 제1 칩 스택(CS1), 제2 칩 스택(CS2) 및 제3 수직 전도성 소자(들)(350)를 커버하도록 형성된다. 그후, 도 6i에 도시된 바와 같이, 제3 몰딩 층(360)의 면은 각각의 제3 수직 전도성 소자(350)의 단부 및 각각의 제2 수직 전도성 소자(320)의 단부를 노출시키도록 박형화된다. 따라서, 제3 수직 전도성 소자(들)(350) 및 제2 수직 전도성 소자(들)(320)는 후속 제조 공정에서 형성된 컴포넌트에 전기적으로 연결될 수 있다. 더욱이, 이러한 박형화 단계는 화학 기계적 연마 또는 임의의 다른 적절한 공정을 이용한다. 또한, 제3 몰딩 층(360)이 형성된 후에, 제3 수직 전도성 소자(들)(350)는 제3 몰딩 층(360)을 관통할 수 있다.

[0070] 도 5의 단계(570)에서, (도 6j에 도시된 바와 같이) 제1, 제2 및 제3 수직 전도성 소자들(120, 320 및 350)에 전기적으로 연결되도록 제1 칩 스택(CS1) 및 제2 칩 스택(CS2) 상에 재분배 층(140)이 형성된다. 재분배 층(140)은 적어도 하나의 전도성 층(142) 및 적어도 하나의 절연 층(144)을 포함할 수 있고, 여기서 전도성 층(142)은 제1 수직 전도성 소자들(120)에 전기적으로 연결될 수 있다. 도 6j에서, 예를 들어, 전도성 층(142)은 제1, 제2 및 제3 수직 전도성 소자들(120, 320 및 350)에 전기적으로 연결되도록, 제1 칩 스택(CS1) 및 제2 칩 스택(CS2) 상에 형성되고 패터닝될 수 있다(도 6j에서, 전도성 층(142)은 제1, 제2 및 제3 수직 전도성 소자들(120, 320 및 350)의 단부들과 접촉 상태에 있을 수 있다); 그리고 이후, 절연 층(144)이 전도성 층(142) 상에 형성될 수 있고, 전도성 층(142)의 복수의 부분을 노출시키기 위해 개구들(146)을 형성하도록 절연 층(144)이 패터닝될 수 있는데, 이에 제한되지는 않는다. 추가로, 전도성 층(142) 및 절연 층(144)은, CVD(chemical vapor deposition), PVD(physical vapor deposition), ALD(atomic layer deposition) 또는 이들의 임의의 조합을 포함하지만 이에 제한되지는 않는 하나 이상의 박막 퇴적 공정에 의해 형성될 수 있다; 그리고 전도성 층(142) 및 절연 층(144)은 포토리소그래피 공정에 의해 패터닝될 수 있는데, 이에 제한되지는 않는다.

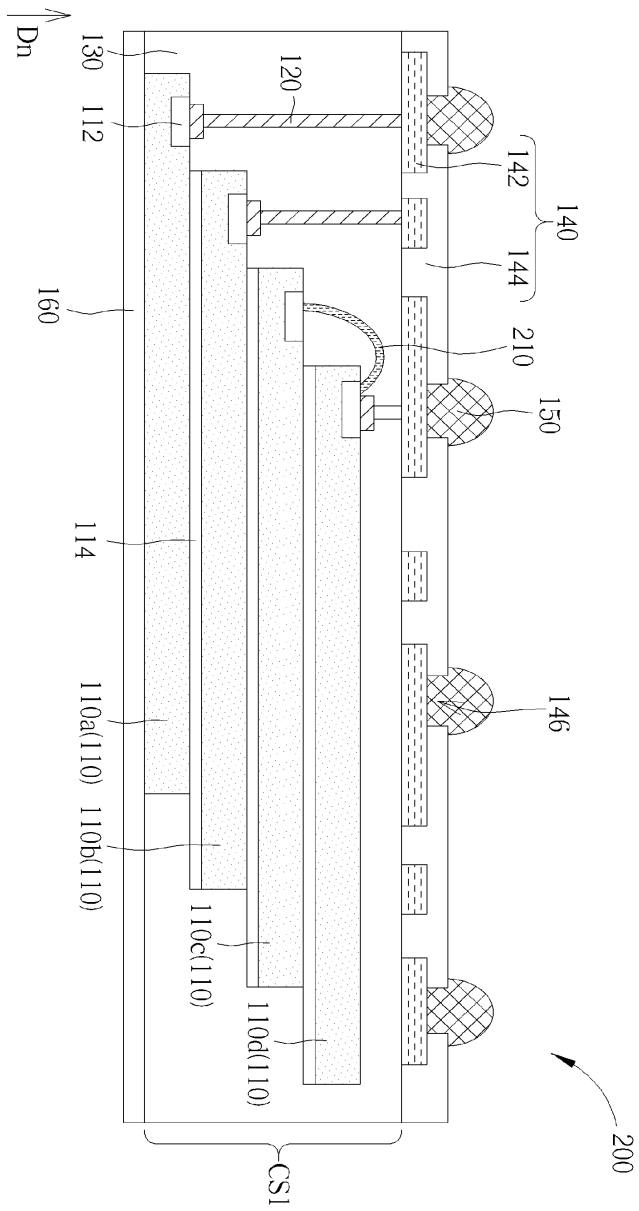
[0071] 더욱이, 복수의 솔더 볼(150)이 재분배 층(140) 상에 형성될 수 있다. 더 정확하게는, 솔더 볼들(150)이 재분배 층(140) 상에 그리고 개구들(146)에 대응하여 형성될 수 있다.

[0072] 그후, 도 6k에서, 캐리어 보드(CB2)가 제거될 수 있다. 일부 실시예들에서, 캐리어 보드(CB2)로부터 제1 칩 스택(CS1)을 분리하기 위해 본딩해제 공정이 수행될 수 있는데, 이에 제한되지는 않는다.

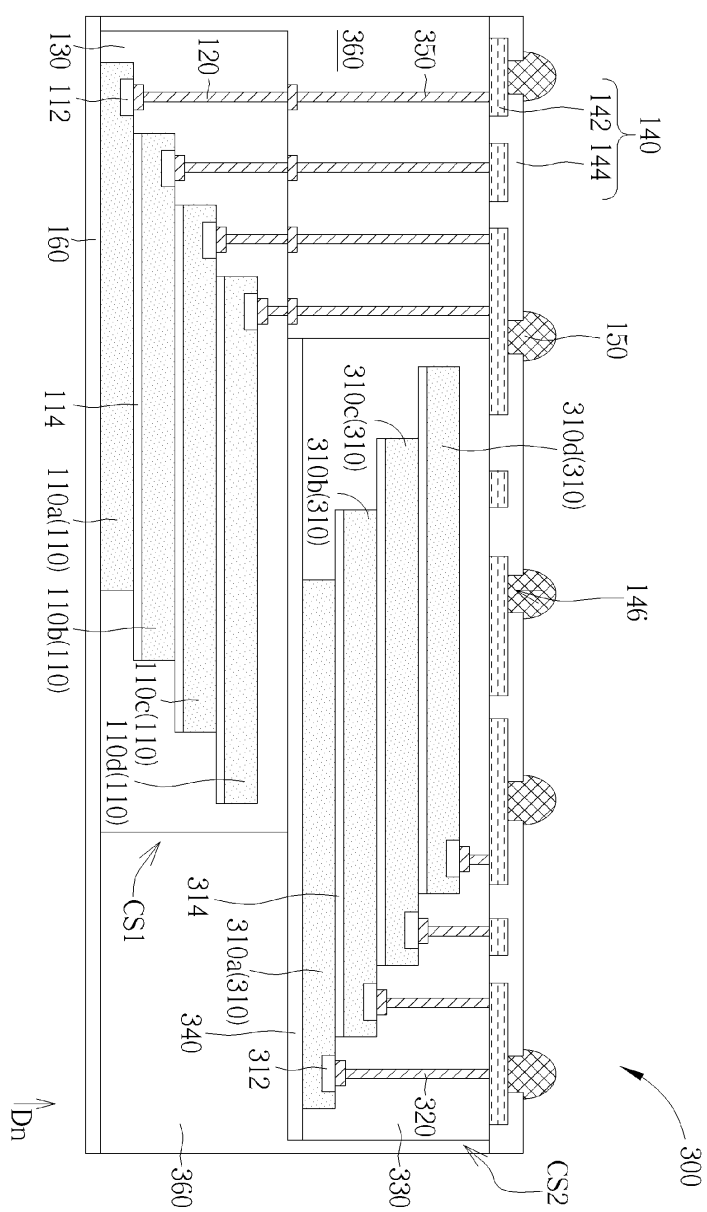
[0073] 선택적으로, 보호 층(160)이 재분배층(140)에 대항하는 제1 칩 스택(CS1)의 측면 상에 형성되어, 도 3에 도시된 칩 패키지 구조체(300)를 완성할 수 있도록 한다. 일부 실시예들에서, 보호 층(160)은 제1 칩 스택(CS1) 상에 접착될 수 있는데, 이에 제한되지는 않는다.

- [0074] 도 7을 참조하면, 도 7은 본 발명의 또 다른 실시예에 따른 칩 패키지 구조체의 제조 방법을 도시하는 흐름도이다. 도 7에 도시된 흐름도는 예시적이라는 것을 알아야 한다. 일부 실시예들에서, 단계들 중 일부는 동시에, 또는 도 7에 도시된 것과 상이한 순서로 수행될 수 있다. 일부 실시예들에서, 방법(700)의 기존 단계 중 하나 전에 또는 후에 방법(700)에 임의의 다른 적절한 단계가 추가될 수 있다. 이하의 내용과 관련하여, 방법(700)이 도 7을 참조하여 기술될 것이다. 그러나, 방법(700)은 이들 예시적인 실시예들로만 제한되지는 않는다.
- [0075] 방법(700)을 더 명확하게 설명하기 위해, 도 6a 내지 도 6d, 도 8 및 도 1이 더 참조된다. 도 8은 본 발명의 또 다른 실시예에 따른 칩 패키지 구조체의 제조 방법의 상태를 예시하는 개략도이다. 도 6a 내지 도 6d, 도 8 및 도 1은 도 1에 도시된 칩 패키지 구조체(100)(즉, 제1 실시예의 칩 패키지 구조체(100))의 제조 공정을 도시하도록 더 참조된다는 것을 유의하라.
- [0076] 도 7의 단계들(510a, 520a 및 530a)의 설명은 상기 내용 및 도 5를 참조할 수 있으므로, 단계들(510a, 520a 및 530a)은 중복하여 설명되지 않을 것이다. 도 6a 내지 도 6d에 도시된 제2 칩 스택(CS2)은 이러한 실시예에서 형성되지 않을 수 있다는 점에 유의한다.
- [0077] 도 7의 단계(740)에서, (도 8에 도시된 바와 같이) 제1 수직 전도성 소자(들)(120)에 전기적으로 연결되도록 제1 칩 스택(CS1) 상에 재분배 층(140)이 형성된다. 재분배 층(140)의 형성 방법은 상기 내용을 참조할 수 있고, 반복되는 부분들은 중복하여 설명되지 않을 것이다. 더욱이, 솔더 볼들(150)이 재분배 층(140) 상에 그리고 개구들(146)에 대응하여 형성될 수 있다.
- [0078] 그후, 캐리어 보드(CB1)가 제거될 수 있다. 일부 실시예들에서, 캐리어 보드(CB1)로부터 제1 칩 스택(CS1)을 분리하기 위해 본딩해제 공정이 수행될 수 있는데, 이에 제한되지는 않는다.
- [0079] 선택적으로, 보호 층(160)이 재분배 층(140)에 대향하는 제1 칩 스택(CS1)의 측면 상에 형성되어, 도 1에 도시된 칩 패키지 구조체(100)를 완성할 수 있도록 한다.
- [0080] 요약하면, 본 발명의 칩 패키지 구조체의 설계로 인해, 칩 패키지 구조체는 감소된 측방향 크기를 갖고, 칩 패키지 구조체의 칩들과 외부 디바이스 사이의 신호 송신 경로는 감소될 수 있다. 또한, 칩 패키지 구조체의 설계 시간 및 비용이 감소될 수 있다. 한편, 제조 공정에서, 칩 패키지 구조체의 신뢰성은 칩의 오프셋이 존재할 때 개선될 수 있다.
- [0081] 특정 실시예들의 전술한 설명은, 다른 사람들이, 본 기술분야의 기술 내의 지식을 적용함으로써, 과도한 실험 없이, 본 개시내용의 일반적인 개념으로부터 벗어나지 않고서, 그러한 특정 실시예들을 다양한 응용들에 대해 용이하게 수정 및/또는 적응시킬 수 있도록 본 개시내용의 일반적인 본질을 충분히 드러낼 것이다. 그러므로, 그러한 적응들 및 수정들은, 본 명세서에 제시된 교시 및 지도에 기초하여, 개시된 실시예들의 의미 및 등가 범위 내에 있도록 의도된다. 본 명세서에서의 용어 또는 어구는 본 명세서에서의 용어 또는 어구가 교시 및 지침에 비추어 보아 통상의 기술자에 의해 해석되도록 설명의 목적을 위한 것이지 제한하려는 것이 아님을 이해해야 한다.
- [0082] 본 개시내용의 실시예들은 지정된 기능들 및 이들의 관계들의 구현을 예시하는 기능적 빌딩 블록들의 도움으로 앞에서 설명되었다. 이러한 기능적 빌딩 블록들의 경계는 본 명세서에서 설명의 편의상 임의로 규정되었다. 특정 기능들과 그 관계들이 적절히 수행되는 한, 대안적인 경계들이 정의될 수 있다.
- [0083] 발명의 내용 및 요약서 부분들은 발명자(들)가 고려하는 본 개시내용의 전부가 아니라 하나 이상의 예시적 실시예들을 제시할 수 있고, 따라서 본 개시내용 및 첨부된 청구항들을 어떻게든 제한하는 것으로 의도되지 않는다.
- [0084] 본 개시내용의 폭 및 범위는 위에서 설명한 예시적인 실시예들 중 어느 것에 의해서도 제한되지 않아야 하며, 다음의 청구항 및 그 등가물들에 따라서만 정의되어야 한다.

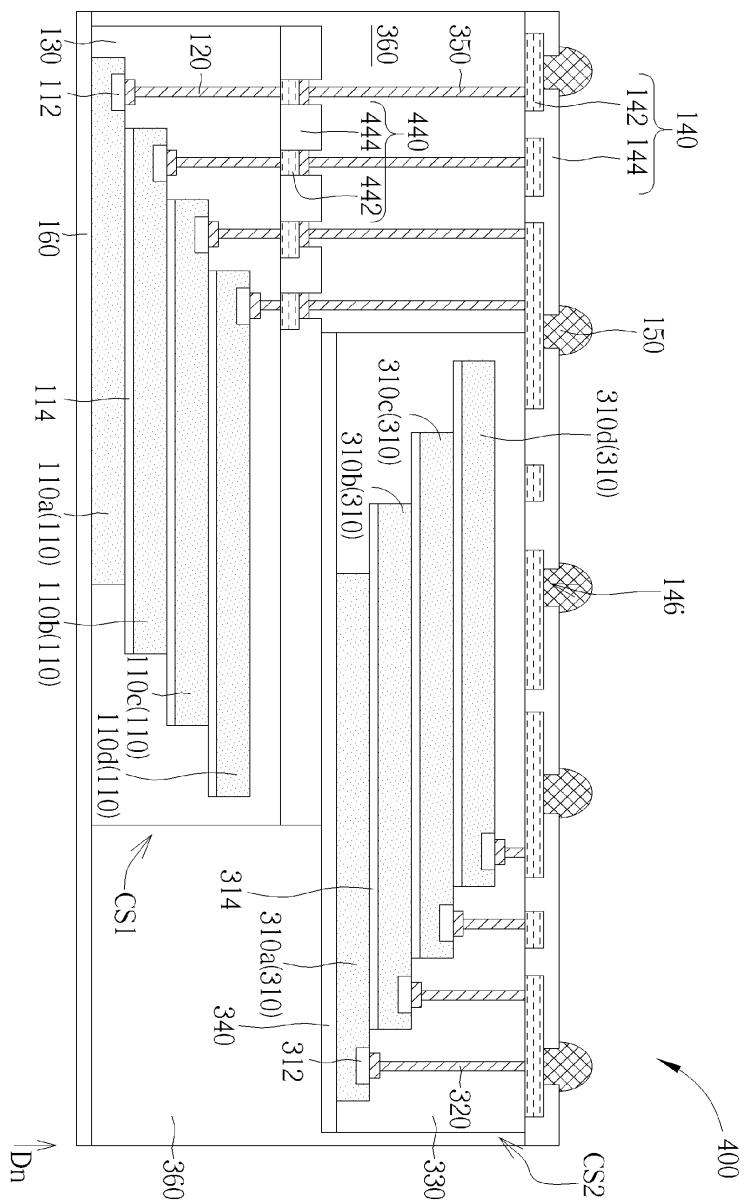
도면2



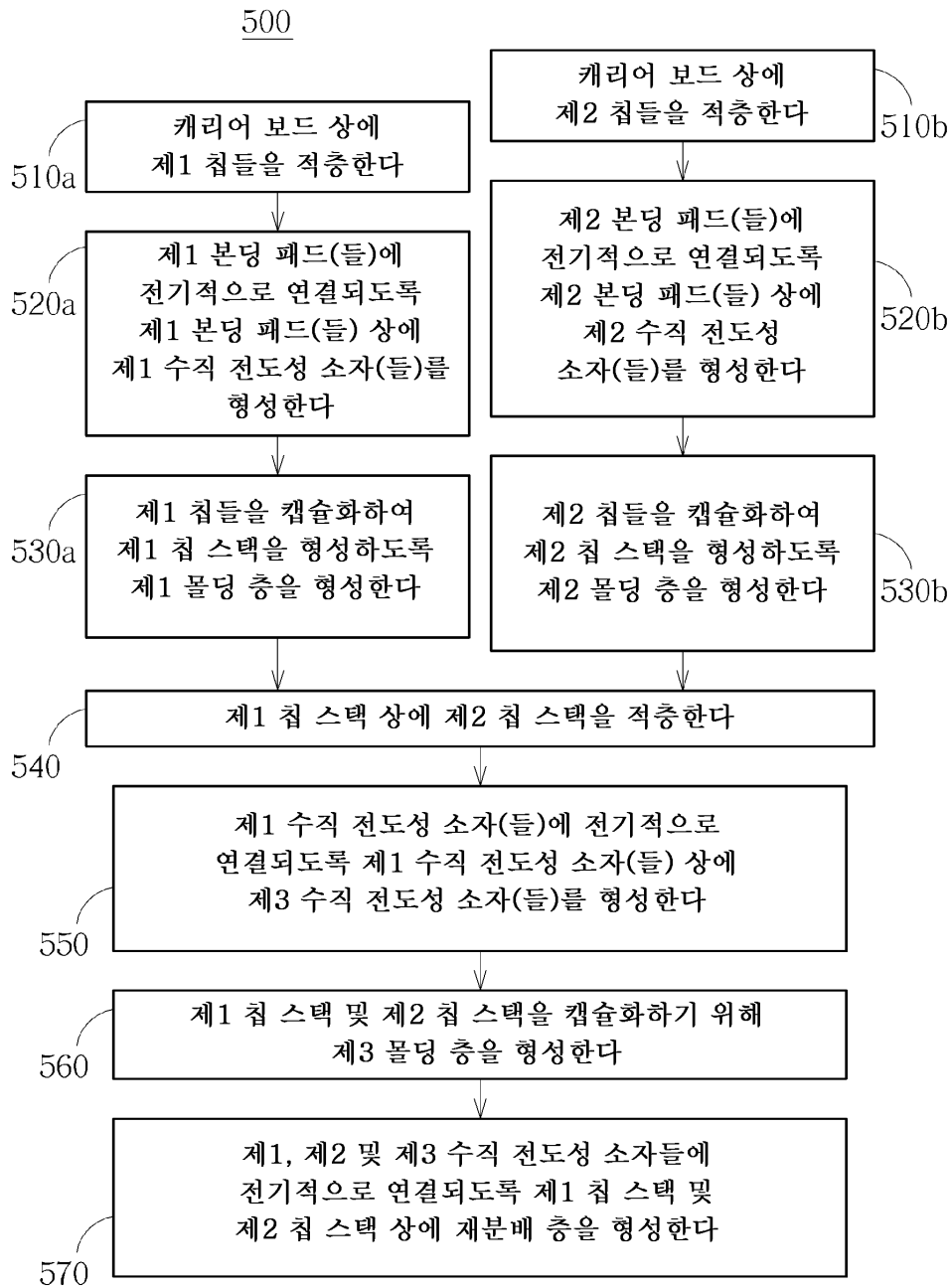
도면3



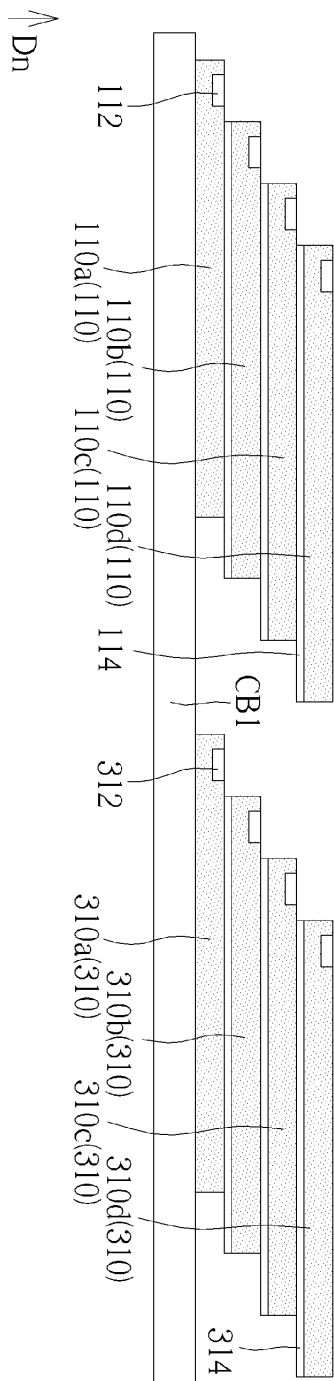
도면4



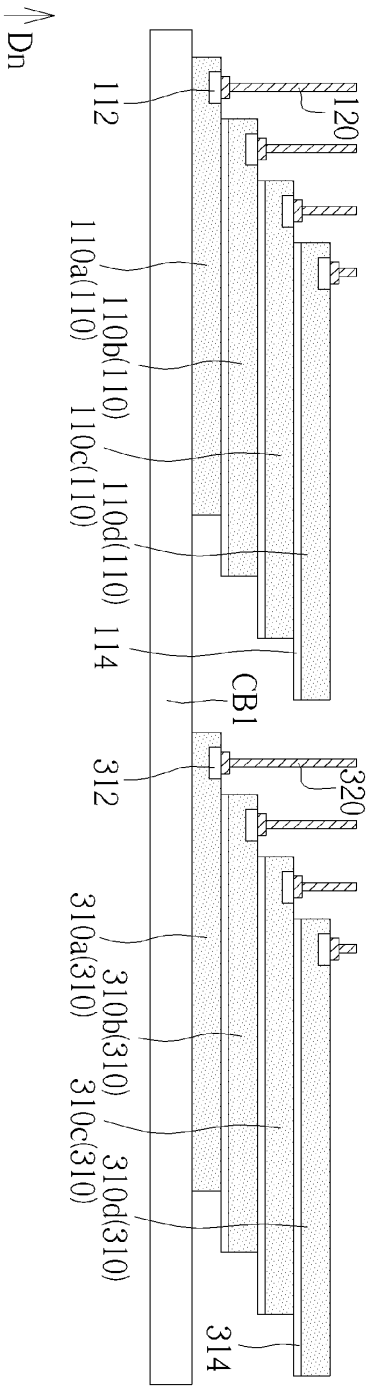
도면5



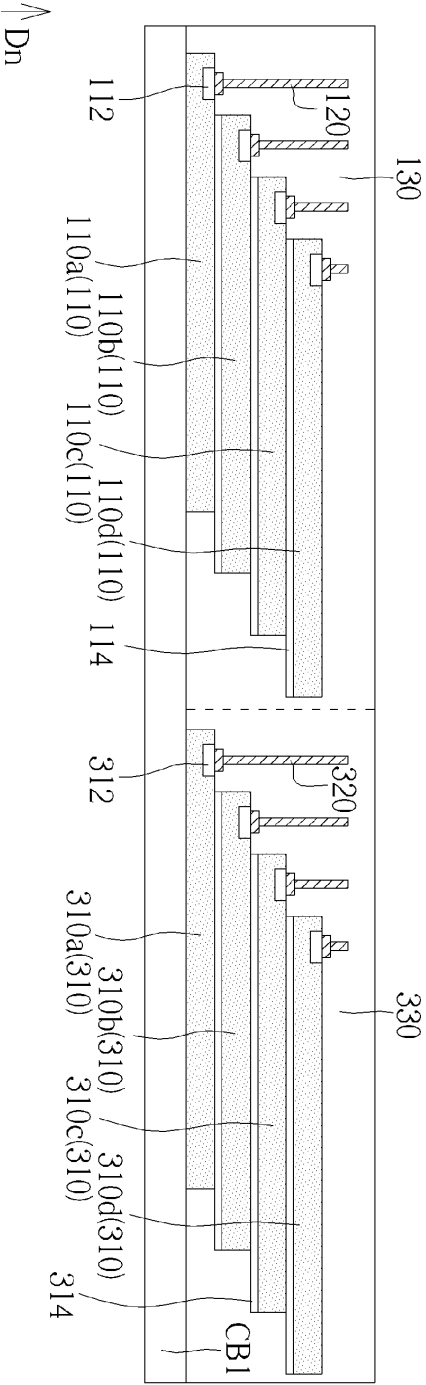
도면 6a



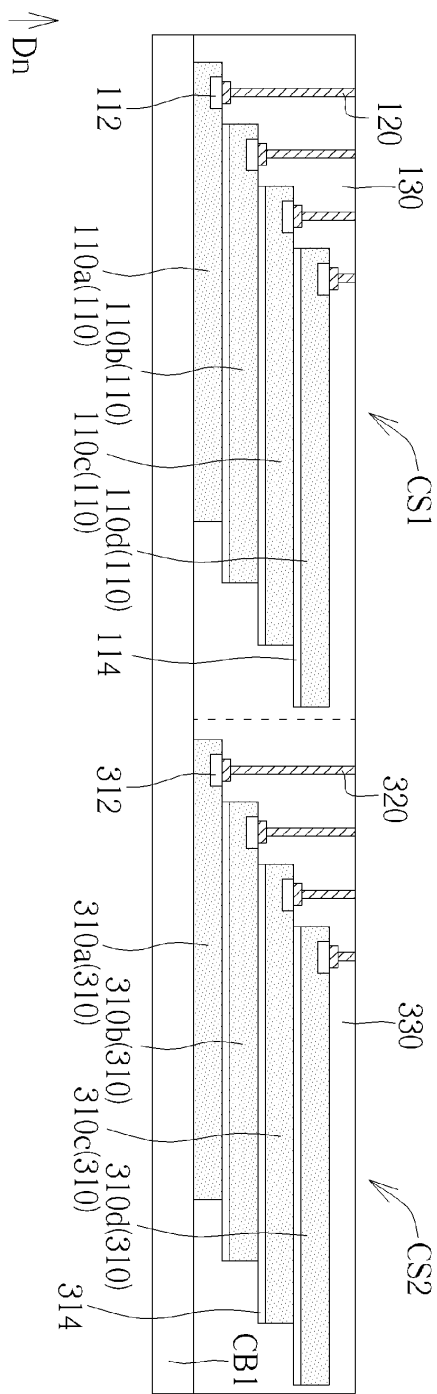
도면6b



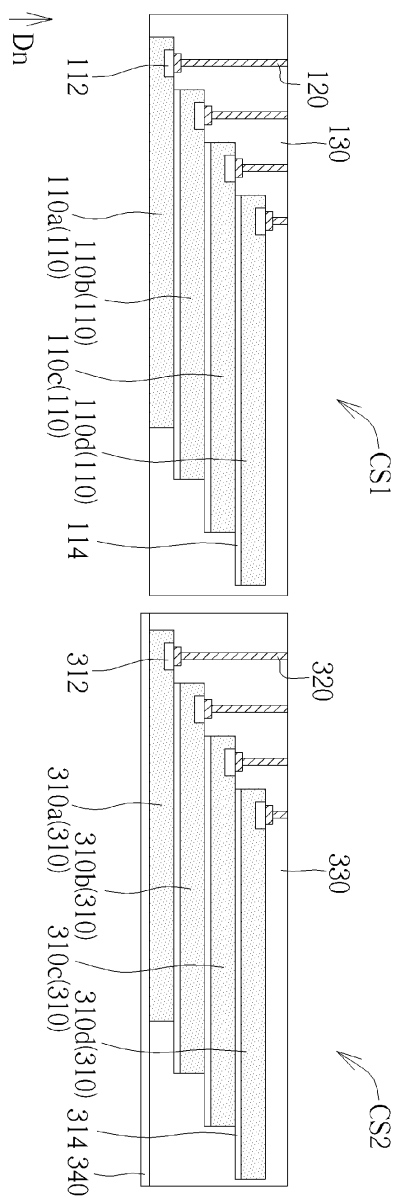
도면6c



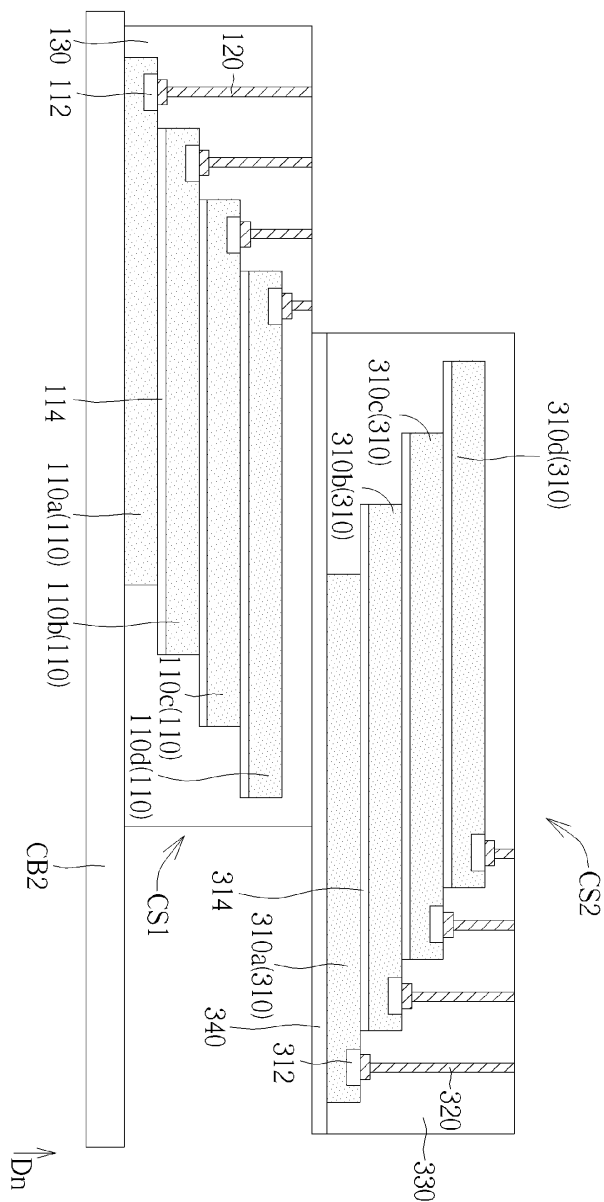
도면6d



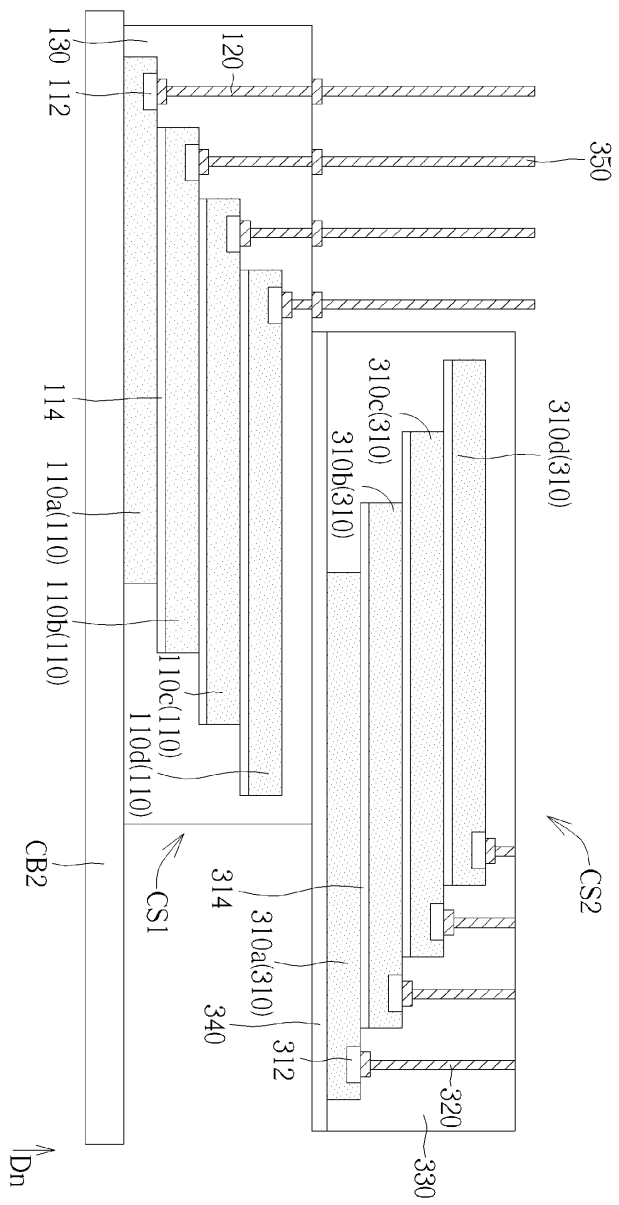
도면6e



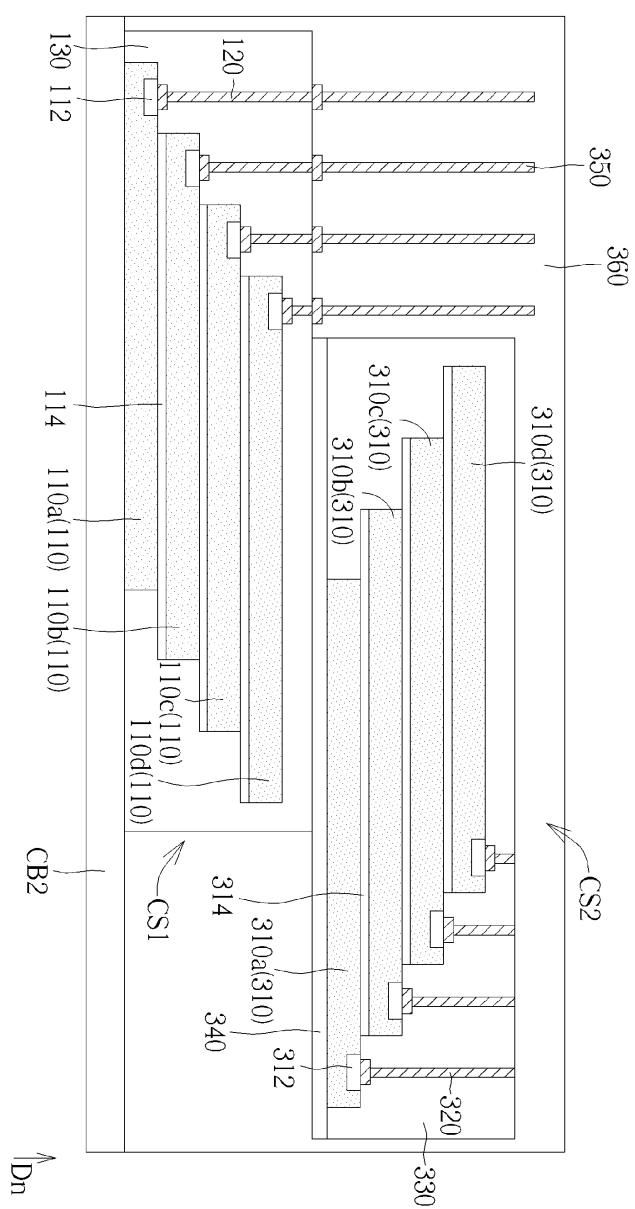
도면6f



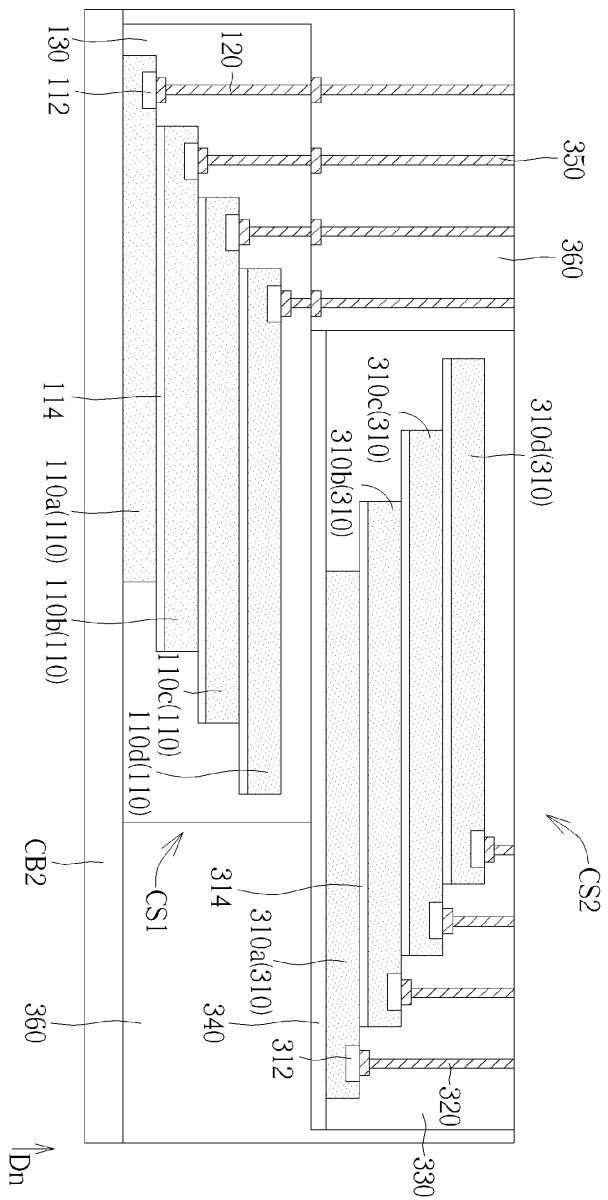
도면 6g



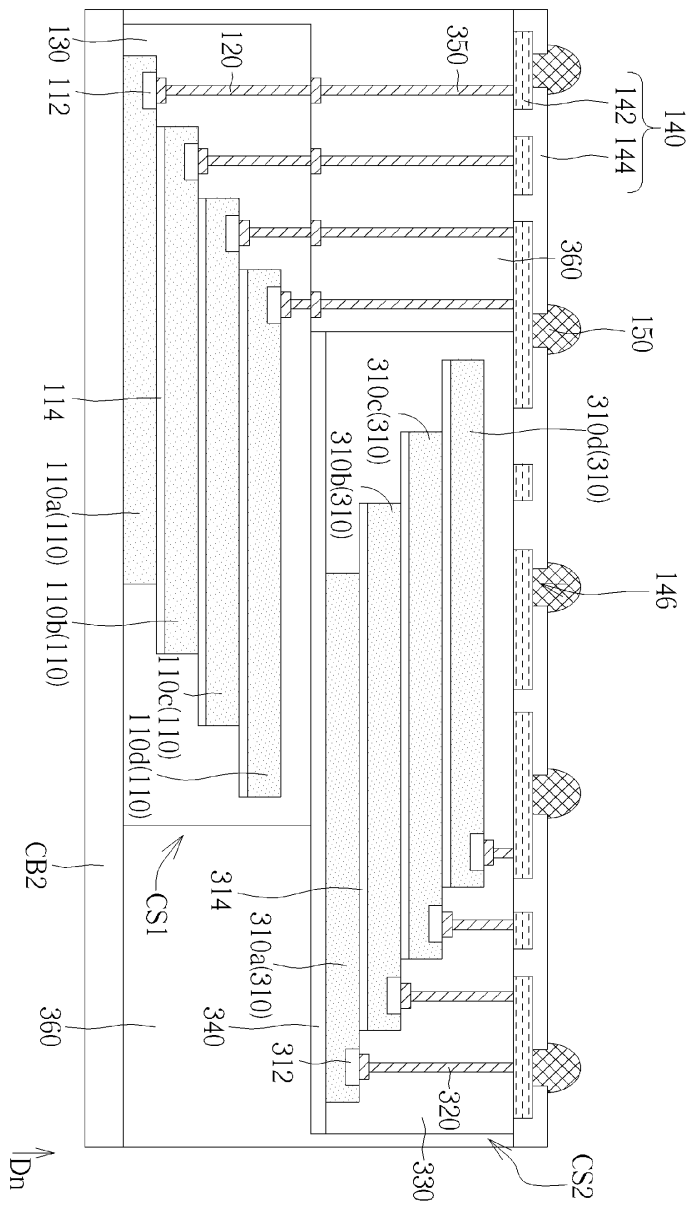
도면 6h



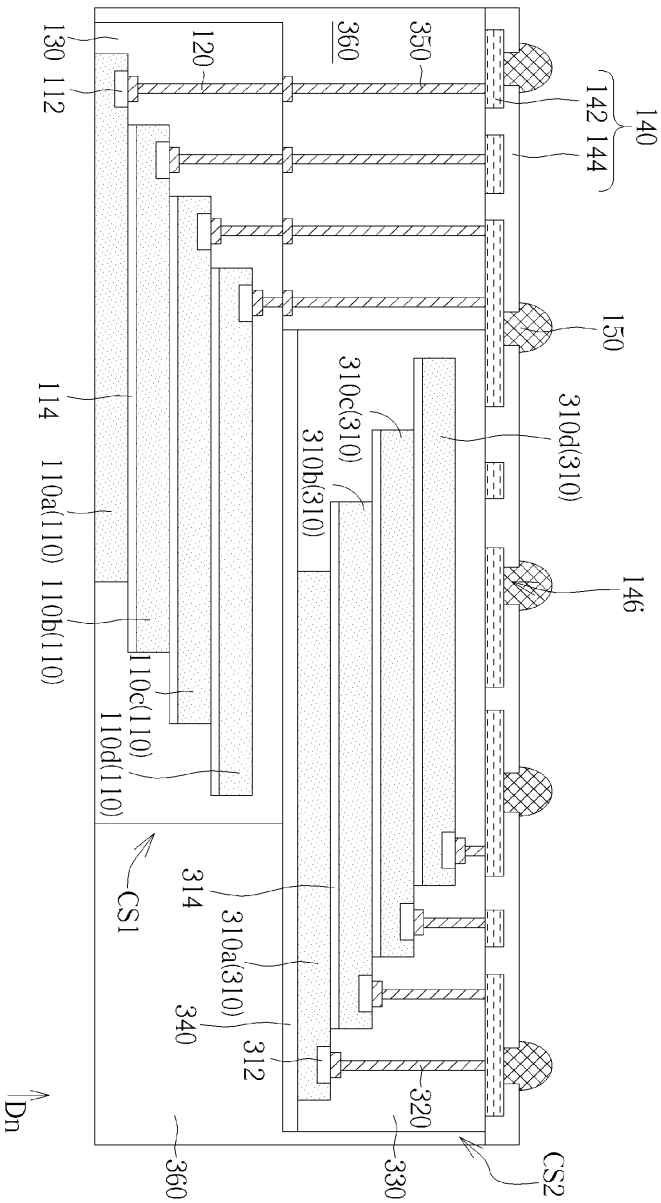
도면6i



도면 6j

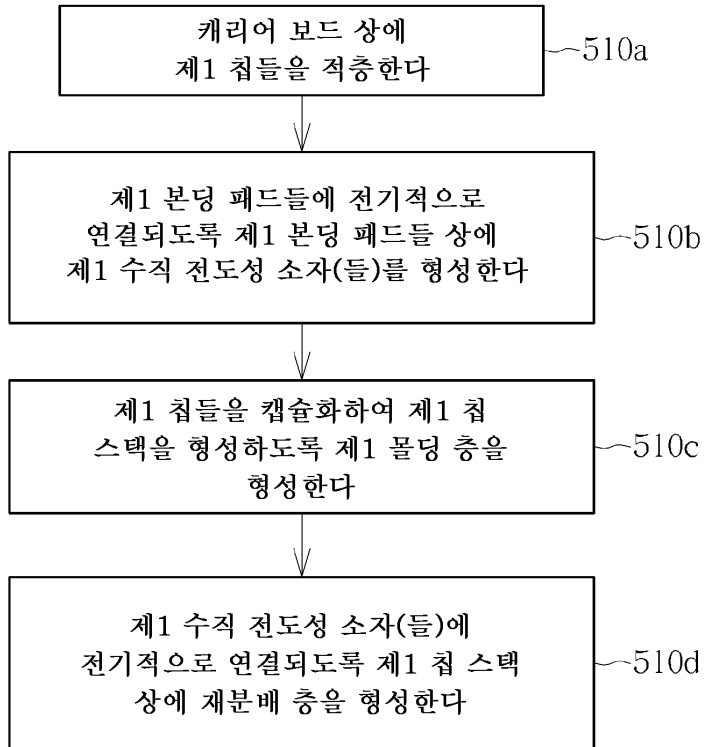


도면6k



도면7

700



도면8

