

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5833748号
(P5833748)

(45) 発行日 平成27年12月16日(2015.12.16)

(24) 登録日 平成27年11月6日(2015.11.6)

| | |
|--------------------------|----------------------|
| (51) Int. Cl. | F I |
| HO 1 L 29/786 (2006.01) | HO 1 L 29/78 6 1 7 K |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 3 0 1 V |
| HO 1 L 29/78 (2006.01) | HO 1 L 29/78 3 0 1 S |
| HO 1 L 29/423 (2006.01) | HO 1 L 29/78 6 1 6 T |
| HO 1 L 29/49 (2006.01) | HO 1 L 29/78 6 1 6 A |
| 請求項の数 12 (全 64 頁) 最終頁に続く | |

(21) 出願番号 特願2014-515439 (P2014-515439)
 (86) (22) 出願日 平成24年5月18日(2012.5.18)
 (86) 国際出願番号 PCT/JP2012/062772
 (87) 国際公開番号 W02013/171892
 (87) 国際公開日 平成25年11月21日(2013.11.21)
 審査請求日 平成26年8月21日(2014.8.21)

(出願人による申告)平成23年度、独立行政法人新エネルギー・産業技術総合開発機構委託研究「低炭素社会を実現する超低電圧デバイスプロジェクト」、産業技術力強化法第19条の適用を受ける特許出願

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (74) 代理人 100113642
 弁理士 菅田 篤志
 (74) 代理人 100117008
 弁理士 筒井 章子
 (74) 代理人 100147430
 弁理士 坂次 哲也
 (72) 発明者 山本 芳樹
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

支持基板と前記支持基板上の絶縁層と前記絶縁層上の半導体層とを有するSOI基板と

、
 前記半導体層上にゲート絶縁膜を介して形成されたゲート電極と、
 前記半導体層上に形成された、ソース・ドレイン用の第1エピタキシャル層と、
 を含むMISFETを有し、
 前記半導体層上に、前記第1エピタキシャル層を覆うように第1絶縁膜が形成されてお

り、
 前記ゲート電極は、前記第1絶縁膜に形成された第1溝内に埋め込まれており、
 前記第1エピタキシャル層の上面が、前記ゲート電極の直下における前記半導体層の上

10

面よりも高い位置にあり、
 前記MISFETのゲート長方向において、前記ゲート電極の端部が前記第1エピタキ

シャル層の上に位置しており、
前記第1エピタキシャル層および前記半導体層に、ソースまたはドレイン用の半導体領域

が形成されており、
前記ソースまたはドレイン用の半導体領域は、第1領域と、前記第1領域に隣接しかつ

前記第1領域よりも高不純物濃度の第2領域とを有し、
前記第1領域の少なくとも一部は前記ゲート電極の直下に位置している半導体装置。

【請求項2】

20

請求項 1 記載の半導体装置において、

前記 M I S F E T のゲート長方向において、前記第 1 エピタキシャル層の側面は傾斜しており、

前記 M I S F E T のゲート長方向において、前記ゲート電極の前記端部が前記第 1 エピタキシャル層の傾斜する前記側面上に位置している半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記ゲート絶縁膜は、前記第 1 溝の側面上および底面上に形成されており、

前記ゲート電極は、前記ゲート絶縁膜を介して前記第 1 溝内に埋め込まれている半導体装置。

10

【請求項 4】

M I S F E T を有する半導体装置の製造方法であって、

(a) 支持基板と前記支持基板上の絶縁層と前記絶縁層上の半導体層とを有する S O I 基板を準備する工程、

(b) 前記半導体層上にダミーゲートを形成する工程、

(c) 前記 (b) 工程後、その上面が前記ダミーゲートの直下における前記半導体層の上面よりも高くなるように、前記半導体層上に、ソース・ドレイン形成用の第 1 エピタキシャル層を形成する工程、

(d) 前記 (c) 工程後、前記第 1 エピタキシャル層の上に位置するように、前記ダミーゲートの側壁上に第 1 側壁膜を形成する工程、

20

(e) 前記 (d) 工程後、前記ダミーゲートを覆うように、前記半導体層上に第 1 絶縁膜を形成する工程、

(f) 前記 (e) 工程後、前記第 1 絶縁膜の一部を除去して前記ダミーゲートの上面を露出させる工程、

(g) 前記 (f) 工程後、前記ダミーゲートおよび前記第 1 側壁膜を除去して第 1 溝を形成する工程、

(h) 前記 (g) 工程後、前記第 1 溝内にゲート絶縁膜を介してゲート電極を形成する工程、

を有し、

前記 (c) 工程後で前記 (d) 工程前に、(c 1) 前記ダミーゲートをマスクとして前記第 1 エピタキシャル層および前記半導体層にイオン注入する工程、を更に有し、

30

前記 (d) 工程後で前記 (e) 工程前に、(d 1) 前記ダミーゲートおよび前記第 1 側壁膜をマスクとして前記第 1 エピタキシャル層および前記半導体層にイオン注入する工程、を更に有し、

前記 (c 1) 工程および前記 (d 1) 工程により、前記第 1 エピタキシャル層および前記半導体層にソースまたはドレイン用の半導体領域が形成され、

前記 (h) 工程後に、前記 M I S F E T のゲート長方向において、前記ゲート電極の端部は、前記第 1 エピタキシャル層の上に位置する半導体装置の製造方法。

【請求項 5】

請求項 4 記載の半導体装置の製造方法において、

40

前記 (b) 工程で形成された前記ダミーゲートはポリシリコン膜を含み、

前記 (b) 工程後で、前記 (c) 工程前に、

(b 1) 前記ダミーゲートの側壁上に第 2 側壁膜を形成する工程、

を有し、

前記 (d) 工程では、前記ダミーゲートの側壁上に、前記第 2 側壁膜を介して前記第 1 側壁膜を形成し、

前記 (g) 工程では、前記ダミーゲート、前記第 1 側壁膜および前記第 2 側壁膜を除去して前記第 1 溝を形成する半導体装置の製造方法。

【請求項 6】

請求項 5 記載の半導体装置の製造方法において、

50

前記ダミーゲートは、第2絶縁膜と、前記第2絶縁膜上の前記ポリシリコン膜と、前記ポリシリコン膜上の第3絶縁膜とからなる半導体装置の製造方法。

【請求項7】

請求項6記載の半導体装置の製造方法において、

前記第1絶縁膜は、窒化シリコン膜と前記窒化シリコン膜上の第4絶縁膜とを有し、

前記第1側壁膜および前記第2側壁膜は酸化シリコンからなる半導体装置の製造方法。

【請求項8】

請求項5記載の半導体装置の製造方法において、

前記第1絶縁膜は、窒化シリコン膜と前記窒化シリコン膜上の第4絶縁膜とを有し、

前記第1側壁膜および前記第2側壁膜は窒化シリコンからなる半導体装置の製造方法。

10

【請求項9】

請求項4記載の半導体装置の製造方法において、

前記(c)工程では、前記第1エピタキシャル層の側面が傾斜するように、前記第1エピタキシャル層が形成され、

前記(d)工程では、前記第1側壁膜は、前記第1エピタキシャル層の傾斜する前記側面の上に形成され、

前記(h)工程で形成された前記ゲート電極の前記端部は、前記第1エピタキシャル層の傾斜する前記側面上に位置する半導体装置の製造方法。

【請求項10】

請求項4記載の半導体装置の製造方法において、

前記(d)工程後で、前記(e)工程前に、

(d2)前記ダミーゲートの側壁上に、前記第1側壁膜を介して第3側壁膜を形成する工程、

(d3)前記(d2)工程後に、前記第1エピタキシャル層上に金属シリサイド層を形成する工程、

を有し、

前記(g)工程では、前記第1側壁膜は除去され、前記第3側壁膜は残存する半導体装置の製造方法。

20

【請求項11】

請求項4記載の半導体装置の製造方法において、

前記(d)工程後で、前記(e)工程前に、

(d4)前記第1エピタキシャル層上にソース・ドレイン形成用の第2エピタキシャル層を形成する工程、

を有する半導体装置の製造方法。

30

【請求項12】

請求項4記載の半導体装置の製造方法において、

前記第1側壁膜は、第4側壁膜と第5側壁膜との積層からなり、

前記第4側壁膜は、前記第5側壁膜よりも前記ダミーゲートに近い側にあり、

前記(g)工程では、前記第4側壁膜は除去され、前記第5側壁膜は残存する半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、例えば、MISFETを備えた半導体装置およびその製造方法に好適に利用できるものである。

【背景技術】

【0002】

基板上にゲート絶縁膜を介してゲート電極を形成し、基板にソース・ドレイン領域を形成することにより、MISFETが形成される。

【0003】

50

また、基板上にソース・ドレイン用のエピタキシャル層を成長させてM I S F E Tを形成する技術がある。

【 0 0 0 4 】

特開 2 0 0 0 2 7 7 7 4 5 号公報（特許文献 1）には、S O I 基板を用いたダブルゲート M O S F E T に関する技術が開示されている。

【 0 0 0 5 】

特開 2 0 0 7 - 1 6 5 6 6 5 号公報（特許文献 2）には、S i 基板に p チャネル型 M I S F E T が形成されている。そして、p チャネル型 M I S F E T のソース及びドレインとなる領域に溝を形成し、その溝内に S i G e 層をエピタキシャル成長法によって埋め込む技術が開示されている。

10

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献 1】特開 2 0 0 0 2 7 7 7 4 5 号公報

【特許文献 2】特開 2 0 0 7 - 1 6 5 6 6 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

基板上にソース・ドレイン用の半導体層を形成する際に、例えばエピタキシャル成長法等を用いて M I S F E T を形成した半導体装置についても、できるだけ性能を向上させることが望まれる。または、半導体装置の信頼性を向上させることが望まれる。若しくはその両方を実現することが望まれる。

20

【 0 0 0 8 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 0 9 】

一実施の形態によれば、半導体装置は、基板上にソース・ドレイン用の半導体層が形成され、ゲート電極におけるゲート長方向の端部が前記半導体層上に乗り上げているものである。

30

【 0 0 1 0 】

また、一実施の形態によれば、半導体装置の製造方法は、基板上にダミーゲートを形成してから、前記基板上にソース・ドレイン形成用の半導体層を、例えばエピタキシャル法によって形成し、その後、前記ダミーゲートの側壁上に側壁膜を形成する。それから、前記ダミーゲートを覆うように前記基板上に絶縁膜を形成してから、前記ダミーゲートの上面を露出させる。そして、前記ダミーゲートおよび前記側壁膜を除去して形成した溝内にゲート絶縁膜を介してゲート電極を形成するものである。

【発明の効果】

【 0 0 1 1 】

一実施の形態によれば、半導体装置の性能を向上させることができる。または、半導体装置の信頼性を向上させることができる。若しくはその両方を実現することができる。

40

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】実施の形態 1 の半導体装置の要部断面図である。

【図 2】実施の形態 1 の半導体装置の要部断面図である。

【図 3】実施の形態 1 の半導体装置の製造工程を示す工程フロー図である。

【図 4】実施の形態 1 の半導体装置の製造工程を示す工程フロー図である。

【図 5】実施の形態 1 の半導体装置の製造工程中の要部断面図である。

【図 6】図 5 に続く半導体装置の製造工程中の要部断面図である。

【図 7】図 6 に続く半導体装置の製造工程中の要部断面図である。

50

- 【図 8】図 7 に続く半導体装置の製造工程中の要部断面図である。
- 【図 9】図 8 に続く半導体装置の製造工程中の要部断面図である。
- 【図 10】図 9 に続く半導体装置の製造工程中の要部断面図である。
- 【図 11】図 10 に続く半導体装置の製造工程中の要部断面図である。
- 【図 12】図 11 に続く半導体装置の製造工程中の要部断面図である。
- 【図 13】図 12 に続く半導体装置の製造工程中の要部断面図である。
- 【図 14】図 13 に続く半導体装置の製造工程中の要部断面図である。
- 【図 15】図 14 に続く半導体装置の製造工程中の要部断面図である。
- 【図 16】図 15 に続く半導体装置の製造工程中の要部断面図である。
- 【図 17】図 16 に続く半導体装置の製造工程中の要部断面図である。 10
- 【図 18】図 17 に続く半導体装置の製造工程中の要部断面図である。
- 【図 19】図 18 に続く半導体装置の製造工程中の要部断面図である。
- 【図 20】図 19 に続く半導体装置の製造工程中の要部断面図である。
- 【図 21】図 19 に続く半導体装置の製造工程中の要部断面図である。
- 【図 22】図 21 に続く半導体装置の製造工程中の要部断面図である。
- 【図 23】図 22 に続く半導体装置の製造工程中の要部断面図である。
- 【図 24】図 20 および図 23 に続く半導体装置の製造工程中の要部断面図である。
- 【図 25】図 24 に続く半導体装置の製造工程中の要部断面図である。
- 【図 26】図 25 に続く半導体装置の製造工程中の要部断面図である。
- 【図 27】図 26 に続く半導体装置の製造工程中の要部断面図である。 20
- 【図 28】図 27 に続く半導体装置の製造工程中の要部断面図である。
- 【図 29】図 28 に続く半導体装置の製造工程中の要部断面図である。
- 【図 30】第 1 検討例の半導体装置の要部断面図である。
- 【図 31】第 1 検討例の半導体装置の要部断面図である。
- 【図 32】第 2 検討例の半導体装置の製造工程中の要部断面図である。
- 【図 33】図 32 に続く第 2 検討例の半導体装置の製造工程中の要部断面図である。
- 【図 34】第 2 検討例の半導体装置の要部断面図である。
- 【図 35】第 2 検討例の半導体装置の要部断面図である。
- 【図 36】実施の形態 1 の変形例の半導体装置の要部断面図である。
- 【図 37】実施の形態 1 の変形例の半導体装置の要部断面図である。 30
- 【図 38】実施の形態 1 の変形例の半導体装置の製造工程中の要部断面図である。
- 【図 39】実施の形態 2 の半導体装置の製造工程中の要部断面図である。
- 【図 40】図 39 に続く半導体装置の製造工程中の要部断面図である。
- 【図 41】図 40 に続く半導体装置の製造工程中の要部断面図である。
- 【図 42】図 41 に続く半導体装置の製造工程中の要部断面図である。
- 【図 43】図 42 に続く半導体装置の製造工程中の要部断面図である。
- 【図 44】図 43 に続く半導体装置の製造工程中の要部断面図である。
- 【図 45】図 44 に続く半導体装置の製造工程中の要部断面図である。
- 【図 46】実施の形態 3 の半導体装置の製造工程を示す工程フロー図である。
- 【図 47】実施の形態 3 の半導体装置の製造工程を示す工程フロー図である。 40
- 【図 48】実施の形態 3 の半導体装置の製造工程中の要部断面図である。
- 【図 49】図 48 に続く半導体装置の製造工程中の要部断面図である。
- 【図 50】図 49 に続く半導体装置の製造工程中の要部断面図である。
- 【図 51】図 50 に続く半導体装置の製造工程中の要部断面図である。
- 【図 52】図 51 に続く半導体装置の製造工程中の要部断面図である。
- 【図 53】図 52 に続く半導体装置の製造工程中の要部断面図である。
- 【図 54】図 53 に続く半導体装置の製造工程中の要部断面図である。
- 【図 55】図 54 に続く半導体装置の製造工程中の要部断面図である。
- 【図 56】図 55 に続く半導体装置の製造工程中の要部断面図である。
- 【図 57】図 56 に続く半導体装置の製造工程中の要部断面図である。 50

- 【図58】図56に続く半導体装置の製造工程中の要部断面図である。
- 【図59】図58に続く半導体装置の製造工程中の要部断面図である。
- 【図60】図59に続く半導体装置の製造工程中の要部断面図である。
- 【図61】図57および図60に続く半導体装置の製造工程中の要部断面図である。
- 【図62】図61に続く半導体装置の製造工程中の要部断面図である。
- 【図63】図62に続く半導体装置の製造工程中の要部断面図である。
- 【図64】実施の形態3の半導体装置の要部断面図である。
- 【図65】実施の形態3の半導体装置の要部断面図である。
- 【図66】実施の形態4の半導体装置の製造工程を示す工程フロー図である。
- 【図67】実施の形態4の半導体装置の製造工程を示す工程フロー図である。 10
- 【図68】実施の形態4の半導体装置の製造工程中の要部断面図である。
- 【図69】図68に続く半導体装置の製造工程中の要部断面図である。
- 【図70】図69に続く半導体装置の製造工程中の要部断面図である。
- 【図71】図70に続く半導体装置の製造工程中の要部断面図である。
- 【図72】図71に続く半導体装置の製造工程中の要部断面図である。
- 【図73】図72に続く半導体装置の製造工程中の要部断面図である。
- 【図74】図73に続く半導体装置の製造工程中の要部断面図である。
- 【図75】図74に続く半導体装置の製造工程中の要部断面図である。
- 【図76】図75に続く半導体装置の製造工程中の要部断面図である。
- 【図77】図76に続く半導体装置の製造工程中の要部断面図である。 20
- 【図78】図76に続く半導体装置の製造工程中の要部断面図である。
- 【図79】図78に続く半導体装置の製造工程中の要部断面図である。
- 【図80】図79に続く半導体装置の製造工程中の要部断面図である。
- 【図81】図77および図80に続く半導体装置の製造工程中の要部断面図である。
- 【図82】図81に続く半導体装置の製造工程中の要部断面図である。
- 【図83】図82に続く半導体装置の製造工程中の要部断面図である。
- 【図84】実施の形態4の半導体装置の要部断面図である。

【発明を実施するための形態】

【0013】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。 40
このことは、上記数値および範囲についても同様である。

【0014】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0015】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。 50

【 0 0 1 6 】

(実施の形態 1)

<半導体装置の構造について>

図 1 および図 2 は、本実施の形態 1 の半導体装置の要部断面図である。また、図 1 と図 2 とは、同じ領域の断面図である。但し、図 1 では、半導体層 S M 1 と半導体層 E P 1 とがそれぞれどの領域であるかが分かりやすいように、半導体層 E P 1 全体をドットのハッチングで示し、半導体層 S M 1 全体を細線の斜線のハッチングで示しており、 n^- 型半導体領域 E X および n^+ 型半導体領域 S D の形成領域についての図示はしていない。また、図 2 では、 n^- 型半導体領域 E X と n^+ 型半導体領域 S D とがそれぞれどの領域であるかが分かりやすいように、 n^- 型半導体領域 E X 全体に同じハッチングを付し、 n^+ 型半導体領域 S D 全体に他の同じハッチングを付してある。従って、図 1 と図 2 とを合わせて見れば、半導体層 S M 1 および半導体層 E P 1 の構成と、半導体層 S M 1 および半導体層 E P 1 における n^- 型半導体領域 E X および n^+ 型半導体領域 S D の形成領域とを、理解しやすい。なお、図 1 および図 2 において、後述の絶縁膜 I L 3 および配線 M 1 とそれよりも上層の構造については、図示を省略している。

10

【 0 0 1 7 】

本実施の形態 1 および以下の実施の形態 2 ~ 4 の半導体装置は、M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) を備えた半導体装置である。

【 0 0 1 8 】

図 1 および図 2 に示される本実施の形態 1 の半導体装置は、S O I (S O I : Silicon On Insulator) 基板 S U B を用いた半導体装置である。

20

【 0 0 1 9 】

S O I 基板 S U B は、単結晶シリコンなどからなる基板 (半導体基板、支持基板) S U B 1 と、基板 S U B 1 の主面上に形成された酸化シリコンなどからなる絶縁層 (埋め込み絶縁膜、埋め込み酸化膜、B O X (Buried Oxide) 層) B O X 1 と、絶縁層 B O X 1 の主面上に形成された単結晶シリコンからなる半導体層 (S O I 層) S M 1 とを有している。基板 S U B 1 は、絶縁層 B O X 1 とそれよりも上の構造とを支持する支持基板である。これら基板 S U B 1、絶縁層 B O X 1 および半導体層 S M 1 により、S O I 基板 S U B が形成されている。S O I 基板 S U B の主面には、M I S F E T が形成されている。ここでは、M I S F E T が n チャネル型の M I S F E T の場合について説明する。

30

【 0 0 2 0 】

半導体層 S M 1 上に、ゲート絶縁膜 G I を介して、ゲート電極 G E が形成されている。

【 0 0 2 1 】

ゲート電極 G E は、窒化チタン (T i N)、窒化タンタル (T a N)、窒化タングステン (W N)、炭化チタン (T i C)、炭化タンタル (T a C)、炭化タングステン (W C) または窒化炭化タンタル (T a C N) などの金属材料を用いたメタルゲート電極 (金属ゲート電極) とされている。なお、ここで言う金属とは、金属伝導を示す導電体を言い、単体の金属 (純金属) や合金だけでなく、金属伝導を示す金属化合物 (窒化金属や炭化金属など) も含むものとする。ゲート電極 G E をメタルゲート電極とすることで、ゲート電極 G E の空乏化現象を抑制し、寄生容量をなくすることができるという利点を得られる。また、M I S F E T 素子の小型化 (ゲート絶縁膜の薄膜化) も可能になるという利点も得られる。

40

【 0 0 2 2 】

ゲート電極 G E としては、メタルゲート電極が好ましいが、他の形態として、下層に上記金属材料 (金属膜) を形成し、上層にポリシリコン膜 (ドーフトポリシリコン膜) を用いた積層型のゲート電極とすることもできる。

【 0 0 2 3 】

また、メタルゲート電極 (ゲート電極 G E) の他の形態として、異なる金属膜を複数積層させた構造としても良い。

【 0 0 2 4 】

50

また、ゲート絶縁膜GIとしては、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化タンタル膜または酸化ランタン膜などの金属酸化物膜を用いることができ、また、これらの金属酸化物膜は、窒素(N)またはケイ素(Si)の一方または両方を含有することもできる。この場合、ゲート絶縁膜GIは、窒化シリコン膜よりも高い誘電率(比誘電率)を有する高誘電率膜(いわゆるHigh-k膜)である。ゲート絶縁膜GIに高誘電率膜を用いた場合は、酸化シリコン膜を用いた場合に比べて、ゲート絶縁膜GIの物理的膜厚を増加させることができるため、リーク電流を低減できるという利点を得られる。

【0025】

なお、図示はしないが、上記の金属酸化物膜と半導体層SM1との間に、界面層として、1nm以下の酸化シリコン膜を形成することもできる。この界面層の物理的膜厚は、上記金属酸化物膜の物理的膜厚よりも薄く形成される。

10

【0026】

ゲート電極GEの下部の半導体層SM1が、MISFETのチャンネルが形成される領域(チャンネル形成領域)となる。

【0027】

半導体層SM1上には、エピタキシャル層(エピタキシャル半導体層)である半導体層EP1が形成されている。半導体層EP1は、半導体層SM1上にエピタキシャル成長により形成されており、シリコン(単結晶シリコン)からなる。

20

【0028】

半導体層EP1は、ゲート電極GEの両側(ゲート長方向の両側)に形成されている。なお、図1および図2に示される断面は、ゲート電極GEのゲート長方向に平行な平面(ゲート長方向に沿った平面)である。

【0029】

本実施の形態では、ゲート電極GEの一部が半導体層EP1上(より特定的には半導体層EP1の傾斜する側面SF1上)に存在している。具体的には、ゲート電極GEにおけるゲート長方向の端部が半導体層EP1の上に位置している。換言すれば、MISFET(ゲート電極GEをゲート電極とするMISFET)のゲート長方向において、ゲート電極GEの端部が半導体層EP1の上に位置している。すなわち、ゲート電極GEにおけるゲート長方向の中央部側は、半導体層EP1が形成されていない部分の半導体層SM1上にあるが、ゲート電極GEにおけるゲート長方向の両端部側は、半導体層SM1上に形成された半導体層EP1上に乗り上げている。つまり、ゲート電極GEの中央部側(ゲート長方向の中央部側)は、半導体層EP1に重なっていない(SOI基板SUBの厚み方向に重なっていない)が、ゲート電極GEの端部(ゲート長方向の端部)は、半導体層EP1に重なっている(SOI基板SUBの厚み方向に重なっている)。このため、ゲート電極GEの両端部近傍(ゲート長方向の両端部近傍)の直下には半導体層EP1が存在し、ゲート電極GEの中央部側(ゲート長方向の中央部側)の直下には半導体層EP1は存在していない(半導体層SM1が存在している)状態となっている。

30

【0030】

但し、ゲート電極GEは半導体層SM1, EP1に接しておらず、ゲート電極GEと半導体層SM1との間およびゲート電極GEと半導体層EP1の間には、ゲート絶縁膜GIが介在している。ゲート絶縁膜GIは、ゲート電極GEの底面から両側面(側壁)にかけて連続的に形成されている。

40

【0031】

また、本実施の形態では、ゲート電極GEにおけるゲート長方向の端部が半導体層EP1の上に位置しているが、半導体層EP1の側面(ゲート電極GE側の側面)SF1が傾斜しており、この半導体層EP1の傾斜する側面SF1上に、ゲート電極GEにおけるゲート長方向の端部が位置している。換言すれば、MISFET(ゲート電極GEをゲート電極とするMISFET)のゲート長方向において、半導体層EP1の側面(ゲート電極GE側の側面)SF1は傾斜しており、MISFET(ゲート電極GEをゲート電極とす

50

るMISFET)のゲート長方向において、ゲート電極GEの端部が半導体層EP1の傾斜する側面SF1上に位置している。すなわち、ゲート電極GEの端部(ゲート長方向の端部)が、半導体層EP1の傾斜する側面SF1上に乗り上げている。

【0032】

また、半導体層EP1は、半導体層SM1のほぼ平坦な上面上に形成されているため、半導体層EP1の上面は、ゲート電極GEの直下における半導体層SM1の上面よりも高い位置にある。ここで、ゲート電極GEの直下における半導体層SM1の上面は、ゲート電極GEの下のゲート絶縁膜GIに接する部分の半導体層SM1の表面(上面)に対応しており、図1において符号UF1を付して上面UF1として示してある。

【0033】

ゲート電極GEの両側(ゲート長方向の両側)の半導体層SM1, EP1には、MISFETのソースまたはドレイン用の半導体領域が形成されており、このソースまたはドレイン用の半導体領域は、 n^- 型半導体領域EXと、 n^- 型半導体領域EXよりも高不純物濃度の n^+ 型半導体領域SDとにより形成されている。すなわち、半導体層SM1と半導体層EP1との積層において、チャンネル形成領域を挟んで互いに離間する領域に、(一对の) n^- 型半導体領域(エクステンション領域、LDD領域)EXが形成され、 n^- 型半導体領域EXの外側(チャンネル形成領域から離れる側)に、 n^- 型半導体領域EXよりも不純物濃度が高い、ソース・ドレイン用の(一对の) n^+ 型半導体領域SDが形成されている。ソースまたはドレイン領域用の半導体領域は、 n^- 型半導体領域EXと n^- 型半導体領域EXよりも不純物濃度が高い n^+ 型半導体領域SDとを有しているため、LDD(Lightly Doped Drain)構造を備えている。

【0034】

n^- 型半導体領域EXは、チャンネル形成領域に隣接しており、 n^+ 型半導体領域SDは、チャンネル形成領域から n^- 型半導体領域EXの分だけ離間しかつ n^- 型半導体領域EXに接する位置に形成されている。

【0035】

SOI基板SUBの厚み方向に見ると、 n^- 型半導体領域EXは、半導体層EP1から半導体層SM1にかけて形成されており、 n^+ 型半導体領域SDも、半導体層EP1から半導体層SM1にかけて形成されている。また、 n^- 型半導体領域EXの少なくとも一部は、ゲート電極GEの直下に位置している。

【0036】

半導体層EP1には、ソースまたはドレイン用の半導体領域(n^- 型半導体領域EXおよび n^+ 型半導体領域SDに対応)が形成されているため、半導体層EP1を、ソース・ドレイン用(ソース・ドレイン形成用)のエピタキシャル層とみなすことができる。

【0037】

n^+ 型半導体領域SDの上部には、金属シリサイド層SILが形成されている。金属シリサイド層SILは、例えば、コバルトシリサイド層、ニッケルシリサイド層、またはニッケル白金シリサイド層などである。

【0038】

SOI基板SUBの主面上には、半導体層EP1(および金属シリサイド層SIL)を覆うように、絶縁膜IL1が形成されている。絶縁膜IL1は、好ましくは、ライナ膜である窒化シリコン膜(ライナ膜)SN3と、窒化シリコン膜SN3上の絶縁膜SO3との積層膜からなる。窒化シリコン膜SN3の厚みは、絶縁膜SO3よりも薄い。

【0039】

絶縁膜SO3としては、酸化シリコン系の絶縁膜を用いることができる。ここで、酸化シリコン系の絶縁膜とは、酸化シリコンを主体とする絶縁膜であるが、炭素(C)、フッ素(F)、窒素(N)、ホウ素(B)およびリン(P)のうち的一种以上を更に含有することもできる。

【0040】

絶縁膜IL1の上面は、ほぼ平坦化され、絶縁膜IL1には溝TRが形成されている。

10

20

30

40

50

この溝TR内に、ゲート絶縁膜GIを介してゲート電極GEが埋め込まれている（形成されている）。すなわち、ゲート電極GEは、絶縁膜IL1の溝TR内に形成されており、ゲート絶縁膜GIは、ゲート電極GEの側壁（側面）および底面（下面）に連続的に形成されている。

【0041】

つまり、本実施の形態においては、SOI基板SUB上に、半導体層EP1を覆うように絶縁膜IL1が形成されており、ゲート電極GEは、絶縁膜IL1に形成された溝TR内に埋め込まれている。具体的には、ゲート絶縁膜GIが溝TRの側面上および底面上に形成されており、ゲート電極GEは、ゲート絶縁膜GIを介して溝TR内に埋め込まれている。

10

【0042】

また、好ましくは、ゲート電極GEの側壁上に、ゲート絶縁膜GIを介して側壁絶縁膜SW3が形成されている。すなわち、ゲート電極GEの側壁と絶縁膜IL1との間に、ゲート絶縁膜GIだけでなく、側壁絶縁膜SW3も介在している。ゲート絶縁膜GIは、ゲート電極GEに接しているが、側壁絶縁膜SW3は、ゲート電極GEとは接しておらず、側壁絶縁膜SW3とゲート電極GEの間には、ゲート絶縁膜GIが介在している。

【0043】

ゲート電極GEが埋め込まれた状態の絶縁膜IL1上には、ゲート電極GEを覆うように、絶縁膜IL2が形成されている。

【0044】

絶縁膜IL1, IL2には後述のコンタクトホールCNT（ここでは図示せず）が形成され、コンタクトホールCNT内には後述のプラグPG（ここでは図示せず）が形成されているが、ここではその図示は省略する。また、絶縁膜IL2上には、後述の絶縁膜IL3（ここでは図示せず）および後述の配線M1（ここでは図示せず）が形成されているが、ここではその図示は省略する。

20

【0045】

<半導体装置の製造工程について>

次に、本実施の形態の半導体装置の製造工程を、図面を参照して説明する。図3および図4は、本実施の形態の半導体装置の製造工程を示す工程フロー図である。図5～図29は、本実施の形態の半導体装置の製造工程中の要部断面図である。

30

【0046】

まず、図5に示されるように、SOI基板SUBを準備する（図3のステップS1）。

【0047】

SOI基板SUBは、単結晶シリコンなどからなる基板SUB1と、基板SUB1の主面上に形成された酸化シリコンなどからなる絶縁層BOX1と、絶縁層BOX1の上面上に形成された単結晶シリコンからなる半導体層SM1とを有している。

【0048】

基板SUB1の厚みに比べて半導体層SM1の厚みは薄い。半導体層SM1の厚みは、例えば、3～20nm程度とすることができる。

【0049】

SOI基板SUBは、種々の手法を用いて製造することができる。例えば、表面に酸化膜を形成した半導体基板（シリコン基板）と、もう1枚の半導体基板（シリコン基板）とを、高熱および圧力を加えることで接着して貼り合わせた後、片側のシリコン層（シリコン基板）を薄膜化することで、SOI基板SUBを形成することができる。あるいは、Si（シリコン）からなる半導体基板の主面に対して高いエネルギーでO₂（酸素）をイオン注入し、その後の熱処理でSi（シリコン）と酸素とを結合させ、半導体基板の表面よりも少し深い位置に埋込み酸化膜（BOX膜）を形成するSIMOX（Silicon Implanted Oxide）法で、SOI基板SUBを形成することができる。更に他の手法、例えばスマートカット（Smart Cut）プロセスなどを用いて、SOI基板SUBを製造することもできる。

40

50

【0050】

次に、SOI基板SUBに素子分離領域（図示せず）を形成する。素子分離領域は、例えば、SOI基板SUB（半導体層SM1）の主面に、半導体層SM1および絶縁層BOX1を貫通して底部が基板SUB1中に位置する素子分離溝を、フォトリソグラフィ技術およびドライエッチング技術などを用いて形成し、この素子分離溝に、成膜技術およびCMP技術などを用いて絶縁膜を埋め込むことで、形成することができる。素子分離領域によって平面的に囲まれた半導体層SM1に、以下に説明するようにMISFETが形成される。

【0051】

次に、半導体層SM1のうち、nチャネル型MISFETを形成する予定の領域における半導体層SM1に対して、p型ウエル（p型半導体領域）とするためのp型不純物（例えばホウ素）をイオン注入などにより導入する。

【0052】

次に、図6に示されるように、SOI基板SUB上に、すなわち半導体層SM1上に、ダミーゲート（ダミーゲート電極、ダミーゲート構造体）GEDを形成する（図3のステップS2）。

【0053】

ダミーゲートGED（特にダミーゲートGEDのポリシリコン膜PL1）は、MISFETのゲート（ゲート電極）としては機能しないダミー（擬似的）のゲート（ゲート電極）である。ダミーゲートGEDは、絶縁膜GIDとその上のポリシリコン膜（多結晶シリコン膜）PL1とその上の窒化シリコン膜SN1との積層膜からなる。窒化シリコン膜SN1の代わりに、他の絶縁膜、例えば酸化シリコン膜を用いることもできる。絶縁膜GIDとしては、酸化シリコン膜を用いることができる。

【0054】

ポリシリコン膜PL1は、半導体層SM1上に直接的に形成することもできるが、半導体層SM1上に絶縁膜GIDを介してポリシリコン膜PL1を形成することが好ましい。絶縁膜GIDは、後で除去するため、ゲート絶縁膜としては機能しないダミーのゲート絶縁膜である。絶縁膜GIDとしては、酸化シリコン膜を好適に用いることができ、絶縁膜GIDの厚みは、ポリシリコン膜PL1よりも薄い。

【0055】

絶縁膜GIDは、後でポリシリコン膜PL1を除去する際（後述のステップS13の第2段階のエッチングに対応）にエッチングストップ膜（半導体層SM1のエッチング防止膜）として用いることができ、そのときに半導体層SM1がエッチングされてしまうのを防止することができる。このため、ポリシリコン膜PL1と半導体層SM1との間に絶縁膜GIDを介在させておくことが好ましい。

【0056】

ダミーゲートGEDを形成するには、例えば、SOI基板SUBの主面上（すなわち半導体層SM1の主面上）に酸化シリコン膜（この酸化シリコン膜が絶縁膜GIDとなる）を形成してから、その上にポリシリコン膜PL1および窒化シリコン膜SN1を順に形成（堆積）する。それから、このポリシリコン膜PL1と窒化シリコン膜SN1との積層膜をフォトリソグラフィ技術およびエッチング技術を用いてパターンングすることにより、ダミーゲートGEDを形成することができる。ダミーゲートGEDと半導体層SM1の間には、絶縁膜GID（この場合は酸化シリコン膜）が介在することになる。

【0057】

また、ダミーゲートGEDは、後で除去するため、導電性を有していなくともよく、ポリシリコン膜PL1を、他の材料膜に置き換えることもできる。但し、後で除去しやすいこと、酸化シリコン膜や窒化シリコン膜などに対する高いエッチング選択比を確保しやすいこと、ダミーゲートに加工しやすいこと、工程上の不具合を生じにくいことなどの観点から、ポリシリコン膜PL1が好適である。また、ポリシリコン膜PL1と同層のポリシリコン膜を用いて、他の素子（例えばポリシリコン抵抗など）を形成することもできる。

10

20

30

40

50

【 0 0 5 8 】

次に、ダミーゲート G E D の側壁上に、側壁膜として側壁絶縁膜（オフセットスペーサ） S W 1 を形成する（図 3 のステップ S 3 ）。

【 0 0 5 9 】

ステップ S 3 の側壁絶縁膜 S W 1 形成工程は、次のようにして行うことができる。すなわち、まず、図 7 に示されるように、 S O I 基板 S U B の主面の全面に、ダミーゲート G E D を覆うように、酸化シリコン膜 S O 1 を C V D（Chemical Vapor Deposition：化学気相成長）法などにより形成（堆積）する。それから、この酸化シリコン膜 S O 1 をエッチバック（異方性エッチング）することで、図 8 に示されるように、ダミーゲート G E D の側壁上に酸化シリコン膜 S O 1 を残して側壁絶縁膜 S W 1 とし、他の領域の酸化シリコン膜 S O 1 を除去する。これにより、ダミーゲート G E D の側壁上に、側壁絶縁膜 S W 1 が形成される。側壁絶縁膜 S W 1 の厚み（ダミーゲート G E D の側壁に略垂直な方向の厚み）は、例えば 3 ~ 1 0 n m 程度とすることができる。

10

【 0 0 6 0 】

また、側壁絶縁膜 S W 1 および後述の側壁絶縁膜 S W 2 は、後で除去するため、必ずしも絶縁性を有していなくともよいが、側壁膜としての形成のしやすさや、除去時にエッチング残りが生じた場合の不具合を防止できるという観点などで、絶縁膜が好ましく、酸化シリコンや窒化シリコンは特に好適である。このため、側壁絶縁膜 S W 1 および後述の側壁絶縁膜 S W 2 の材料として、本実施の形態では酸化シリコンを用い、後述の実施の形態 2 では窒化シリコンを用いている。

20

【 0 0 6 1 】

次に、図 9 に示されるように、半導体層 S M 1 上に、半導体層 E P 1 をエピタキシャル成長させる（図 3 のステップ S 4 ）。

【 0 0 6 2 】

半導体層 E P 1 は、ダミーゲート G E D（より特定的にはダミーゲート G E D と側壁絶縁膜 S W 1 とからなる構造体）の両側の領域の半導体層 S M 1 上に形成される。すなわち、半導体層 S M 1 上において、ダミーゲート G E D（より特定的にはダミーゲート G E D と側壁絶縁膜 S W 1 とからなる構造体）の両側に、ダミーゲート G E D（より特定的にはダミーゲート G E D と側壁絶縁膜 S W 1 とからなる構造体）と隣り合うように、半導体層 E P 1 が形成される。

30

【 0 0 6 3 】

半導体層 E P 1 は、エピタキシャル成長により形成されたエピタキシャル層（エピタキシャル半導体層）であり、シリコン（単結晶シリコン）からなる。半導体層 E P 1 は、半導体層 S M 1 上に選択的にエピタキシャル成長し、側壁絶縁膜 S W 1 上や窒化シリコン膜 S N 1 上には形成されない。

【 0 0 6 4 】

半導体層 E P 1 をエピタキシャル成長させる際には、ダミーゲート G E D のポリシリコン膜 P L 1 は、上面が窒化シリコン膜 S N 1 で覆われ、側面（側壁）が側壁絶縁膜 S W 1 で覆われており、ダミーゲート G E D のポリシリコン膜 P L 1 が露出していない状態で半導体層 E P 1 をエピタキシャル成長させる。このため、ダミーゲート G E D のポリシリコン膜 P L 1 上にエピタキシャル層が形成されるのを防止することができる。

40

【 0 0 6 5 】

つまり、仮に側壁絶縁膜 S W 1 の形成を省略し、ダミーゲート G E D のポリシリコン膜 P L 1 の側壁が露出した状態で半導体層 E P 1 をエピタキシャル成長させた場合には、ポリシリコン膜 P L 1 の露出部上でもエピタキシャル成長してしまい、半導体層 E P 1 がポリシリコン膜 P L 1 とくっついてしまう虞がある。これを側壁絶縁膜 S W 1 によって防止することができる。

【 0 0 6 6 】

また、半導体層 E P 1 の側面 S F 1 がテーパを有するように、半導体層 E P 1 をエピタキシャル成長させることが好ましい。すなわち、 S O I 基板 S U B の主面（すなわち半導

50

体層SM1の主面)に対して、半導体層EP1の側面SF1が傾斜していることが好ましい。つまり、SOI基板SUBの主面(すなわち半導体層SM1の主面)と、半導体層EP1の側面SF1とのなす角度は、90°よりも小さい(すなわち<90°)ことが好ましい。換言すれば、ダミーゲートGEDから遠ざかるにしたがって、半導体層EP1の厚みが厚くなるように、半導体層EP1の側面SF1が傾斜していることが好ましい。半導体層EP1の側面SF1のテーパは、半導体層EP1の成膜用ガスの組成や成膜温度などを調整することにより、制御することができる。

【0067】

なお、半導体層EP1の側面SF1と半導体層SM1の主面(従ってSOI基板SUBの主面)とがなす角度が鋭角である場合を、半導体層EP1の側面SF1が傾斜していると称し、この側面SF1は、半導体層EP1の傾斜する側面である。このため、半導体層EP1の側面SF1が半導体層SM1の主面(従ってSOI基板SUBの主面)に対して垂直の場合は、半導体層EP1の側面SF1が傾斜しているとは言わない。

10

【0068】

半導体層EP1は、半導体層SM1のほぼ平坦な上面上に形成されるため、半導体層EP1の上面は、半導体層SM1の上面よりも高い位置になる。このため、ステップS4で形成された半導体層EP1の上面は、ダミーゲートGEDの直下における半導体層SM1の上面よりも高い位置になる。なお、高さをいうときは、基板SUBの主面に略垂直な方向の高さに対応している。

【0069】

20

半導体層SM1と半導体層SM1上に形成された半導体層EP1とを合わせたものを、以下では、半導体層SM2と称することとする。

【0070】

次に、図10に示されるように、半導体層SM2(すなわち半導体層SM1, EP1)におけるダミーゲートGEDおよび側壁絶縁膜SW1の両側の領域に、リン(P)またはヒ素(As)などのn型の不純物をイオン注入することにより、n⁻型半導体領域(エクステンション領域、LDD領域)EXを形成する(図3のステップS5)。n⁻型半導体領域EXを形成するためのイオン注入工程では、ダミーゲートGEDおよび側壁絶縁膜SW1がマスク(イオン注入阻止マスク)として機能することができる。このため、n⁻型半導体領域EXは、半導体層SM1および半導体層EP1(の積層体)において、ダミーゲートGEDの側壁上の側壁絶縁膜SW1に対して自己整合して形成される。

30

【0071】

次に、ダミーゲートGEDの側壁上に、側壁膜として側壁絶縁膜(サイドウォールスペーサ)SW2を形成する(図3のステップS6)。

【0072】

ステップS6の側壁絶縁膜SW2形成工程は、次のようにして行うことができる。すなわち、まず、図11に示されるように、SOI基板SUBの主面の全面に、ダミーゲートGEDおよび側壁絶縁膜SW1を覆うように、酸化シリコン膜SO2をCVD法などにより形成(堆積)する。それから、この酸化シリコン膜SO2をエッチバック(異方性エッチング)することで、図12に示されるように、ダミーゲートGEDの側壁上に酸化シリコン膜SO2を残して側壁絶縁膜SW2とし、他の領域の酸化シリコン膜SO2を除去する。これにより、ダミーゲートGEDの側壁上に、側壁絶縁膜SW1を介して、側壁絶縁膜SW2が形成される。側壁絶縁膜SW2の厚み(ダミーゲートGEDの側壁に略垂直な方向の厚み)は、例えば3~10nm程度とすることができる。

40

【0073】

側壁絶縁膜SW2は、ダミーゲートGEDの側壁に側壁絶縁膜SW1を介して隣接し、かつ、半導体層EP1上(具体的には半導体層EP1の傾斜した側面SF1上)に形成される。すなわち、側壁絶縁膜SW2の底面が半導体層EP2(具体的には半導体層EP1の傾斜した側面SF1)に接し、側壁絶縁膜SW2の内壁(ダミーゲートGEDに対向する側の側面)がダミーゲートGEDの側壁上の側壁絶縁膜SW1に接している。

50

【0074】

次に、図13に示されるように、半導体層SM2（すなわち半導体層SM1，EP1）におけるダミーゲートGEDおよび側壁絶縁膜SW1，SW2の両側の領域に、リン（P）またはヒ素（As）などのn型の不純物をイオン注入することにより、n⁺型半導体領域SDを形成する（図3のステップS7）。n⁺型半導体領域SDを形成するためのイオン注入工程では、ダミーゲートGEDおよび側壁絶縁膜SW1，SW2がマスク（イオン注入阻止マスク）として機能することができる。このため、n⁺型半導体領域SDは、ダミーゲートGEDの側壁上に側壁絶縁膜SW1を介して形成された側壁絶縁膜SW2に対して自己整合して形成される。n⁺型半導体領域SDは、n⁻型半導体領域EXよりも、不純物濃度が高い。

10

【0075】

n⁻型半導体領域EXを形成するためのイオン注入では、半導体層SM2（SM1，EP1）の比較的浅い領域にn型不純物を注入することができるが、それに比べて、n⁺型半導体領域SDを形成するためのイオン注入では、半導体層SM2（SM1，EP1）の深い領域にまで（すなわち半導体層SM2の厚み全体に対して）n型不純物を注入する。

【0076】

ステップS6で側壁絶縁膜SW2を形成する前に、n⁻型半導体領域EXを形成するためのイオン注入（ステップS5）を行い、ステップS6で側壁絶縁膜SW2を形成した後で、n⁺型半導体領域SDを形成するためのイオン注入（ステップS7）を行っている。このため、ステップS7までを行うと、n⁻型半導体領域EXは、側壁絶縁膜SW2の直下の部分の半導体層SM2（SM1，EP1）に形成されている状態となる。後述のステップS13でダミーゲートGEDとともに側壁絶縁膜SW2も除去してから後述のステップS14～S16でゲート電極GEを形成するため、側壁絶縁膜SW2が存在していた領域にもゲート電極GEが形成されることになる。このため、後でゲート電極GEを形成すると、n⁻型半導体領域EXは、ゲート電極GEの一部（ゲート長方向の両端部側）の直下にほぼ形成されている状態となる。

20

【0077】

次に、n⁺型半導体領域SDおよびn⁻型半導体領域EXなどに導入された不純物を活性化するための熱処理である活性化アニールを行う（図3のステップS8）。また、イオン注入領域がアモルファス化された場合は、このステップS8の活性化アニール時に、結晶化させることができる。

30

【0078】

次に、ダミーゲートGEDの側壁上に、側壁膜として側壁絶縁膜（サイドウォールスペーサ）SW3を形成する（図3のステップS9）。

【0079】

ステップS9の側壁絶縁膜SW3形成工程は、次のようにして行うことができる。すなわち、まず、図14に示されるように、SOI基板SUBの主面の全面に、ダミーゲートGEDおよび側壁絶縁膜SW1，SW2を覆うように、窒化シリコン膜SN2をCVD法などにより形成（堆積）する。それから、この窒化シリコン膜SN2をエッチバック（異方性エッチング）することで、図15に示されるように、ダミーゲートGEDの側壁上に窒化シリコン膜SN2を残して側壁絶縁膜SW3とし、他の領域の窒化シリコン膜SN2を除去する。これにより、ダミーゲートGEDの側壁上に、側壁絶縁膜SW1，SW2を介して、側壁絶縁膜（サイドウォールスペーサ）SW3が形成される。側壁絶縁膜SW3の厚み（ダミーゲートGEDの側壁に略垂直な方向の厚み）は、例えば10～30nm程度とすることができる。

40

【0080】

この段階で、ダミーゲートGEDの側壁上には、ダミーゲートGEDに近い順に、側壁絶縁膜SW1と側壁絶縁膜SW2と側壁絶縁膜SW3とが形成（積層）された状態となっている。

【0081】

50

側壁絶縁膜 S W 3 の形成を省略することもできるが、側壁絶縁膜 S W 3 を形成することが、より好ましい。側壁絶縁膜 S W 3 を形成した場合には、金属シリサイド層 S I L の形成位置をダミーゲート G E D の位置から、側壁絶縁膜 S W 1 , S W 2 の厚みに加えて側壁絶縁膜 S W 3 の厚みの分も、離れさせることができる。このため、半導体層 E P 1 の厚みが比較的厚い領域（従って半導体層 S M 2 の厚みが比較的厚い領域）に金属シリサイド層 S I L を形成することができる。従って、半導体層 S M 2 において、金属シリサイド層 S I L を形成することに伴って厚み方向にシリコン領域が無くなる領域が発生してしまうのを防止することができる。また、後の工程で側壁絶縁膜 S W 3 を残した状態でゲート電極 G E およびゲート絶縁膜 G I を形成すれば、金属シリサイド層 S I L とゲート電極 G E との間に、ゲート絶縁膜 G I だけでなく側壁絶縁膜 S W 3 も介在することになるため、ゲート電極 G E と金属シリサイド層 S I L との間の耐圧を向上させることができる。

10

【 0 0 8 2 】

次に、シリサイド (Salicide : Self Aligned Silicide) 技術により、 n^+ 型半導体領域 S D の表面（上層部）に低抵抗の金属シリサイド層 S I L を形成する（図 4 のステップ S 1 0）。

【 0 0 8 3 】

ステップ S 1 0 の金属シリサイド層 S I L 形成工程は、次のようにして行うことができる。すなわち、まず、 n^+ 型半導体領域 S D の表面（具体的にはダミーゲート G E D および側壁絶縁膜 S W 1 , S W 2 , S W 3 で覆われていない部分の半導体層 E P 1 の表面）を露出させてから、図 1 6 に示されるように、ダミーゲート G E D、側壁絶縁膜 S W 1 , S W 2 , S W 3 および n^+ 型半導体領域 S D を覆うように、S O I 基板 S U B の主面（全面）上に、金属膜 M E を形成（堆積）する。金属膜 M E は、例えばコバルト (C o) 膜、ニッケル (N i) 膜、またはニッケル白金合金膜などからなり、スパッタリング法などを用いて形成することができる。それから、熱処理によって、金属膜 M E と n^+ 型半導体領域 S D（を構成するシリコン）とを反応させる。これにより、図 1 7 に示されるように、 n^+ 型半導体領域 S D の表面に、金属シリサイド層 S I L が形成される。その後、未反応の金属膜 M E は除去し、図 1 7 は、この段階が示されている。

20

【 0 0 8 4 】

金属膜 M E がコバルト膜の場合は、金属シリサイド層 S I L はコバルトシリサイド層であり、金属膜 M E がニッケル膜の場合は、金属シリサイド層 S I L はニッケルシリサイド層であり、金属膜 M E がニッケル白金合金膜の場合は、金属シリサイド層 S I L はニッケル白金シリサイド層となる。金属シリサイド層 S I L を形成したことで、 n^+ 型半導体領域 S D の拡散抵抗やコンタクト抵抗などを低抵抗化することができる。

30

【 0 0 8 5 】

n^+ 型半導体領域 S D の表面（上層部）に金属シリサイド層 S I L が形成されるが、金属シリサイド層 S I L は、主として半導体層 E P 1 に形成される。

【 0 0 8 6 】

なお、ダミーゲート G E D の側壁上には側壁絶縁膜 S W 1 , S W 2 が形成され、ダミーゲート G E D のポリシリコン膜 P L 1 上には窒化シリコン膜 S N 1 が形成されているため、ダミーゲート G E D のポリシリコン膜 P L 1 は金属膜 M E と接触せず、ポリシリコン膜 P L 1 は金属膜 M E と反応しない。このため、ダミーゲート G E D のポリシリコン膜 P L 1 の表面には、金属シリサイド層は形成されない。

40

【 0 0 8 7 】

次に、図 1 8 に示されるように、S O I 基板 S U B の主面（主面全面）上に絶縁膜（層間絶縁膜）I L 1 を形成する（図 4 のステップ S 1 1）。すなわち、ダミーゲート G E D および側壁絶縁膜 S W 1 , S W 2 , S W 3 を覆うように、S O I 基板 S U B の主面上に絶縁膜 I L 1 を形成する。絶縁膜 I L 1 は、好ましくは、窒化シリコン膜（ライナ膜）S N 3 と窒化シリコン膜 S N 3 上の絶縁膜（層間絶縁膜）S O 3 との積層膜からなる。絶縁膜 S O 3 の膜厚は窒化シリコン膜 S N 3 の膜厚よりも厚い。絶縁膜 S O 3 としては、酸化シリコン系の絶縁膜を用いることができる。ここで、酸化シリコン系の絶縁膜とは、酸化シ

50

リコンを主体とする絶縁膜であるが、炭素（C）、フッ素（F）、窒素（N）、ホウ素（B）およびリン（P）のうち一種以上を更に含有することもできる。

【0088】

また、本実施の形態では、ライナ膜SN3として絶縁膜である窒化シリコン膜SN3を例示しているが、これに代えて酸窒化シリコン膜を用いてもよい。すなわち、後述の溝TRやコンタクトホールCNTを形成する際に、エッチングストップパとして機能する絶縁膜であればよい。

【0089】

次に、図19に示されるように、絶縁膜IL1の表面（上面）をCMP（Chemical Mechanical Polishing：化学機械研磨）法などにより研磨することにより、ダミーゲートGEDの上面（すなわち窒化シリコン膜SN1の上面）を露出させる（図4のステップS12）。すなわち、ダミーゲートGEDの窒化シリコン膜SN1の上面が露出するまで、絶縁膜IL1をCMP法で研磨する。ステップS12は、絶縁膜IL1の一部（少なくとも、ダミーゲートGEDを覆う部分の絶縁膜IL1）を除去してダミーゲートGEDの上面を露出させる工程である。

10

【0090】

次に、図20に示されるように、ダミーゲートGEDおよび側壁絶縁膜SW1、SW2を、エッチングにより除去する（図4のステップS13）。

【0091】

このステップS13でダミーゲートGEDおよび側壁絶縁膜SW1、SW2を除去することにより、図20に示されるように、溝（凹部、開口部、窪み部）TRが形成される。溝TRは、ダミーゲートGEDおよび側壁絶縁膜SW1、SW2の除去前までダミーゲートGEDおよび側壁絶縁膜SW1、SW2が存在していた領域（空間）からなる。溝TRからは、半導体層SM1の上面と、半導体層EP1の傾斜した側面SF1と、側壁絶縁膜SW3の内壁とが露出される。

20

【0092】

溝TRの底面は、半導体層SM1の上面と半導体層EP1の傾斜した側面SF1とにより形成されている。溝TRの側面（側壁）は、側壁絶縁膜SW3の内壁により形成されている。つまり、溝TRから露出する半導体層SM1の上面から半導体層EP1の傾斜した側面SF1までを、溝TRの底面とみなすことができる。溝TRの上部は開放されている。ここで、側壁絶縁膜SW3の内壁とは、側壁絶縁膜SW3において、側壁絶縁膜SW2を除去するまで側壁絶縁膜SW2に接していた側の側面（側壁）に対応している。

30

【0093】

ステップS13のエッチング工程について、以下、具体的に説明する。

【0094】

ステップS13のエッチングは、次の3段階（第1段階、第2段階および第3段階、図21～図23参照）のエッチングにより行うことが好ましい。

【0095】

すなわち、ステップS12のCMP処理により図19の構造を得た後、ステップS13における第1段階のエッチングにより、図21に示されるように、ダミーゲートGEDの窒化シリコン膜SN1を除去する。この第1段階のエッチングは、窒化シリコン膜SN1のエッチング速度が、ポリシリコン膜PL1のエッチング速度よりも速くなるようなエッチング条件で、窒化シリコン膜SN1を選択的にエッチングすることが好ましい。第1段階のエッチングにより、窒化シリコン膜SN1が除去されて、ポリシリコン膜PL1が露出される。

40

【0096】

第1段階のエッチングで窒化シリコン膜SN1を除去した後、エッチング条件を変えて、ステップS13における第2段階のエッチングにより、図22に示されるように、ダミーゲートGEDのポリシリコン膜PL1を除去する。この第2段階のエッチングは、ポリシリコン膜PL1のエッチング速度が、側壁絶縁膜SW1、SW2および絶縁膜GID（

50

具体的には酸化シリコン)のエッチング速度よりも速くなるようなエッチング条件で、ポリシリコン膜 P L 1 を選択的にエッチングすることが好ましい。第 2 段階のエッチングにより、ポリシリコン膜 P L 1 が除去されて、側壁絶縁膜 S W 1 および絶縁膜 G I D が露出される。すなわち、第 2 段階のエッチングでは、ポリシリコン膜 P L 1 をエッチングするとともに、側壁絶縁膜 S W 1 および絶縁膜 G I D をエッチングストッパとして機能させることができる。ここでは、側壁絶縁膜 S W 1 , S W 2 および絶縁膜 G I D を酸化シリコンにより形成しているため、ポリシリコン膜 P L 1 と側壁絶縁膜 S W 1 , S W 2 および絶縁膜 G I D との高いエッチング選択比を確保することは容易である。また、半導体層 S M 1 とポリシリコン膜 P L 1 との間に絶縁膜 G I D を設けていたことで、第 2 段階のエッチングでポリシリコン膜 P L 1 を除去した際に、半導体層 S M 1 がエッチングされてしまうのを防止することができる。

10

【 0 0 9 7 】

第 2 段階のエッチングでポリシリコン膜 P L 1 を除去した後、エッチング条件を変えて、ステップ S 1 3 における第 3 段階のエッチングにより、図 2 3 に示されるように、側壁絶縁膜 S W 1 , S W 2 および絶縁膜 G I D を除去する。この第 3 段階のエッチングは、側壁絶縁膜 S W 1 , S W 2 および絶縁膜 G I D のエッチング速度が、半導体層 S M 1 , E P 1 のエッチング速度よりも速くなるようなエッチング条件で、側壁絶縁膜 S W 1 , S W 2 および絶縁膜 G I D を選択的にエッチングすることが好ましい。これにより、第 3 段階のエッチングで半導体層 S M 1 , E P 1 がエッチングされてしまうのを抑制または防止することができる。側壁絶縁膜 S W 1 と側壁絶縁膜 S W 2 とを同じ材料(ここでは酸化シリコン)により形成しておけば、側壁絶縁膜 S W 1 と側壁絶縁膜 S W 2 とを同じエッチング工程で連続的にエッチングすることができる。また、絶縁膜 G I D と側壁絶縁膜 S W 1 , S W 2 とを同じ材料(ここでは酸化シリコン)により形成しておけば、絶縁膜 G I D を、側壁絶縁膜 S W 1 , S W 2 を除去するのと同じエッチング工程で除去することができる。

20

【 0 0 9 8 】

また、第 3 段階のエッチングでは、側壁絶縁膜 S W 1 , S W 2 は除去されるが、側壁絶縁膜 S W 3 は残存させることが好ましい。このため、本実施の形態では、側壁絶縁膜 S W 3 を側壁絶縁膜 S W 1 , S W 2 とは異なる材料により形成しておき、側壁絶縁膜 S W 1 , S W 2 (具体的には酸化シリコン)のエッチング速度が、側壁絶縁膜 S W 3 (具体的には窒化シリコン)および半導体層 S M 1 , E P 1 のエッチング速度よりも速くなるようなエッチング条件で、第 3 段階のエッチングを行う。ここでは、側壁絶縁膜 S W 1 , S W 2 は酸化シリコン膜 S O 1 , S O 2 により形成され、側壁絶縁膜 S W 3 は窒化シリコン膜 S N 2 により形成されているため、側壁絶縁膜 S W 1 , S W 2 と側壁絶縁膜 S W 3 との高いエッチング選択比を確保することは容易である。すなわち、第 3 段階のエッチングでは、側壁絶縁膜 S W 1 , S W 2 をエッチングするとともに、側壁絶縁膜 S W 3 をエッチングストッパとして機能させることができる。また、側壁絶縁膜 S W 1 , S W 2 は酸化シリコン膜 S O 1 , S O 2 により形成されているため、側壁絶縁膜 S W 1 , S W 2 と半導体層 S M 1 , E P 1 との高いエッチング選択比を確保することも容易である。

30

【 0 0 9 9 】

また、側壁絶縁膜 S W 3 の形成を省略した場合は、第 3 段階のエッチングで側壁絶縁膜 S W 1 , S W 2 を除去すると、絶縁膜 I L 1 (より特定的には絶縁膜 I L 1 の窒化シリコン膜 S N 3)が露出することになる。この場合、絶縁膜 I L 1 の窒化シリコン膜 S N 3 をエッチングストッパとして機能させることができる。すなわち、側壁絶縁膜 S W 3 は必ずしも形成されている必要は無い。なお、ライナ膜 S N 3 の材料を窒化シリコン膜に代えて、酸窒化シリコン膜を用いてもよい。

40

【 0 1 0 0 】

また、絶縁膜 G I D が側壁絶縁膜 S W 1 , S W 2 と異なる材料により形成されていた場合は、側壁絶縁膜 S W 1 , S W 2 をエッチングで除去した後に、エッチング条件を変えて絶縁膜 G I D を選択的に除去することもできる。

【 0 1 0 1 】

50

また、側壁絶縁膜 S W 1 , S W 2 を除去する際に、絶縁膜 I L 1 の絶縁膜 S O 3 の一部がエッチングされる場合もあるが、絶縁膜 S O 3 の厚みは厚く、また、絶縁膜 S O 3 の下には窒化シリコン膜 S N 3 があるため、許容することができる。

【 0 1 0 2 】

上記 3 段階（第 1 段階、第 2 段階および第 3 段階）のエッチングによりダミーゲート G E D および側壁絶縁膜 S W 1 , S W 2 を除去することで、図 2 0 および図 2 3 に示されるように、溝 T R が形成される。

【 0 1 0 3 】

続いて、ステップ S 1 3 よりも後の工程について説明する。

【 0 1 0 4 】

ステップ S 1 3 の後、図 2 4 に示されるように、溝 T R の底面および側面（側壁）上を含む S O I 基板 S U B の主面（主面全面）上に、ゲート絶縁膜用の絶縁膜 G I a を形成する（図 4 のステップ S 1 4 ）。

【 0 1 0 5 】

絶縁膜 G I a は、例えば、A L D（Atomic layer Deposition：原子層堆積）法または C V D 法により形成することができる。絶縁膜 G I a としては、例えば、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化タンタル膜または酸化ランタン膜などの金属酸化物膜を用いることができ、また、これらの金属酸化物膜は、窒素（N）またはケイ素（Si）の一方または両方を含有することもできる。この場合、絶縁膜 G I a は、窒化シリコン膜よりも高い誘電率（比誘電率）を有する高誘電率膜（いわゆる H i g h - k 膜）である。また、絶縁膜 G I a として、酸化シリコンまたは酸窒化シリコン膜を用いることも可能である。但し、絶縁膜 G I a に高誘電率膜を用いた場合は、同じ物理的膜厚を有する酸化シリコン膜を用いた場合に比べて、ゲート絶縁膜（G I）の酸化シリコン換算膜厚を増加させることができるため、リーク電流を低減できるという利点を得られる。なお、絶縁膜 G I a の物理的膜厚は、2 n m ~ 5 n m 程度である。

【 0 1 0 6 】

また、絶縁膜 G I a に高誘電率膜を用いる場合は、絶縁膜 G I a の形成に先立って、界面層として 1 n m 以下の酸化シリコン膜を形成してもよい。この界面層の物理的膜厚は、上記金属酸化物膜（高誘電率膜）の物理的膜厚よりも薄く形成される。なお、界面層は熱酸化法によって、半導体層 S M 1 上に形成することができる。

【 0 1 0 7 】

絶縁膜 G I a は、少なくとも、溝 T R から露出する部分の半導体層 S M 1 , E P 1 上に形成する必要があるが、実際には、溝 T R から露出する部分の半導体層 S M 1 , E P 1 上だけでなく、溝 T R から露出する側壁絶縁膜 S W 3 の内壁上と、絶縁膜 I L 1 上にも、絶縁膜 G I a が形成される。すなわち、溝 T R の底部および側壁上を含む絶縁膜 I L 1 上に絶縁膜 G I a が形成される。

【 0 1 0 8 】

次に、図 2 5 に示されるように、S O I 基板 S U B の主面上に、すなわち絶縁膜 G I a 上に、ゲート電極用の導電膜（導電体膜）C D を形成する（図 4 のステップ S 1 5）。この導電膜 C D は、絶縁膜 G I a 上に、溝 T R 内を埋めるように形成される。

【 0 1 0 9 】

導電膜 C D としては、例えば、窒化チタン（T i N）膜、窒化タンタル（T a N）膜、窒化タングステン（W N）膜、炭化チタン（T i C）膜、炭化タンタル（T a C）膜、炭化タングステン（W C）膜または窒化炭化タンタル（T a C N）膜などの、金属膜を用いることができる。なお、ここで言う金属膜とは、金属伝導を示す導電膜を言い、単体の金属膜（純金属膜）や合金膜だけでなく、金属伝導を示す金属化合物膜（窒化金属膜や炭化金属膜など）も含むものとする。導電膜 C D は、金属膜の場合、例えばスパッタリング法などを用いて形成することができる。導電膜 C D に金属膜を用いた場合は、後で形成されるゲート電極 G E をメタルゲート電極とすることができるため、ゲート電極 G E の空乏化現象を抑制し、寄生容量をなくすことができるという利点を得られる。また、M I S F E

10

20

30

40

50

T素子の小型化（ゲート絶縁膜の薄膜化）も可能になるという利点も得られる。

【0110】

また、メタルゲート電極の変形例として、上記金属膜とポリシリコン膜（ドーフトポリシリコン膜）の積層型のゲート電極とすることもできる。この場合、まず、溝TR内に上記金属膜を形成し、その後、溝TR内を埋め込むようにポリシリコン膜を形成することで、積層型のゲート電極を得られる。この場合、導電膜CDは、上記金属膜とその上のポリシリコン膜（ドーフトポリシリコン膜）との積層膜により構成されることになる。

【0111】

また、メタルゲート電極の他の変形例として、異なる金属膜を積層させても良い。この場合、例えば、溝TR内に第1金属膜を形成し、その後、溝TR内を埋め込むように第2金属膜を形成することで、積層型のゲート電極を得られる。この場合、導電膜CDは、第1金属膜とその上の第2金属膜との積層膜により構成されることになる。この時、積層させる金属（金属膜）は2層に限らず、2層以上の複数層としても良い。

10

【0112】

次に、図26に示されるように、溝TR内に導電膜CDを残し、溝TRの外部の導電膜CDをCMP法などにより除去して、ゲート電極GEを形成する（図4のステップS16）。ゲート電極GEは、溝TR内に残存する導電膜CDからなる。

【0113】

ステップS16においては、溝TRの外部の導電膜CDをCMP法で研磨して除去する際に、溝TRの外部の絶縁膜G Iaも除去される。すなわち、絶縁膜IL1（の絶縁膜SO3）の上面が露出するまで導電膜CDおよび絶縁膜G Iaを研磨し、それによって、溝TRの外部の導電膜CDおよび絶縁膜G Iaを除去し、溝TR内に導電膜CDおよび絶縁膜G Iaを残す。これにより、溝TR内には導電膜CDおよび絶縁膜G Iaが残存し、溝TR内に残存する導電膜CDがゲート電極GEとなり、溝TR内に残存する絶縁膜G Iaがゲート絶縁膜GIとなる。すなわち、ステップS14～S16は、溝TR内にゲート絶縁膜GIを介してゲート電極GEを形成する工程である。

20

【0114】

ゲート電極GEと半導体層SM1（の上面）との間と、ゲート電極GEと半導体層EP1（の傾斜した側面SF1）との間と、ゲート電極GEと側壁絶縁膜SW3（の内壁）との間には、ゲート絶縁膜GI（絶縁膜G Ia）が介在する。ゲート電極GEおよびゲート絶縁膜GIは、MISFETのゲート電極およびゲート絶縁膜としてそれぞれ機能する。つまり、半導体層SM2上にゲート絶縁膜GIを介してゲート電極GEを形成するのである。

30

【0115】

ゲート絶縁膜GI（絶縁膜G Ia）を介してゲート電極GEの下に位置する半導体層SM1に、MISFETのチャネル領域が形成される。また、MISFETのソースまたはドレインとして機能する半導体領域（不純物拡散層）は、半導体層SM2（SM1, EP1）に設けられたn⁻型半導体領域EXとそれよりも高不純物濃度のn⁺型半導体領域SDとにより形成され、LDD（Lightly doped Drain）構造を有している。

【0116】

なお、ゲート長方向において、ゲート電極GEの上部の長さは48nm程度であり、ゲート電極GEの下部長さ（チャネル領域の長さ）は28nm程度である。すなわち、ゲート長方向におけるゲート電極GEの最小長を、実質的なチャネル領域として利用している。

40

【0117】

このようにして、nチャネル型のMISFETが形成される。

【0118】

本実施の形態では、ダミーゲートGEDの側壁上に形成されかつ半導体層EP1の上に位置していた側壁絶縁膜SW2を、ステップS13でダミーゲートGEDとともに除去し、除去した領域（溝TR）にゲート電極GEを形成している。このため、ダミーゲートG

50

EDが存在していた領域だけでなく、側壁絶縁膜SW2が存在していた領域にもゲート電極GEを形成することができる。このため、ゲート電極GEのゲート長方向の寸法を、ダミーゲートGEDの寸法よりも大きくすることができ、ゲート電極GEの一部（ゲート長方向の両端部側）が半導体層EP1上に位置する、すなわち半導体層EP1上に乗り上げることになる。従って、ゲート電極GEにおけるゲート長方向の端部は、半導体層EP1の上に位置することになる。そして、 n^- 型半導体領域EXの少なくとも一部は、ゲート電極GEの直下に位置することになる。

【0119】

次に、図27に示されるように、SOI基板SUBの主面全面上に、すなわちゲート電極GEが埋め込まれた絶縁膜IL1上に、絶縁膜（層間絶縁膜）IL2を形成する。絶縁膜IL2としては、酸化シリコン系の絶縁膜を用いることができる。絶縁膜IL2は、絶縁膜IL1上に、ゲート電極GEの上を覆うように、形成される。

10

【0120】

絶縁膜IL2の形成後、絶縁膜IL2の表面（上面）をCMP法により研磨するなどして、絶縁膜IL2の上面の平坦性を高めることもできる。

【0121】

次に、図28に示されるように、絶縁膜IL2上に形成したフォトリジストパターン（図示せず）をエッチングマスクとして用いて、絶縁膜IL2および絶縁膜IL1をドライエッチングすることにより、絶縁膜IL1、IL2にコンタクトホール（貫通孔、孔）CNTを形成する。コンタクトホールCNTは、絶縁膜IL1および絶縁膜IL2からなる積層膜（積層絶縁膜）を貫通するように形成される。

20

【0122】

コンタクトホールCNTを形成するには、まず、窒化シリコン膜SN3に比較して絶縁膜SO3および絶縁膜IL2がエッチングされやすい条件で絶縁膜IL2および絶縁膜SO3のドライエッチングを行い、窒化シリコン膜SN3をエッチングストップ膜として機能させることで、絶縁膜IL2および絶縁膜SO3にコンタクトホールCNTを形成する。それから、絶縁膜IL2および絶縁膜SO3に比較して窒化シリコン膜SN3がエッチングされやすい条件でコンタクトホールCNTの底部の窒化シリコン膜SN3をドライエッチングして除去することで、貫通孔としてのコンタクトホールCNTが形成される。

【0123】

コンタクトホールCNTは、例えば、 n^+ 型半導体領域SDの上部、またはゲート電極GEの上部などに形成される。 n^+ 型半導体領域SDの上部に形成されたコンタクトホールCNTの底部では、 n^+ 型半導体領域SD上の金属シリサイド層SILが露出される。コンタクトホールCNT形成時に窒化シリコン膜SN3をエッチングストップ膜として機能させたことで、コンタクトホールCNTの掘り過ぎや半導体層SM2のダメージを抑制または防止することができる。

30

【0124】

次に、コンタクトホールCNT内に、接続用の導電体部として、タングステン(W)などからなる導電性のプラグPGを形成する（埋め込む）。プラグPGは、次のようにして形成することができる。

40

【0125】

すなわち、まず、コンタクトホールCNTの内部（底部および側壁上）を含む絶縁膜IL2上に、スパッタリング法またはプラズマCVD法などによりバリア導体膜BR1（例えばチタン膜、窒化チタン膜、あるいはそれらの積層膜）を形成する。それから、タングステン膜などからなる主導体膜MC1を、CVD法などによってバリア導体膜BR1上にコンタクトホールCNTを埋めるように形成する。その後、コンタクトホールCNTの外部（絶縁膜IL2上）の不要な主導体膜MC1およびバリア導体膜BR1をCMP法またはエッチバック法などによって除去する。これにより、絶縁膜IL2の上面が露出し、絶縁膜IL1、IL2のコンタクトホールCNT内に埋め込まれて残存するバリア導体膜BR1および主導体膜MC1により、プラグPGが形成される。 n^+ 型半導体領域SDの上

50

部に形成されたプラグ P G は、その底部で n^+ 型半導体領域 S D の表面上の金属シリサイド層 S I L と接して電氣的に接続される。また、図示はしないけれども、プラグ P G がゲート電極 G E の上部に形成された場合は、そのプラグ P G は、そのプラグ P G の底部でゲート電極 G E と接して電氣的に接続される。

【 0 1 2 6 】

次に、図 2 9 に示されるように、プラグ P G が埋め込まれた絶縁膜 I L 2 上に、配線形成用の絶縁膜 I L 3 を形成する。絶縁膜 I L 3 は、単体膜（単体絶縁膜）または積層膜（積層絶縁膜）とすることができる。

【 0 1 2 7 】

次に、シングルダマシン法により第 1 層目の配線を形成する。まず、フォトリジストパターン（図示せず）をマスクとしたドライエッチングによって絶縁膜 I L 3 の所定の領域に配線溝 W T を形成した後、S O I 基板 S U B の主面上（すなわち配線溝 W T の底部および側壁を含む絶縁膜 I L 3 上）にバリア導体膜（バリアメタル膜）を形成する。バリア導体膜は、例えば窒化チタン膜、タンタル膜または窒化タンタル膜などを用いることができる。続いて、C V D 法またはスパッタリング法などによりバリア導体膜上に銅のシード層を形成し、さらに電解めっき法などを用いてシード層上に銅めっき膜（主導体膜）を形成する。銅めっき膜により配線溝 W T の内部を埋め込む。それから、配線溝 W T 以外の領域の銅めっき膜、シード層およびバリアメタル膜を C M P 法により除去して、銅を主導体材料とする第 1 層目の配線 M 1 を形成する。なお、図面の簡略化のために、図 2 9 では、配線 M 1 を構成する銅めっき膜、シード層およびバリアメタル膜を一体化して示してある。配線 M 1 は、プラグ P G に接続され、プラグ P G を介して、 n^+ 型半導体領域 S D またはゲート電極 G E などと電氣的に接続される。

【 0 1 2 8 】

その後、デュアルダマシン法により 2 層目以降の配線を形成するが、ここでは図示およびその説明は省略する。また、配線 M 1 および 2 層目以降の配線は、ダマシン配線に限定されず、配線用の導電体膜をパターンニングして形成することもでき、例えばタングステン配線またはアルミニウム配線などとすることもできる。

【 0 1 2 9 】

また、本実施の形態では、M I S F E T として、 n チャネル型の M I S F E T を形成する場合について説明したが、導電型を逆にして、 p チャネル型の M I S F E T を形成することもできる。また、同一の S O I 基板 S U B に n チャネル型の M I S F E T と p チャネル型の M I S F E T との両方を形成することもできる。これは、以下の実施の形態 2 ~ 4 についても同様である。

【 0 1 3 0 】

< 検討例について >

S O I 基板を用いて半導体装置を製造する場合、S O I 基板の半導体層上に、ソース・ドレイン用のシリコン層をエピタキシャル成長させる。これにより、例えば、ソース・ドレイン拡散層の深さを浅くしながら抵抗低減を図ることができ、また、サリサイドプロセスで金属シリサイド層を形成するのに適したシリコン膜厚を確保することができる。このような半導体装置について、検討した。

【 0 1 3 1 】

図 3 0 および図 3 1 は、第 1 検討例の半導体装置の要部断面図である。図 3 0 は、本実施の形態の上記図 1 に対応するものであり、図 3 1 は、本実施の形態の上記図 2 に対応するものである。

【 0 1 3 2 】

図 3 0 および図 3 1 に示される第 1 検討例の半導体装置は、上記ステップ S 1 0（金属シリサイド層 S I L 形成工程）までは本実施の形態と同様の工程を行っているが、それ以降の工程が相違している。すなわち、第 1 検討例の半導体装置を製造する場合は、ステップ S 1 0（金属シリサイド層 S I L 形成工程）までの工程を行って上記図 1 7 の構造を得た後に、S O I 基板 S U B の主面（主面全面）上に、上記窒化シリコン膜 S N 3 に相当す

10

20

30

40

50

る窒化シリコン膜 S N 1 0 3 と上記絶縁膜 S O 3 に相当する酸化シリコン膜 S O 1 0 3 との積層膜からなる層間絶縁膜 I L 1 0 1 を形成する。そして、層間絶縁膜 I L 1 0 1 の上面を C M P 法で平坦化するが、その際、本実施の形態とは異なり、上記ダミーゲート G E D は露出させない。その後、上記ステップ S 1 3 ~ S 1 6 は行わずに、層間絶縁膜 I L 1 0 1 に上記コンタクトホール C N T に相当するコンタクトホール（図示せず）を形成し、そのコンタクトホール内に上記プラグ P G に相当するプラグ（図示せず）を形成し、更に、上記絶縁膜 I L 3 と上記配線 M 1 とに相当するもの（図示せず）を形成する。

【 0 1 3 3 】

このため、図 3 0 および図 3 1 に示される第 1 検討例の半導体装置は、上記絶縁膜 G I D と上記ポリシリコン膜 P L 1 と上記窒化シリコン膜 S N 1 とが除去されずに残存して、それぞれゲート絶縁膜 G I 1 0 1 とゲート電極 G E 1 0 1 と窒化シリコン膜 S N 1 0 1 となっている。つまり、上記ステップ S 2 でゲート絶縁膜 G I 1 0 1 とゲート電極 G E 1 0 1 と窒化シリコン膜 S N 1 0 1 との積層構造体を形成し、これをそのまま製造後の半導体装置に残存させたものが、第 1 検討例の半導体装置に対応している。

10

【 0 1 3 4 】

図 3 2 および図 3 3 は、第 2 検討例の半導体装置の製造工程中の要部断面図である。図 3 4 および図 3 5 は、第 2 検討例の半導体装置の要部断面図であり、図 3 4 は、本実施の形態の上記図 1 に対応するものであり、図 3 5 は、本実施の形態の上記図 2 に対応するものである。

【 0 1 3 5 】

第 2 検討例の半導体装置を製造する場合は、上記ステップ S 1 2（絶縁膜 I L 1 の C M P 工程）までは本実施の形態と同様の工程を行っているが、それ以降の工程が相違している。すなわち、第 2 検討例の半導体装置を製造する場合は、ステップ S 1 2（絶縁膜 I L 1 の C M P 工程）までの工程を行って上記図 1 9 の構造を得た後に、図 3 2 に示されるように、上記ダミーゲート G E D の窒化シリコン膜 S N 1 およびポリシリコン膜 P L 1 をエッチングより除去するが、絶縁膜 G I D および側壁絶縁膜 S W 1 , S W 2 , S W 3 は除去せずに残存させる。それから、窒化シリコン膜 S N 1 およびポリシリコン膜 P L 1 が除去されることで形成された溝 T R 1 0 1 内を埋めるように絶縁膜 I L 1 上に導電膜を形成してから、溝 T R 1 0 1 の外部の導電膜を C M P 法で除去することにより、溝 T R 1 0 1 内にゲート電極 G E 1 0 2 を形成する。ゲート電極 G E 1 0 2 の下に残存する絶縁膜 G I D がゲート絶縁膜 G I 1 0 2 となる。その後は、本実施の形態と同様に、上記絶縁膜 I L 2 を形成し、上記コンタクトホール C N T を形成し、上記プラグ P G を形成し、上記絶縁膜 I L 3 を形成し、上記配線 M 1 を形成するが、ここではその図示は省略する。

20

30

【 0 1 3 6 】

図 3 0 および図 3 1 に示される第 1 検討例の半導体装置においては、ゲート電極 G E 1 0 1 の形成後にエピタキシャル層である半導体層 E P 1 を形成しているため、ゲート電極 G E 1 0 1 の端部（ゲート長方向の両端部）は、ソース・ドレイン用のエピタキシャル層である半導体層 E P 1 上に乗り上げていない。

【 0 1 3 7 】

また、図 3 4 および図 3 5 に示される第 2 検討例の半導体装置においては、ダミーゲート G E D の窒化シリコン膜 S N 1 およびポリシリコン膜 P L 1 をエッチングにより除去してそこにゲート電極 G E 1 0 2 を形成する。しかしながら、第 2 検討例の半導体装置では、側壁絶縁膜 S W 1 , S W 2 , S W 3（特に側壁絶縁膜 S W 2）を残存させるため、ゲート電極 G E 1 0 2 の端部（ゲート長方向の両端部）は、ソース・ドレイン用のエピタキシャル層である半導体層 E P 1 上に乗り上げていない。

40

【 0 1 3 8 】

図 3 0 および図 3 1 に示される第 1 検討例の半導体装置や図 3 4 および図 3 5 に示される第 2 検討例の半導体装置のように、ゲート電極 G E 1 0 1 , G E 1 0 2 の端部（ゲート長方向の両端部）が半導体層 E P 1 上に乗り上げていない構造では、次のような課題がある。

50

【0139】

第1の課題として、MISFETを有する半導体装置においては、ソースまたはドレイン用の半導体領域が、チャンネル領域との間に寄生抵抗を有していると、特性（電気的特性）の劣化を招く虞がある。例えば、ソースまたはドレイン用の半導体領域とチャンネル領域との間の寄生抵抗が大きいと、オン抵抗が増大してオン電流が低下するため、MISFETの電気的特性が低下する。また、ソースまたはドレイン用の半導体領域とチャンネル領域との間の寄生抵抗の値がばらつくことで、MISFET毎の特性ばらつきが増大する懸念もある。以下、「寄生抵抗」とは、ソースまたはドレイン用の半導体領域とチャンネル領域との間の寄生抵抗のことを指している。なお、ソースまたはドレイン用の半導体領域とは、 n^- 型半導体領域EXと n^+ 型半導体領域SDとを合わせたものに対応している。

10

【0140】

ソースまたはドレイン用の半導体領域とチャンネル領域との間の寄生抵抗を抑制するためには、ゲート電極の端部（ゲート長方向の両端部）をソースまたはドレイン用の半導体領域にオーバーラップさせることが有効である。

【0141】

しかしながら、図30および図31に示される第1検討例の半導体装置や図34および図35に示される第2検討例の半導体装置では、ソース・ドレイン用のエピタキシャル層である半導体層EP1上にゲート電極GE101、GE102の端部（ゲート長方向の両端部）が乗り上げていないため、ソースまたはドレイン用の半導体領域にゲート電極GE101、GE102をオーバーラップさせにくく、寄生抵抗が大きくなりやすい。

20

【0142】

また、単純にソース・ドレイン用の半導体領域をゲート電極GE101、GE102の下方にまで拡散させることを考えた場合でも、微細化によってゲート長が既にかなり短いので、ソースまたはドレイン用の半導体領域を拡散させすぎると、パンチスルーが起きやすくなってしまふ。

【0143】

更に、第2検討例では、溝TR101内のゲート絶縁膜として、本願の図24に示されるような絶縁膜GIaを形成した場合、ゲート絶縁膜GI(GIa)の厚みも加わるため、ソースまたはドレイン用の半導体領域にゲート電極GE102をオーバーラップさせることが、より困難となってしまう。

30

【0144】

また、第2の課題として、SOI基板を用いた場合では、ゲート電極の端部（ゲート長方向の両端部）がソースまたはドレイン用の半導体領域にオーバーラップしている場合でも、そのオーバーラップ部における半導体層の厚みが薄いと、寄生抵抗が大きくなる。

【0145】

第1検討例の半導体装置や第2検討例の半導体装置において、ソースまたはドレイン用の半導体領域をゲート電極GE101、GE102の下方にまで拡散させて、ゲート電極GE101、GE102をソースまたはドレイン用の半導体領域にオーバーラップさせることができたと仮定する。しかしながら、この場合でも、ゲート電極GE101、GE102は半導体層EP1上には乗り上げていないため、オーバーラップ部における半導体層の厚みは、半導体層SM1の厚みと同じになるため、寄生抵抗を抑制するには限界がある。SOI基板の半導体層（半導体層SM1に相当する半導体層）の厚みは薄い。このため、バルク状態の半導体基板を用いる場合に比べて、SOI基板を用いる場合には、ソースまたはドレイン用の半導体領域とゲート電極とのオーバーラップ部における半導体層の厚みを厚くすることは難しく、寄生抵抗が大きくなりやすい。

40

【0146】

このため、第1検討例の半導体装置と第2検討例の半導体装置では、ソースまたはドレイン用の半導体領域とチャンネル領域との間の寄生抵抗が大きくなり、電気的特性の劣化を招く虞がある。

【0147】

50

なお、ゲート電極がソースまたはドレイン用の半導体領域にオーバーラップするとは、ゲート電極がソースまたはドレイン用の半導体領域の一部と、厚み方向（基板の主面に略垂直な方向）に重なることに対応している。この場合、ソースまたはドレイン用の半導体領域の一部がゲート電極の直下に位置することになる。

【0148】

また、第3の課題として、第2検討例において溝TR101内のゲート絶縁膜として、本願の図24に示されるような絶縁膜G I aを形成した場合、溝TR101の底面と側面がほぼ垂直となっている。そのため、絶縁膜G I aをCVD法やALD法で形成すると、溝TR101の角部において、絶縁膜G I aの膜厚が薄く成り易い。そうすると、ゲート電極GE102の端部において、絶縁膜G I aの膜厚が薄いため、電界集中が起き易くなり、MISFETの耐圧が低下してしまう。

10

【0149】

また、第4の課題として、微細化によってゲート電極GE102のゲート長が短くなった場合、第2検討例において溝TR101にゲート電極GE102を完全に埋め込むことが困難となる。すなわち、溝TR101の口径が小さくなってくると、自然とアスペクト比が厳しく（大きく）なってくるため、ゲート電極GE102となる導電膜が溝TR101に完全に埋まりきらず、空孔が発生してしまう恐れが出てくる。よって、MISFETの信頼性が低下してしまう。特に、溝TR101内のゲート絶縁膜として絶縁膜G I aをCVD法やALD法で形成した場合には、溝TR101の側面にも絶縁膜G I aが形成されるため、その膜厚の分によって溝TR101の口径が小さくなる。従って、ゲート電極GE102の埋め込みが、より厳しくなってしまう。

20

【0150】

本実施の形態及び他実施の形態は、以上のような複数の課題に基づいて考案されたものである。すなわち、上述の第1及び第2の課題は、半導体装置の性能を向上させることである。また、上述の第3及び第4の課題は、半導体装置の信頼性を向上させることである。

【0151】

<本実施の形態の主要な特徴について>

上記複数の課題に対して、本実施の形態では、ソース・ドレイン用のエピタキシャル層である半導体層EP1上にゲート電極GEの端部（ゲート長方向の両端部）が乗っている。すなわち、ゲート電極GEにおけるゲート長方向の端部が、ソース・ドレイン用のエピタキシャル層である半導体層EP1の上に位置している。換言すれば、MISFET（ゲート電極GEをゲート電極とするMISFET）のゲート長方向において、ゲート電極GEの端部が、ソース・ドレイン用のエピタキシャル層である半導体層EP1の上に位置している。なお、ゲート電極GEにおけるゲート長方向の端部（すなわちゲート長方向におけるゲート電極GEの端部）は、図1において符号EGを付して、端部EGとして示してある。

30

【0152】

このため、ソースまたはドレイン用の半導体領域（ n^- 型半導体領域EXと n^+ 型半導体領域SDとを合わせたもの）にゲート電極GEを確実にオーバーラップさせることができ、このオーバーラップにより、ソースまたはドレイン用の半導体領域とチャネル領域との間の寄生抵抗を抑制することができる。すなわち、 n^- 型半導体領域EXの少なくとも一部は、ゲート電極GEの直下に位置しているため、寄生抵抗を抑制することができる。従って、上記の第1の課題を解決することができる。

40

【0153】

また、半導体層EP1は、半導体層SM1の上面上に形成されており、半導体層EP1の上面は、ゲート電極GEの直下における半導体層SM1の上面よりも高い位置にある。そして、ゲート電極GEにおけるゲート長方向の端部が、ソース・ドレイン用のエピタキシャル層である半導体層EP1の上に位置している。上述のように、ゲート電極GEの直下における半導体層SM1の上面は、ゲート電極GEの下のゲート絶縁膜GIに接する部

50

分の半導体層 S M 1 の表面 (上面) に対応している。

【 0 1 5 4 】

このため、本実施の形態では、ソースまたはドレイン用の半導体領域 (n^- 型半導体領域 E X と n^+ 型半導体領域 S D とを合わせたもの) とゲート電極 G E とのオーバーラップ部における半導体層 (S M 2) の厚みは、半導体層 S M 1 の厚みよりも、更にそのオーバーラップ部における半導体層 E P 1 の厚みの分だけ厚くすることができる。従って、本実施の形態では、ソースまたはドレイン用の半導体領域とゲート電極 G E とのオーバーラップ部における半導体層 (S M 2) の厚みを厚くすることができ、寄生抵抗を抑制することができる。従って、上記の第 2 の課題を解決することができる。

【 0 1 5 5 】

このため、本実施の形態では、ソースまたはドレイン用の半導体領域とチャネル領域との間の寄生抵抗を抑制することができるため、M I S F E T を備える半導体装置の特性 (電気的特性) を向上させることができる。例えば、ソースまたはドレイン用の半導体領域とチャネル領域との間の寄生抵抗を抑制することで、オン抵抗を低減してオン電流を増大させることができる。従って、M I S F E T の電気的特性を向上させることができる。また、ソースまたはドレイン用の半導体領域とチャネル領域との間の寄生抵抗を抑制することで、寄生抵抗の値のばらつきによる M I S F E T 毎の特性ばらつきも抑制することができる。このため、半導体装置の性能を向上させることができる。

【 0 1 5 6 】

また、S O I 基板を用いた場合には、S O I 基板の薄い半導体層上にゲート電極を形成するため、バルク状態の半導体基板を用いる場合に比べて、ソースまたはドレイン用の半導体領域とゲート電極とのオーバーラップ部における半導体層の厚みを厚くすることは難しい。それに対して、本実施の形態では、ゲート電極 G E におけるゲート長方向の端部が半導体層 E P 1 の上に位置している (すなわち半導体層 E P 1 上にゲート電極 G E の端部が乗り上げている) 。このため、S O I 基板 S U B の半導体層 S M 1 の厚みを厚くしなくとも、ゲート電極 G E が乗り上げている部分における半導体層 E P 1 の厚みの分だけ、ソースまたはドレイン用の半導体領域とゲート電極 G E とのオーバーラップ部における半導体層 (S M 2) の厚みを厚くすることができ、寄生抵抗を抑制することができる。このため、S O I 基板を用いて製造した半導体装置の性能を向上させることができる。

【 0 1 5 7 】

また、 n^- 型半導体領域 E X および n^+ 型半導体領域 S D は、半導体層 S M 1 , E P 1 に形成されている。すなわち、 n^- 型半導体領域 E X および n^+ 型半導体領域 S D は、厚み方向 (S O I 基板 S U B の主面に略垂直な方向) に見ると、半導体層 E P 1 から半導体層 S M 1 にかけて形成されている。つまり、ソースまたはドレイン用の半導体領域 (n^- 型半導体領域 E X と n^+ 型半導体領域 S D とを合わせたもの) は、半導体層 E P 1 とその下の半導体層 S M 1 とに形成されている。このため、ゲート電極 G E におけるゲート長方向の端部が半導体層 E P 1 の上に位置していると、ゲート電極 G E におけるゲート長方向の端部の下には、 n^- 型半導体領域 E X (n^+ 型半導体領域 S D でもよい) が存在することになる。従って、ソースまたはドレイン用の半導体領域とゲート電極 G E とを確実にオーバーラップさせることができる。

【 0 1 5 8 】

また、図 2 4 などに示したように、ゲート絶縁膜用の絶縁膜 G I a (従ってゲート絶縁膜 G I) は、半導体層 E P 1 の形状に沿って形成される。本実施の形態では、半導体層 E P 1 は傾斜部 (傾斜する側面 S F 1) を有しており、ゲート絶縁膜 G I (絶縁膜 G I a) とゲート電極 G E は、傾斜部 (傾斜する側面 S F 1) に沿って形成される。このため、溝 T R 内において、ゲート絶縁膜 G I (絶縁膜 G I a) の膜厚を均一に形成しやすくなっている。従って、上記の第 3 の課題で示したような、M I S F E T の耐圧が低下するという不具合を解消することができる。

【 0 1 5 9 】

また、図 2 2 および図 2 3 に示したように、溝 T R の口径を、ダミーゲート G E D の長

10

20

30

40

50

さよりも大きくすることができる。このため、図25で示されるように、アスペクト比が確保される（溝TRのアスペクト比を小さくできる）ので、溝TR内にゲート電極GEとなる導電膜CDを堆積する場合でも、空孔が発生しにくくなる。従って、上記の第4の課題で示したような不具合を解消することができる。これは、微細化が進み、ゲート長が30nm以下のMISFETを設計する場合に特に有効となる。

【0160】

更に、上記の第1及び第2検討例ではゲート電極の上部と下部の長さはほぼ同じであるが、本実施の形態のMISFETはゲート電極GEの上部の長さが（ゲート電極GEの下部の長さよりも）長いので、ゲート電極GE全体の体積を増加させることができるため、ゲート電極GEの低抵抗化を図ることができる。

10

【0161】

<実施の形態1の変形例>

図36および図37は、本実施の形態の変形例の半導体装置の要部断面図であり、図36は上記図1に対応するものであり、図37は上記図2に対応するものである。図38は、図36および図37に示される変形例の半導体装置の製造工程中の要部断面図である。図38は、上記図9に対応するものであり、ステップS4（半導体層EP1のピタキシャル成長工程）を行った段階が示されている。

【0162】

図36および図37に示される変形例の半導体装置は、上記ステップS4で半導体層EP1をエピタキシャル成長させる際に、図38に示されるように、半導体層EP1の側面SF1aがテーパを有さないように、半導体層EP1をエピタキシャル成長させた場合に製造される半導体装置である。すなわち、変形例の場合は、図38に示されるように、半導体層EP1の側面SF1aが、SOI基板SUBの主面（すなわち半導体層SM1の主面）に対してほぼ垂直となるように、半導体層EP1がエピタキシャル成長される。半導体層EP1の側面のテーパの有無は、半導体層EP1の成膜用ガスの組成や成膜温度などを調整することにより、制御することができる。

20

【0163】

図36および図37に示される変形例の半導体装置においても、ソース・ドレイン用のエピタキシャル層である半導体層EP1上にゲート電極GEの端部（ゲート長方向の両端部）が乗り上げている。すなわち、ゲート電極GEにおけるゲート長方向の端部が、ソース・ドレイン用のエピタキシャル層である半導体層EP1の上に位置している。換言すれば、MISFET（ゲート電極GEをゲート電極とするMISFET）のゲート長方向において、ゲート電極GEの端部が、ソース・ドレイン用のエピタキシャル層である半導体層EP1の上に位置している。そして、半導体層EP1は、半導体層SM1の上面上に形成されており、半導体層EP1の上面は、ゲート電極GEの直下における半導体層SM1の上面よりも高い位置にある。このため、上述したように、ソースまたはドレイン用の半導体領域とチャネル領域との間の寄生抵抗を抑制することができる。すなわち、上記の第1及び第2の課題を解決することができる。

30

【0164】

しかしながら、図36および図37に示される変形例の半導体装置に比べて、上記図1および図2に本実施の形態の半導体装置は、次のような利点を有している。

40

【0165】

すなわち、上記図1および図2に示される本実施の形態の半導体装置は、ゲート電極GEにおけるゲート長方向の端部が半導体層EP1の上に位置しているが、半導体層EP1の側面SF1が傾斜し、この半導体層EP1の傾斜する側面SF1上に、ゲート電極GEにおけるゲート長方向の端部が位置している。換言すれば、MISFET（ゲート電極GEをゲート電極とするMISFET）のゲート長方向において、半導体層EP1の側面（ゲート電極GE側の側面）SF1は傾斜しており、MISFET（ゲート電極GEをゲート電極とするMISFET）のゲート長方向において、ゲート電極GEの端部が半導体層EP1の傾斜する側面SF1上に位置している。すなわち、ゲート電極GEの端部（ゲート

50

ト長方向の端部)が、半導体層EP1の傾斜する側面SF1上に乗り上げている。

【0166】

図36および図37に示される変形例の半導体装置の場合は、図36に示される、ゲート電極GEにおける半導体層SM1, EP1に対向する角部EG1, EG2がほぼ直角になっているため、この角部EG1, EG2で電界が集中してゲートリークを招く懸念がある。それに対して、上記図1および図2に示される本実施の形態の半導体装置は、半導体層EP1の側面SF1が傾斜していることにより、図1に示される、ゲート電極GEにおける半導体層SM1, EP1に対向する角部EG3, EG4は鈍角になるため、この角部EG3, EG4での電界集中を緩和することができる。このため、図36および図37に示される変形例の半導体装置に比べて、上記図1および図2に示される本実施の形態の半導体装置の方が、ゲートリーク電流(ゲート絶縁膜GIをリークする電流)を抑制することができる。

10

【0167】

また、ステップS14, S15で絶縁膜G1aおよび導電膜CDを形成する際に、溝TRから露出する半導体層EP1の側面が、垂直な側面SF1aである場合(図36および図37の変形例の場合に対応)よりも、傾斜する側面SF1である場合(図1および図2の本実施の形態の場合に対応)の方が、溝TR内に絶縁膜G1aおよび導電膜CDを形成しやすくなる。このため、図36および図37に示される変形例の半導体装置に比べて、上記図1および図2に示される本実施の形態の半導体装置の方が、ゲート電極GEおよびゲート絶縁膜GIを、より容易かつ的確に形成することができる。

20

【0168】

従って、半導体層EP1の側面SF1が傾斜し、この半導体層EP1の傾斜する側面SF1上に、ゲート電極GEにおけるゲート長方向の端部が位置していることが、より好ましい。すなわち、ゲート電極GEの端部(ゲート長方向の端部)が、半導体層EP1の傾斜する側面SF1上に乗り上げていることが、より好ましい。すなわち、上記の第4の課題に対しては同等の効果をもつもの、上記の第3の課題に対しては、図1および図2に示される本実施の形態の半導体装置の方が(図36および図37に示される変形例の半導体装置よりも)優れている。

【0169】

また、本実施の形態では、ゲート電極GEにおけるゲート長方向の端部が、半導体層EP1の上に位置している。すなわち、半導体層EP1上にゲート電極GEの端部(ゲート長方向の両端部)が乗り上げている。このような構造を得るために、製造工程として、次のような工程を採用している。

30

【0170】

すなわち、本実施の形態では、ステップS2でダミーゲートGEDを形成してから、ステップS4でソース・ドレイン用のエピタキシャル層である半導体層EP1を形成し、その後、ステップS6でダミーゲートGEDの側壁上に側壁絶縁膜SW2を形成する。それから、ステップS11でダミーゲートGEDを覆うように絶縁膜IL1を形成してから、ステップS12で絶縁膜IL1の一部を除去してダミーゲートGEDの上面を露出させる。その後、ステップS13でダミーゲートおよび側壁絶縁膜SW2を除去して溝TRを形成してから、ステップS14~S16で溝TR内にゲート絶縁膜GIを介してゲート電極GEを形成する。

40

【0171】

ここで、特に重要なのは、ソース・ドレイン用のエピタキシャル層である半導体層EP1を形成した後にダミーゲートGEDの側壁上に側壁絶縁膜SW2を形成することと、ステップS13でダミーゲートGEDを除去するだけでなく側壁絶縁膜SW2も除去してから、ダミーゲートGEDおよび側壁絶縁膜SW2の除去により形成された溝TR内にゲート電極GEを形成することである。本実施の形態とは異なり、上記第2検討例(図32~図35)のように、ステップS13でダミーゲートGEDを除去するが側壁絶縁膜SW2は除去せずに残した場合には、ゲート電極GE102の端部(ゲート長方向の両端部)は

50

、半導体層 E P 1 上に乗り上げない。

【 0 1 7 2 】

つまり、ダミーゲート G E D の側壁上に形成していた側壁絶縁膜 S W 2 を、ステップ S 1 3 でダミーゲート G E D とともに除去することで、その後で形成されるゲート電極 G E のゲート長方向の寸法を、ダミーゲート G E D の寸法よりも大きくすることができる。そして、半導体層 E P 1 を形成した後に側壁絶縁膜 S W 2 が形成されているため、側壁絶縁膜 S W 2 は半導体層 E P 1 上に形成され、ステップ S 1 3 でダミーゲート G E D とともに側壁絶縁膜 S W 2 も除去してから、ゲート電極 G E を形成すれば、除去前まで側壁絶縁膜 S W 2 が存在していた領域もゲート電極 G E が占めることになる。このため、ゲート電極 G E の一部が半導体層 E P 1 上に位置する、すなわち半導体層 E P 1 上に乗り上げること

10

【 0 1 7 3 】

ダミーゲート G E D の側壁上に側壁絶縁膜 S W 1 , S W 2 , S W 3 を形成した場合に、ステップ S 1 3 において、半導体層 E P 1 の形成前に形成した側壁絶縁膜 S W 1 を除去するが、半導体層 E P 1 の形成後に形成した側壁絶縁膜 S W 2 , S W 3 を除去せずに残す場合は、ゲート電極 G E の端部（ゲート長方向の両端部）は、半導体層 E P 1 上に乗り上げない。このため、ダミーゲート G E D の側壁上に側壁絶縁膜 S W 1 , S W 2 , S W 3 を形成した場合には、ステップ S 1 3 において、半導体層 E P 1 の形成前に形成した側壁絶縁膜 S W 1 を除去するだけでなく、半導体層 E P 1 の形成後に形成した側壁絶縁膜 S W 2 も除去するかあるいはエッチングで側壁絶縁膜 S W 2 の厚みを薄くする必要がある。つまり

20

【 0 1 7 4 】

また、本実施の形態では、ゲート電極 G E が半導体層 E P 1 に乗り上げた構造を、フォトリソグラフィ工程の使用を抑制しながら、セルフアライン（自己整合）で形成することができる。このため、フォトマスクパターンの位置ずれによる不具合を防止できる。また、半導体素子の小型化を図ることができる。従って、半導体装置を小型化することができる。

30

【 0 1 7 5 】

また、本実施の形態では、ダミーゲート G E D を除去してから、ゲート絶縁膜 G I およびゲート電極 G E を形成する、いわゆるゲートラストプロセスを用いている。このため、ゲート電極 G E およびゲート絶縁膜 G I としてメタルゲート電極および高誘電率ゲート絶縁膜を適用することが容易である。また、ゲートラストプロセスを用いて、製造工程数の増加を抑制しながら、ゲート電極 G E が半導体層 E P 1 に乗り上げた構造をセルフアラインで形成することができる。

【 0 1 7 6 】

（実施の形態 2）

本実施の形態 2 は、上記実施の形態 1 の半導体装置の製造工程の変形例に対応している。

40

図 3 9 ~ 図 4 5 は、本実施の形態 2 の半導体装置の製造工程中の要部断面図である。

【 0 1 7 7 】

上記実施の形態 1 では、側壁絶縁膜 S W 1 , S W 2 が酸化シリコンにより形成されかつ側壁絶縁膜 S W 3 が窒化シリコンにより形成されている場合について説明したが、本実施の形態 2 では、側壁絶縁膜 S W 1 , S W 2 , S W 3 を窒化シリコンにより形成した場合について説明する。

【 0 1 7 8 】

本実施の形態 2 では、上記ステップ S 3 においては、上記酸化シリコン膜 S O 1 の代わりに窒化シリコン膜を用いることにより、酸化シリコンからなる上記側壁絶縁膜 S W 1 の代わりに、窒化シリコンからなる側壁絶縁膜 S W 1 a を形成する。側壁絶縁膜 S W 1 a は

50

、酸化シリコンではなく窒化シリコンからなること以外は、上記側壁絶縁膜SW1と基本的には同じである。すなわち、窒化シリコンにより形成された場合の側壁絶縁膜SW1を、側壁絶縁膜SW1aと称している。

【0179】

また、本実施の形態2では、上記ステップS6においては、上記酸化シリコン膜SO2の代わりに窒化シリコン膜を用いることにより、酸化シリコンからなる上記側壁絶縁膜SW2の代わりに、窒化シリコンからなる側壁絶縁膜SW2aを形成する。側壁絶縁膜SW2aは、酸化シリコンではなく窒化シリコンからなること以外は、上記側壁絶縁膜SW2と基本的には同じである。すなわち、窒化シリコンにより形成された場合の側壁絶縁膜SW2を、側壁絶縁膜SW2aと称している。

10

【0180】

また、本実施の形態2でも、上記ステップS9においては、上記実施の形態1と同様に、窒化シリコンからなる側壁絶縁膜SW3を形成する。

【0181】

これ以外は、上記ステップS12のCMP工程までを上記実施の形態1と同様に行うことにより、上記図19に対応する図39の構造を得る。

【0182】

図39の段階で、上記実施の形態1の上記図19の段階と相違しているのは、酸化シリコンからなる側壁絶縁膜SW1、SW2が、窒化シリコンからなる側壁絶縁膜SW1a、SW2aに代わっている点であり、それ以外は基本的には同じである。

20

【0183】

上記ステップS12のCMP工程までを上記実施の形態1と同様に行って図39の構造を得た後、本実施の形態2においても、上記ステップS13のエッチングにより、ダメージゲートGEDおよび側壁絶縁膜SW1、SW2を除去する。このステップS13のエッチング条件が、酸化シリコンからなる側壁絶縁膜SW1、SW2が、窒化シリコンからなる側壁絶縁膜SW1a、SW2aに代わったことにより、上記実施の形態1で説明したのと一部相違している。以下、本実施の形態2の場合のステップS13について、具体的に説明する。

【0184】

まず、ステップS13のエッチングの第1段階として、図40に示されるように、ダメージゲートGEDの窒化シリコン膜SN1を除去するが、この第1段階のエッチングは、本実施の形態2においても、上記実施の形態1と同様である。第1段階のエッチングにより、窒化シリコン膜SN1が除去されて、ポリシリコン膜PL1が露出される。

30

【0185】

次に、ステップS13のエッチングの第2段階として、図41に示されるように、ダメージゲートGEDのポリシリコン膜PL1を除去するが、この第2段階のエッチングは、本実施の形態2においても、上記実施の形態1と同様である。第2段階のエッチングにより、ポリシリコン膜PL1が除去されて、側壁絶縁膜SW1および絶縁膜GIDが露出される。

40

【0186】

ステップS13のエッチングの第3段階以降は、上記実施の形態1の場合と相違している。すなわち、第2段階のエッチングでポリシリコン膜PL1を除去した後、本実施の形態2では、図42に示されるように、第3段階のエッチングにより、絶縁膜GIDを除去する。この第3段階のエッチングは、絶縁膜GID(酸化シリコン)のエッチング速度が、側壁絶縁膜SW1a、SW2a(窒化シリコン)および半導体層SM1、EP1(シリコン)のエッチング速度よりも速くなるようなエッチング条件で、絶縁膜GIDを選択的にエッチングすることが好ましい。これにより、第3段階のエッチングで半導体層SM1、EP1がエッチングされてしまうのを抑制または防止することができる。

【0187】

絶縁膜GIDを側壁絶縁膜SW1a、SW2aとは異なる材料膜(具体的には酸化シリ

50

コン膜など)により形成していた場合は、この第3段階のエッチングにより絶縁膜G I Dを除去することができる。一方、絶縁膜G I Dを側壁絶縁膜S W 1 a , S W 2 aと同じ材料(具体的には窒化シリコン膜)により形成していた場合は、この第3段階のエッチングは行わずに次の第4段階のエッチングを行えばよく、第4段階のエッチングで絶縁膜G I Dも除去される。

【0188】

また、本実施の形態2においては、この第3段階のエッチング(絶縁膜G I Dを除去するエッチング)を、次に説明する第4段階のエッチング(側壁絶縁膜S W 1 a , S W 2 aを除去するエッチング)の後にすることもできる。

【0189】

次に、ステップS 1 3のエッチングの第4段階として、図43に示されるように、窒化シリコンからなる側壁絶縁膜S W 1 a , S W 2 aを除去する。この第4段階のエッチングは、側壁絶縁膜S W 1 a , S W 2 a(窒化シリコン)のエッチング速度が、半導体層S M 1 , E P 1のエッチング速度よりも速くなるようなエッチング条件で行う。これにより、第4段階のエッチングで半導体層S M 1 , E P 1がエッチングされてしまうのを抑制または防止することができる。また、側壁絶縁膜S W 1 a , S W 2 a , S W 3は窒化シリコンにより形成されているため、側壁絶縁膜S W 1 a , S W 2 a , S W 3と半導体層S M 1 , E P 1との高いエッチング選択比を確保することは容易である。

【0190】

第4段階のエッチングでは、側壁絶縁膜S W 1 a , S W 2 aだけでなく、側壁絶縁膜S W 3も窒化シリコンにより形成されている。このため、第4段階のエッチングは、側壁絶縁膜S W 1 a , S W 2 aをエッチングによって除去し、側壁絶縁膜S W 3は残すように、エッチング時間を制御する。すなわち、第4段階のエッチングは、側壁絶縁膜S W 1 aと側壁絶縁膜S W 2 aとの合計の厚みを丁度エッチングできるだけのエッチング時間に設定することで、側壁絶縁膜S W 1 a , S W 2 aをエッチングによって除去し、側壁絶縁膜S W 3は残すようにすることができる。

【0191】

なお、ステップS 1 3のエッチングの第4段階のエッチングでは、側壁絶縁膜S W 1 aは全部(全厚み)を除去する必要がある。

【0192】

また、ステップS 1 3のエッチングの第4段階のエッチングでは、側壁絶縁膜S W 1 aは、全部(全厚み)を除去することが望ましい。但し、側壁絶縁膜S W 3の内壁上に側壁絶縁膜S W 2 aの一部が層状に残存する場合も許容することができ、この場合でも、側壁絶縁膜S W 3の内壁上に残存する側壁絶縁膜S W 2 aの厚みは、第4段階のエッチングの前の状態における側壁絶縁膜S W 2 aの厚みよりも薄くなっている必要がある。

【0193】

また、ステップS 1 3のエッチングの第4段階のエッチングでは、側壁絶縁膜S W 3は、ほぼ全体(全厚み)を残存させることが望ましいが、側壁絶縁膜S W 3が若干エッチングされて(側壁絶縁膜S W 3の厚みの一部がエッチングされて)側壁絶縁膜S W 3の一部が層状に残存する場合も許容することができる。このため、側壁絶縁膜S W 3の厚みが、第4段階のエッチングの前の状態における側壁絶縁膜S W 3の厚みよりも薄くなっているもよいが、側壁絶縁膜S W 3の少なくとも一部が層状に残存している段階で、ステップS 1 3のエッチングの第4段階のエッチングを終了するようにする。

【0194】

すなわち、側壁絶縁膜S W 1 aと側壁絶縁膜S W 2 aと側壁絶縁膜S W 3とが窒化シリコンにより形成されているが、ステップS 1 3のエッチングの第4段階のエッチングは、エッチング厚みが側壁絶縁膜S W 1 aの厚みよりも厚くなり、かつ、エッチング厚みが側壁絶縁膜S W 1 aと側壁絶縁膜S W 2 aと側壁絶縁膜S W 3との合計の厚みよりも薄くなるように、エッチング時間を設定する。つまり、ステップS 1 3のエッチングの第4段階のエッチングは、側壁絶縁膜S W 1 aが除去されて側壁絶縁膜S W 2 aが露出されてから

10

20

30

40

50

もエッチングが継続されるようにするとともに、側壁絶縁膜 S W 3 の全厚みがエッチングされる前の段階でエッチングを停止するように、エッチング時間を設定する。換言すれば、ステップ S 1 3 のエッチングの第 4 段階のエッチングの終点は、側壁絶縁膜 S W 2 a の厚みの途中までエッチングが進行した段階から、側壁絶縁膜 S W 3 の厚みの途中までエッチングが進行した段階までの間に、設定する。

【 0 1 9 5 】

また、側壁絶縁膜 S W 3 の形成を省略した場合は、ステップ S 1 3 の第 4 段階のエッチングでは、側壁絶縁膜 S W 1 a , S W 2 a が除去されて絶縁膜 I L 1 (より特定的には絶縁膜 I L 1 の窒化シリコン膜 S N 3) が露出した段階で、エッチングを終了するようになればよい。

10

【 0 1 9 6 】

ステップ S 1 3 の上記 4 段階 (第 1 段階、第 2 段階、第 3 段階および第 4 段階) のエッチングによりゲミーゲート G E D、絶縁膜 G I D および側壁絶縁膜 S W 1 a , S W 2 a を除去することにより、図 4 3 に示されるように、上記溝 T R が形成される。

【 0 1 9 7 】

以降の工程は、上記実施の形態 1 とほぼ同様である。すなわち、上記ステップ S 1 4 でゲート絶縁膜用の上記絶縁膜 G I a を形成し、上記ステップ S 1 5 でゲート電極用の上記導電膜 C D を形成し、上記ステップ S 1 6 で溝 T R の外部の導電膜 C D および絶縁膜 G I a を C M P 法などにより除去することで、図 4 4 に示されるように、溝 T R 内にゲート絶縁膜 G I を介してゲート電極 G E を形成する。それから、図 4 5 に示されるように、上記実施の形態 1 と同様に、上記絶縁膜 I L 2 を形成し、上記コンタクトホール C N T を形成し、コンタクトホール C N T 内に上記プラグ P G を形成し、上記絶縁膜 I L 3 を形成し、上記配線 M 1 を形成する。

20

【 0 1 9 8 】

このようにして、本実施の形態 2 においても、上記実施の形態 1 とほぼ同様の半導体装置を製造することができる。すなわち、上述の第 1 ~ 4 の課題を解決することができる。

【 0 1 9 9 】

上記実施の形態 1 では、側壁絶縁膜 S W 1 , S W 2 を酸化シリコン膜としたことで、側壁絶縁膜 S W 3 または窒化シリコン膜 S N 3 をエッチングストッパとして用いることができ、ステップ S 1 3 のエッチングの制御を容易とすることができる。

30

【 0 2 0 0 】

一方、本実施の形態 2 では、側壁絶縁膜 S W 1 a , S W 2 a を窒化シリコン膜としたことで、層間絶縁膜 S O 3 との選択比が取りやすいという利点を得られる。すなわち、上記実施の形態 1 では、側壁絶縁膜 S W 1 a , S W 2 a と層間絶縁膜 S O 3 の材料が同じ酸化シリコン膜であった場合に、層間絶縁膜 S O 3 の表面が後退しやすい。しかし、実施の形態 2 では、側壁絶縁膜 S W 1 a , S W 2 a と層間絶縁膜 S O 3 の材料が異なるので、層間絶縁膜 S O 3 の表面が後退しにくい。従って、層間絶縁膜 S O 3 の高さを制御しやすいという効果を得られる。

【 0 2 0 1 】

なお、ライナ膜 S N 3 の材料を窒化シリコン膜に代えて、酸窒化シリコン膜を用いてもよい。この場合、酸窒化シリコン膜 (ライナ膜 S N 3) は、側壁絶縁膜 S W 1 , S W 2 , S W 3 の材料、及び、絶縁膜 S O 3 の材料とも異なるため、溝 T R 形成時に、層間絶縁膜 S O 3 の表面が後退するという問題にも対処することができる。

40

【 0 2 0 2 】

(実施の形態 3)

図 4 6 および図 4 7 は、本実施の形態 3 の半導体装置の製造工程を示す工程フロー図である。図 4 8 ~ 図 4 6 3 は、本実施の形態 3 の半導体装置の製造工程中の要部断面図である。

【 0 2 0 3 】

上記実施の形態 1 では、S O I 基板 S U B の半導体層 S M 1 上に、ソース・ドレイン用

50

のエピタキシャル層（上記半導体層 E P 1 に対応）は、1 層だけ形成していた。それに対して、本実施の形態 3 では、S O I 基板 S U B の半導体層 S M 1 上に、ソース・ドレイン用のエピタキシャル層（後述の半導体層 E P 2 , E P 3 に対応）は、2 層形成している。本実施の形態 3 では、上述の第 1、第 2 及び第 4 の課題を解決することができる。

【 0 2 0 4 】

以下、図面を参照して具体的に説明する。

【 0 2 0 5 】

本実施の形態 3 においても、上記実施の形態 1 と同様に上記ステップ S 3 の側壁絶縁膜 S W 1 形成工程までを行って、上記図 7 に対応する図 4 8 の構造を得る。

【 0 2 0 6 】

次に、図 4 9 に示されるように、半導体層 S M 1 上に、半導体層 E P 2 をエピタキシャル成長させる（図 4 6 のステップ S 4 a ）。

【 0 2 0 7 】

上記半導体層 E P 1 と同様に、半導体層 E P 2 も、ダミーゲート G E D（より特定的にはダミーゲート G E D と側壁絶縁膜 S W 1 とからなる構造体）の両側の領域の半導体層 S M 1 上に形成される。すなわち、半導体層 S M 1 上において、ダミーゲート G E D（より特定的にはダミーゲート G E D と側壁絶縁膜 S W 1 とからなる構造体）の両側に、ダミーゲート G E D（より特定的にはダミーゲート G E D と側壁絶縁膜 S W 1 とからなる構造体）と隣り合うように、半導体層 E P 2 が形成される。

【 0 2 0 8 】

上記半導体層 E P 1 と同様に、半導体層 E P 2 は、エピタキシャル成長により形成されたエピタキシャル層（エピタキシャル半導体層）であり、シリコン（単結晶シリコン）からなる。半導体層 E P 2 は、半導体層 S M 1 上に選択的にエピタキシャル成長し、側壁絶縁膜 S W 1 上や窒化シリコン膜 S N 1 上には形成されない。また、上記実施の形態 1 で説明したように、ダミーゲート G E D のポリシリコン膜 P L 1 は、窒化シリコン膜 S N 1 および側壁絶縁膜 S W 1 で覆われているため、ポリシリコン膜 P L 1 上にエピタキシャル層は形成されない。

【 0 2 0 9 】

また、上記実施の形態 1 では、半導体層 E P 1 の側面がテーパを有するように、半導体層 E P 1 をエピタキシャル成長させたが、本実施の形態 3 では、半導体層 E P 2 の側面がテーパを有さないように、半導体層 E P 2 をエピタキシャル成長させることができる。すなわち、半導体層 E P 2 の側面が、S O I 基板 S U B の主面（すなわち半導体層 S M 1 の主面）に対してほぼ垂直となるように、半導体層 E P 2 がエピタキシャル成長される。半導体層 E P 2 の側面のテーパの有無（従って半導体層 S M 1 の主面と半導体層 E P 2 の側面とのなす角度）は、半導体層 E P 2 の成膜用ガスの組成や成膜温度などを調整することにより、制御することができる。

【 0 2 1 0 】

半導体層 E P 2 は、半導体層 S M 1 のほぼ平坦な上面上に形成されているため、半導体層 E P 2 の上面は、半導体層 S M 2 の上面よりも高い位置にある。このため、ステップ S 4 a で形成された半導体層 E P 1 の上面は、ダミーゲート G E D の直下における半導体層 S M 1 の上面よりも高い位置にある。

【 0 2 1 1 】

次に、図 5 0 に示されるように、半導体層 S M 1 , E P 2 におけるダミーゲート G E D および側壁絶縁膜 S W 1 の両側の領域に、リン（P）またはヒ素（As）などの n 型の不純物をイオン注入することにより、n⁻型半導体領域 E X を形成する（図 4 6 のステップ S 5 ）。

【 0 2 1 2 】

ステップ S 5 のイオン注入工程は、本実施の形態 3 も上記実施の形態 1 と基本的には同じであるが、上記実施の形態 1 では、半導体層 S M 1 と半導体層 E P 1 との積層体に対して n 型不純物を注入して n⁻型半導体領域 E X を形成していたのに対して、本実施の形態

10

20

30

40

50

3では、半導体層SM1と半導体層EP2との積層体に対してn型不純物を注入してn⁻型半導体領域EXを形成している。

【0213】

n⁻型半導体領域EXを形成するためのイオン注入工程では、ダミーゲートGEDおよび側壁絶縁膜SW1がマスク（イオン注入阻止マスク）として機能することができる。このため、n⁻型半導体領域EXは、半導体層SM1および半導体層EP2（の積層体）において、ダミーゲートGEDの側壁上の側壁絶縁膜SW1に対して自己整合して形成される。

【0214】

次に、図51に示されるように、ダミーゲートGEDの側壁上に、側壁膜として側壁絶縁膜（サイドウォールスペーサ）SW4を形成する（図46のステップS6a）。側壁絶縁膜SW4は、ダミーゲートGEDの側壁上に、側壁絶縁膜SW1を介して形成される。

【0215】

側壁絶縁膜SW4は、側壁膜である側壁絶縁膜SW4aと側壁膜である側壁絶縁膜SW4bとの積層により形成されている。側壁絶縁膜SW4aと側壁絶縁膜SW4bとは異なる材料により形成されており、好ましくは、側壁絶縁膜SW4aは酸化シリコン（酸化シリコン膜）により形成され、側壁絶縁膜SW4bは窒化シリコン（窒化シリコン膜）により形成されている。

【0216】

側壁絶縁膜SW4aは、後で除去するため、必ずしも絶縁性を有していなくともよいが、側壁膜としての形成のしやすさや、除去時にエッチング残りが生じた場合の不具合を防止できるという観点などで、絶縁膜が望ましい。また、側壁絶縁膜SW4bは、製造後の半導体装置でも残るため、絶縁性を有している。

【0217】

側壁絶縁膜SW4を形成するには、まず、側壁絶縁膜SW4aを形成する。側壁絶縁膜SW4aを形成するには、まず、SOI基板SUBの主面の全面に、ダミーゲートGEDおよび側壁絶縁膜SW1を覆うように、酸化シリコン膜をCVD法などにより形成する。それから、この酸化シリコン膜をエッチバック（異方性エッチング）することで、ダミーゲートGEDの側壁上に酸化シリコン膜を残して側壁絶縁膜SW4aとし、他の領域の酸化シリコン膜を除去する。これにより、ダミーゲートGEDの側壁上に、側壁絶縁膜SW1を介して、側壁絶縁膜SW4aが形成される。側壁絶縁膜SW4aの形成後に、側壁絶縁膜SW4bを形成する。側壁絶縁膜SW4bを形成するには、まず、SOI基板SUBの主面の全面に、ダミーゲートGEDおよび側壁絶縁膜SW1、SW4aを覆うように、窒化シリコン膜をCVD法などにより形成する。それから、この窒化シリコン膜をエッチバック（異方性エッチング）することで、ダミーゲートGEDの側壁上に窒化シリコン膜を残して側壁絶縁膜SW4bとし、他の領域の窒化シリコン膜を除去する。これにより、ダミーゲートGEDの側壁上に、側壁絶縁膜SW1、SW4aを介して、側壁絶縁膜SW4bが形成される。このようにして、側壁絶縁膜SW4aと側壁絶縁膜SW4bとの積層からなる側壁絶縁膜SW4が、ダミーゲートGEDの側壁上に、側壁絶縁膜SW1を介して形成される。

【0218】

側壁絶縁膜SW4aの厚み（ダミーゲートGEDの側壁に略垂直な方向の厚み）は、例えば5～10nm程度とすることができ、側壁絶縁膜SW4bの厚み（ダミーゲートGEDの側壁に略垂直な方向の厚み）は、例えば10～30nm程度とすることができ。

【0219】

側壁絶縁膜SW4は、ダミーゲートGEDの側壁に側壁絶縁膜SW1を介して隣接し、かつ、半導体層EP2上に形成される。すなわち、側壁絶縁膜SW4の底面が半導体層EP2（具体的には半導体層EP2の上面）に接し、側壁絶縁膜SW4の内壁（ダミーゲートGEDに対向する側の側面）がダミーゲートGEDの側壁上の側壁絶縁膜SW1に接している。

10

20

30

40

50

【0220】

次に、図52に示されるように、半導体層EP2上に、半導体層EP3をエピタキシャル成長させる(図46のステップS4b)。

【0221】

半導体層EP3は、ダミーゲートGED(より特定的にはダミーゲートGEDと側壁絶縁膜SW1, SW4とからなる構造体)の両側の領域の半導体層SM1上に形成される。すなわち、半導体層SM1上において、ダミーゲートGED(より特定的にはダミーゲートGEDと側壁絶縁膜SW1, SW4とからなる構造体)の両側に、ダミーゲートGED(より特定的にはダミーゲートGEDと側壁絶縁膜SW1, SW4とからなる構造体)と隣り合うように、半導体層EP3が形成される。

10

【0222】

上記半導体層EP1, EP2と同様に、半導体層EP3は、エピタキシャル成長により形成されたエピタキシャル層(エピタキシャル半導体層)であり、シリコン(単結晶シリコン)からなる。半導体層EP3は、半導体層EP2上に選択的にエピタキシャル成長し、側壁絶縁膜SW1, SW4上や窒化シリコン膜SN1上には形成されない。上述したように、ダミーゲートGEDのポリシリコン膜PL1は、窒化シリコン膜SN1および側壁絶縁膜SW1, SW4で覆われているため、ポリシリコン膜PL1上にエピタキシャル層は形成されない。また、半導体層EP3は半導体層EP2上に形成されるが、側壁絶縁膜SW4で覆われている部分の半導体層EP2上には半導体層EP3は形成されない。このため、半導体層EP2の側面は、側壁絶縁膜SW1に隣接しているが、半導体層EP3の側面は、側壁絶縁膜SW4bに隣接している。

20

【0223】

また、半導体層EP2と同様に、半導体層EP3も、半導体層EP3の側面がテーパを有さないようにエピタキシャル成長させることができる。すなわち、半導体層EP3の側面が、SOI基板SUBの主面(すなわち半導体層SM1の主面)に対してほぼ垂直となるように、半導体層EP3がエピタキシャル成長される。半導体層EP3の側面のテーパの有無(従って半導体層SM1の主面と半導体層EP3の側面とのなす角度)は、半導体層EP3の成膜用ガスの組成や成膜温度などを調整することにより、制御することができる。

【0224】

また、ステップS4bにおける半導体層EP3の形成厚みは、ステップS4aにおける半導体層EP2の形成厚みよりも厚いことが好ましい。これにより、後で金属シリサイド層SILを形成することに伴って厚み方向にシリコン領域が無くなる領域が発生してしまうのを防止しやすくなる。

30

【0225】

次に、図53に示されるように、半導体層SM1, EP2, EP3におけるダミーゲートGEDおよび側壁絶縁膜SW1, SW4の両側の領域に、リン(P)またはヒ素(As)などのn型の不純物をイオン注入することにより、n⁺型半導体領域SDを形成する(図46のステップS7)。

【0226】

ステップS7のイオン注入工程は、本実施の形態3も上記実施の形態1と基本的には同じである。但し、上記実施の形態1では、半導体層SM1と半導体層EP1との積層体に対してn型不純物を注入してn⁺型半導体領域SDを形成していたのに対して、本実施の形態3では、半導体層SM1と半導体層EP2と半導体層EP3との積層体に対してn型不純物を注入してn⁺型半導体領域SDを形成している。

40

【0227】

n⁺型半導体領域SDを形成するためのイオン注入工程では、ダミーゲートGEDおよび側壁絶縁膜SW1, SW4がマスク(イオン注入阻止マスク)として機能することができる。このため、n⁺型半導体領域SDは、ダミーゲートGEDの側壁上に側壁絶縁膜SW1を介して形成された側壁絶縁膜SW4に対して自己整合して形成される。n⁺型半導

50

体領域SDは、 n^- 型半導体領域EXよりも、不純物濃度が高い。

【0228】

ステップS6aで側壁絶縁膜SW4を形成する前に、 n^- 型半導体領域EXを形成するためのイオン注入(ステップS5)を行い、ステップS6aで側壁絶縁膜SW4を形成した後で、 n^+ 型半導体領域SDを形成するためのイオン注入(ステップS7)を行っている。このため、ステップS7までを行うと、 n^- 型半導体領域EXは、側壁絶縁膜SW4(4a, 4b)の直下の部分の半導体層SM1, EP2に形成されている状態となる。後述のステップS13aでは、ダミーゲートGEDとともに側壁絶縁膜SW4aも除去してからゲート電極GEを形成しているため、側壁絶縁膜SW4aが存在していた領域にもゲート電極GEが形成されることになる。このため、後でゲート電極GEを形成すると、 n^- 型半導体領域EXは、ゲート電極GEの一部(ゲート長方向の両端部側)の直下と側壁絶縁膜SW4bの直下とにほぼ形成されている状態となる。

10

【0229】

次に、 n^+ 型半導体領域SDおよび n^- 型半導体領域EXなどに導入された不純物を活性化するための熱処理である活性化アニールを行う(図46のステップS8)。また、イオン注入領域がアモルファス化された場合は、このステップS8の活性化アニール時に、結晶化させることができる。

【0230】

次に、図54に示されるように、上記実施の形態1と同様に、サリサイド技術により、 n^+ 型半導体領域SDの表面(上層部)に低抵抗の金属シリサイド層SILを形成する(図47のステップS10)。

20

【0231】

ステップS10の金属シリサイド層SIL形成工程は、本実施の形態3も上記実施の形態1と基本的には同じであるが、上記実施の形態1では、主として半導体層EP1に金属シリサイド層SILが形成されたが、本実施の形態3では、主として半導体層EP3(あるいは半導体層EP3, EP2)に金属シリサイド層SILが形成される。また、上記実施の形態1と同様に、ダミーゲートGEDのポリシリコン膜PL1上には窒化シリコン膜SN1が形成されているため、ダミーゲートGEDのポリシリコン膜PL1の表面には、金属シリサイド層は形成されない。

【0232】

次に、図55に示されるように、上記実施の形態1と同様に、SOI基板SUBの主面(主面全面)上に絶縁膜IL1を形成する(図47のステップS11)。すなわち、ダミーゲートGEDおよび側壁絶縁膜SW1, SW4を覆うように、SOI基板SUBの主面上に絶縁膜IL1を形成する。絶縁膜IL1については、上記実施の形態1で説明したので、ここではその繰り返しの説明は省略する。

30

【0233】

次に、上記図56に示されるように、上記実施の形態1と同様に、絶縁膜IL1の表面(上面)をCMP法により研磨することにより、ダミーゲートGEDの上面(すなわち窒化シリコン膜SN1の上面)を露出させる(図47のステップS12)。

【0234】

次に、図57に示されるように、ダミーゲートGEDおよび側壁絶縁膜SW1, SW4aを、エッチングにより除去する(図47のステップS13a)。

40

【0235】

このステップS13aでダミーゲートGEDおよび側壁絶縁膜SW1, SW4aを除去することにより、溝(凹部、開口部、窪み部)TR1が形成される。溝TR1は、ダミーゲートGEDおよび側壁絶縁膜SW1, SW4aの除去前までダミーゲートGEDおよび側壁絶縁膜SW1, SW4aが存在していた領域(空間)からなる。溝TR1からは、半導体層SM1の上面と、半導体層EP2の側面および上面と、側壁絶縁膜SW4bの内壁とが露出される。

【0236】

50

溝TR1の底面は、半導体層SM1の上面と半導体層EP2の側面および上面とにより形成されている。溝TR1の側面(側壁)は、側壁絶縁膜SW4aの内壁により形成されている。溝TR1の底面には、半導体層EP2の側面および上面により段差部が形成されている。ここで、側壁絶縁膜SW4bの内壁とは、側壁絶縁膜SW4bにおいて、側壁絶縁膜SW4aを除去するまで側壁絶縁膜SW4aに接していた側の側面(側壁)に対応している。

【0237】

ステップS13aのエッチング工程について、以下、具体的に説明する。

【0238】

ステップS13aのエッチングは、次の3段階(第1段階、第2段階および第3段階、
図58~図60参照)のエッチングにより行うことが好ましい。

10

【0239】

まず、ステップS13aのエッチングの第1段階として、図58に示されるように、ダミーゲートGEDの窒化シリコン膜SN1を除去するが、この第1段階のエッチングは、本実施の形態3においても、上記実施の形態1(上記ステップS13の第1段階のエッチング)と同様である。第1段階のエッチングにより、窒化シリコン膜SN1が除去されて、ポリシリコン膜PL1が露出される。

【0240】

次に、ステップS13aのエッチングの第2段階として、図59に示されるように、ダミーゲートGEDのポリシリコン膜PL1を除去するが、この第2段階のエッチングは、
本実施の形態3においても、上記実施の形態1(上記ステップS13の第2段階のエッチング)と同様である。第2段階のエッチングにより、ポリシリコン膜PL1が除去されて、側壁絶縁膜SW1および絶縁膜GIDが露出される。

20

【0241】

ステップS13aのエッチングの第3段階は、上記実施の形態1のステップS13の第3段階と若干相違している。ステップS13aのエッチング工程では、第2段階のエッチングでポリシリコン膜PL1を除去した後、エッチング条件を変えて、第3段階のエッチングにより、図60に示されるように、側壁絶縁膜SW1、SW4aおよび絶縁膜GIDを除去する。この第3段階のエッチングは、側壁絶縁膜SW1、SW4aおよび絶縁膜GIDのエッチング速度が、半導体層SM1、EP2のエッチング速度よりも速くなるようなエッチング条件で、側壁絶縁膜SW1、SW4aおよび絶縁膜GIDを選択的にエッチングすることが好ましい。これにより、第3段階のエッチングで半導体層SM1、EP2がエッチングされてしまうのを抑制または防止することができる。側壁絶縁膜SW1と側壁絶縁膜SW4aとを同じ材料(ここでは酸化シリコン)により形成しておけば、側壁絶縁膜SW1と側壁絶縁膜SW4aとを同じエッチング工程で連続的にエッチングすることができる。また、絶縁膜GIDを側壁絶縁膜SW1、SW4aと同じ材料(ここでは酸化シリコン)により形成しておけば、絶縁膜GIDを、側壁絶縁膜SW1、SW4aを除去するのと同じエッチング工程で除去することができる。

30

【0242】

また、第3段階のエッチングでは、側壁絶縁膜SW1、SW4aは除去されるが、側壁絶縁膜SW4bは残存させることが好ましい。このため、本実施の形態3では、側壁絶縁膜SW4bを側壁絶縁膜SW4aとは異なる材料により形成しておき、側壁絶縁膜SW1、SW4a(具体的には酸化シリコン)のエッチング速度が、側壁絶縁膜SW4b(具体的には窒化シリコン)および半導体層SM1、EP2のエッチング速度よりも速くなるようなエッチング条件で、第3段階のエッチングを行う。ここでは、側壁絶縁膜SW1、SW4aは酸化シリコンにより形成され、側壁絶縁膜SW4bは窒化シリコンにより形成されているため、側壁絶縁膜SW1、SW4aと側壁絶縁膜SW4bとの高いエッチング選択比を確保することは容易である。すなわち、第3段階のエッチングでは、側壁絶縁膜SW1、SW4aをエッチングするとともに、側壁絶縁膜SW4bをエッチングストップとして機能させることができる。また、側壁絶縁膜SW1、SW4aは酸化シリコンにより

40

50

形成されているため、側壁絶縁膜 $SW1$, $SW4a$ と半導体層 $SM1$, $EP2$ との高いエッチング選択比を確保することも容易である。

【0243】

ステップ $S13a$ の上記3段階（第1段階、第2段階および第3段階）のエッチングによりダミーゲート GED 、絶縁膜 GID および側壁絶縁膜 $SW1$, $SW4a$ を除去することにより、図57および図60に示されるように、溝 $TR1$ が形成される。

【0244】

次に、上記実施の形態1と同様に、図61に示されるように、溝 $TR1$ の底面および側面（側壁）上を含む SOI 基板 SUB の主面（主面全面）上に、すなわち溝 $TR1$ の底部および側面上を含む絶縁膜 $IL1$ 上に、ゲート絶縁膜用の絶縁膜 $G Ia$ を形成する（図47のステップ $S14$ ）。絶縁膜 $G Ia$ については、上記実施の形態1で説明したので、ここではその繰り返しの説明は省略する。

10

【0245】

次に、上記実施の形態1と同様に、 SOI 基板 SUB の主面上に、すなわち絶縁膜 $G Ia$ 上に、溝 $TR1$ 内を埋めるように、ゲート電極用の導電膜 CD を形成する（図47のステップ $S15$ ）。導電膜 CD については、上記実施の形態1で説明したので、ここではその繰り返しの説明は省略する。

【0246】

次に、図62に示されるように、溝 $TR1$ 内に導電膜 CD および絶縁膜 $G Ia$ を残し、溝 $TR1$ の外部の導電膜 CD および絶縁膜 $G Ia$ を CMP 法などにより除去して、ゲート電極 GE およびゲート絶縁膜 GI を形成する（図47のステップ $S16$ ）。ステップ $S16$ については、本実施の形態3も上記実施の形態1と同様であるので、ここではその繰り返しの説明は省略する。ステップ $S16$ は、溝 $TR1$ 内にゲート絶縁膜 GI を介してゲート電極 GE を形成する工程である。

20

【0247】

溝 $TR1$ 内に残存する導電膜 CD がゲート電極 GE となり、溝 $TR1$ 内に残存する絶縁膜 $G Ia$ がゲート絶縁膜 GI となる。そして、ゲート電極 GE と半導体層 $SM1$ （の上面）との間と、ゲート電極 GE と半導体層 $EP2$ （の側面および上面）との間と、ゲート電極 GE と側壁絶縁膜 $SW4b$ （の内壁）との間に、ゲート絶縁膜 GI が介在した状態となる。ゲート電極 GE およびゲート絶縁膜 GI は、 $MISFET$ のゲート電極およびゲート絶縁膜としてそれぞれ機能する。

30

【0248】

ゲート絶縁膜 GI （絶縁膜 $G Ia$ ）を介してゲート電極 GE の下に位置する半導体層 $SM1$ に、 $MISFET$ のチャンネル領域が形成される。また、 $MISFET$ のソースまたはドレインとして機能する半導体領域（不純物拡散層）は、 n^- 型半導体領域 EX とそれよりも高不純物濃度の n^+ 型半導体領域 SD とにより形成され、 LDD 構造を有している。

【0249】

このようにして、 n チャネル型の $MISFET$ が形成される。

【0250】

本実施の形態では、ダミーゲート GED の側壁上に形成されかつ半導体層 $EP2$ の上に位置していた側壁絶縁膜 $SW4a$ を、ステップ $S13a$ でダミーゲート GED とともに除去し、除去した領域（溝 $TR1$ ）にゲート電極 GE を形成している。このため、ダミーゲート GED が存在していた領域だけでなく、側壁絶縁膜 $SW4a$ が存在していた領域にもゲート電極 GE を形成することができる。このため、ゲート電極 GE のゲート長方向の寸法を、ダミーゲート GED の寸法よりも大きくすることができ、ゲート電極 GE の一部（ゲート長方向の両端部側）が半導体層 $EP2$ 上に位置する、すなわち半導体層 $EP2$ 上に乗り上げることになる。従って、ゲート電極 GE におけるゲート長方向の端部は、半導体層 $EP2$ の上に位置することになる。そして、 n^- 型半導体領域 EX の少なくとも一部は、ゲート電極 GE の直下に位置することになる。

40

【0251】

50

以降の工程は、上記実施の形態 1 とほぼ同様である。すなわち、図 6 3 に示されるように、上記実施の形態 1 と同様に、上記絶縁膜 I L 2 を形成し、上記コンタクトホール C N T を形成し、コンタクトホール C N T 内に上記プラグ P G を形成し、上記絶縁膜 I L 3 を形成し、上記配線 M 1 を形成する。

【 0 2 5 2 】

図 6 4 および図 6 5 は、本実施の形態 3 の半導体装置の要部断面図であり、図 6 4 は上記図 1 に対応するものであり、図 6 5 は上記図 2 に対応するものである。

【 0 2 5 3 】

但し、図 6 4 では、半導体層 S M 1 と半導体層 E P 2 , E P 3 がどの領域であるかが分かりやすいように、半導体層 E P 2 と半導体層 E P 3 とを合わせたもの全体をドットのハッチングで示し、半導体層 S M 1 全体を細線の斜線のハッチングで示している。従って、図 6 4 では、 n^- 型半導体領域 E X および n^+ 型半導体領域 S D の形成領域についての図示はしていない。また、図 6 5 では、 n^- 型半導体領域 E X と n^+ 型半導体領域 S D がどの領域であるかが分かりやすいように、 n^- 型半導体領域 E X 全体に同じハッチングを付し、 n^+ 型半導体領域 S D 全体に他の同じハッチングを付してある。従って、図 6 4 と図 6 5 とを合わせて見れば、半導体層 S M 1 , E P 2 , E P 3 の構成と、半導体層 S M 1 , E P 2 , E P 3 における n^- 型半導体領域 E X および n^+ 型半導体領域 S D の形成領域とを、理解しやすい。なお、上記図 1 および図 2 と同様に、図 6 4 および図 6 5 において、上記絶縁膜 I L 3 および配線 M 1 とそれよりも上層の構造については、図示を省略している。

【 0 2 5 4 】

図 6 4 および図 6 5 に示される本実施の形態 3 の半導体装置と、上記図 1 および図 2 に示される上記実施の形態 1 の半導体装置との主要な相違点は、以下のものである。なお、共通点については、説明を省略する。

【 0 2 5 5 】

上記実施の形態 1 の半導体装置では、上記図 1 および図 2 に示されるように、S O I 基板 S U B の半導体層 S M 1 上に、ソース・ドレイン用のエピタキシャル層として、半導体層 E P 1 を形成している。そして、ゲート電極 G E の端部（ゲート長方向の両端部）が半導体層 E P 1 上に乗り上げている。すなわち、ゲート電極 G E におけるゲート長方向の端部が、ソース・ドレイン用のエピタキシャル層である半導体層 E P 1 の上に位置している。

【 0 2 5 6 】

一方、本実施の形態 3 の半導体装置は、図 6 4 および図 6 5 に示されるように、S O I 基板 S U B の半導体層 S M 1 上に、ソース・ドレイン用のエピタキシャル層として、半導体層 S M 1 上の半導体層 E P 2 と半導体層 E P 2 上の半導体層 E P 3 との 2 層を形成している。そして、ゲート電極 G E の端部（ゲート長方向の両端部）が半導体層 E P 2 上に乗り上げている。すなわち、ゲート電極 G E におけるゲート長方向の端部が、ソース・ドレイン用のエピタキシャル層である半導体層 E P 2 の上に位置している。なお、ゲート電極 G E におけるゲート長方向の端部は、図 6 4 において符号 E G を付して、端部 E G として示してある。

【 0 2 5 7 】

また、上記実施の形態 1 では、上記図 1 および図 2 に示されるように、ゲート電極 G E の一部と、側壁絶縁膜 S W 3 と、ゲート電極 G E と側壁絶縁膜 S W 3 との間に位置する部分のゲート絶縁膜 G I とが、半導体層 E P 1 上に存在している。

【 0 2 5 8 】

一方、本実施の形態 3 では、図 6 4 および図 6 5 に示されるように、ゲート電極 G E の一部と、側壁絶縁膜 S W 4 b と、ゲート電極 G E と側壁絶縁膜 S W 4 b との間に位置する部分のゲート絶縁膜 G I とが、半導体層 E P 2 上に存在している。

【 0 2 5 9 】

また、上記実施の形態 1 では、半導体層 E P 1 の傾斜した側面 S F 1 上にゲート電極 G

10

20

30

40

50

Eの一部(両端部)が乗り上げていた。一方、本実施の形態3では、半導体層EP2の側面は傾斜しておらず、半導体層EP2の上面上にゲート電極の一部(両端部)が乗り上げている。

【0260】

また、上記実施の形態1では、SOI基板SUB上に、半導体層EP1を覆うように絶縁膜IL1が形成されており、ゲート電極GEは、絶縁膜IL1に形成された溝TR内に埋め込まれていた。一方、本実施の形態3では、SOI基板SUB上に、半導体層EP2、EP3を覆うように絶縁膜IL1が形成されており、ゲート電極GEは、絶縁膜IL1に形成された溝TR1内に埋め込まれている。また、上記実施の形態1では、ゲート絶縁膜GIが溝TRの側面上および底面上に形成されており、ゲート電極GEは、ゲート絶縁膜GIを介して溝TR内に埋め込まれていた。一方、本実施の形態3では、ゲート絶縁膜GIが溝TR1の側面上および底面上に形成されており、ゲート電極GEは、ゲート絶縁膜GIを介して溝TR1内に埋め込まれている。

10

【0261】

このような本実施の形態3の半導体装置においても、上記実施の形態1で説明したのと同様の理由により、ソースまたはドレイン用の半導体領域とチャネル領域との間の寄生抵抗を抑制することができるため、半導体装置の特性(電気的特性)を向上させることができる。

【0262】

すなわち、本実施の形態の半導体装置においても、ソース・ドレイン用のエピタキシャル層(ここでは半導体層EP2)上にゲート電極GEの端部(ゲート長方向の両端部)が乗り上げている。すなわち、ゲート電極GEにおけるゲート長方向の端部が、ソース・ドレイン用のエピタキシャル層(ここでは半導体層EP2)の上に位置している。換言すれば、MISFET(ゲート電極GEをゲート電極とするMISFET)のゲート長方向において、ゲート電極GEの端部が、ソース・ドレイン用のエピタキシャル層(ここでは半導体層EP2)の上に位置している。そして、このエピタキシャル層(ここでは半導体層EP2)は、半導体層SM1の上面上に形成されており、このエピタキシャル層(ここでは半導体層EP2)の上面上は、ゲート電極GEの直下における半導体層SM1の上面上よりも高い位置にある。

20

【0263】

このため、ソースまたはドレイン用の半導体領域(n^- 型半導体領域EXと n^+ 型半導体領域SDとを合わせたもの)にゲート電極GEを確実にオーバーラップさせることができ、このオーバーラップにより、ソースまたはドレイン用の半導体領域とチャネル領域との間の寄生抵抗を抑制することができる。また、ソースまたはドレイン用の半導体領域(n^- 型半導体領域EXと n^+ 型半導体領域SDとを合わせたもの)とゲート電極GEとのオーバーラップ部における半導体層の厚みは、半導体層SM1の厚みよりも、オーバーラップ部における半導体層EP2の厚みの分だけ厚くすることができるため、寄生抵抗を更に抑制することができる。従って、MISFETを備える半導体装置の特性(電気的特性)を向上させることができる。また、寄生抵抗の値のばらつきによるMISFET毎の特性ばらつきも抑制することができる。従って、半導体装置の性能を向上させることができる。また、本実施の形態3においても、ゲート電極GEが半導体層EP2に乗り上げた構造を、セルフアラインで形成することができる。

30

40

【0264】

また、半導体層EP2の形成後にダミーゲートGEDの側壁上に側壁絶縁膜SW4を形成してから、この側壁絶縁膜SW4をマスクにしてイオン注入を行うことで n^+ 型半導体領域SDを形成しているが、本実施の形態3では、側壁絶縁膜SW4を、側壁絶縁膜SW4aおよび側壁絶縁膜SW4bにより形成している。このため、側壁絶縁膜SW4a、SW4bの直下の部分の半導体層EP2、SM1が、 n^- 型半導体領域EXとなる。そして、ステップS13では、側壁絶縁膜SW4a、SW4bのうち、側壁絶縁膜SW4aを除去し、側壁絶縁膜SW4bを残存させている。このため、側壁絶縁膜SW4aが存在して

50

いた領域にはゲート電極GEが形成されるが、側壁絶縁膜SW4bが存在する領域にはゲート電極GEは形成されない。従って、側壁絶縁膜SW4aと側壁絶縁膜SW4bとの厚みの比を調整することで、 n^- 型半導体領域EXの寸法を変えることなく、 n^- 型半導体領域EXとゲート電極GEのオーバーラップ量を所望の値に制御することができる。また、金属シリサイド層SILとゲート電極GEとの間に、ゲート絶縁膜GIだけでなく側壁絶縁膜SW4aも介在することになるため、ゲート電極GEと金属シリサイド層SILとの間の耐圧を向上させることができる。

【0265】

また、上記実施の形態1および後述の実施の形態4において、側壁絶縁膜SW2の代わりに本実施の形態3の側壁絶縁膜SW4を適用することもでき、この場合、上記ステップS13および後述のステップS13bにおいて、本実施の形態3のステップS13aと同様に、側壁絶縁膜SW4aを除去して側壁絶縁膜SW4bを残存させることができる。

10

【0266】

また、本実施の形態3では、ソース・ドレイン用のエピタキシャル層を、半導体層EP2と半導体層EP3の2層形成している。これにより、以下の利点を得られる。

【0267】

すなわち、本実施の形態3では、半導体層EP2を形成してから、 n^- 型半導体領域EX形成用のイオン注入を行い、その後、半導体層EP3を形成してから、 n^+ 型半導体領域SD形成用のイオン注入を行っている。このため、半導体層EP3に対しては、 n^+ 型半導体領域SD形成用のイオン注入は行われるが、 n^- 型半導体領域EX形成用のイオン注入は行われていないため、両方のイオン注入が行われる場合に比べて、イオン注入によりアモルファス化が進んだとしても種結晶が残りやすい。このため、ステップS8の活性化アニール時に、種結晶の存在により結晶化（単結晶化）を促進しやすくなる。従って、ソース・ドレイン領域を、より低抵抗化することができ、半導体装置の性能の更なる向上を図ることができる。

20

【0268】

（実施の形態4）

上記実施の形態1～3では、SOI基板SUBにMISFETを形成する場合について説明した。本実施の形態4では、半導体基板SUB2にMISFETを形成する場合について説明する。なお、本実施の形態4では、上述の第1、第3及び第4の課題を解決することができる。

30

【0269】

図66および図67は、本実施の形態4の半導体装置の製造工程を示す工程フロー図である。図68～図83は、本実施の形態4の半導体装置の製造工程中の要部断面図である。

【0270】

まず、図68に示されるように、例えば1～10 μ m程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板（半導体ウエハ）SUB2を準備する（図66のステップS1b）。

【0271】

次に、半導体基板SUB2に素子分離領域（図示せず）を形成する。素子分離領域は、例えば、半導体基板SUB2の主面に素子分離溝を、フォトリソグラフィ技術およびドライエッチング技術などを用いて形成し、この素子分離溝に、成膜技術およびCMP技術などを用いて絶縁膜を埋め込むことで、形成することができる。半導体基板SUB2において、素子分離領域によって規定された活性領域に、以下に説明するようにMISFETが形成される。

40

【0272】

次に、図69に示されるように、pチャネル型MISFETを形成する予定の領域における半導体基板SUB2にn型ウエルNWを形成する。n型ウエルNWは、半導体基板SUB2にn型不純物（例えば砒素）をイオン注入することにより、形成することができる

50

【0273】

次に、半導体基板SUB2上に、ダミーゲートGEDを形成する(図66のステップS2)。ダミーゲートGEDは、半導体基板SUB2上(n型ウエルNW上)に形成するが、ダミーゲートGEDの形成法と構成は、上記実施の形態1と同様である。

【0274】

次に、図70に示されるように、ダミーゲートGEDの側壁上に、側壁膜として側壁絶縁膜SW1を形成する(図66のステップS3)。側壁絶縁膜SW1の構成と形成法は、上記実施の形態1と同様であるので、ここではその繰り返しの説明は省略する。

【0275】

次に、図71に示されるように、異方性と等方性のドライエッチングをどちらか単独で、若しくは組み合わせて行うことにより、半導体基板SUB2(n型ウエルNW)を所定の深さまでエッチングして溝(基板リセス部、基板後退部、凹部、窪み部)TR2を形成する(図66のステップS21)。

【0276】

ステップS21では、ダミーゲートGEDと側壁絶縁膜SW1とが、エッチングマスクとして機能する。このため、溝TR2は、ダミーゲートGEDの側壁上の側壁絶縁膜SW1に対して自己整合して形成される。但し、等方性のドライエッチングを行う場合、溝TR2は、側壁絶縁膜SW1やダミーゲートGEDと若干オーバーラップするように形成される。溝TR2の底部および側壁では、Si基板領域(n型ウエルNWを構成している部分の半導体基板SUB2)が露出する。溝TR2の深さは、例えば20~40nm程度とすることができる。

【0277】

次に、図72に示されるように、半導体基板SUB2の溝TR2内に、半導体層としてシリコンゲルマニウム層(SiGe層、シリコンゲルマニウム領域、エピタキシャルシリコンゲルマニウム層)EP4をエピタキシャル成長させる(図66のステップS4c)。

【0278】

シリコンゲルマニウム層EP4は、エピタキシャル成長により形成されたエピタキシャル層(エピタキシャル半導体層)であり、シリコンゲルマニウム(単結晶シリコンゲルマニウム)からなる。シリコンゲルマニウム層EP4は、半導体基板SUB2の溝TR2から露出するSi基板領域上に選択的にエピタキシャル成長し、側壁絶縁膜SW1上や窒化シリコン膜SN1上には形成されない。また、上記実施の形態1で説明したように、ダミーゲートGEDのポリシリコン膜PL1は、窒化シリコン膜SN1および側壁絶縁膜SW1で覆われているため、ポリシリコン膜PL1上にエピタキシャル層は形成されない。

【0279】

また、シリコンゲルマニウム層EP4は、溝TR2内を埋め、半導体基板SUB2の主面(溝TR2が形成されていない部分の半導体基板SUB2の上面)よりもシリコンゲルマニウム層EP4が盛り上がるように形成することが好ましい。この場合、ステップS4cで形成されたシリコンゲルマニウム層EP4の上面は、ダミーゲートGEDの直下における半導体基板SUB2の上面よりも高い位置になる。例えば、シリコンゲルマニウム層EP4の上面が半導体基板SUB2の主面よりも、10~40nm程度高くなるように、シリコンゲルマニウム層EP4を形成する。

【0280】

また、シリコンゲルマニウム層EP4の上面が半導体基板SUB2の主面よりも高くなるように、シリコンゲルマニウム層EP4を形成するが、半導体基板SUB2の主面よりも高くなっている部分のシリコンゲルマニウム層EP4の側面SF2がテーパを有するように、シリコンゲルマニウム層EP4をエピタキシャル成長させることが好ましい。すなわち、半導体基板SUB2の主面に対して、半導体基板SUB2の主面よりも高くなっている部分のシリコンゲルマニウム層EP4の側面SF2が傾斜していることが好ましい。つまり、ダミーゲートGEDから遠ざかるにしたがって、シリコンゲルマニウム層EP4

10

20

30

40

50

の厚みが厚くなるように、シリコンゲルマニウム層EP4の側面SF2が傾斜していることが好ましい。半導体基板SUB2の主面よりも高くなっている部分のシリコンゲルマニウム層EP4の側面SF2のテーパは、シリコンゲルマニウム層EP4の成膜用ガスの組成や成膜温度などを調整することにより、制御することができる。

【0281】

また、シリコンゲルマニウム層EP4は、エピタキシャル成長時に、ドーピングガスを導入することにより、導電型の不純物を導入したシリコンゲルマニウム層EP4とすることが好ましい。pチャネル型MISFETを形成する場合は、p型の不純物を導入したp型のシリコンゲルマニウム層EP4とすることが好ましい。この場合、ソース・ドレイン領域形成用のイオン注入工程は、行わなくてよい。

10

【0282】

また、半導体基板SUB2の溝TR2にエピタキシャル成長させる半導体層として、シリコンゲルマニウム層は好適である。シリコンゲルマニウムを用いることで、例えば、チャネルに作用する応力を制御することができる。

【0283】

すなわち、このような技術は、一般的に1軸性応力を利用した歪Siトランジスタと称されている。本実施の形態4のpチャネル型MISFETのチャネル領域には、ソース及びドレイン領域に形成されたシリコンゲルマニウム層EP4によって、圧縮応力が発生している。この圧縮応力によって、チャネル領域のSi原子間の距離が狭められることにより、ソースおよびドレイン間を流れるキャリア（正孔）の移動度を向上させることができる。従って、ソースおよびドレイン間を流れる電流を増加させることができる。なお、本実施の形態4では、チャネル領域に発生している応力の値は-1.3GP以上となっており、チャネルが無歪であった場合と比較して、電流は10%以上増加している。

20

【0284】

なお、本実施の形態4では、主にpチャネル型MISFETを例示しているが、nチャネル型MISFETで実施する場合には、SiGe（シリコンゲルマニウム）の代わりにSiC（炭化シリコン、シリコンカーバイド）を使用する。すなわち、nチャネル型MISFETの場合は、シリコンゲルマニウム層EP4の代わりに、SiC層を使用する。この場合、nチャネル型MISFETのチャネル領域には、ソース及びドレイン領域に形成されたSiC層によって、引張応力が発生している。この引張応力によって、チャネル領域のSi原子間の距離が広げられることにより、ソースおよびドレイン間を流れるキャリア（電子）の移動度を向上させることができる。従って、ソースおよびドレイン間を流れる電流を増加させることができる。なお、その際に、チャネル領域に発生している応力の値は+1.3GP以上となっており、チャネルが無歪であった場合と比較して、電流は10%以上増加している。

30

【0285】

また、上記のSiGe層やSiC層は、エピタキシャル成長で形成することによって、強い応力を発生させることができる。すなわち、単純にSi層をエピタキシャル成長させて、その後、GeやCをイオン注入した場合は、強い応力を発生させることができない。

40

【0286】

また、本実施の形態4において、pチャネル型MISFETとnチャネル型MISFETのうちpチャネル型MISFETにだけ上記SiGe層を使用しても良いし、nチャネル型MISFETにだけ上記SiC層を使用しても良いし、pチャネル型MISFETに上記SiGe層を使用し、且つ、nチャネル型MISFETに上記SiC層を使用しても良い。

【0287】

次に、図73に示されるように、ダミーゲートGEDの側壁上に、側壁膜として側壁絶縁膜SW2を形成する（図66のステップS6）。側壁絶縁膜SW2の構成および形成法は、上記実施の形態1と基本的には同じである。但し、上記実施の形態1では、側壁絶縁

50

膜 S W 2 の底面が半導体層 E P 1 に接していたのに対して、本実施の形態 4 では、側壁絶縁膜 S W 2 の底面はシリコンゲルマニウム層 E P 4 に接している。

【 0 2 8 8 】

すなわち、本実施の形態 4 では、側壁絶縁膜 S W 2 は、ダミーゲート G E D の側壁に側壁絶縁膜 S W 1 を介して隣接し、かつ、シリコンゲルマニウム層 E P 4 上（具体的にはシリコンゲルマニウム層 E P 4 の傾斜する側面 S F 2 上）に形成される。つまり、側壁絶縁膜 S W 2 の底面がシリコンゲルマニウム層 E P 4（具体的にはシリコンゲルマニウム層 E P 4 の傾斜する側面 S F 2）に接し、側壁絶縁膜 S W 2 の内壁（ダミーゲート G E D に対向する側の側面）がダミーゲート G E D の側壁上の側壁絶縁膜 S W 1 に接している。

【 0 2 8 9 】

次に、シリコンゲルマニウム層 E P 4 などに導入されている不純物を活性化するための熱処理である活性化アニールを行う（図 6 6 のステップ S 8）。

【 0 2 9 0 】

なお、ステップ S 6 で側壁絶縁膜 S W 2 を形成した後でかつ後述のステップ S 1 0 で金属シリサイド層 S I L を形成する前にイオン注入を行わない場合は、ステップ S 8 の活性化アニールを、ステップ S 6 で側壁絶縁膜 S W 2 を形成する前でかつステップ S 4 c でシリコンゲルマニウム層 E P 4 を形成した後に行うこともできる。

【 0 2 9 1 】

次に、図 7 4 に示されるように、シリサイド技術により、シリコンゲルマニウム層 E P 4 の表面（上層部）に金属シリサイド層 S I L を形成する（図 6 7 のステップ S 1 0）。

【 0 2 9 2 】

ステップ S 1 0 の金属シリサイド層 S I L 形成工程は、本実施の形態 4 も上記実施の形態 1 と基本的には同じであるが、上記実施の形態 1 では、主として半導体層 E P 1 に金属シリサイド層 S I L が形成されたが、本実施の形態 4 では、シリコンゲルマニウム層 E P 4 に金属シリサイド層 S I L が形成される。また、上記実施の形態 1 と同様に、ダミーゲート G E D のポリシリコン膜 P L 1 上には窒化シリコン膜 S N 1 が形成されているため、ダミーゲート G E D のポリシリコン膜 P L 1 の表面には、金属シリサイド層は形成されない。

【 0 2 9 3 】

次に、図 7 5 に示されるように、上記実施の形態 1 と同様に、半導体基板 S U B 2 の主面（主面全面）上に絶縁膜 I L 1 を形成する（図 6 7 のステップ S 1 1）。すなわち、ダミーゲート G E D および側壁絶縁膜 S W 1 , S W 2 を覆うように、半導体基板 S U B 2 の主面上に絶縁膜 I L 1 を形成する。絶縁膜 I L 1 については、上記実施の形態 1 で説明したので、ここではその繰り返しの説明は省略する。

【 0 2 9 4 】

次に、図 7 6 に示されるように、上記実施の形態 1 と同様に、絶縁膜 I L 1 の表面（上面）を C M P 法により研磨することにより、ダミーゲート G E D の上面（すなわち窒化シリコン膜 S N 1 の上面）を露出させる（図 6 7 のステップ S 1 2）。

【 0 2 9 5 】

次に、図 7 7 に示されるように、ダミーゲート G E D および側壁絶縁膜 S W 1 , S W 2 を、エッチングにより除去する（図 6 7 のステップ S 1 3 b）。

【 0 2 9 6 】

このステップ S 1 3 b でダミーゲート G E D および側壁絶縁膜 S W 1 , S W 2 を除去することにより、溝（凹部、開口部、窪み部） T R 3 が形成される。溝 T R 3 は、ダミーゲート G E D および側壁絶縁膜 S W 1 , S W 2 の除去前までダミーゲート G E D および側壁絶縁膜 S W 1 , S W 2 が存在していた領域（空間）からなる。溝 T R 3 からは、半導体基板 S U B 2（の上面）と、シリコンゲルマニウム層 E P 4（の傾斜した側面 S F 2）と、絶縁膜 I L 1 の窒化シリコン膜 S N 3 の内面とが露出される。

【 0 2 9 7 】

溝 T R 3 の底面は、半導体層 S M 1 の上面と、シリコンゲルマニウム層 E P 4 の傾斜し

10

20

30

40

50

た側面 S F 2 とにより形成されている。溝 T R 3 の側面（側壁）は、窒化シリコン膜 S N 3 の内面により形成されている。溝 T R 3 から露出する半導体基板 S U B 2 の上面からシリコンゲルマニウム層 E P 4 の傾斜した側面 S F 2 までを、溝 T R 3 の底面とみなすことができる。溝 T R 3 の上部は開放されている。ここで、窒化シリコン膜 S N 3 の内面は、絶縁膜 S O 3 に接する側とは反対側の面に対応している。

【 0 2 9 8 】

ステップ S 1 3 b のエッチングは、次の 3 段階（第 1 段階、第 2 段階および第 3 段階、図 7 8 ~ 図 8 0 参照）のエッチングにより行うことが好ましい。

【 0 2 9 9 】

まず、ステップ S 1 3 b のエッチングの第 1 段階として、図 7 8 に示されるように、ダメージゲート G E D の窒化シリコン膜 S N 1 を除去するが、この第 1 段階のエッチングは、本実施の形態 4 においても、上記実施の形態 1（上記ステップ S 1 3 の第 1 段階のエッチング）と同様である。第 1 段階のエッチングにより、窒化シリコン膜 S N 1 が除去されて、ポリシリコン膜 P L 1 が露出される。

10

【 0 3 0 0 】

次に、ステップ S 1 3 b のエッチングの第 2 段階として、図 7 9 に示されるように、ダメージゲート G E D のポリシリコン膜 P L 1 を除去するが、この第 2 段階のエッチングは、本実施の形態 4 においても、上記実施の形態 1（上記ステップ S 1 3 の第 2 段階のエッチング）と同様である。第 2 段階のエッチングにより、ポリシリコン膜 P L 1 が除去されて、側壁絶縁膜 S W 1 および絶縁膜 G I D が露出される。

20

【 0 3 0 1 】

ステップ S 1 3 b のエッチングの第 3 段階は、上記実施の形態 1 と基本的には同様であり、次のように行うことができる。

【 0 3 0 2 】

すなわち、本実施の形態 4 においては、ステップ S 1 3 b のエッチング工程では、第 2 段階のエッチングでポリシリコン膜 P L 1 を除去した後、エッチング条件を変えて、第 3 段階のエッチングにより、図 8 0 に示されるように、側壁絶縁膜 S W 1 , S W 2 および絶縁膜 G I D を除去する。この第 3 段階のエッチングは、側壁絶縁膜 S W 1 , S W 2 および絶縁膜 G I D のエッチング速度が、半導体基板 S U B 2（n 型ウエル N W）およびシリコンゲルマニウム層 E P 4 のエッチング速度よりも速くなるようなエッチング条件で、側壁絶縁膜 S W 1 , S W 2 および絶縁膜 G I D を選択的にエッチングすることが好ましい。これにより、第 3 段階のエッチングで半導体基板 S U B 2（n 型ウエル N W）およびシリコンゲルマニウム層 E P 4 がエッチングされてしまうのを抑制または防止することができる。側壁絶縁膜 S W 1 と側壁絶縁膜 S W 2 とを同じ材料（ここでは酸化シリコン）により形成しておけば、側壁絶縁膜 S W 1 と側壁絶縁膜 S W 2 とを同じエッチング工程で連続的にエッチングすることができる。また、絶縁膜 G I D と側壁絶縁膜 S W 1 , S W 2 とを同じ材料（ここでは酸化シリコン）により形成しておけば、絶縁膜 G I D を、側壁絶縁膜 S W 1 , S W 2 を除去するのと同じエッチング工程で除去することができる。

30

【 0 3 0 3 】

また、第 3 段階のエッチングでは、側壁絶縁膜 S W 1 , S W 2 は除去されるが、絶縁膜 I L 1 の窒化シリコン膜 S N 3 は残存させることが好ましい。このため、本実施の形態 4 では、側壁絶縁膜 S W 2 を絶縁膜 I L 1 の窒化シリコン膜 S N 3 とは異なる材料により形成しておき、側壁絶縁膜 S W 1 , S W 2（具体的には酸化シリコン）のエッチング速度が、絶縁膜 I L 1 の窒化シリコン膜 S N 3 と半導体基板 S U B 2 とシリコンゲルマニウム層 E P 4 のエッチング速度よりも速くなるようなエッチング条件で、第 3 段階のエッチングを行う。ここでは、側壁絶縁膜 S W 1 , S W 2 は酸化シリコンにより形成されているため、側壁絶縁膜 S W 1 , S W 2 と絶縁膜 I L 1 の窒化シリコン膜 S N 3 との高いエッチング選択比を確保することは容易である。すなわち、第 3 段階のエッチングでは、側壁絶縁膜 S W 1 , S W 2 をエッチングするとともに、絶縁膜 I L 1 の窒化シリコン膜 S N 3 をエッチングストップパとして機能させることができる。また、側壁絶縁膜 S W 1 , S W 2 は酸化

40

50

シリコンにより形成されているため、側壁絶縁膜 S W 1 , S W 2 と半導体基板 S U B 2 およびシリコンゲルマニウム層 E P 4 との高いエッチング選択比を確保することも容易である。

【 0 3 0 4 】

ステップ S 1 3 b の上記 3 段階（第 1 段階、第 2 段階および第 3 段階）のエッチングによりダミーゲート G E D および側壁絶縁膜 S W 1 , S W 2 を除去することにより、図 7 7 および図 8 0 に示されるように、溝 T R 3 が形成される。

【 0 3 0 5 】

また、本実施の形態 4 においても、上記実施の形態 1 と同様に、上記ステップ S 9 を行ってダミーゲート G E D の側壁上に側壁絶縁膜 S W 1 , S W 2 を介して上記側壁絶縁膜 S W 3 を形成してから、ステップ S 1 0 で金属シリサイド層 S I L を形成することもできる。この場合、上記実施の形態 1 と同様に、本実施の形態 4 においても、ステップ S 1 3 では側壁絶縁膜 S W 3 を残存させることが好ましく、溝 T R 3 の側面（側壁）は、側壁絶縁膜 S W 3 の内壁により形成されることになる。

【 0 3 0 6 】

また、本実施の形態 4 においても、上記実施の形態 2 と同様に、側壁絶縁膜 S W 1 , S W 2 を窒化シリコンにより形成することも可能であり、この場合、ステップ S 1 3 b のエッチングは、上記実施の形態 2 のステップ S 1 3 と同様にして行うことができる。

【 0 3 0 7 】

次に、上記実施の形態 1 と同様に、図 8 1 に示されるように、溝 T R 3 の底面および側面（側壁）上を含む半導体基板 S U B 2 の主面（主面全面）上に、すなわち溝 T R 1 の底部および側壁上を含む絶縁膜 I L 1 上に、ゲート絶縁膜用の絶縁膜 G I a を形成する（図 6 7 のステップ S 1 4 ）。絶縁膜 G I a については、上記実施の形態 1 で説明したので、ここではその繰り返しの説明は省略する。なお、上記実施の形態 1 と同様に、絶縁膜 G I a を形成する前に、界面層として 1 n m 以下の酸化シリコン膜を形成しても良い。

【 0 3 0 8 】

次に、上記実施の形態 1 と同様に、図 8 2 に示されるように、半導体基板 S U B 2 の主面上に、すなわち絶縁膜 G I a 上に、溝 T R 3 内を埋めるように、ゲート電極用の導電膜（導電膜）C D を形成する（図 6 7 のステップ S 1 5 ）。導電膜 C D については、上記実施の形態 1 で説明したので、ここではその繰り返しの説明は省略する。

【 0 3 0 9 】

次に、図 8 2 に示されるように、溝 T R 3 内に導電膜 C D および絶縁膜 G I a を残し、溝 T R 3 の外部の導電膜 C D および絶縁膜 G I a を C M P 法などにより除去して、ゲート電極 G E およびゲート絶縁膜 G I を形成する（図 6 7 のステップ S 1 6 ）。ステップ S 1 6 については、本実施の形態 4 も上記実施の形態 1 と同様であるので、ここではその繰り返しの説明は省略する。ステップ S 1 6 は、溝 T R 1 内にゲート絶縁膜 G I を介してゲート電極 G E を形成する工程である。なお、上記実施の形態 1 と同様に、ゲート電極 G E を金属膜とポリシリコン膜の積層構造や、異なる金属膜を積層させた構造としても良い。

【 0 3 1 0 】

溝 T R 3 内に残存する導電膜 C D がゲート電極 G E となり、溝 T R 3 内に残存する絶縁膜 G I a がゲート絶縁膜 G I となる。そして、ゲート電極 G E と半導体基板 S U B 2 の上面との間と、ゲート電極 G E とシリコンゲルマニウム層 E P 4 の傾斜した側面 S F 2 との間と、ゲート電極 G E と窒化シリコン膜 S N 3 （の内面）との間に、ゲート絶縁膜 G I が介在した状態となる。ゲート電極 G E およびゲート絶縁膜 G I は、M I S F E T のゲート電極およびゲート絶縁膜としてそれぞれ機能する。

【 0 3 1 1 】

ゲート絶縁膜 G I （絶縁膜 G I a ）を介してゲート電極 G E の下に位置する半導体基板 S U B 2 に、M I S F E T のチャンネル領域が形成される。また、M I S F E T のソースまたはドレインとして機能する半導体領域（不純物拡散層）は、シリコンゲルマニウム層 E P 4 により形成される。

10

20

30

40

50

【0312】

このようにして、pチャネル型のMISFETが形成される。

【0313】

本実施の形態4では、ダミーゲートGEDの側壁上に形成されかつシリコンゲルマニウム層EP4の上に位置していた側壁絶縁膜SW2を、ステップS13bでダミーゲートGEDとともに除去し、除去した領域(溝TR3)にゲート電極GEを形成している。このため、ダミーゲートGEDが存在していた領域だけでなく、側壁絶縁膜SW2が存在していた領域にもゲート電極GEを形成することができる。このため、ゲート電極GEのゲート長方向の寸法を、ダミーゲートGEDの寸法よりも大きくすることができ、ゲート電極GEの一部(ゲート長方向の両端部側)がシリコンゲルマニウム層EP4上に位置する、すなわちシリコンゲルマニウム層EP4上に乗り上げることになる。従って、ゲート電極GEにおけるゲート長方向の端部は、シリコンゲルマニウム層EP4の上に位置することになる。そして、シリコンゲルマニウム層EP4の一部(従ってソースまたはドレイン用の半導体領域の一部)は、ゲート電極GEの直下に位置することになる。

10

【0314】

以降の工程は、上記実施の形態1とほぼ同様である。すなわち、図83に示されるように、上記実施の形態1と同様に、上記絶縁膜IL2を形成し、上記コンタクトホールCNTを形成し、コンタクトホールCNT内に上記プラグPGを形成し、上記絶縁膜IL3を形成し、上記配線M1を形成する。

20

【0315】

図84は、本実施の形態4の半導体装置の要部断面図である。

【0316】

本実施の形態4では、SOI基板ではなく、バルクの半導体基板SUB2にMISFETを形成している。この半導体基板SUB2上には、ゲート絶縁膜GIを介してゲート電極GEが形成されている。また、半導体基板SUB2には、溝TR2が形成されており、この溝TR2内にソース・ドレイン用のエピタキシャル層としてシリコンゲルマニウム層EP4が形成されている。

【0317】

すなわち、半導体基板SUB2には溝TR2が形成されており、この溝TR2内にソース・ドレイン用のエピタキシャル層が埋め込まれている。この溝TR2内に埋め込まれたソース・ドレイン用のエピタキシャル層は、pチャネル型MISFETの場合は、シリコンゲルマニウム層EP4である。上述のように、本実施の形態4をnチャネル型MISFETに適用する場合は、溝TR2内に埋め込まれたソース・ドレイン用のエピタキシャル層は、SiC層である。図84は、pチャネル型MISFETの場合を例示しているが、本実施の形態4をnチャネル型MISFETに適用する場合は、図84において、n型ウエルNWがp型ウエルに代わり、シリコンゲルマニウム層EP4がSiC層に代わることになる。なお、MISFETのチャネル領域は、半導体基板SUB2のシリコン基板領域(pチャネル型MISFETの場合はn型ウエルNWを構成する単結晶Si領域(Si基板領域)、nチャネル型MISFETの場合はp型ウエルを構成する単結晶Si領域(Si基板領域))に形成される。

30

40

【0318】

シリコンゲルマニウム層EP4は、ゲート電極GEの両側(ゲート長方向の両側)に形成されているが、ゲート電極GEにおけるゲート長方向の端部がシリコンゲルマニウム層EP4の上に位置している。換言すれば、MISFET(ゲート電極GEをゲート電極とするMISFET)のゲート長方向において、ゲート電極GEの端部が、シリコンゲルマニウム層EP4の上に位置している。つまり、シリコンゲルマニウム層EP4上にゲート電極GEの端部(ゲート長方向の両端部)が乗り上げている。

【0319】

すなわち、ゲート電極GEにおけるゲート長方向の中央部側は、シリコンゲルマニウム層EP4が形成されていない部分の半導体基板SUB2上にあるが、ゲート電極GEにお

50

けるゲート長方向の両端部側は、シリコンゲルマニウム層 E P 4 上に乗り上げている。つまり、ゲート電極 G E の中央部側（ゲート長方向の中央部側）は、シリコンゲルマニウム層 E P 4 に重なっていない（半導体基板 S U B 2 の厚み方向に重なっていない）が、ゲート電極 G E の端部（ゲート長方向の端部）は、シリコンゲルマニウム層 E P 4 に重なっている（半導体基板 S U B 2 の厚み方向に重なっている）。換言すれば、ゲート電極 G E の両端部近傍（ゲート長方向の両端部近傍）の直下にはシリコンゲルマニウム層 E P 4 が存在し、ゲート電極 G E の中央部側（ゲート長方向の中央部側）の直下にはシリコンゲルマニウム層 E P 4 は存在していない（S i 基板領域が存在している）。

【 0 3 2 0 】

そして、シリコンゲルマニウム層 E P 4 は、半導体基板 S U B 2 の溝 T R 2 内に形成されている（埋め込まれている）が、シリコンゲルマニウム層 E P 4 の上面は、ゲート電極 G E の直下における半導体基板 S U B 2 の上面よりも高い位置にある。ここで、ゲート電極 G E の直下における半導体基板 S U B 2 の上面は、ゲート電極 G E の下のゲート絶縁膜 G I に接する部分の半導体基板 S U B 2 の表面（上面）に対応しており、図 8 4 において符号 U F 2 を付して上面 U F 2 として示してある。

10

【 0 3 2 1 】

シリコンゲルマニウム層 E P 4 には、p 型不純物が導入されているため、シリコンゲルマニウム層 E P 4 がソースまたはドレインとして機能する半導体領域となっている。ゲート電極 G E の下部の半導体基板 S U B 2 が、M I S F E T のチャネルが形成される領域（チャネル形成領域）となる。このため、ソースまたはドレイン用の半導体領域（ここではシリコンゲルマニウム層 E P 4 ）の一部が、ゲート電極 G E の直下に位置することになる。

20

【 0 3 2 2 】

なお、上記実施の形態 1 では、S O I 基板 S U B 上に、半導体層 E P 1 を覆うように絶縁膜 I L 1 が形成されており、ゲート電極 G E は、絶縁膜 I L 1 に形成された溝 T R 内に埋め込まれていた。一方、本実施の形態 4 では、半導体基板 S U B 2 上に、シリコンゲルマニウム層 E P 4 を覆うように絶縁膜 I L 1 が形成されており、ゲート電極 G E は、絶縁膜 I L 1 に形成された溝 T R 3 内に埋め込まれている。また、上記実施の形態 1 では、ゲート絶縁膜 G I が溝 T R の側面上および底面上に形成されており、ゲート電極 G E は、ゲート絶縁膜 G I を介して溝 T R 内に埋め込まれていた。一方、本実施の形態 4 では、ゲート絶縁膜 G I が溝 T R 3 の側面上および底面上に形成されており、ゲート電極 G E は、ゲート絶縁膜 G I を介して溝 T R 3 内に埋め込まれている。

30

【 0 3 2 3 】

また、上記実施の形態 1 では、半導体層 E P 1 の側面 S F 1 が傾斜し、この半導体層 E P 1 の傾斜する側面 S F 1 上に、ゲート電極 G E におけるゲート長方向の端部が位置している。一方、本実施の形態 4 では、シリコンゲルマニウム層 E P 4 の側面 S F 2 が傾斜し、このシリコンゲルマニウム層 E P 4 の傾斜する側面 S F 2 上に、ゲート電極 G E におけるゲート長方向の端部が位置している。換言すれば、M I S F E T（ゲート電極 G E をゲート電極とする M I S F E T）のゲート長方向において、シリコンゲルマニウム層 E P 4 の側面（ゲート電極 G E 側の側面）S F 2 は傾斜しており、M I S F E T（ゲート電極 G E をゲート電極とする M I S F E T）のゲート長方向において、ゲート電極 G E の端部が半導体層 E P 1 の傾斜する側面 S F 2 上に位置している。すなわち、ゲート電極 G E の端部（ゲート長方向の端部）が、シリコンゲルマニウム層 E P 4 の傾斜する側面 S F 2 上に乗り上げている。

40

【 0 3 2 4 】

このような半導体装置においては、次のような効果を得ることができる。

【 0 3 2 5 】

すなわち、ステップ S 4 c でシリコンゲルマニウム層 E P 4 を、導電型不純物（p チャネル型 M I S F E T を形成する場合は p 型不純物）をドーブしたエピタキシャル層として形成した場合、ソースまたはドレイン用の半導体領域（シリコンゲルマニウム層 E P 4 ）

50

とダミーゲートGEDとのオーバーラップは、形成しにくい。このため、本実施の形態とは異なり、ダミーゲートGEDのポリシリコン膜PL1を除去せずに半導体装置のゲート電極として用いた場合には、ソースまたはドレイン用の半導体領域（シリコンゲルマニウム層EP4）とゲート電極とのオーバーラップが不足して、ソースまたはドレイン用の半導体領域とチャネル領域との間の寄生抵抗が大きくなる虞がある。

【0326】

また、本実施の形態4の変形例として、ステップS4cでシリコンゲルマニウム層EP4をアンドープか低濃度ドーパのシリコンゲルマニウム層として形成してから、上記ステップS5と同様のp⁻型半導体領域EX形成用のイオン注入を行い、その後、ステップS6で側壁絶縁膜SW2を形成してから、上記ステップS7と同様のp⁺型半導体領域SD形成用のイオン注入を行う場合もある。この場合、p⁻型半導体領域EXおよびp⁺型半導体領域SDが、主としてシリコンゲルマニウム層EP4に形成されることになる。しかしながら、シリコンゲルマニウム層EP4の上面は、ゲート電極GEの直下における半導体基板SUB2の上面よりも高い位置にあるため、イオン注入で導入したp型不純物は、ダミーゲートGEDの直下の領域までは拡散しにくい。このため、本実施の形態とは異なり、ダミーゲートGEDのポリシリコン膜PL1を除去せずに半導体装置のゲート電極として用いた場合には、ソースまたはドレイン用の半導体領域（シリコンゲルマニウム層EP4）とゲート電極とのオーバーラップが不足して、ソースまたはドレイン用の半導体領域とチャネル領域との間の寄生抵抗が大きくなる虞がある。

【0327】

それに対して、本実施の形態4では、シリコンゲルマニウム層EP4形成後にダミーゲートGEDの側壁に形成した側壁絶縁膜SW2を、ステップS13bでダミーゲートGEDとともに除去してから、ゲート電極GEを形成している。これにより、ダミーゲートGEDが形成されていた領域だけでなく、側壁絶縁膜SW2が形成されていた領域にもゲート電極GEが形成されることになる。このため、シリコンゲルマニウム層EP4上にゲート電極GEの端部（ゲート長方向の両端部）が乗り上げ、ゲート電極GEにおけるゲート長方向の端部がシリコンゲルマニウム層EP4の上に位置することになる。従って、ソースまたはドレイン用の半導体領域（シリコンゲルマニウム層EP4）とゲート電極GEとのオーバーラップを確実に確保することができ、ソースまたはドレイン用の半導体領域とチャネル領域との間の寄生抵抗を抑制することができる。つまり、シリコンゲルマニウム層EP4を、p型ドーパのエピタキシャル層として成長させた場合と、本実施の形態4の上記変形例のように、イオン注入でシリコンゲルマニウム層EP4に上記p⁻型半導体領域EXおよびp⁺型半導体領域SDを形成した場合との両方で、寄生抵抗を抑制することができる。このため、上記第1の課題を解決することができる。

【0328】

従って、MISFETを備える半導体装置の特性（電気的特性）を向上させることができる。また、寄生抵抗の値のばらつきによるMISFET毎の特性ばらつきも抑制することができる。このため、半導体装置の性能を向上させることができる。また、本実施の形態4においても、ゲート電極GEがシリコンゲルマニウム層EP4に乗り上げた構造を、セルフアラインで形成することができる。

【0329】

また、本実施の形態4においても、シリコンゲルマニウム層EP4は傾斜部（傾斜する側面SF2）を有しており、ゲート絶縁膜GI（絶縁膜GIa）とゲート電極GEは、傾斜部（傾斜する側面SF2）に沿って形成される。このため、溝TR3内において、ゲート絶縁膜GI（絶縁膜GIa）の膜厚を均一に形成しやすくなっている。従って、上記の第3の課題で示したような、MISFETの耐圧が低下するという不具合を解消することができる。

【0330】

また、本実施の形態4においても、溝TR3の口径を、ダミーゲートGEDの長さより

も大きくすることができる。このため、図 8 1 で示されるように、アスペクト比が確保される（溝 TR 3 のアスペクト比を小さくできる）ので、溝 TR 3 内にゲート電極 GE となる導電膜 CD を堆積する場合でも、空孔が発生しにくくなる。従って、上記の第 4 の課題で示したような不具合を解消することができる。

【 0 3 3 1 】

更に、本実施の形態 4 の MISFET においても、ゲート電極 GE の上部の長さが（ゲート電極 GE の下部の長さよりも）長いので、ゲート電極 GE 全体の体積を増加させることができるため、ゲート電極 GE の低抵抗化を図ることができる。

【 0 3 3 2 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【符号の説明】

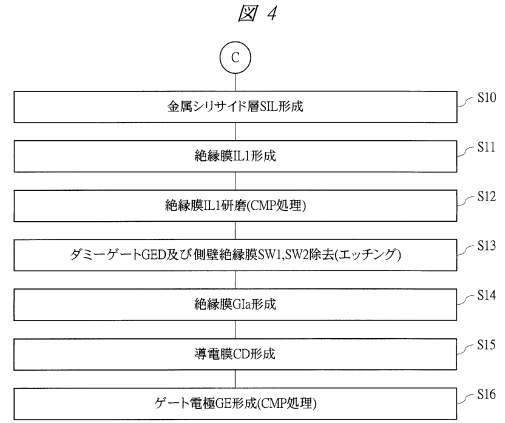
【 0 3 3 3 】

| | | |
|---|-----------------------|----|
| BOX 1 | 絶縁層 | |
| BR | バリア導体膜 | |
| CD | 導電膜 | |
| CNT | コンタクトホール | |
| EG | 端部 | |
| EG 1 , EG 2 , EG 3 , EG 4 | 角部 | 20 |
| EP 1 , EP 2 , EP 3 | 半導体層 | |
| EP 4 | シリコンゲルマニウム層 | |
| EX | n ⁻ 型半導体領域 | |
| GE , GE 1 0 1 , GE 1 0 2 | ゲート電極 | |
| GED | ダミーゲート | |
| GI , GI 1 0 1 , GI 1 0 2 | ゲート絶縁膜 | |
| G I a | 絶縁膜 | |
| G I D | 絶縁膜 | |
| I L 1 , I L 2 , I L 3 | 絶縁膜 | |
| I L 1 0 1 | 層間絶縁膜 | 30 |
| M 1 | 配線 | |
| ME | 金属膜 | |
| MC 1 | 主導体膜 | |
| PG | プラグ | |
| PL 1 | ポリシリコン膜 | |
| NW | n型ウエル | |
| SD | n ⁺ 型半導体領域 | |
| S F 1 , S F 1 a , S F 2 | 側面 | |
| S I L | 金属シリサイド層 | |
| S M 1 , S M 2 | 半導体層 | 40 |
| S N 1 , S N 2 , S N 1 0 1 , S N 1 0 3 | 窒化シリコン膜 | |
| S N 3 | ライナ膜 | |
| S O 1 , S O 2 , S O 1 0 3 | 酸化シリコン膜 | |
| S O 3 | 絶縁膜 | |
| SUB | SOI基板 | |
| SUB 1 | 基板 | |
| SUB 2 | 半導体基板 | |
| S W 1 , S W 1 a , S W 2 , S W 2 a , S W 3 , S W 4 , S W 4 a , S W 4 b | 側壁絶縁膜 | |
| TR , TR 1 , TR 2 , TR 3 , TR 1 0 1 | 溝 | 50 |

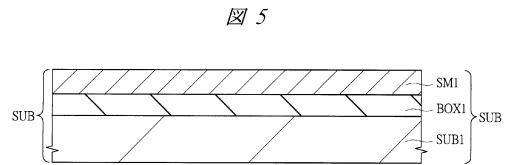
【図3】



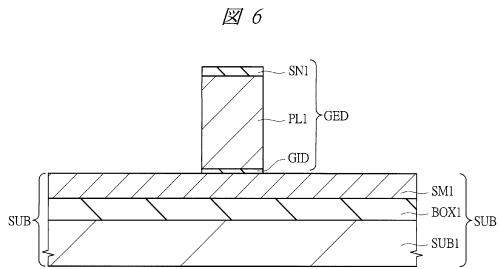
【図4】



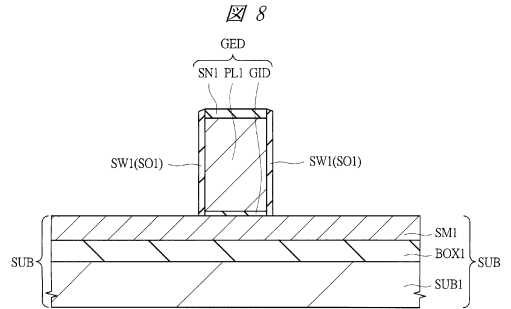
【図5】



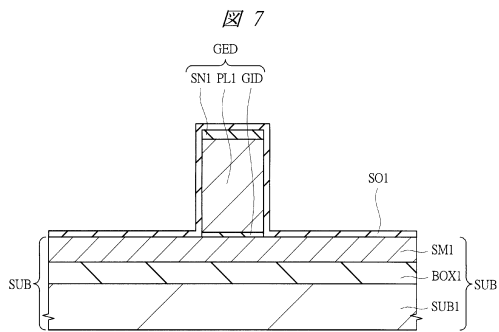
【図6】



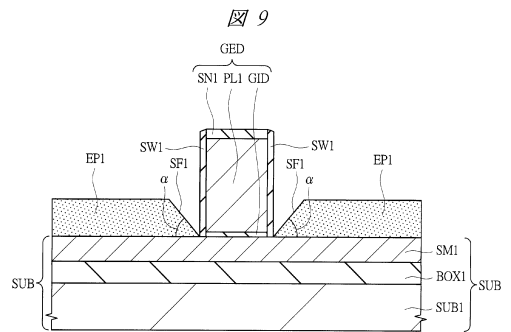
【図8】



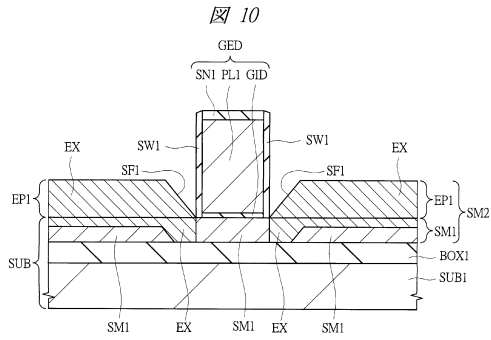
【図7】



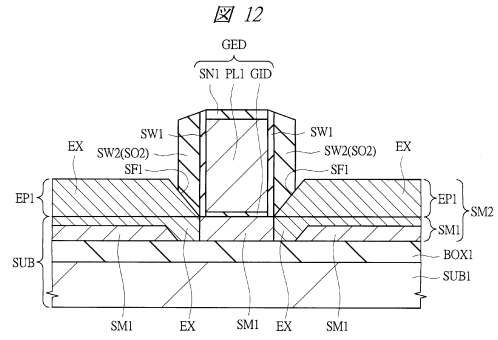
【図9】



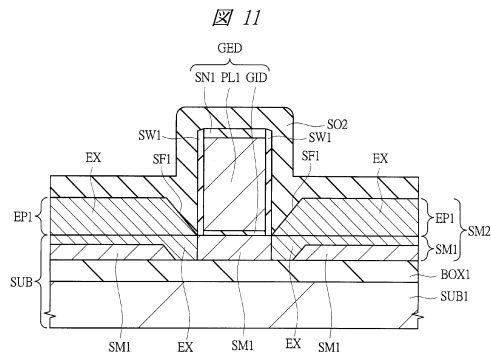
【 図 1 0 】



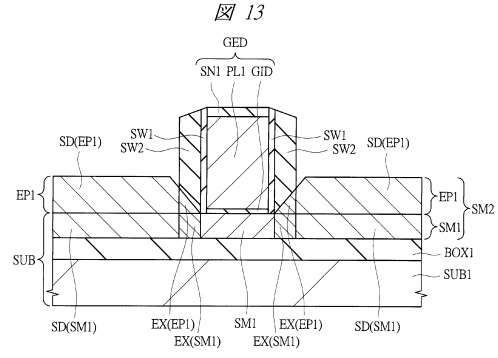
【 図 1 2 】



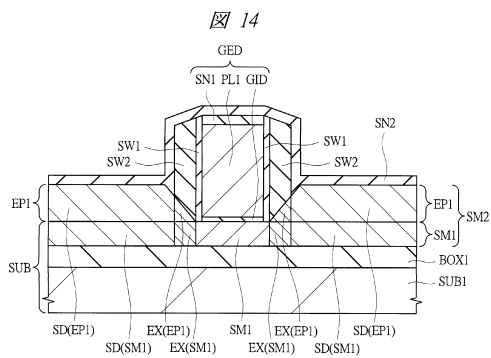
【 図 1 1 】



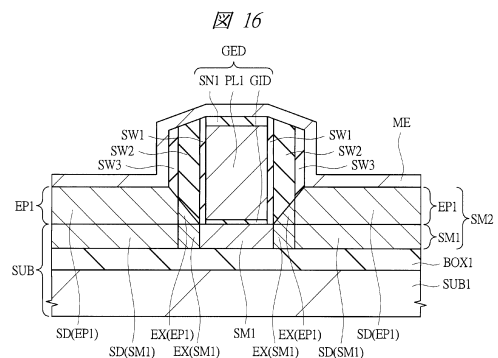
【 図 1 3 】



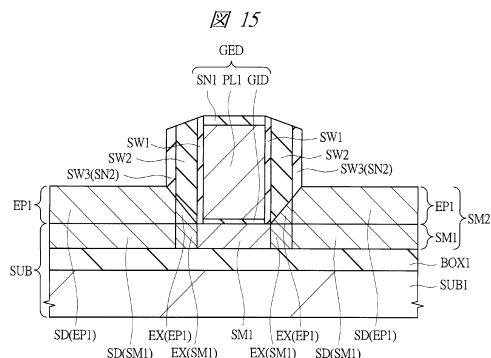
【 図 1 4 】



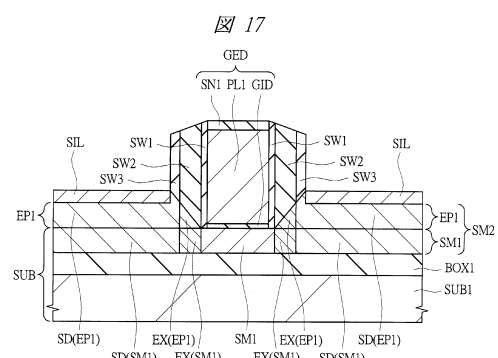
【 図 1 6 】



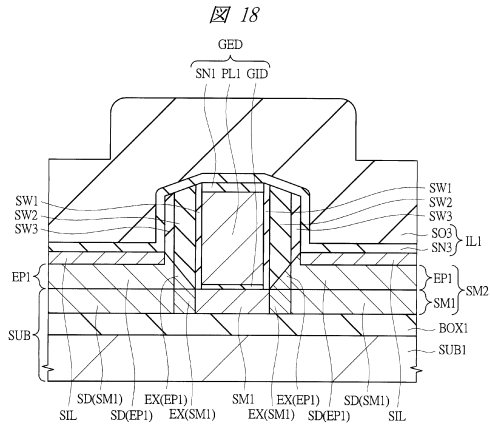
【 図 1 5 】



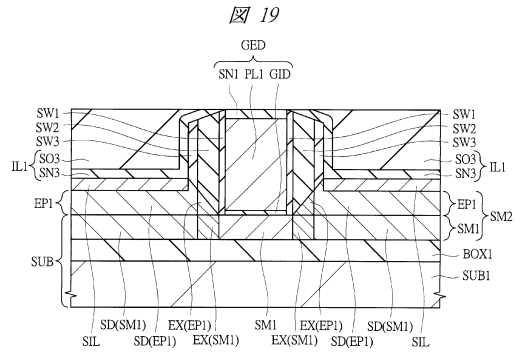
【 図 1 7 】



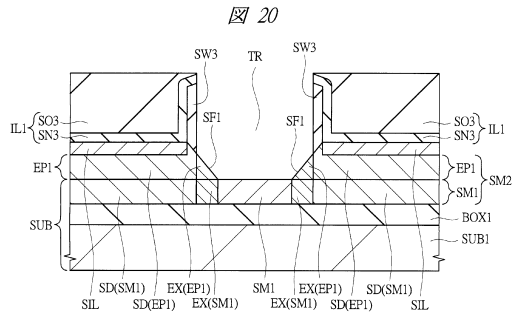
【 図 18 】



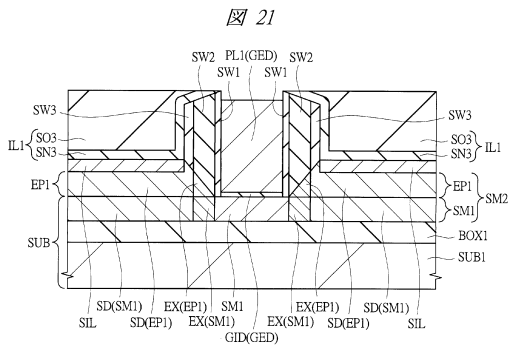
【 図 19 】



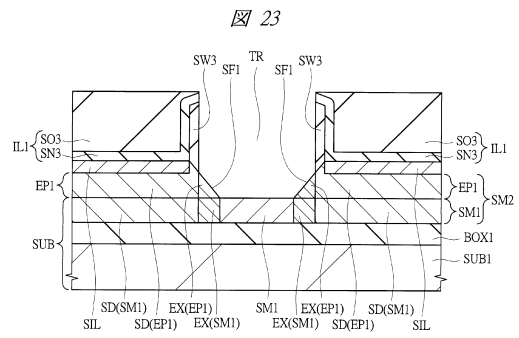
【 図 20 】



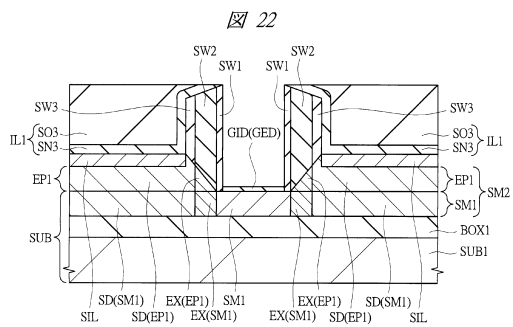
【 図 21 】



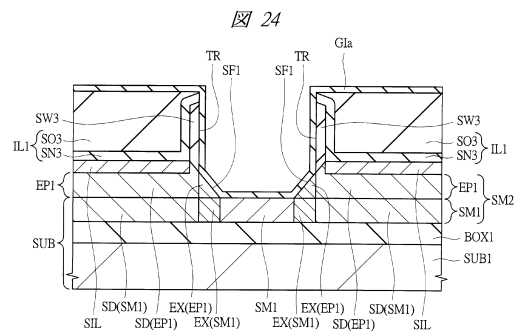
【 図 23 】



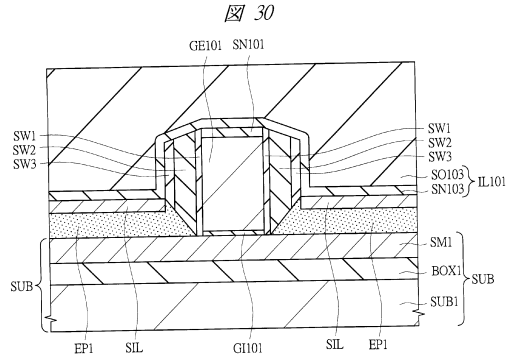
【 図 22 】



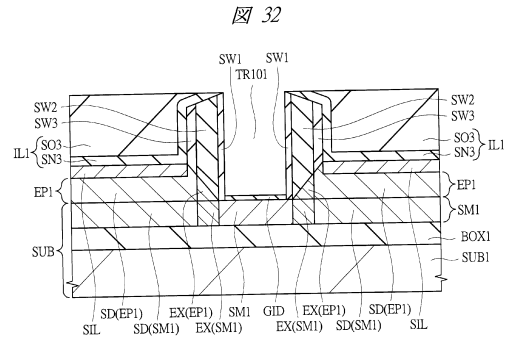
【 図 24 】



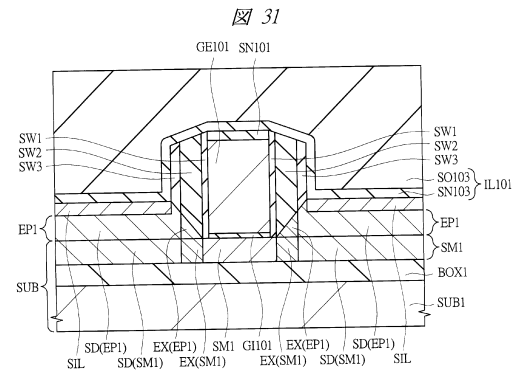
【 図 3 0 】



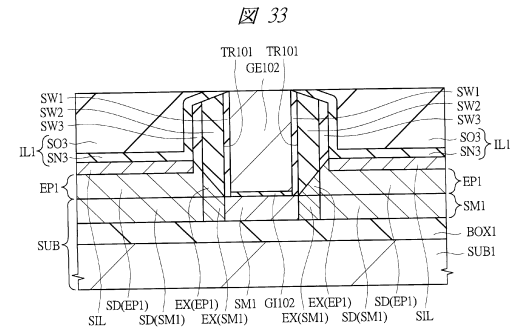
【 図 3 2 】



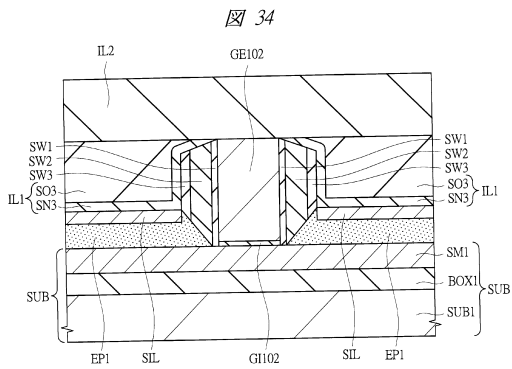
【 図 3 1 】



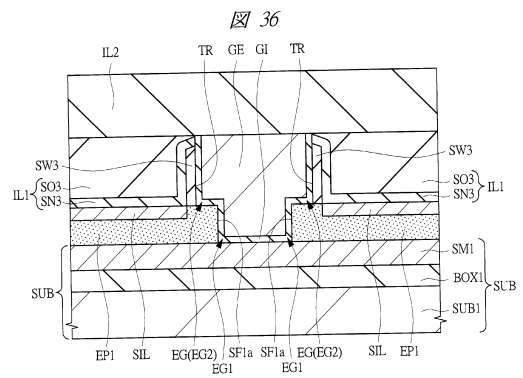
【 図 3 3 】



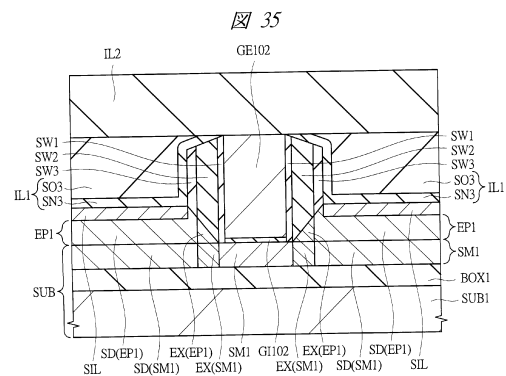
【 図 3 4 】



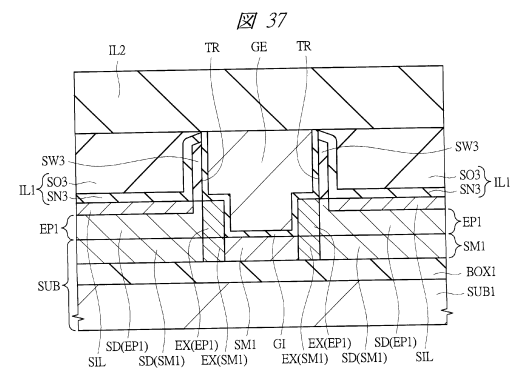
【 図 3 6 】



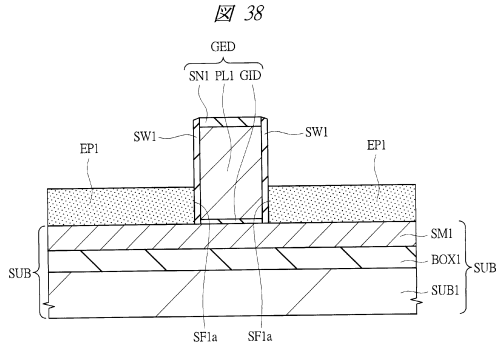
【 図 3 5 】



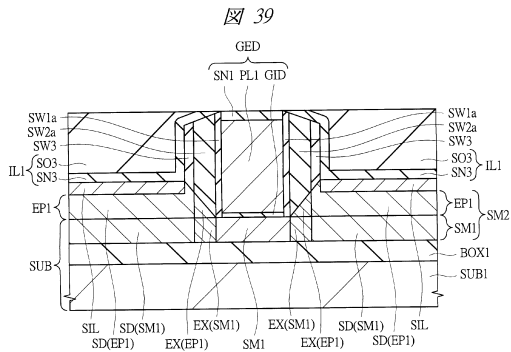
【 図 3 7 】



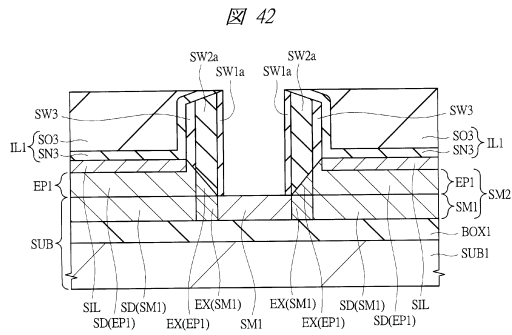
【 図 3 8 】



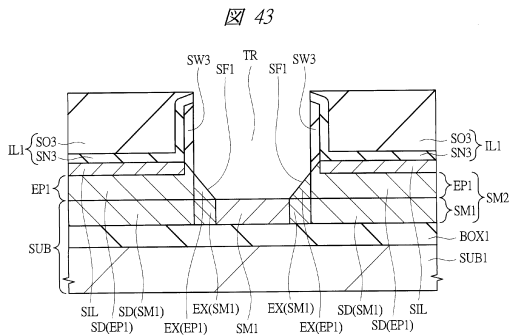
【 図 3 9 】



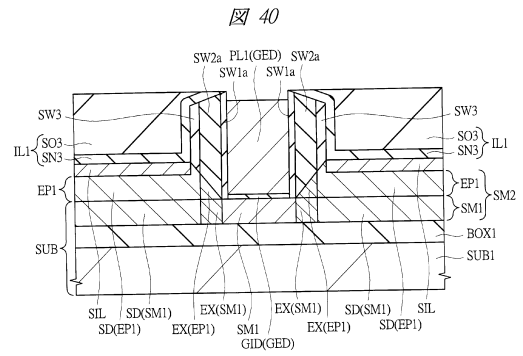
【 図 4 2 】



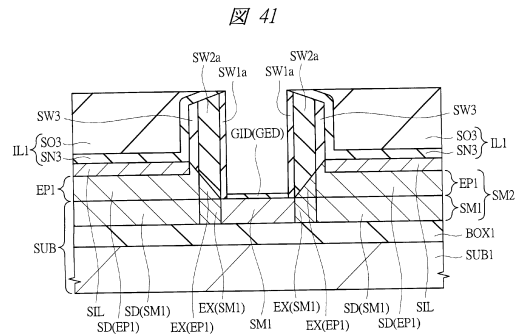
【 図 4 3 】



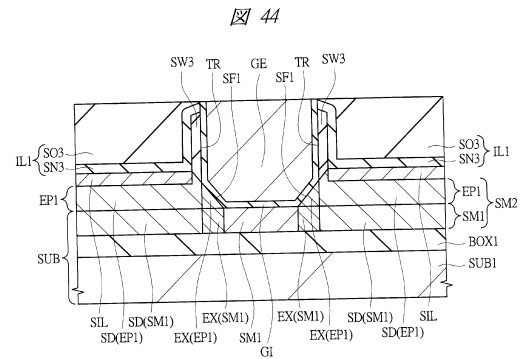
【 図 4 0 】



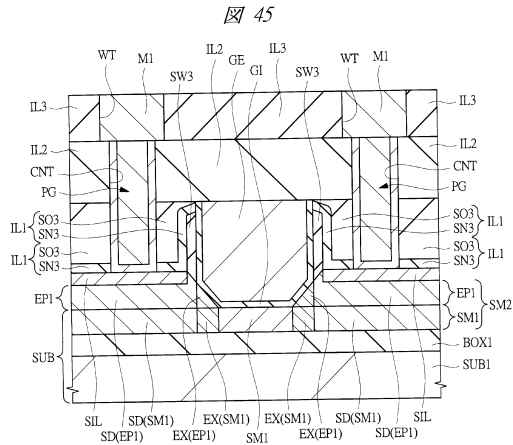
【 図 4 1 】



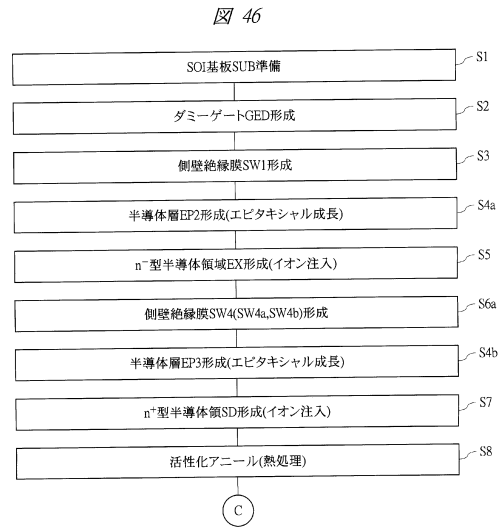
【 図 4 4 】



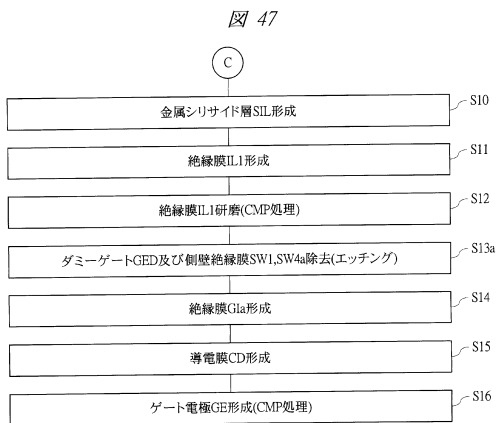
【図45】



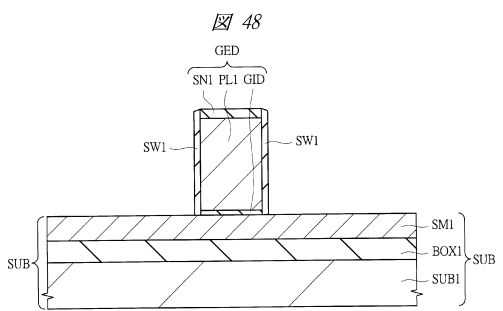
【図46】



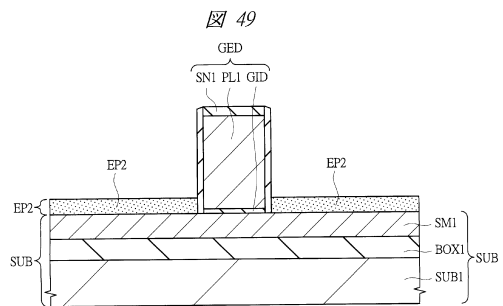
【図47】



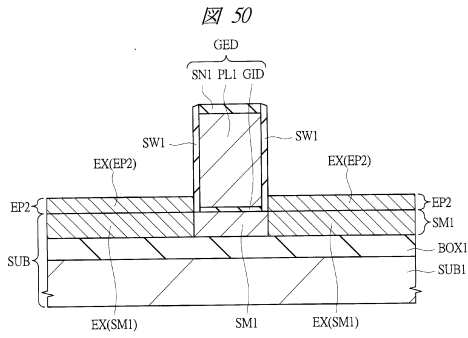
【図48】



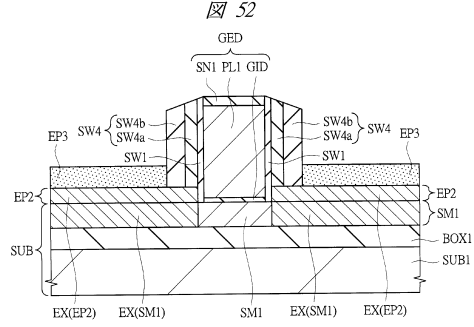
【図49】



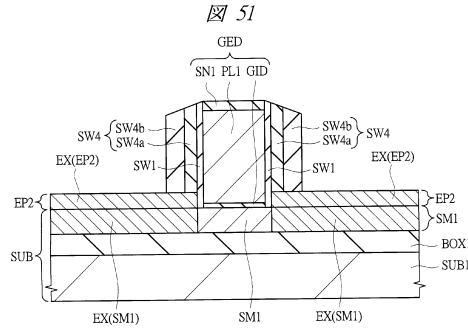
【 図 5 0 】



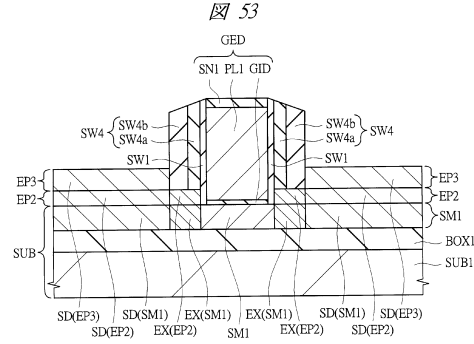
【 図 5 2 】



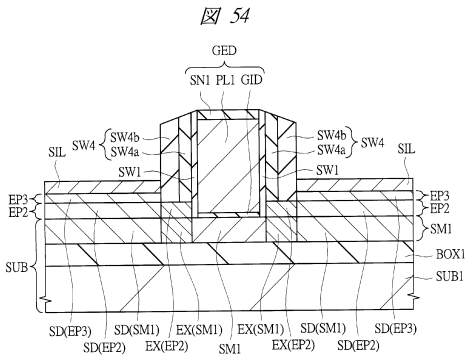
【 図 5 1 】



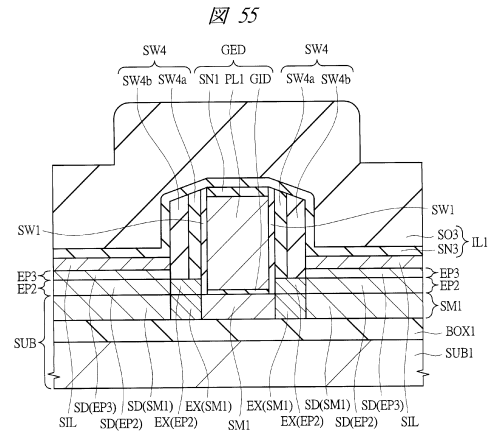
【 図 5 3 】



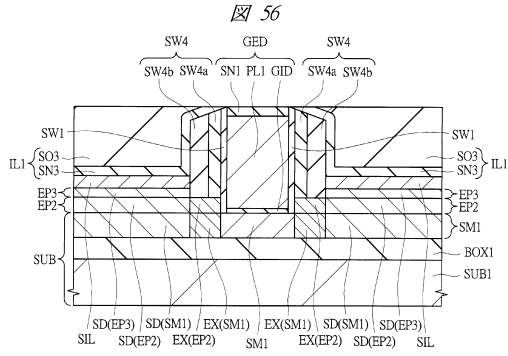
【 図 5 4 】



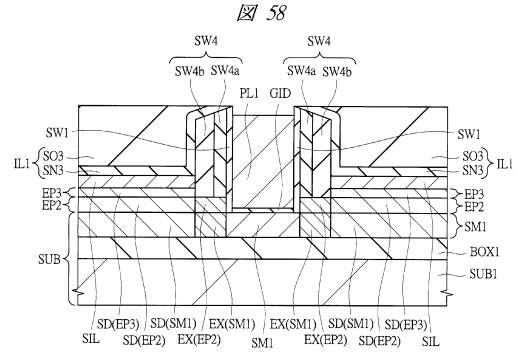
【 図 5 5 】



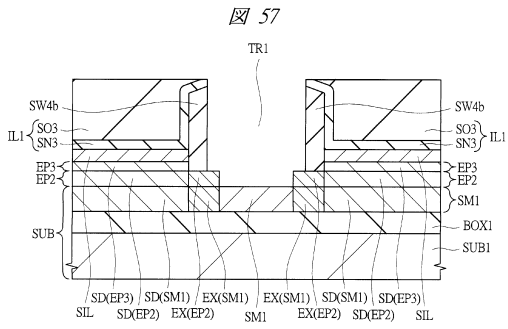
【 図 5 6 】



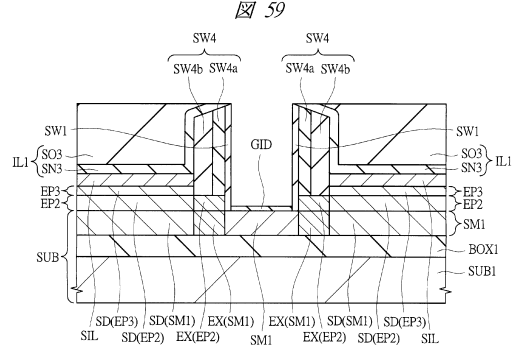
【 図 5 8 】



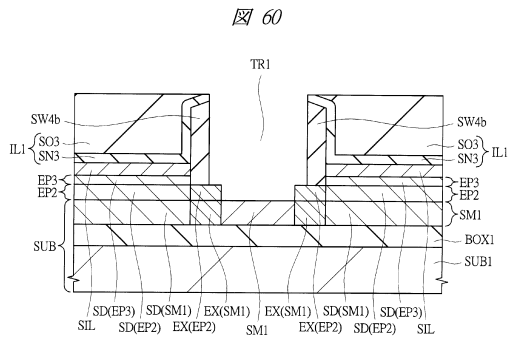
【 図 5 7 】



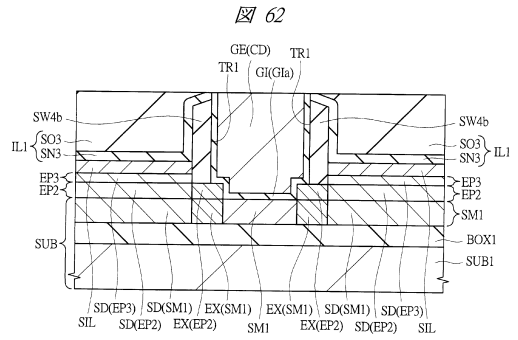
【 図 5 9 】



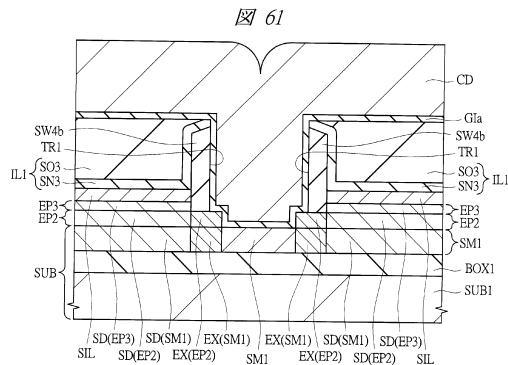
【 図 6 0 】



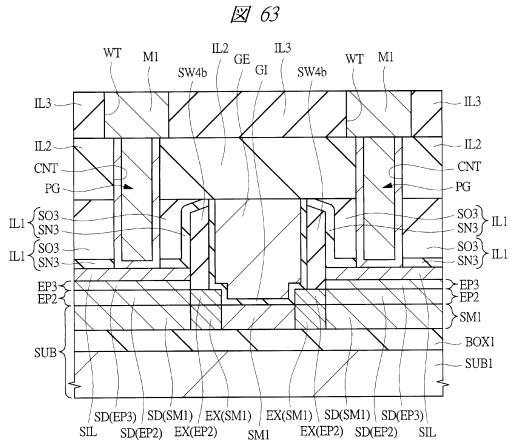
【 図 6 2 】



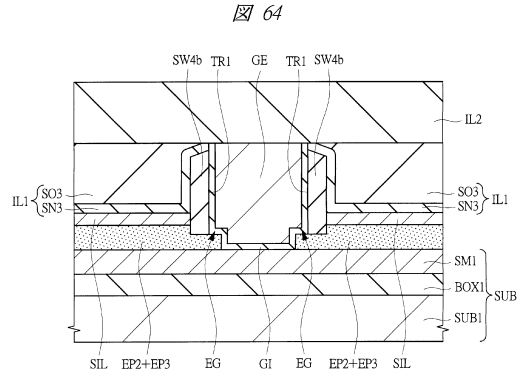
【 図 6 1 】



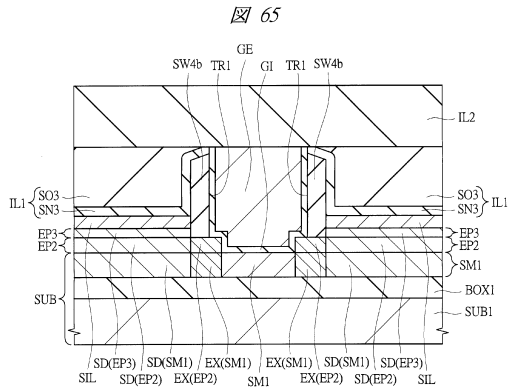
【図 63】



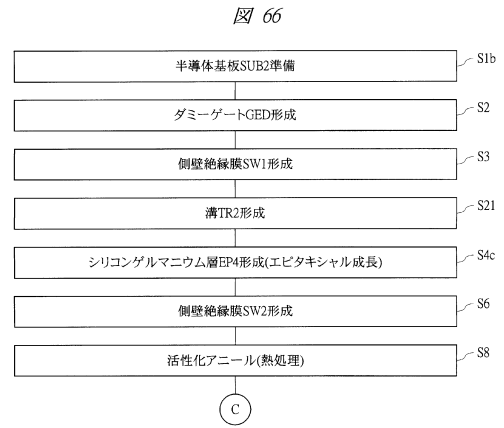
【図 64】



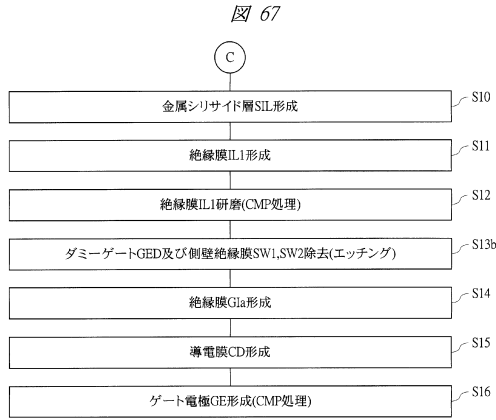
【図 65】



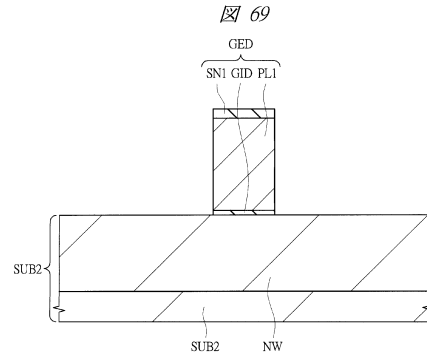
【図 66】



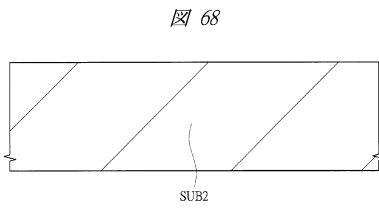
【図67】



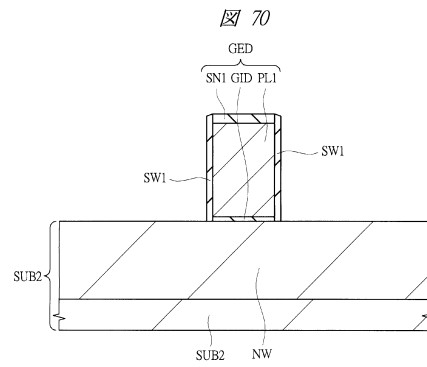
【図69】



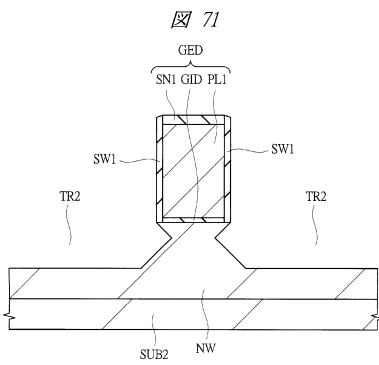
【図68】



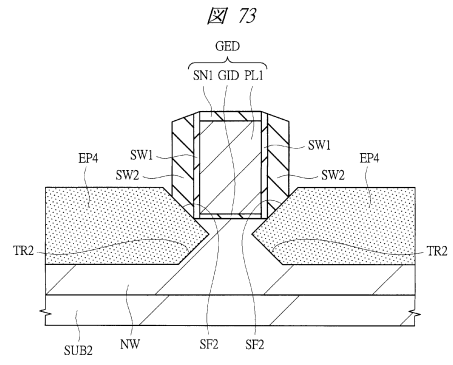
【図70】



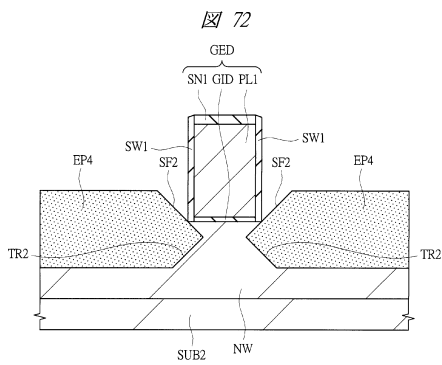
【図71】



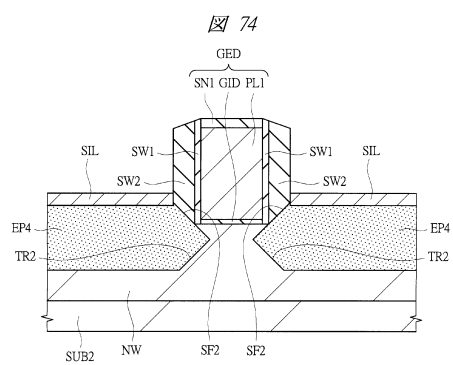
【図73】



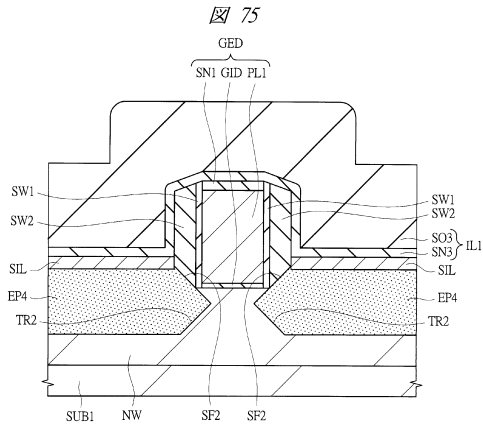
【図72】



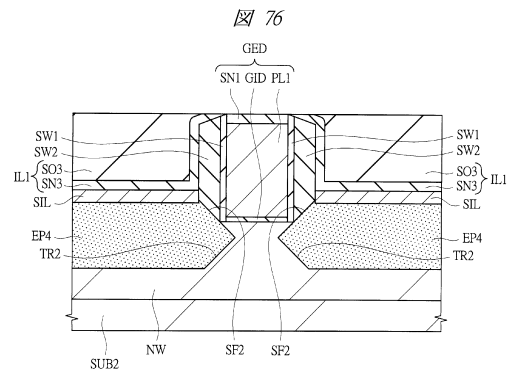
【図74】



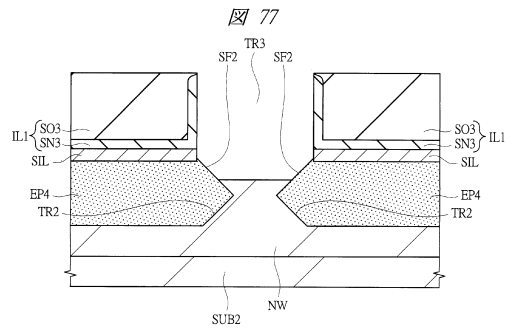
【 75 】



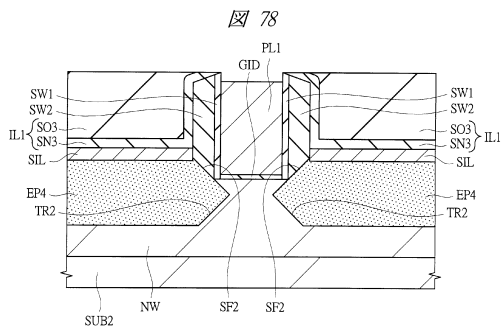
【 76 】



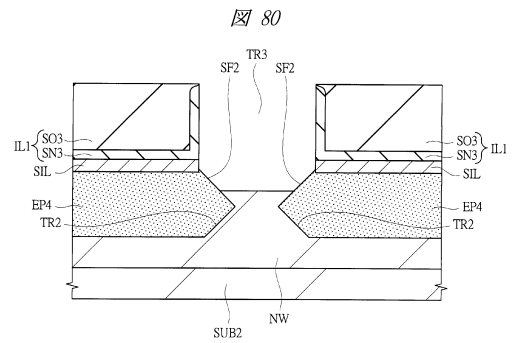
【 77 】



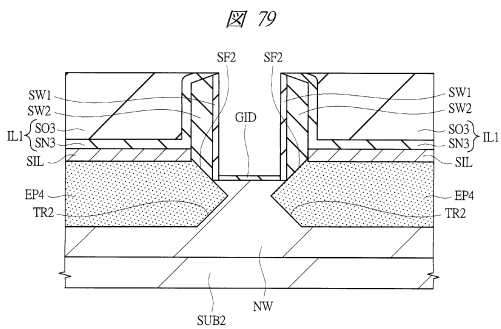
【 78 】



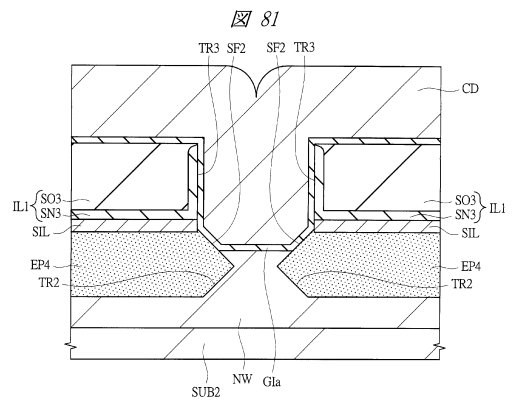
【 80 】



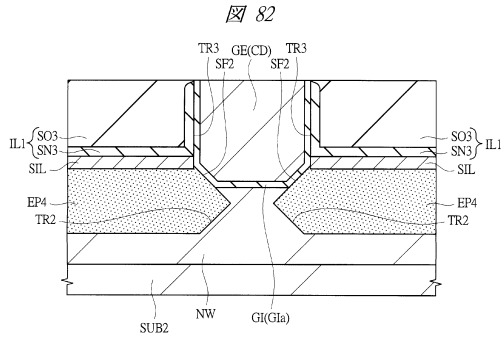
【 79 】



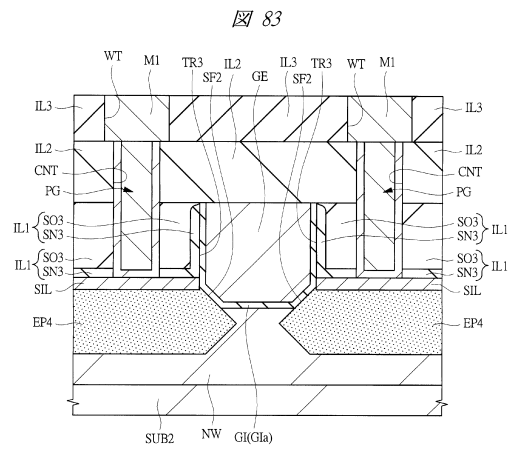
【 81 】



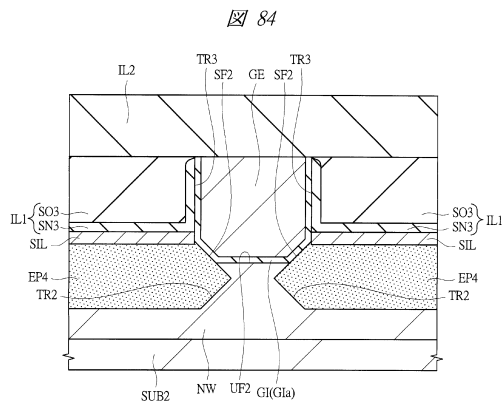
【 82 】



【 83 】



【 84 】



フロントページの続き

| | | | | |
|-------------|-------------------------|-----|---------------|---------|
| (51)Int.Cl. | | F I | | |
| | H 0 1 L 29/41 (2006.01) | | H 0 1 L 29/78 | 6 1 6 L |
| | | | H 0 1 L 29/78 | 6 1 7 J |
| | | | H 0 1 L 29/78 | 6 1 6 K |
| | | | H 0 1 L 29/58 | G |
| | | | H 0 1 L 29/44 | S |

(72)発明者 榎山 秀樹
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 角村 貴昭
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 岩松 俊明
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

審査官 市川 武宜

(56)参考文献 特開 2 0 0 7 - 3 2 4 4 3 0 (J P , A)
 特開 2 0 0 7 - 1 3 4 4 3 2 (J P , A)
 特開 2 0 0 4 - 1 2 8 4 9 3 (J P , A)
 特表 2 0 1 0 - 5 2 7 1 5 3 (J P , A)
 特開 2 0 0 7 - 0 6 7 4 2 5 (J P , A)
 特開 2 0 0 7 - 2 3 4 9 9 3 (J P , A)
 特開 2 0 0 7 - 2 8 1 0 3 8 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 4 1
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 9 / 4 9
 H 0 1 L 2 9 / 7 8