

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年8月13日(13.08.2015)



(10) 国際公開番号

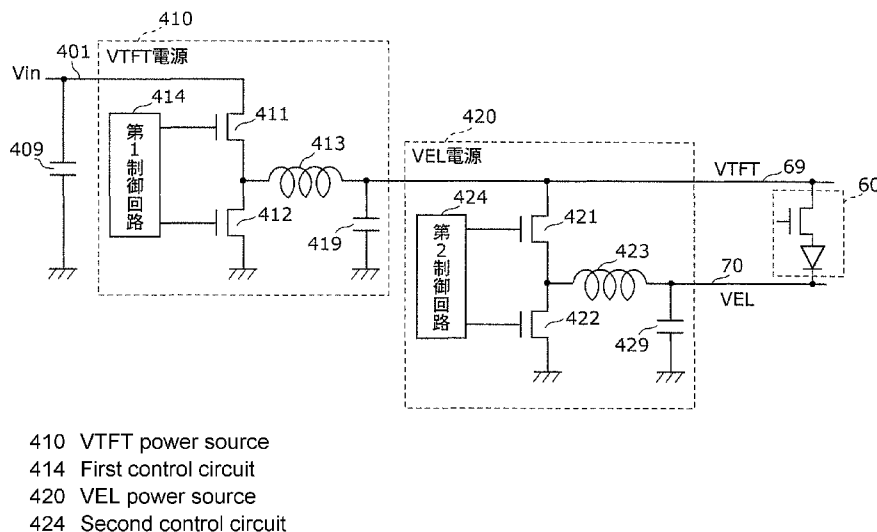
WO 2015/118601 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) G09G 3/30 (2006.01)
G09G 3/14 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2014/006420
- (22) 国際出願日: 2014年12月24日(24.12.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-020645 2014年2月5日(05.02.2014) JP
- (71) 出願人: 株式会社 J O L E D (JOLED INC.) [JP/JP];
〒1010054 東京都千代田区神田錦町三丁目2番地 Tokyo (JP).
- (72) 発明者: 中谷 敏邦 (NAKATANI, Toshikuni).
- (74) 代理人: 吉川 修一, 外 (YOSHIKAWA, Shuichi et al.);
〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階
新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: Provided is a display device comprising: a plurality of pixel circuits (60) disposed in a matrix and receiving power from a first power source line (69) maintained at a first voltage (VTFT) and a second power source line (70) maintained at a positive second voltage (VEL) lower than the first voltage (VTFT); a synchronous rectifying-type first power source circuit (410) that outputs the first voltage (VTFT) to the first power source line (69) by chopping an input voltage (Vin); and a synchronous rectifying-type second power source circuit (420) that outputs the second voltage (VEL) to the second power source line (70) by chopping the first voltage (VTFT).

(57) 要約: 本表示装置は、第1電圧 (VTFT) に維持される第1電源線 (69) と、第1電圧 (VTFT) より低い正の第2電圧 (VEL) に維持される第2電源線 (70) とから電力供給を受ける行列状に配置された複数の画素回路 (60) と、入力電圧 (Vin) をチョッピングすることにより第1電源線 (69) に第1電圧 (VTFT) を出力する同期整流型の第1電源回路 (410) と、第1電圧 (VTFT) をチョッピングすることにより第2電源線 (70) に第2電圧 (VEL) を出力する同期整流型の第2電源回路 (420) とを備える。

WO 2015/118601 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示装置

技術分野

[0001] 本開示は、表示装置に関し、特に電流に応じて発光する発光素子を用いた表示装置に関する。

背景技術

[0002] 電流駆動型の発光素子を用いた表示装置として、有機EL (Electro Luminescence) 素子を用いた表示装置が知られている。

[0003] 自発光する有機EL素子を用いた有機EL表示装置は、液晶表示装置に必要なバックライトが不要であることから表示装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機EL表示装置に用いられる有機EL素子は、各発光素子の輝度がそこに流れる電流量により制御される点で、液晶セルがそこに印加される電圧により制御されるのとは異なる。

[0004] このように、有機EL表示装置は液晶表示装置とほぼ同じ構造のデバイスであるが上述したバックライトが不要な点で、超薄型軽量ディスプレイが実現可能である。但し有機EL表示パネル以外の構造物の薄型化が必要である。有機EL表示パネル以外の構造物の中で電源装置のサイズは、有機EL表示パネルの消費電力に依存し単純な薄型化は困難である。

[0005] 例えば特許文献1 (図1) は、有機発光表示装置における電源装置として、入力電圧に対して並列に接続された2つの電源回路を開示している。すなわち、2つの電源回路として、+ELVDD電源回路と-ELVSS電源回路とを備える。+ELVDD電源回路は、有機発光表示装置の画素(PX)に供給されるELVDD電源の+ELVDD電圧を生成する。-ELVSS電源回路は、有機発光表示装置の画素(PX)に供給されるELVSS電源の-ELVSS電圧を生成する。

先行技術文献

特許文献

[0006] 特許文献1：特開2012-3218号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら上記従来技術よれば、2つの電源回路を入力電圧に並列に接続するので、一方の電源回路において、出力電圧が入力電圧に対し数十分の一の場合には、超短パルス動作によるスイッチング損失が発生し、電源効率の向上が困難であるという問題がある。また、電源回路がトランスを備える場合には重量が増大しかつ大型化するので、表示装置の薄型化および軽量化を困難にするという問題がある。

[0008] 本開示は、電源効率を向上しかつ薄型化および軽量化に適した電源装置を有する表示装置を提供することを目的とする。

課題を解決するための手段

[0009] 上記課題を解決するため本開示における表示装置は、第1電圧と、前記第1電圧より低い正の第2電圧とにより駆動され行列状に配置された複数の画素回路と、入力電圧をチョッピングすることにより第1電源線に前記第1電圧を出力する同期整流型の第1電源回路と、前記第1電圧をチョッピングすることにより第2電源線に前記第2電圧を出力する同期整流型の第2電源回路とを備える。前記第1電源回路は、前記入力電圧が印加される入力電源線と接地線の間に直列に接続された第1ハイサイドスイッチおよび第1ローサイドスイッチと、一端が前記第1ハイサイドスイッチと前記第1ローサイドスイッチとの接続点に接続され、他端が前記第1電源線に接続された第1インダクタと、前記第1ハイサイドスイッチおよび前記第1ローサイドスイッチのオンおよびオフを制御する第1コントローラとを備える。前記第2電源回路は、前記第1電源線と前記接地線の間に直列に接続された第2ハイサイドスイッチおよび第2ローサイドスイッチと、一端が前記第2ハイサイドスイッチと前記第2ローサイドスイッチとの接続点に接続され、他端が前記第

2 電源線に接続された第2インダクタと、前記第2ハイサイドスイッチおよび前記第2ローサイドスイッチのオンおよびオフを制御する第2コントローラとを備える。

発明の効果

[0010] 本開示における表示装置によれば、電源効率を向上させ、かつ薄型化および軽量化にすることができる。

図面の簡単な説明

[0011] [図1]図1は、実施の形態における表示装置の構成例を示すブロック図である。

[図2]図2は、実施の形態における画素回路の構成例を示す回路図である。

[図3]図3は、実施の形態における電源部の一部の構成例を示す回路図である。

[図4A]図4Aは、VTF T電源のチョッピングのデューティ比と出力電圧の関係を示す説明図である。

[図4B]図4Bは、VTF T電源およびVEL 電源の動作例を示すタイムチャートである。

[図5]図5は、表示動作の詳細なタイミング例を示すタイムチャートである。

[図6]図6は、画素回路の変形例を示す回路図である。

[図7]図7は、表示装置の外観例を示す図である。

発明を実施するための形態

[0012] (本発明の基礎となった知見)

本発明者は、例えば図2に示すような画素回路において、画素回路に供給される低電圧側の電源(図2のVEL)が0Vでも負の電圧でもなく正の電圧(例えば2、3V程度)とすべきであることを見出した。

[0013] まず、この点についての発明者の知見および背景について図2の画素回路の例を用いて説明する。

[0014] 図2は、有機EL表示装置に用いられる画素回路の構成例を示す回路図である。

- [0015] 図2の画素回路60は、発光素子66、駆動トランジスタ61、容量素子67、スイッチトランジスタ62を基本的な構成要素として備えている。
- [0016] 発光素子66は、例えば有機EL発光素子であり、供給される電流量に応じた明るさで発光する。
- [0017] 駆動トランジスタ61は、第1電源線69の電圧 V_{TFT} がスイッチトランジスタ65を介して供給され、ゲートソース間の電圧に応じた電流を発光素子66に供給する。
- [0018] 保持容量素子は、駆動トランジスタ61のゲートソース間に明るさを表す電圧（つまり輝度電圧）を印加する。
- [0019] スwitchトランジスタ62は、Data線76から容量素子67に輝度電圧を書き込むためのスイッチである。
- [0020] さらに、画素回路60は、スイッチトランジスタ63、64、65を、付加的な構成要素として備えている。付加的な構成要素というのは、スイッチトランジスタ63、64、65を備えることにより、画素回路間における駆動トランジスタ61のしきい値電圧のばらつきを補償する動作を可能にするためである。駆動トランジスタ61は、TFT（Thin Film Transistor）が一般的である。そのしきい値電圧 V_t は、個々の使用率により経時変化によってシフトすることがわかっている。スイッチトランジスタ63、64、65は、しきい値補償動作を可能にする構成要素として備えられている。
- [0021] 次に、しきい値補償動作について簡単に説明する。しきい値補償動作とは、スイッチトランジスタ62によって保持容量素子67に輝度電圧を書き込む直前に、保持容量素子67に、駆動トランジスタ61の実際のしきい値とほぼ同等の電圧を保持させる動作をいう。このしきい値補償動作の直後に、スイッチトランジスタ62によって保持容量素子67に輝度電圧を導通すると、保持容量素子67は、（駆動トランジスタ61の実際のしきい値電圧）＋（輝度電圧）にほぼ等しい電圧を保持することになる。これにより、例えば、輝度電圧が0Vであれば当該画素回路60が黒画素になる（つまり発光

素子 66 が発光しない) ので、しきい値電圧のばらつきの影響を抑制できる。こうして、画素回路間におけるしきい値のばらつきに起因する画質劣化を抑制することができる。

[0022] 次に、このような画素回路において低電圧側の電源 (図 2 の V_{EL}) について説明する。

[0023] 画素回路 60 において電源 V_{EL} がもし 0 V であれば、次の不具合が発生し得る。すなわち、駆動トランジスタ 61 が n チャネル型であって、画素回路間におけるしきい値電圧 V_t のばらつきが大きい場合 (例えば、しきい値電圧 V_t が 1.5 V ~ 5 V 程度にばらつく場合) には、(1) 上述したしきい値補償動作が不完全になることがある。その結果、(2) 輝度電圧として非発光の黒色を表す 0 V を容量素子 67 に書き込んだのに、少し光ってしまう。(3) 容量素子 67 に保持される電圧の有効範囲が狭くなってしまう。これらの不具合が発生し得る。

[0024] 発明者は、画素回路 60 の電源電圧 V_{EL} を 0 V でもなく負の電圧でもなく正の電圧 (例えば 2、3 V) に設定することにより、これらの不具合を解消し得ることを見出した。

[0025] したがって、画素回路 60 に電源を供給する電源装置は、電源 V_{TFT} (例えば、20 数 V)、電源 V_{EL} (例えば、2、3 V) の 2 種類の電源電圧を生成する必要がある。

[0026] 上述したように従来技術において、入力電圧に対して並列接続された 2 つの電源回路は、一方の電源回路において、出力電圧が入力電圧に対し数十分の一の場合には、超短パルス動作によるスイッチング損失が発生し、電源効率の向上が困難であるという問題がある。また、電源回路がトランスを備える場合には重量が増大しかつ大型化するので、表示装置の薄型化および軽量化を困難にするという問題がある。

[0027] 加えて、入力電圧に対して並列接続された 2 つの電源回路の一方の電源回路が 2、3 V 程度の低電圧の電源電圧を生成する場合には、スイッチング電源を用いたとしても、スイッチング動作におけるオン期間のデューティ比が

小さくなってしまふ。例えば、入力電圧が30V程度の場合、出力電圧を2、3Vに設定すれば、上記のデューティ比が極端に小さくなってしまい、出力電圧の安定化が困難であるという問題もある。

[0028] 本開示は、電源効率を向上しかつ薄型化および軽量化に適した電源装置を有する表示装置を提供することを目的とする。

[0029] (実施の形態)

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

[0030] なお、発明者は、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

[0031] 以下、図1～図4A、図4Bを用いて実施の形態における表示装置について説明する。

[0032] [1. 表示装置の構成]

図1は、実施の形態における表示装置の構成例を示すブロック図である。

図2は、実施の形態における画素回路の構成例を示す回路図である。

[0033] 図1の表示装置1は、有機ELディスプレイ装置の例であって、制御部2、走査線駆動回路3、電源部4、データ線駆動回路5、表示パネル6を備える。

[0034] 表示パネル6は、例えば有機EL表示パネルであって、行列状に配置された複数の画素回路を有している。複数の画素回路のそれぞれは、第1電圧 V_{TF} と、前記第1電圧 V_{TF} より低い正の第2電圧 V_{EL} とにより駆動され、データ線駆動回路5から供給される輝度電圧に応じた発光量で発光する機能を有する。

[0035] ここで図2の画素回路の構成例について詳細に説明する。

[0036] [1-1. 画素回路の構成]

図2の画素回路60は、駆動トランジスタ61と、スイッチトランジスタ62～65と、発光素子66と、容量素子67とを備えている。また、Data線76は、データ線駆動回路5から輝度電圧を供給するためのデータ線である。基準電圧電源線68は、電源部4から基準電圧VREFを供給するための電源線である。基準電圧VREFは、初期化期間に容量素子67の第1電極の電位として設定される。初期化期間については後述する。第1電源線69は、電源部4から第1電圧VTFTを供給するための電源線である。第2電源線70は、電源部4から第2電圧VELを供給するための電源線である。初期化電源線71は初期化電圧VINIを供給するための電源線である。初期化電圧VINIは、初期化期間に容量素子67の第2電極に設定される。

[0037] 発光素子66は、例えば有機EL素子であり、駆動トランジスタ61から供給される電流の量に応じた発光量で発光する。発光素子66のカソードは、第2電源線70に接続され、アノードは、駆動トランジスタ61のソースに接続されている。ここで、第2電源線70に供給されている電圧はVELであり、例えば2～3Vである。

[0038] 駆動トランジスタ61は、発光素子66への電流の供給量を制御する電圧駆動の駆動素子であり、発光素子66に電流を駆動することで発光素子66を発光させる。具体的には、駆動トランジスタ61は、ゲートが容量素子67の第1電極に接続され、ソースが容量素子67の第2電極および発光素子66のアノードに接続されている。

[0039] 駆動トランジスタ61は、スイッチトランジスタ63がオフ状態にされて基準電圧電源線68と容量素子67の第1電極とが非導通で、かつ、スイッチトランジスタ65がオン状態にされて第1電源線69とドレイン電極と導通した場合に、輝度電圧に応じた電流である駆動電流を発光素子66に流すことにより、発光素子66を発光させる。ここで、第1電源線69に供給されている電圧はVTFTであり、例えば20Vである。これにより、駆動ト

ランジスタ 61 は、ゲートソース間に印加された輝度電圧に対応した電流に変換し、変換された電流を発光素子 66 に供給する。

[0040] さらに、駆動ランジスタ 61 のしきい値電圧は、経時的なしきい値電圧シフトによって画素回路毎にばらつくことがある。このばらつきによる影響は、しきい値電圧補償動作によって抑制することができる。このしきい値補償動作およびしきい値設定動作を、簡単に説明すると、画素回路のそれぞれにおける容量素子 67 に、対応する駆動ランジスタ 61 のしきい値電圧に相当する電圧を設定する動作である。この動作の詳細については後述する。

[0041] 容量素子 67 は、駆動ランジスタ 61 の流す電流量を決める輝度電圧を保持する。具体的には、容量素子 67 の第 2 電極（節点 B 側の電極）は、駆動ランジスタ 61 のソースおよび発光素子 66 のアノードに接続されている。また、容量素子 67 の第 2 電極は、スイッチランジスタ 64 を介して初期化電源線 71 に接続されている。容量素子 67 の第 1 電極（節点 A 側の電極）は、駆動ランジスタ 61 のゲートに接続されている。また、容量素子 67 の第 1 電極は、基準電圧電源線 68（VREF）とスイッチランジスタ 63 を介して接続されている。

[0042] スwitchランジスタ 62 は、輝度電圧を供給するための Data 線 76 と容量素子 67 の第 1 電極との導通および非導通を切り換える。具体的には、スイッチランジスタ 62 は、ドレインおよびソースの一方の端子が Data 線 76 に接続され、ドレインおよびソースの他方の端子が容量素子 67 の第 1 電極に接続され、ゲートが Scan 線 72 に接続されているスイッチングランジスタである。換言すると、スイッチランジスタ 62 は、Data 線 76 を介して供給された映像信号電圧（映像信号）に応じた輝度電圧を容量素子 67 に書き込むための機能を有する。

[0043] スwitchランジスタ 63 は、基準電圧 VREF を供給する基準電圧電源線 68 と容量素子 67 の第 1 電極との導通および非導通を切り換える。具体的には、スイッチランジスタ 63 は、ドレインおよびソースの一方の端子が基準電圧電源線 68 に接続され、ドレインおよびソースの他方の端子が容

量素子 67 の第 1 電極に接続され、ゲートが R e f 線 73 に接続されているスイッチングトランジスタである。換言すると、スイッチトランジスタ 63 は、容量素子 67 の第 1 電極に対して基準電圧 V R E F を与える機能を有する。

[0044] スイッチトランジスタ 64 は、容量素子 67 の第 2 電極と初期化電源線 71 との導通および非導通を切り換える。具体的には、スイッチトランジスタ 64 は、ドレインおよびソースの一方の端子が初期化電源線 71 に接続され、ドレインおよびソースの他方の端子が容量素子 67 の第 2 電極に接続され、ゲートが I n i t 線 74 に接続されているスイッチングトランジスタである。換言すると、スイッチトランジスタ 64 は、容量素子 67 の第 2 電極に対して初期化電圧 V I N I を与える機能を有する。

[0045] スイッチトランジスタ 65 は、第 1 電源線 69 と駆動トランジスタ 61 のドレイン電極との導通および非導通を切り換える。具体的には、スイッチトランジスタ 65 は、ドレインおよびソースの一方の端子が第 1 電源線 69 に接続され、ドレインおよびソースの他方の端子が駆動トランジスタ 61 のドレイン電極に接続され、ゲートが E n a b l e 線 75 に接続されているスイッチングトランジスタである。

[0046] 以上のように画素回路 60 は構成されている。

[0047] なお、画素回路 60 を構成するスイッチトランジスタ 62 ~ 65 は n 型 T F T として、以下では説明を行うが、それに限られない。スイッチトランジスタ 62 ~ 65 は、p 型 T F T であってもよい。また、スイッチトランジスタ 62 ~ 65 において、n 型 T F T と p 型 T F T とが混在して用いられてもよい。なお、p 型 T F T のゲートに接続された信号線については以下で説明する電圧レベルを逆転させればよい。

[0048] また、基準電圧電源線 68 の基準電圧 V R E F と初期化電源線 71 の初期化電圧 V I N I との電位差は駆動トランジスタ 61 の最大しきい値電圧よりも大きな電圧に設定される。

[0049] また、基準電圧電源線 68 の基準電圧 V R E F 及び初期化電源線 71 の初

期化電圧 V_{INI} は、発光素子66に電流が流れないように、次のように設定されている。

[0050] 初期化電圧 $V_{INI} < \text{基準電圧 } V_{EL} + (\text{発光素子66の順方向電流しきい値電圧})$ 、 $(\text{基準電圧電源線68の基準電圧 } V_{REF}) < \text{第2電圧 } V_{EL} + (\text{発光素子66の順方向電流しきい値電圧}) + (\text{駆動トランジスタ61のしきい値電圧})$

[0051] ここで、第2電圧 V_{EL} は、上述したように、第2電源線70の電圧である。これらの条件を満たすには、第2電圧 V_{EL} が正の2、3V程度であることが望ましい。

[0052] 以上のように画素回路60は構成されている。引き続いて図1の構成について説明する。

[0053] 図1の制御部2は、表示装置1の全体の制御を行う。具体的には、制御部2は、表示すべき映像信号に基づいて1フレーム毎の表示動作の制御を行う。

[0054] 走査線駆動回路3は、制御部2の制御に基づいて、表示パネル6の複数の画素回路に対してゲート信号を駆動および走査する。ここでいうゲート信号は、図2の画素回路60を前提とする場合、Scan信号、Ref信号、Enable信号、Init信号の4つである。より具体的には、走査線駆動回路3は、表示すべき映像信号に含まれる垂直同期信号および水平同期信号に基づいて、Scan信号、REF信号、Enable信号、init信号を、画素回路の行単位で走査する。これらのScan信号、Ref信号、Enable信号、Init信号は、図2に示す画素回路例では、Scan線72、Ref線73、Enable線75、Init線74に出力され、接続先のスイッチのオンおよびオフを制御するために用いられる。

[0055] 電源部4は、制御部2、走査線駆動回路3、表示パネル6の各部に電力を供給するとともに、表示パネル6に各種電圧を供給する。ここでいう各種電圧は、図2に示す画素回路例では、第1電圧 V_{TFT} 、第2電圧 V_{EL} 、初期化電圧 V_{INI} 、基準電圧 V_{REF} であり、それぞれ初期化電源線71、

基準電圧電源線 68、第 1 電源線 69、第 2 電源線 70 を介して各画素回路 60 に供給される。第 2 電圧は、上述したように 0 V ではなく 2 ~ 3 V であり、電源部 4 により生成される。

[0056] データ線駆動回路 5 は、制御部 2 の制御に基づいて、表示パネル 6 の Data 線 76 をソース信号として輝度電圧を出力する。より具体的には、データ線駆動回路 5 は、映像信号および水平同期信号に基づいて、各画素回路にソース信号を出力する。

[0057] 以上のように、表示装置 1 は構成される。

[0058] [1-2. 電源部の構成]

次に電源部 4 の構成について説明する。図 3 は、実施の形態における電源部の回路例と、画素回路 60 をと示す回路図である。同図では、電源部 4 の回路構成のうち、主として第 1 電圧 V_{TFT} および第 2 電圧 V_{EL} を生成する回路部分を示している。同図では、複数の画素回路 60 のうちの 1 つのみ代表として簡略化し図示している。

[0059] 図 3 のように電源部 4 は、入力キャパシタ 409、V_{TFT} 電源 410、V_{EL} 電源 420 を含む。V_{TFT} 電源 410 は第 1 電源回路、V_{EL} 電源 420 は第 2 電源回路とも呼ぶ。

[0060] 入力電圧 V_{in} は、入力電源線 401 から供給される 30 数 V の直流電圧である。

[0061] 入力キャパシタ 409 は、V_{TFT} 電源 410 の入力端付近の入力電源線 401 と、接地線との間に接続され、入力電圧 V_{in} の電圧安定化およびノイズカット用の容量素子である。

[0062] [1-2-1. TFT 電源（第 1 電源回路）の構成]

V_{TFT} 電源 410（つまり第 1 電源回路）は、入力電圧 V_{in} をチョッピングすることにより第 1 電源線 69 に第 1 電圧 V_{TFT} を出力する同期整流型の電源回路である。この V_{TFT} 電源 410 は、第 1 ハイサイドスイッチ 411、第 1 ローサイドスイッチ 412、第 1 インダクタ 413、第 1 制御回路 414、第 1 出力キャパシタ 419 を備える。

- [0063] 第1ハイサイドスイッチ411および第1ローサイドスイッチ412は、入力電圧 V_{in} が印加される入力電源線401と接地線の間に直列に接続され、それぞれ例えばパワーMOSFETである。第1ハイサイドスイッチ411および第1ローサイドスイッチ412は、第1制御回路414によって排他的にオンするように制御される。
- [0064] 第1インダクタ413は、一端が第1ハイサイドスイッチ411と第1ローサイドスイッチ412との接続点に接続され、他端が第1電源線69に接続された誘導素子つまりコイルである。第1ハイサイドスイッチ411にオンであり第1ローサイドスイッチ412がオフであるときに一端から印加される入力電圧 V_{in} による電気エネルギーを蓄積するとともに上記の他端から第1電源線69に電気エネルギーを伝達する。また、第1インダクタ413は、第1ハイサイドスイッチ411がオフであり第1ローサイドスイッチ412がオンであるときに蓄積した電気エネルギーを上記の他端から第1電源線69に放出する。
- [0065] 第1制御回路414は、第1ハイサイドスイッチ411および第1ローサイドスイッチ412のオンおよびオフを制御し、第1電源線69の第1電圧 V_{TFT} が所望の電圧になるように第1ハイサイドスイッチ411のオン期間の割合であるデューティ比を制御する。第1電圧 V_{TFT} としての所望の電圧は、図1の表示装置においては例えば20Vである。
- [0066] また、第1ハイサイドスイッチ411と第1ローサイドスイッチ412とが同時にオンにならないように制御する。
- [0067] 第1出力キャパシタ419は、第1電源線69と接地線との間に接続され、第1インダクタ413の上記の他端から放出される電気エネルギーにより発生する電圧を平滑化、電圧安定化およびノイズカットするための容量素子である。この第1出力キャパシタ419は、VEL電源420の入力容量素子としても機能する。よって、VEL電源420に、別途入力容量素子を備える必要がなく、また第1出力キャパシタ419は、後述のVEL電源420における回生動作によりリップル電流が抑えられ、より小さいキャパシタ容

量の使用が可能であり、コストを低減することができる。

[0068] [1-2-2. V E L 電源（第2電源回路）の構成]

V E L 電源420には、上記の入力電圧 V_{in} ではなく、入力電圧 V_{in} よりも低い電圧の第1電圧 V_{TFT} が入力される。

[0069] V E L 電源420（つまり第2電源回路）は、第1電圧 V_{TFT} をチョッピングすることにより第2電源線70に第2電圧 V_{EL} を出力する同期整流型の電源回路である。図3に示すようにV E L 電源420は、第2ハイサイドスイッチ421、第2ローサイドスイッチ422、第2インダクタ423、第2制御回路424、第2出力キャパシタ429を備える。

[0070] 第2ハイサイドスイッチ421および第2ローサイドスイッチ422は、第1電圧 V_{TFT} が印加される入力電源線401と接地線の間に直列に接続され、それぞれ例えばパワーMOSFETである。第2ハイサイドスイッチ421および第2ローサイドスイッチ422は、第2制御回路424によって排他的にオンするように制御される。

[0071] 第2インダクタ423は、一端が第2ハイサイドスイッチ421と第2ローサイドスイッチ422との接続点に接続され、他端が第2電源線70に接続された誘導素子つまりコイルである。第2ハイサイドスイッチ421にオンであり第2ローサイドスイッチ422がオフであるときに一端から印加される第1電圧 V_{TFT} による電気エネルギーを蓄積するとともに上記の他端から第2電源線70に電気エネルギーを伝達する。また、第2インダクタ423は、第2ハイサイドスイッチ421がオフであり第2ローサイドスイッチ422がオンであるときに蓄積した電気エネルギーを上記の他端から第2電源線70に放出する。

[0072] 第2制御回路424は、第2ハイサイドスイッチ421および第2ローサイドスイッチ422のオンおよびオフを制御し、第2電源線70の第2電圧 V_{EL} が所望の電圧になるように第2ハイサイドスイッチ421のオン期間の割合であるデューティ比を制御する。第2電圧 V_{EL} としての所望の電圧は、図1の表示装置においては例えば2Vまたは3Vである。また、第2制

御回路 4 2 4 は、第 2 ハイサイドスイッチ 4 2 1 と第 2 ローサイドスイッチ 4 2 2 とが同時にオンにならないように制御する。

[0073] 第 2 出力キャパシタ 4 2 9 は、第 2 電源線 7 0 と接地線との間に接続され、第 2 インダクタ 4 2 3 の上記の他端から放出される電気エネルギーにより発生する電圧を平滑化、電圧安定化およびノイズカットするための容量素子である。

[0074] V E L 電源 4 2 0 は、V T F T 電源 4 1 0 と同じ構成であるが、出力電圧の違いにより回路定数が異なっている。

[0075] また、図 3 において、画素回路 6 0 に流れる電流は接地線ではなく第 2 の電源線に吸い込まれる。言い換えれば、表示パネル 6 の複数の画素回路 6 0 において発光素子 6 6 に流れる電流は、第 2 電源線 7 0 に吸い込まれる。この電流の一部は、第 2 ハイサイドスイッチ 4 2 1 および第 2 出力キャパシタ 4 2 9 に電気エネルギーとして蓄積および再利用され、他の一部は、第 2 インダクタ 4 2 3 および第 2 ハイサイドスイッチ 4 2 1 を介して第 1 電源線 6 9 に回生電流として流れる。この再利用および回生電流は、電源効率を向上させる。

[0076] 以上のように電源部 4 は構成されている。

[0077] なお、入力電圧、第 1 電圧、第 2 電圧の具体的な値は、駆動トランジスタ 6 1 である T F T の特性（例えば駆動トランジスタ 6 1 のしきい値電圧、しきい値シフトの大きさ等）、発光素子 6 6 特性（例えば、順方向電流しきい値電圧）等に応じて定めるべきである。表示装置が有機 E L 表示装置である場合例えば、入力電圧、第 1 電圧、第 2 電圧はそれぞれ 3 0 V、2 0 V、2 V でよい。よりおおまかな目安としては、入力電圧が 3 0 数 V、第 1 電圧が 1 5 V ～ 2 5 V の範囲内の電圧、第 2 電圧が 5 V 以下の正の電圧でよい。

[0078] [2. 動作]

次に、図 3 に示した電源装置の動作および図 1 に示した表示装置の動作について説明する。

[0079] [2 - 1. V T F T 電源（第 1 電源回路）の動作]

図4 Aは、V T F T電源4 1 0のスイッチングのデューティ比と出力電圧の関係を示す説明図である。図4 Aにおいて横軸は時間軸、縦軸は電圧であり、チョッピングされた入力電圧（つまり第1インダクタ4 1 3の一端に入力されるパルス状の入力電圧）と、出力電圧である第1電圧V T F Tとを模式的に図示してある。

[0080] 第1ハイサイドスイッチ4 1 1のオン時間のデューティが0であるときは、出力電圧V o u tは当然0 Vである。上記のデューティが小さいときは出力電圧も小さく、デューティが大きいほど出力電圧が大きくなる。

[0081] このように、V T F T電源4 1 0のようなチョッパ制御による電源回路では、出力電圧および出力電流に応じて第1ハイサイドスイッチ4 1 1のオン時間のデューティを制御することにより、負荷が変動しても安定した出力を得られるようになっている。入力電圧V i n、出力電圧である第1電圧V T F T、デューティ α には次の関係がある。

[0082] $V T F T = V i n \times \alpha$

[0083] デューティ α は、第1ハイサイドスイッチ4 1 1におけるオン時間／（オン時間＋オフ時間）である。入力電圧が3 0 Vの場合、出力電圧を2 0 Vにするには、デューティ $\alpha = 2 0 / 3 0 = \text{約} 0.67$ になる。第1制御回路4 1 4は、P W M（Pulse Width Modulation）制御の場合、このデューティで例えば3百数十k H zの周波数で第1ハイサイドスイッチ4 1 1をスイッチングする。

[0084] [2－2. V E L電源（第2電源回路）の動作]

V E L電源4 2 0の動作については、基本的にV T F T電源4 1 0と同様であるので、異なる点を中心に説明する。V E L電源4 2 0では、入力電圧である第1電圧V T F T、出力電圧である第2電圧、デューティ β には次の関係がある。

[0085] $V E L = V T F T \times \beta$

[0086] デューティ β は、第2ハイサイドスイッチ4 2 1におけるオン時間／（オン時間＋オフ時間）である。入力電圧である第1電圧が2 0 Vの場合、出力

電圧を2Vにするには、デューティ $\beta = 2 / 20 = 0.1$ になる。第2制御回路424は、PWM制御の場合、このデューティで例えば1百数十kHzの周波数で第2ハイサイドスイッチ421をスイッチングする。

[0087] 図4Bは、図4Bは、VTFT電源およびVEL電源の動作例を示すタイムチャートである。図4Bの縦軸、横軸は図4Aと同じである。同図左側は、VTFT電源410における第1インダクタ413の一端に入力されるパルス状の入力電圧と、出力電圧である第1電圧VTFTとを示す。同図右側は、VEL電源420における第2インダクタ423の一端に入力されるパルス状の入力電圧と、出力電圧である第2電圧VELとを示す。

[0088] このように、電源部4内のVTFT電源410およびVEL電源420は、入力電圧Vinに対して並列に接続されるのではなく、VEL電源420には入力電圧Vinよりも低い電圧の第1電圧VTFTが入力される。これにより、デューティ比が極端に小さくなってしまふことを回避し、出力電圧の安定化を容易にしている。

[0089] なお、VTFT電源410内の第1ローサイドスイッチ412は、それぞれパワーMOSFETの代わりに、アノードを接地したダイオードを用いることも可能である。しかし、ダイオードでは順方向電圧降下による損失が発生するので、電源効率向上の観点からはダイオードよりもパワーMOSFETの方が優れている。また、VEL電源420内の第2ローサイドスイッチ422については前述の回生（昇圧）動作の為、ダイオード置換は原理的に不可である。一方、第2ハイサイドスイッチ421はダイオード置換でも回生可能であるが、発光素子66に電流が流れない期間（図5のT26、T28、T30）があると第2電圧VELの電圧を保持できない為、VEL電源420の動作としては不十分となる。結果として第2ハイサイドスイッチ421および第2ローサイドスイッチ421のダイオード化は不可である。

[0090] [2-3. 表示動作]

次に、表示パネルにおける、既に触れたしきい値電圧補償動作を含む表示動作について説明する。

[0091] 図5は、表示動作の詳細なタイミング例を示すタイムチャートである。

[0092] 同図の横軸は時間軸、縦軸は、図2の画素回路におけるInit線74、Ref線73、Enable線75、Scan線72、Data線76の各制御信号を示す。同図は、1フレーム期間における表示動作を示している。同図では、特に、しきい値電圧保障動作によって、期間T25の終了時点で各画素回路60において、該駆動トランジスタ61のしきい値電圧に相当する電圧が容量素子67に保持された状態になる。これによりしきい値電圧のばらつきを補償している。以下具体的に説明する。

[0093] (期間T21)

図5に示す時刻 t_0 ～時刻 t_1 の期間T21は、スイッチトランジスタ64のみを導通状態であり、図2の節点Bの電位を初期化電源線71の初期化電圧VINに設定するための期間である。

[0094] この期間T21を設ける理由は次の通りである。

[0095] 表示装置1を構成する表示パネル6のサイズや画素回路60あたりのサイズが大きい場合に、発光素子66の容量が大きくなり、初期化電源線71の配線時定数が大きくなることで、節点Bの電圧を初期化電源線71の初期化電圧VINにすることに時間を要する。そのため、スイッチトランジスタ64を先に導通させる期間T21を設けることにより、節点Bの電位を初期化電源線71の初期化電圧VINにより確実に設定することができる。

[0096] なお、基準電圧電源線68の基準電圧VREFを節点Aに印加することも同様に時間を要する。しかし、基準電圧VREFを充放電する対象は、容量素子67および基準電圧電源線68の配線時定数である。つまり、基準電圧電源線68と初期化電源線71との配線時定数がほぼ同等であるが、(発光素子66の容量) > (容量素子67の容量)であり、その容量比(発光素子66の容量) / (容量素子67の容量)が1.3～9倍である。そのため、発光素子66を充電する(節点Bの電位に初期化電源線71の初期化電圧VINを書き込む)方が容量素子67を充電する(節点Aの電位に基準電圧電源線68の基準電圧VREFを書き込む)よりも時間がかかる。

[0097] また、期間T21において、スイッチトランジスタ64のみを導通させスイッチトランジスタ63の導通を遅らせる利点としては次のようなものもある。

[0098] すなわち、期間T21において、節点Bの電位に初期化電源線71の初期化電圧VINIを書き込む期間を設けることで基準電圧電源線68の初期化電圧VINIを節点Aに書き込む負荷を軽くすることができる利点がある。つまり、期間T21を設けることで、節点Aの電圧を低い電圧に設定することができ、基準電圧電源線68は画素回路60に充電するための電流（電圧）を供給するのみでよくなる。換言すると、基準電圧電源線68の基準電圧VREFが発光素子66を充電するための電圧として用いられないため、基準電圧電源線68の負荷が軽くなるという利点がある。

[0099] このように、先に節点Bの電位を確定させる期間T21を設ける。それにより、表示パネル6の電力消費と表示パネル6の輝度変動の影響とを小さくしつつ、期間T21以降の期間T22の総時間を短くすることができる。

[0100] （期間T22：初期化期間）

図5に示す時刻t1～時刻t2の期間T22は、駆動トランジスタ61のしきい値電圧補償を行うためのドレイン電流を流すのに必要な初期電圧を容量素子67に保持させ、駆動トランジスタ61のソースゲート間に印加するための初期化期間である。

[0101] これにより、節点Aの電位が基準電圧電源線68の基準電圧VREFに設定される。このとき既に、節点Bの電位は初期化電源線71の初期化電圧VINIに設定されている。すなわち、駆動トランジスタ61のゲート、ソースには、基準電圧電源線68の基準電圧VREF、初期化電源線71の初期化電圧VINIがそれぞれ印加される。

[0102] なお、期間T22は、節点Aおよび節点Bの電位が、安定するまでの長さ（時間）に設定される。

[0103] また、上述したように、駆動トランジスタ61のゲート・ソース間電圧は、しきい値補償動作を行うのに必要な初期ドレイン電流を確保できる初期電

圧に設定されることが必要である。つまり、初期電圧は、複数の画素回路 60 の容量素子 67 のそれぞれに駆動トランジスタ 61 のしきい値電圧よりも高く、かつ、発光素子 66 を発光させない電圧であることが必要である。そのため、基準電圧電源線 68 の基準電圧 V_{REF} と初期化電源線 71 の初期化電圧 V_{INI} の電位差は駆動トランジスタ 61 の最大しきい値電圧よりも大きな電圧に設定される。また、基準電圧 V_{REF} 及び初期化電圧 V_{INI} は、発光素子 66 に電流が流れないように、初期化電圧 $V_{INI} < (\text{第2電圧 } V_{EL} + \text{発光素子 66 の順方向電流しきい値電圧})$ 、および、 $V_{REF} < (\text{第2電圧 } V_{EL} + \text{発光素子 66 の順方向電流しきい値電圧} + \text{駆動トランジスタ 61 のしきい値電圧})$ 、となるように設定される。

[0104] これらの条件を満たすためには、第2電圧 V_{EL} が 0 V でなく 2、3 V であることは、これらの条件を満たすことを容易にする。また、しきい値電圧補償動作によって駆動トランジスタ 61 のしきい値シフトの影響を抑制することができる。

[0105] (期間 T_{23})

図5に示す時刻 $t_2 \sim$ 時刻 t_3 の期間 T_{23} は、スイッチトランジスタ 64 とスイッチトランジスタ 65 とが同時に導通状態とならないようにするための期間である。

[0106] このように、 $Init$ 線 74 の動作によりスイッチトランジスタ 64 を非導通とする期間 T_{23} を設けることにより、期間 T_{23} がなければスイッチトランジスタ 64 とスイッチトランジスタ 65 とが同時に導通状態となり、スイッチトランジスタ 65、駆動トランジスタ 61、および、スイッチトランジスタ 64 を介して、第1電源線 69 と初期化電源線 71 との間に貫通電流が流れてしまうのを防止することができる。

[0107] (期間 T_{24} : しきい値補償期間)

次に、図5の時刻 $t_3 \sim$ 時刻 t_4 の期間 T_{24} は、複数の画素回路 60 における駆動トランジスタ 61 のしきい値電圧のばらつきを補償するしきい値設定期間である。つまり、複数の画素回路 60 における駆動トランジスタ 6

1のしきい値電圧にばらつきがあっても、個々の駆動トランジスタ61のしきい値電圧に相当する電圧を対応する容量素子67に設定する期間である。

[0108] 時刻 t_3 において、スイッチトランジスタ62およびスイッチトランジスタ64は非導通状態（オフ状態）に、かつ、スイッチトランジスタ63は導通状態（オン状態）に維持されつつ、スイッチトランジスタ65が導通状態（オン状態）にされる。この時点で、容量素子67の電圧は、初期化期間（期間 T_{22} ）で上述したように初期電圧に設定されているので、発光素子66には電流が流れない。駆動トランジスタ61は、第1電源線69の第1電圧 $V_{TF T}$ によりドレイン電流が供給され、それとともに駆動トランジスタ61のソース電位が変化する。言い換えると、駆動トランジスタ61は、第1電源線69の第1電圧 $V_{TF T}$ により供給されるドレイン電流が0となるまで駆動トランジスタ61のソース電位が変化する。ドレイン電流が0になった時点で、節点Aと節点Bとの電圧（つまり駆動トランジスタ61のゲート・ソース間電圧）は駆動トランジスタ61の実際のしきい値に相当する電圧となっている。この電圧は、容量素子67に保持される。

[0109] そして、期間 T_{24} の終了時（時刻 t_4 ）には、駆動トランジスタ61の実際のしきい値に相当する電圧が容量素子67に保持される。これにより、期間 T_{25} の後に容量素子67に書き込まれる輝度を表す電圧が、しきい値電圧のばらつきにより正しい値からしきい値電圧シフト分ずれるのを抑制する。

[0110] （期間 T_{25} ）

図5に示す時刻 t_4 ～時刻 t_5 の期間 T_{25} は、しきい値補償動作を終了させるための期間である。

[0111] 時刻 t_4 ～ t_5 で、Enable線75の信号によりスイッチトランジスタ65を非導通とする期間 T_{25} を設けることにより、駆動トランジスタ61経由で、第1電源線69から節点Bへの電流の供給をなくすことができ、しきい値補償動作を確実に終了させてから次の動作を行うことができる。

[0112] 以上のように、期間 T_{25} を終えた時刻 t_5 の時点で、複数の画素回路6

0内の各容量素子67は、対応する駆動トランジスタ61の実際のしきい値電圧に相当する電圧を保持している。

[0113] 上記の期間T21～T25の動作は、表示パネル6の全行について、行毎に順に実行される。

[0114] (期間T26)

時刻t5～時刻t6の期間T26は、スイッチトランジスタ63を非導通状態（オフ状態）にすることで、Data線76を介して供給されたデータ信号電圧と基準電圧電源線68の基準電圧VREFとが同時に節点Aに印加されるのを防止する期間である。

[0115] (期間T27：書込期間)

時刻t6～時刻t7の期間T27は、Data線76から表示階調に応じた輝度電圧を画素回路60にスイッチトランジスタ62を介して取り込み、容量素子67に書き込む書込期間である。

[0116] 具体的には、時刻t6において、スイッチトランジスタ63とスイッチトランジスタ64とスイッチトランジスタ65は非導通状態（オフ状態）に維持されつつ、スイッチトランジスタ62が導通状態（オン状態）にされる。

[0117] これにより、しきい値補償期間で記憶された駆動トランジスタ61の実際のしきい値電圧Vthに加えて輝度電圧と基準電圧電源線68の基準電圧VREFとの電圧差が、（発光素子66の容量）／（発光素子66の容量＋容量素子67の容量）倍されて、容量素子67に保持される。スイッチトランジスタ65が非導通状態にあるため、駆動トランジスタ61はドレイン電流を流さない。

[0118] このように、期間T27（書込期間）では、Data線76からの輝度電圧及び駆動トランジスタ61の実際のしきい値電圧に応じた電圧が容量素子67に保持される。

[0119] (期間T28)

時刻t7～時刻t8の期間T28は、スイッチトランジスタ62を確実に非導通にさせるための期間である。

[0120] (期間 T 2 9 : 発光期間)

次に、時刻 t 8 ~ 時刻 t 9 の期間 T 2 9 は、発光期間である。

[0121] 具体的には、時刻 t 8 において、スイッチトランジスタ 6 2、スイッチトランジスタ 6 3 及びスイッチトランジスタ 6 4 はオフ状態に維持されつつ、スイッチトランジスタ 6 5 オン状態にされる。スイッチトランジスタ 6 5 をオン状態にさせることで、容量素子 6 7 に蓄えられた電圧に応じて駆動トランジスタ 6 1 に発光素子 6 6 に電流を供給し発光素子 6 6 を発光させる。

[0122] (期間 T 3 0)

刻 t 9 ~ 時刻 t 0 の期間 T 3 0 は、すべてのスイッチを非導通状態として、節点 A および節点 B の電位を、期間 T 2 1 で必要な電圧に近い電圧まで変化させるための期間である。

[0123] 以上のようなシーケンスにより、表示パネル 6 は表示を行う。また、期間 T 2 4 におけるしきい値電圧補償動作は、既に説明したように、駆動トランジスタ 6 1 が n チャネル型であって、画素回路間におけるしきい値電圧 V_t のばらつきが大きい場合（例えば、しきい値電圧 V_t が 1.5 V ~ 5 V 程度にばらつく場合）には、有効に機能しないことがある。すなわち、（１）しきい値補償動作が不完全になることがある。その結果、（２）輝度電圧として非発光の黒色を表す 0 V を容量素子 6 7 に書き込んだのに、少し光ってしまう。（３）容量素子 6 7 に保持される電圧の有効範囲が狭くなってしまう。これらの不具合が発生し得る。

[0124] そこで、画素回路 6 0 の電源電圧 V_{EL} を 0 V でもなく負の電圧でもなく正の電圧（例えば 2、3 V）に設定することにより、これらの不具合を解消し得る。

[0125] そのため、画素回路 6 0 に電源を供給する電源部 4 は、第 1 電圧 $V_{TF T}$ （例えば、20 数 V）、0 V でない正の第 2 電圧 V_{EL} （例えば、2、3 V）の 2 種類の電源電圧を生成し、複数の画素回路 6 0 に供給している。その結果、しきい値電圧補償動作によって駆動トランジスタ 6 1 のしきい値シフトの影響を抑制する機能を有効に利用することができる。

[0126] [3. 効果等]

本実施の形態における表示装置によれば、第2電圧を生成する第2電源回路であるVEL電源420が入力電圧 V_{in} よりも低い電圧の第1電源VTFTをチョッピングするので、入力電圧 V_{in} をチョッピングすることと比べて、スイッチング素子の遷移損失を軽減させることで、デューティ比が極端に小さくなることによるスイッチング動作の不安定化を回避することができる、第2電圧を安定化することができる。

[0127] また、第1電源回路であるVTFT電源410、第2電源回路であるVEL電源420は、どちらも、トランスを備えていないので、薄型化および軽量化が容易である。

[0128] さらに、チョッピングのデューティ比に応じて出力電圧が決まるので、出力電圧の変更および出力電圧の微調整が容易である。例えば、トランス方式の電源では、出力電圧を変更するためにはトランス巻き線の変更（つまり、巻き線数や巻き線比の変更）が必要であるが、上記構成では、チョッピングのデューティの変更によって出力電圧を容易に変更および微調整をすることができる。

[0129] また、第2電源VELは0Vではなく正の電圧なので、しきい値補償動作をより完全に機能させることができる。

[0130] 以上説明してきたように、本開示の一態様に係る表示装置は、第1電圧に維持される第1電源線と、前記第1電圧より低い正の第2電圧に維持される第2電源線とから電力供給を受ける行列状に配置された複数の画素回路と、入力電圧をチョッピングすることにより前記第1電源線に前記第1電圧を出力する同期整流型の第1電源回路と、前記第1電圧をチョッピングすることにより前記第2電源線に前記第2電圧を出力する同期整流型の第2電源回路とを備える。前記第1電源回路は、前記入力電圧が印加される入力電源線と接地線の間に直列に接続された第1ハイサイドスイッチおよび第1ローサイドスイッチと、一端が前記第1ハイサイドスイッチと前記第1ローサイドスイッチとの接続点に接続され、他端が前記第1電源線に接続された第1イン

ダクタと、前記第 1 ハイサイドスイッチおよび前記第 1 ローサイドスイッチのオンおよびオフを制御する第 1 コントローラとを備える。前記第 2 電源回路は、前記第 1 電源線と前記接地線の上に直列に接続された第 2 ハイサイドスイッチおよび第 2 ローサイドスイッチと、一端が前記第 2 ハイサイドスイッチと前記第 2 ローサイドスイッチとの接続点に接続され、他端が前記第 2 電源線に接続された第 2 インダクタと、前記第 2 ハイサイドスイッチおよび前記第 2 ローサイドスイッチのオンおよびオフを制御する第 2 コントローラとを備える。

[0131] この構成によれば、第 2 電圧を生成する第 2 電源回路が入力電圧 V_{in} よりも低い電圧の第 1 電圧をチョッピングするので、入力電圧をチョッピングすることと比べて、電源効率を向上させることができ、さらに、この画素回路を流れる電流の一部は、第 2 電源回路を介して第 1 電源線 69 に回生電流として流れるので、電源効率をさらに向上させることができる。

[0132] 第 2 電源回路において、デューティ比が極端に小さくなることを回避することができ、第 2 電圧を安定化することができる。

[0133] また、第 1 電源回路、第 2 電源回路は、どちらも、トランスを備えないので、薄型化および軽量化が容易である。

[0134] さらに、チョッピングのデューティ比に応じて出力電圧が決まるので、出力電圧の変更および出力電圧の微調整が容易である。例えば、トランス方式の電源では、出力電圧を変更するためにはトランス巻き線の変更（つまり、巻き線数や巻き線比の変更）が必要であるが、上記構成では、チョッピングのデューティの変更によって出力電圧を容易に変更および微調整をすることができる。

[0135] ここで、前記複数の画素回路のそれぞれは、供給される電流量に応じた明るさで発光する発光素子と、前記発光素子に電流を供給する駆動トランジスタとを備え、前記駆動トランジスタおよび前記発光素子は、前記第 1 電源線と前記第 2 電源線との間に直列に接続されていてもよい。

[0136] ここで、前記表示装置は、さらに前記入力電源線と前記接地線との間に接

続された入力キャパシタと、前記第 1 電源線と前記接地線との間に接続された第 1 出力キャパシタと、前記第 2 電源線と前記接地線との間に接続された第 2 出力キャパシタとを備えていてもよい。

[0137] この構成によれば、第 1 出力キャパシタは、第 2 電源回路の入力容量素子としても機能するので、第 2 電源回路は、別途入力容量素子を備える必要がなく、また第 1 出力キャパシタは、前述の回生動作によりリップル電流が抑えられ、より小さいキャパシタ容量の使用が可能であり、コストを低減することができる。

[0138] ここで、前記複数の画素回路のそれぞれは、前記駆動トランジスタのゲートに接続された容量素子を備え、前記表示装置は、前記複数の画素回路の表示を制御する制御部を備え、前記制御部は、前記容量素子に、当該容量素子が接続された駆動トランジスタの実際のしきい値電圧に相当する電圧を保持させるしきい値補償動作を行い、実際のしきい値電圧に相当する電圧が保持された前記容量素子に、輝度を表す電圧を上乗せする書き込み動作を行う構成としてもよい。

[0139] この構成によれば、しきい値電圧補償動作による駆動トランジスタのしきい値シフトの影響を抑制する機能を、より有効に利用することができる。

[0140] (変形例)

図 6 は、変形例における画素回路 60 の構成例を示す図である。表示装置 1 は、図 2 に示した画素回路 60 の代わりに図 6 に示す画素回路 60 を備える構成としてもよい。図 6 の画素回路 60 は、図 1 と比べて、スイッチトランジスタ 63、スイッチトランジスタ 64 およびスイッチトランジスタ 65 が削除されている点異なる。このように画素回路 60 の構成を単純化してもよい。

[0141] 以上、表示装置について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示における技術は、これらに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。本開示の趣旨を逸脱しない限り、当業者が思いつく各

種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、一つまたは複数の態様の範囲内に含まれる。

[0142] また、上述した表示装置については、例えば図 7 に示すようなフラットパネルディスプレイとして利用することができる。また、テレビ受像機、パーソナルコンピュータ、携帯電話機など、表示装置を有するあらゆる電子機器に適用することができる。

産業上の利用可能性

[0143] 本開示は、テレビ受像機、情報機器のディスプレイなどの表示装置に利用できる。

符号の説明

- [0144]
- 1 表示装置
 - 2 制御部
 - 3 走査線駆動回路
 - 4 電源部
 - 5 データ線駆動回路
 - 6 表示パネル
 - 60 画素回路
 - 61 駆動トランジスタ
 - 62、63、64、65 スイッチトランジスタ
 - 66 発光素子
 - 67 容量素子
 - 68 基準電圧電源線
 - 69 第 1 電源線
 - 70 第 2 電源線
 - 71 初期化電源線
 - 72 S c a n 線
 - 73 R e f 線

7 4 I n i t 線
7 5 E n a b l e 線
7 6 D a t a 線
4 0 1 入力電源線
4 0 9 入力キャパシタ
4 1 0 V T F T 電源
4 1 1 第 1 ハイサイドスイッチ
4 1 2 第 1 ローサイドスイッチ
4 1 3 第 1 インダクタ
4 1 4 第 1 制御回路
4 1 9 第 1 出力キャパシタ
4 2 0 V E L 電源
4 2 1 第 2 ハイサイドスイッチ
4 2 2 第 2 ローサイドスイッチ
4 2 3 第 2 インダクタ
4 2 4 第 2 制御回路
4 2 9 第 2 出力キャパシタ
V i n 入力電圧
V T F T 第 1 電圧
V E L 第 2 電圧

請求の範囲

[請求項1]

第1電圧に維持される第1電源線と、前記第1電圧より低い正の第2電圧に維持される第2電源線とから電力供給を受ける行列状に配置された複数の画素回路と、

入力電圧をチョッピングすることにより前記第1電源線に前記第1電圧を出力する同期整流型の第1電源回路と、

前記第1電圧をチョッピングすることにより前記第2電源線に前記第2電圧を出力する同期整流型の第2電源回路とを備え、

前記第1電源回路は、

前記入力電圧が印加される入力電源線と接地線の上に直列に接続された第1ハイサイドスイッチおよび第1ローサイドスイッチと、

一端が前記第1ハイサイドスイッチと前記第1ローサイドスイッチとの接続点に接続され、他端が前記第1電源線に接続された第1インダクタと、

前記第1ハイサイドスイッチおよび前記第1ローサイドスイッチのオンおよびオフを制御する第1コントローラとを備え、

前記第2電源回路は、

前記第1電源線と前記接地線の上に直列に接続された第2ハイサイドスイッチおよび第2ローサイドスイッチと、

一端が前記第2ハイサイドスイッチと前記第2ローサイドスイッチとの接続点に接続され、他端が前記第2電源線に接続された第2インダクタと、

前記第2ハイサイドスイッチおよび前記第2ローサイドスイッチのオンおよびオフを制御する第2コントローラとを備える表示装置。

[請求項2]

前記複数の画素回路のそれぞれは、

供給される電流量に応じた明るさで発光する発光素子と、
前記発光素子に電流を供給する駆動トランジスタと
を備え、

前記駆動トランジスタおよび前記発光素子は、前記第 1 電源線と前記第 2 電源線との間に直列に接続される
請求項 1 に記載の表示装置。

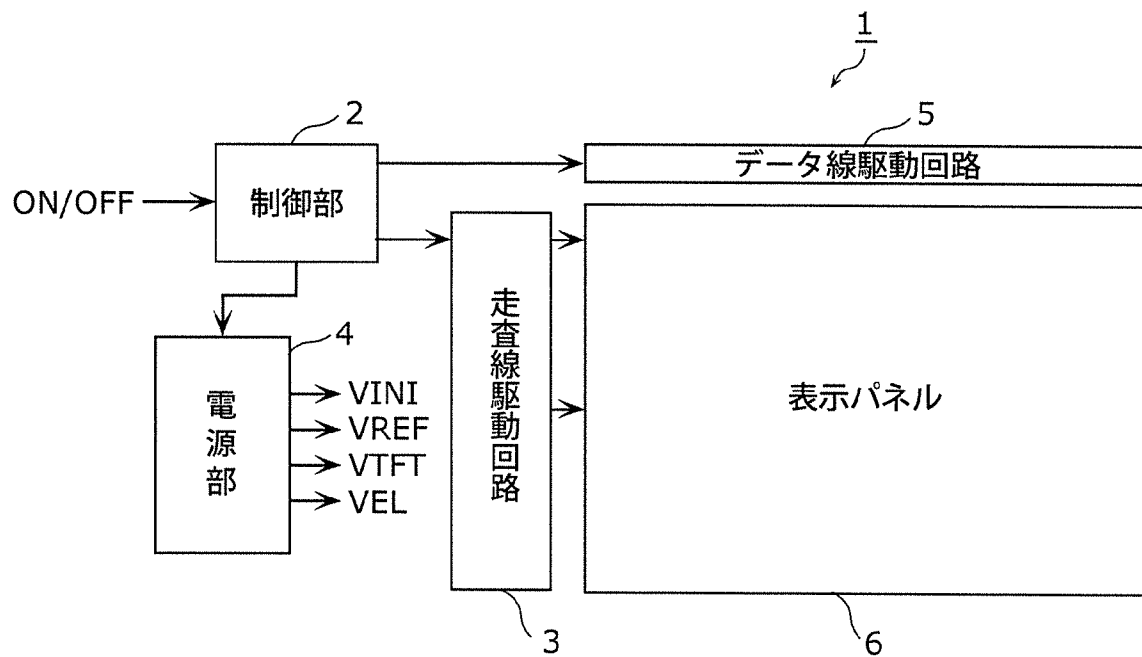
[請求項3]

前記表示装置は、さらに
前記入力電源線と前記接地線との間に接続された入力キャパシタと
、
前記第 1 電源線と前記接地線との間に接続された第 1 出力キャパシタと、
前記第 2 電源線と前記接地線との間に接続された第 2 出力キャパシタと
を備える
請求項 1 または 2 に記載の表示装置。

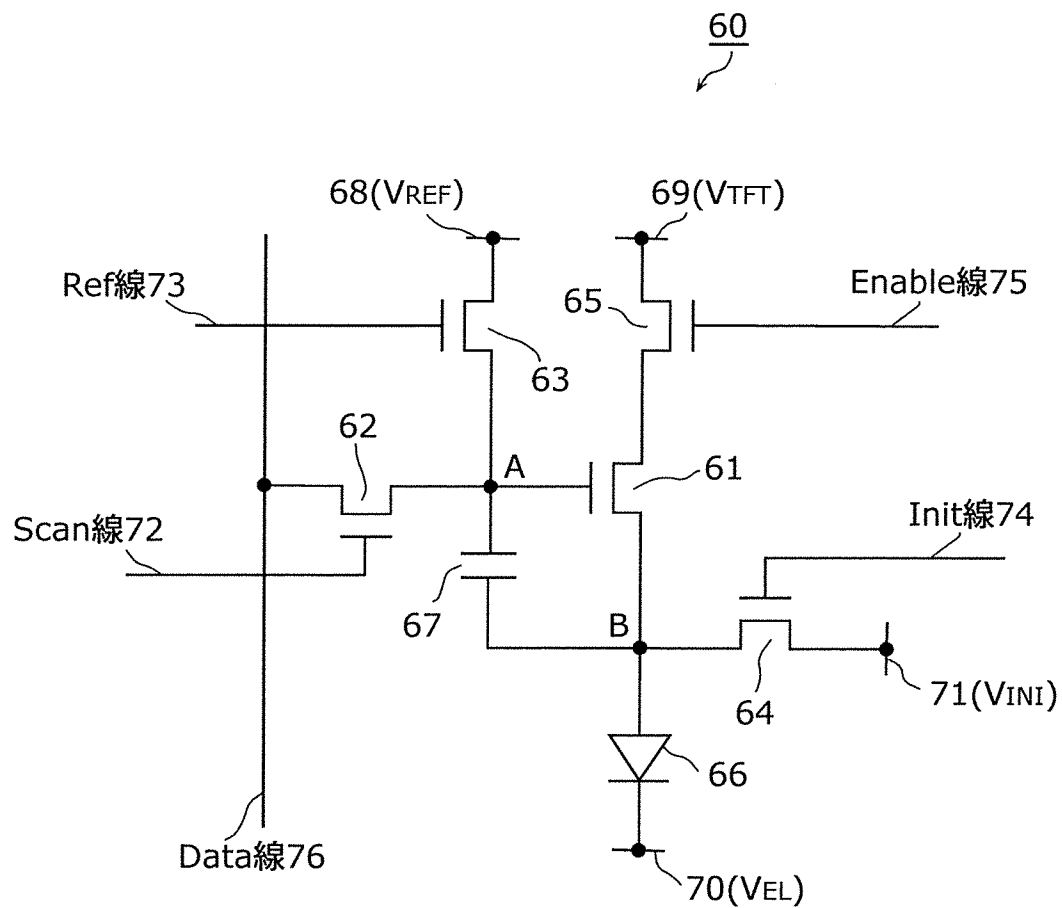
[請求項4]

前記複数の画素回路のそれぞれは、前記駆動トランジスタのゲートに接続された容量素子を備え、
前記表示装置は、前記複数の画素回路の表示を制御する制御部を備え、
前記制御部は、
前記容量素子に、当該容量素子が接続された前記駆動トランジスタの実際のしきい値電圧に相当する電圧を保持させるしきい値補償動作を行い、
実際のしきい値電圧に相当する電圧が保持された前記容量素子に、輝度を表す電圧を上乗せする書き込み動作を行う
請求項 2 に記載の表示装置。

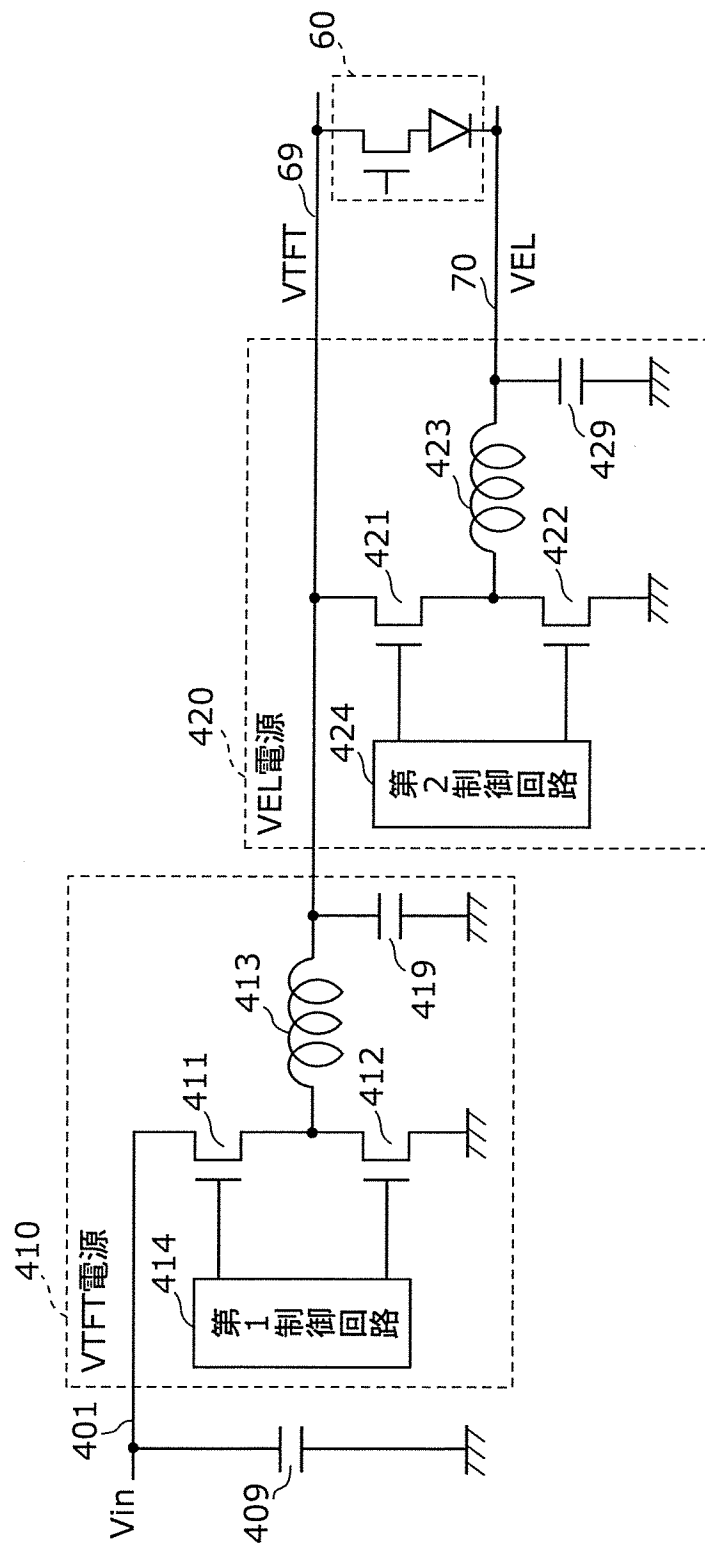
[図1]



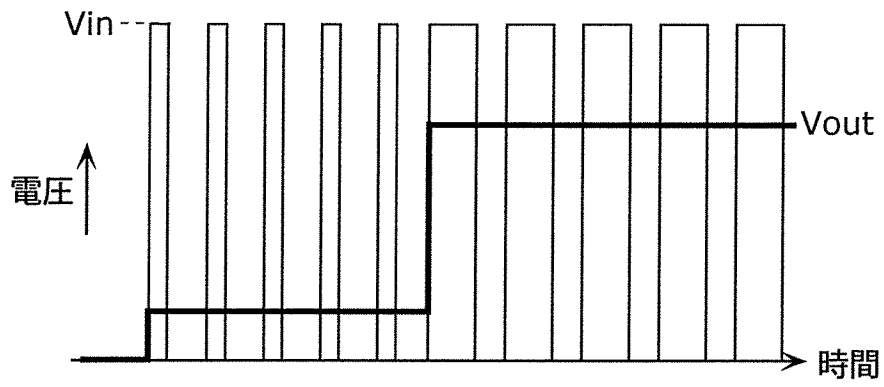
[図2]



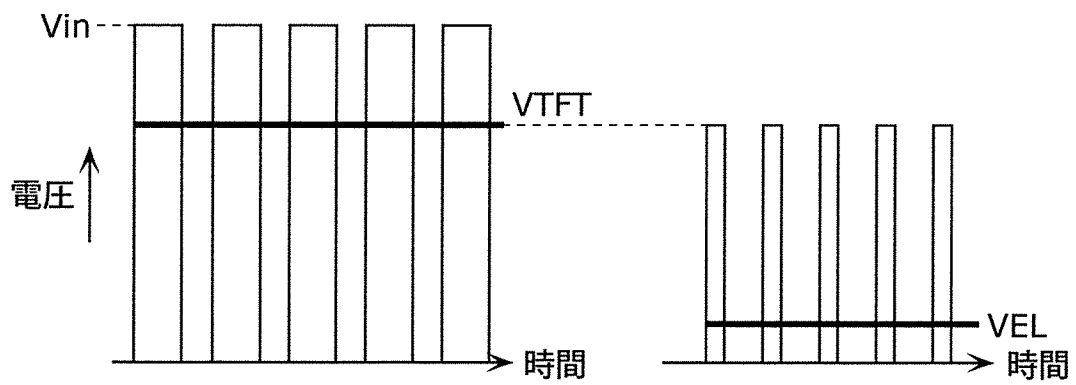
[図3]



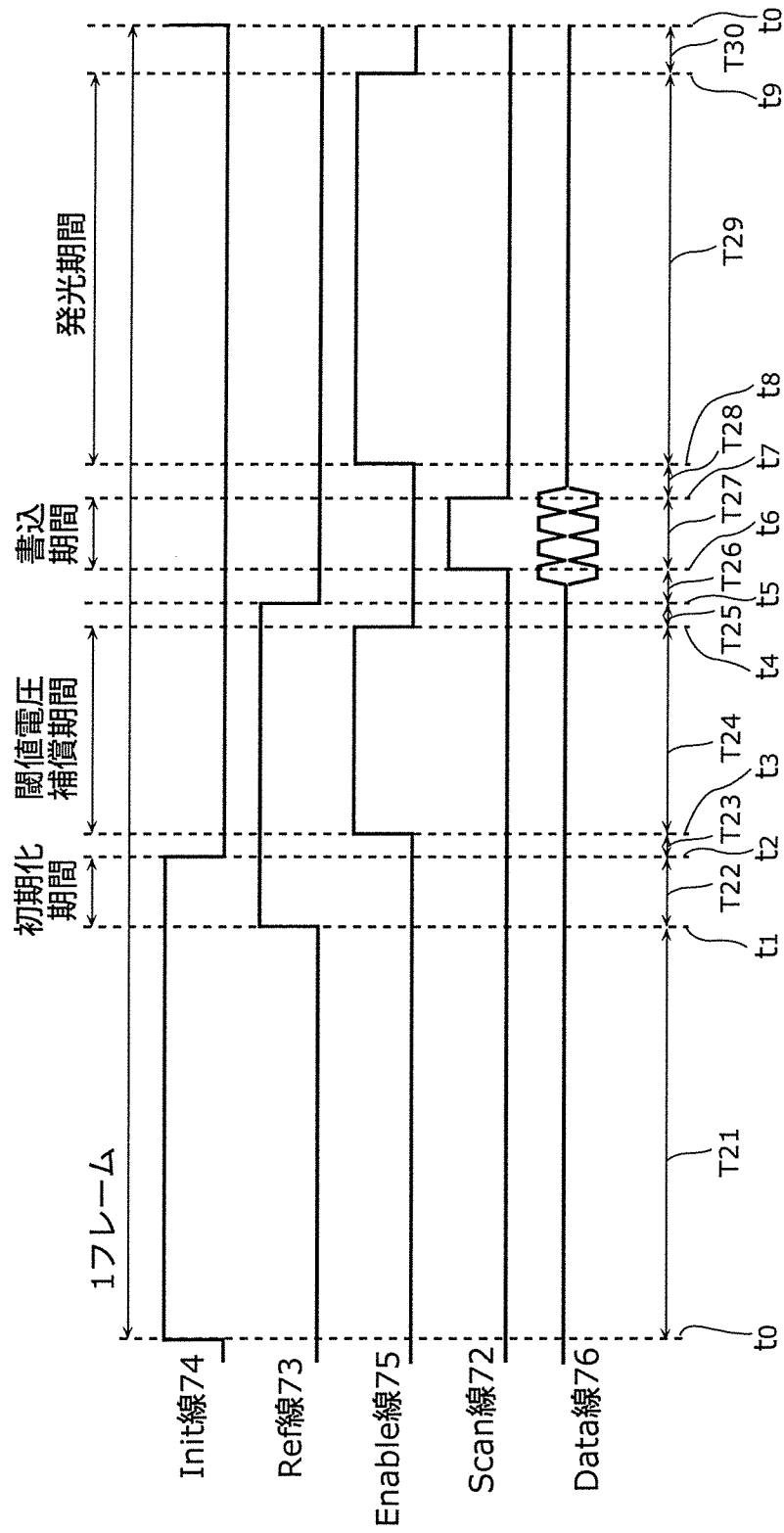
[図4A]



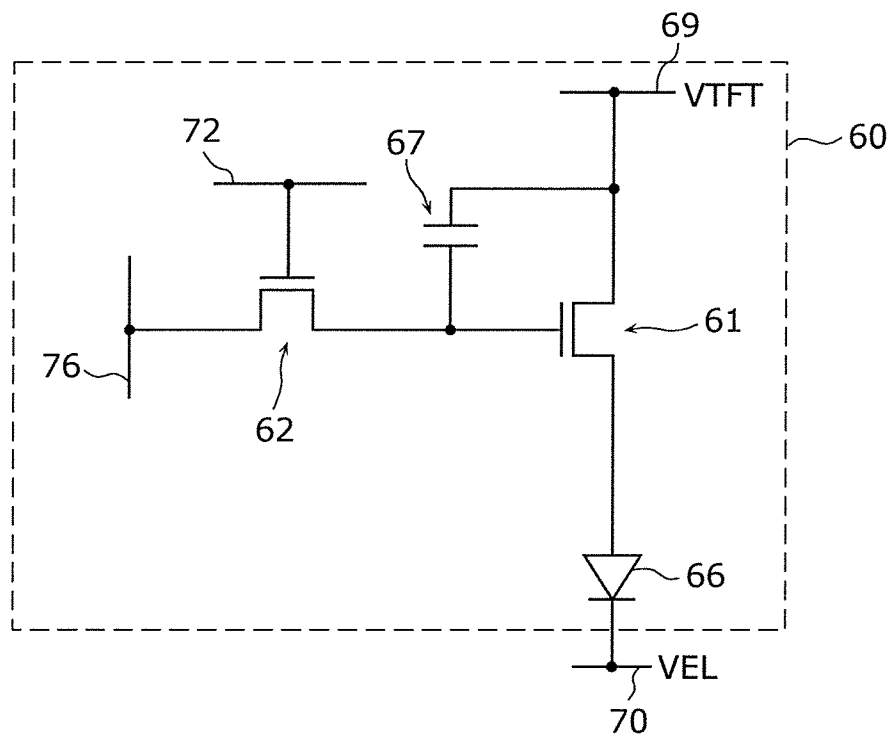
[図4B]



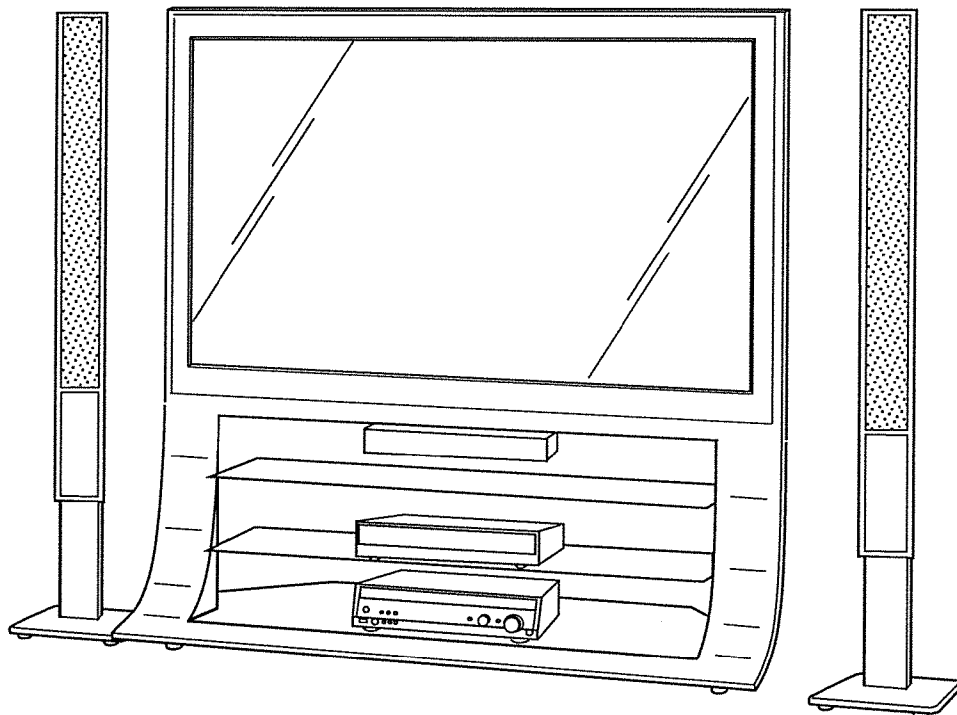
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006420

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01)i, G09G3/14(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155, G09G3/14, G09G3/20, G09G3/30, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-40963 A (Sanyo Electric Co., Ltd.), 08 February 2002 (08.02.2002), entire text; all drawings & US 2002/0021096 A1 & EP 1178463 A2 & KR 10-2002-0010869 A & CN 1341915 A	1-4
Y	JP 2004-361925 A (AU Optronics Corp.), 24 December 2004 (24.12.2004), entire text; all drawings & US 2004/0239664 A1 & CN 1525428 A	1-4
Y	JP 2007-325414 A (Oki Electric Industry Co., Ltd.), 13 December 2007 (13.12.2007), entire text; all drawings (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 March 2015 (06.03.15)

Date of mailing of the international search report
17 March 2015 (17.03.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006420

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-343909 A (Fuji Photo Film Co., Ltd.), 02 December 2004 (02.12.2004), entire text; all drawings (Family: none)	1-4
A	JP 2009-44831 A (Renesas Technology Corp.), 26 February 2009 (26.02.2009), entire text; all drawings & US 2009/0039843 A1 & US 2010/0176782 A1 & US 2011/0204858 A1 & US 2012/0217942 A1 & CN 101364767 A	1-4

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M3/155(2006.01)i, G09G3/14(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i,
H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M3/155, G09G3/14, G09G3/20, G09G3/30, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-40963 A（三洋電機株式会社）2002.02.08, 全文, 全図 & US 2002/0021096 A1 & EP 1178463 A2 & KR 10-2002-0010869 A & CN 1341915 A	1-4
Y	JP 2004-361925 A（友達光電股▲ふん▼有限公司）2004.12.24, 全文, 全図 & US 2004/0239664 A1 & CN 1525428 A	1-4
Y	JP 2007-325414 A（沖電気工業株式会社）2007.12.13, 全文, 全図（ファミリーなし）	1-4

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 3 . 2 0 1 5

国際調査報告の発送日

1 7 . 0 3 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

下原 浩嗣

3 V

9 1 7 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-343909 A (富士写真フイルム株式会社) 2004. 12. 02, 全文, 全図 (ファミリーなし)	1-4
A	JP 2009-44831 A (株式会社ルネサステクノロジ) 2009. 02. 26, 全文, 全図 & US 2009/0039843 A1 & US 2010/0176782 A1 & US 2011/0204858 A1 & US 2012/0217942 A1 & CN 101364767 A	1-4