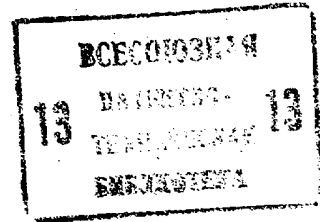




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3582517/24-21

(22) 18.04.83

(46) 30.06.85. Бюл. № 24

(72) В.С.Альтшулер, А.А.Васюжно, Л.Н.Волков, В.Н.Волнянский, А.В.Орлов и В.М.Филатов

(53) 681.325(088.8)

(56) 1. Карпов Р.Г., Карпов Н.Р. Преобразование и математическая обработка широтно-импульсных сигналов. М., "Машиностроение", 1977, с. 32, рис. 19.

2. Там же, рис. 18 (прототип).

(54)(57) 1. ПРЕОБРАЗОВАТЕЛЬ КОД-ВРЕМЕННОЙ ИНТЕРВАЛ, содержащий регистр, входы которого соединены с соответствующими входными шинами, а выходы через блок вентиля с соответствующими установочными входами счетчика импульсов, выход которого подключен к первому входу первого формирователя импульсов, выход которого соединен с нулевым входом первого триггера, выход которого соединен с первым входом элемента И, выход которого соединен со счетным входом счетчика импульсов, и генератор опорной частоты, первый выход которого соединен со вторым входом элемента И, отличающийся тем, что, с целью повышения точности, в него введены второй формирователь импульсов, инвертор, второй триггер, и синхронный делитель частоты, первый вход которого соединен с первым выходом генератора опорной частоты, а первый выход - с тактовым входом блока вентиля, единичным входом первого триггера и входом инвертора, выход

которого соединен с первым входом второго формирователя импульсов, выход которого соединен с единичным входом второго триггера, выход которого подключен к первой выходной шине, а нулевой вход - к выходу первого формирователя импульсов, второй вход которого соединен с вторым входом формирователя импульсов, вторым выходом генератора опорной частоты, и вторым входом синхронного делителя частоты, второй выход которого соединен с тактовым входом регистра, при этом вторая выходная шина соединена с выходом элемента И.

2. Преобразователь по п. 1, отличающийся тем, что каждый формирователь импульсов выполнен на двух D-триггерах и двух элементах И-НЕ, причем информационный вход первого D-триггера соединен с шиной логической единицы, а первый вход формирователя импульсов соединен с тактовым входом первого D-триггера, прямой выход которого соединен с информационным входом второго D-триггера, выход которого соединен с первым входом первого элемента И-НЕ, выход которого соединен с выходом формирователя импульсов, первым входом второго элемента И-НЕ и нулевым входом первого D-триггера, инверсный выход которого соединен с вторым входом второго элемента И-НЕ, выход которого соединен с нулевым входом второго D-триггера, тактовый вход которого соединен с вторым входом первого элемента И-НЕ и вторым входом формирователя импульсов.

Изобретение относится к информационно-измерительной технике и может быть использовано для преобразования параллельного двоичного цифрового кода в интервал времени или числоимпульсный вид.

Известен преобразователь код-временной интервал, содержащий входной регистр, преобразователь код-напряжение (ПКН), схему сравнения, импульсный генератор, триггер и генератор пилообразного напряжения, при этом выходы регистра соединены с входами ПКН, выход которого соединен с первым входом схемы сравнения, выход которой соединен с первым входом триггера, второй вход которого соединен с выходом импульсного генератора, а выход - с входом запуска генератора пилообразного напряжения, выход которого соединен с вторым входом схемы сравнения [1].

Недостаток данного устройства - низкая точность, обусловленная наличием большого количества аналоговых элементов, характеризующихся температурной нестабильностью. Кроме того, важным источником погрешности является нелинейность пилообразного напряжения. Все это делает данную схему непригодной для преобразования цифровой информации с разрядностью более восьми.

Наиболее близким по технической сущности к предлагаемому является преобразователь код-временной интервал, содержащий регистр, входы которого соединены с соответствующими входными шинами, а выходы - через блок вентиляей, с соответствующими установочными входами счетчика импульсов, выход которого подключен к первому входу первого формирователя импульсов, выход которого соединен с нулевым входом первого триггера, выход которого соединен с первым входом элемента И, выход которого соединен со счетным входом счетчика импульсов, генератор опорной частоты, первый выход которого соединен с вторым входом элемента И, и аналоговый элемент задержки, вход которого соединен с тактовой входной шиной и тактовым входом блока вентиляей, а выход - с единичным входом первого триггера [2].

Недостаток известного устройства - температурная нестабильность из-за наличия аналоговых элементов

(элемент задержки и формирователь импульсов), систематическая погрешность преобразования из-за использования обратного кода вместо дополнительного, значительная случайная погрешность из-за несинхронности тактовых импульсов с импульсами генератора опорной частоты.

Последняя составляющая погрешности является наиболее трудно устранимой, поскольку накопление временной задержки в счетчике и логической части устройства приводит к возникновению случайной погрешности из-за синхронизации выходных импульсов с различными импульсами тактовой частоты и возникновению ущербных импульсов на выходе формирователя даже в том случае, если в качестве формирователя используется цифровая логическая схема.

Цель изобретения - повышение точности.

Поставленная цель достигается тем, что в преобразователь код-временной интервал, содержащий регистр, входы которого соединены с соответствующими входными шинами, а выходы - через блок вентиляей с соответствующими установочными входами счетчика импульсов, выход которого подключен к первому входу первого формирователя импульсов, выход которого соединен с нулевым входом первого триггера, выход которого соединен с первым входом элемента И, выход которого соединен со счетным входом счетчика импульсов, и генератор опорной частоты, первый выход которого соединен с вторым входом элемента И, введены второй формирователь импульсов, инвертор, второй триггер и синхронный делитель частоты, первый вход которого соединен с первым выходом генератора опорной частоты, а первый выход - с тактовым входом блока вентиляей, единичным входом первого триггера и входом инвертора, выход которого соединен с первым входом второго формирователя импульсов, выход которого соединен с единичным входом второго триггера, выход которого подключен к первой выходной шине, а нулевой вход - к выходу первого формирователя импульсов, второй вход которого соединен с вторым входом второго формирователя импульсов, вторым выходом генератора опорной частоты и вторым входом синхрон-

ного делителя частоты, второй выход которого соединен с тактовым входом регистра, при этом вторая выходная шина соединена с выходом элемента И.

Причем каждый формирователь импульсов выполнен на двух D-триггерах и двух элементах И-НЕ, информационный вход первого D-триггера соединен с шиной логической единицы, а первый вход формирователя импульсов соединен с тактовым входом первого D-триггера, прямой выход которого соединен с информационным входом второго D-триггера, выход которого соединен с первым входом первого элемента И-НЕ, выход которого соединен с выходом формирователя импульсов, первым входом второго элемента И-НЕ и нулевым входом первого D-триггера, инверсный выход которого соединен с вторым входом второго элемента И-НЕ, выход которого соединен с нулевым входом второго D-триггера, тактовый вход которого соединен с вторым входом первого элемента И-НЕ и вторым входом формирователя импульсов.

На фиг.1 представлена структурная схема преобразователя; на фиг.2 и 3 - примеры выполнения генератора опорной частоты и синхронного делителя частоты соответственно.

Преобразователь код-временной интервал содержит регистр 1, блок 2 вентилей, счетчик 3 импульсов, два формирователя 4 и 5 импульсов, генератор 6 опорной частоты, триггеры 7 и 8, элемент И 9, синхронный делитель 10 частоты, инвертор 11, входные шины 12, первую 13 и вторую 14 выходных шины, причем каждый из формирователей 4, 5 импульсов содержит последовательно соединенные D-триггеры 15 и 16, элементы И-НЕ 17, 18 и шину 19 логической единицы.

Входы регистра 1 соединены с соответствующими входными шинами 12, а выходы - через блок 2 с установочными входами счетчика 3, выход которого подключен к первому входу первого формирователя 4, выход которого соединен с нулевым входом триггера 7, выход которого соединен с первым входом элемента И 9, выход которого соединен со счетным входом счетчика 3 и выходной шиной 14, первый выход генератора 6 соединен с вторым входом

элемента 9 и первым входом синхронного делителя 10, первый выход которого соединен с тактовым входом блока 2, единичным входом триггера 7 и входом инвертора 11, выход которого соединен с первым входом формирователя 5, выход которого соединен с единичным входом триггера 8, выход которого подключен к выходной шине 13, а нулевой вход - к выходу формирователя 4, второй вход которого соединен с вторым входом формирователя 5, вторым выходом генератора 6 и вторым входом синхронного делителя 10, второй выход которого соединен с тактовым входом регистра 1, причем информационный вход D-триггера 16 соединен с шиной 19 логической единицы, а первый вход формирователя 4(5) соединен с тактовым входом D-триггера 16, прямой выход которого соединен с информационным входом D-триггера 15, выход которого соединен с первым входом элемента 17, выход которого соединен с выходом формирователя 4(5), первым входом элемента 18 и нулевым входом D-триггера 16, инверсный выход которого соединен с вторым входом элемента 18, выход которого соединен с нулевым входом D-триггера 15, тактовый вход которого подключен к второму входу элемента 17 и второму входу формирователя 4(5).

Генератор 6 (фиг.2) может быть выполнен на генераторе 20 импульсов, одноразрядном счетчике (D-триггер) 21 и двух элементах И 22 и 23. Синхронный делитель 10 (фиг.3) может быть выполнен на последовательно соединенных делителе 24 частоты, формирователе 25 импульсов, элемента И 26 и формирователе 27 импульсов.

Устройство работает следующим образом.

Генератор 6 формирует две последовательности тактовых импульсов высокой частоты, сдвинутые один относительно другого таким образом, что соответствующие импульсы указанных последовательностей не перекрываются во времени. Вторая последовательность импульсов делится на делителе 10 и синхронизируется в нем с очередным импульсом первой последовательности, в результате чего формируются импульсы частоты  $f_d$ , поступающие на тактовый вход регистра 1 и осуществляющие запись входного ко-

да в регистр 1. Первая последовательность импульсов с выхода генератора 6, поделенная и синхронизированная с второй последовательностью в делителе 10, образует частоту  $f_{02}$  и осуществляет перезапись входного кода из регистра 1 в счетчик 3, причем в счетчик 3, переписывается обратный код, поступающий на установочные входы счетчика 3 через блок 2.

Тот же импульс частоты  $f_{02}$  поступает через инвертор 11 и формирователь 5 на вход триггера 8 и с этого момента начинается отсчет выходного временного интервала. При этом наличие инвертора 11 обеспечивает задержку выходного сигнала преобразователя за счет того, что формирование выходного сигнала формирователя 5 происходит с задержкой на один период частоты выходных импульсов генератора 6. Достигается это благодаря схемному выполнению формирователей 4 и 5: при появлении положительного перепада на их входах D-триггер 16 перебрасывается в единицу, которая с приходом очередного импульса тактовой частоты переписывается в D-триггер 15, так что указанный импульс появляется на выходе формирователя 4 или 5 и устанавливает в нуль D-триггер 16, а по окончании тактового импульса устанавливается в нуль и D-триггер 15. Такое выполнение формирователей 4 и 5 обеспечивает с одной стороны постоянство временного интервала между входным перепадом и выходным импульсом, а с другой стороны полностью исключает возможность возникновения вредных импульсов.

Одновременно с записью обратного кода в счетчик 3 перебрасывается триггер 7, открывая элемент И 9, и частота первой последовательности начинает заполнять счетчик 3. Потенциал с инверсного выхода старшего

разряда счетчика 3 поступает на вход формирователя 4, так что при переходе старшего разряда счетчика 3 из состояния логической единицы в состояние логического нуля, т.е. при переполнении счетчика 3 формирователь 4 вырабатывает одиночный импульс, сбрасывающий в ноль триггеры 7 и 8, а также прекращающий заполнение счетчика 3.

В результате длительность выходного интервала времени  $\tau$  определяется из соотношения

$$\tau = t_{и} \cdot N,$$

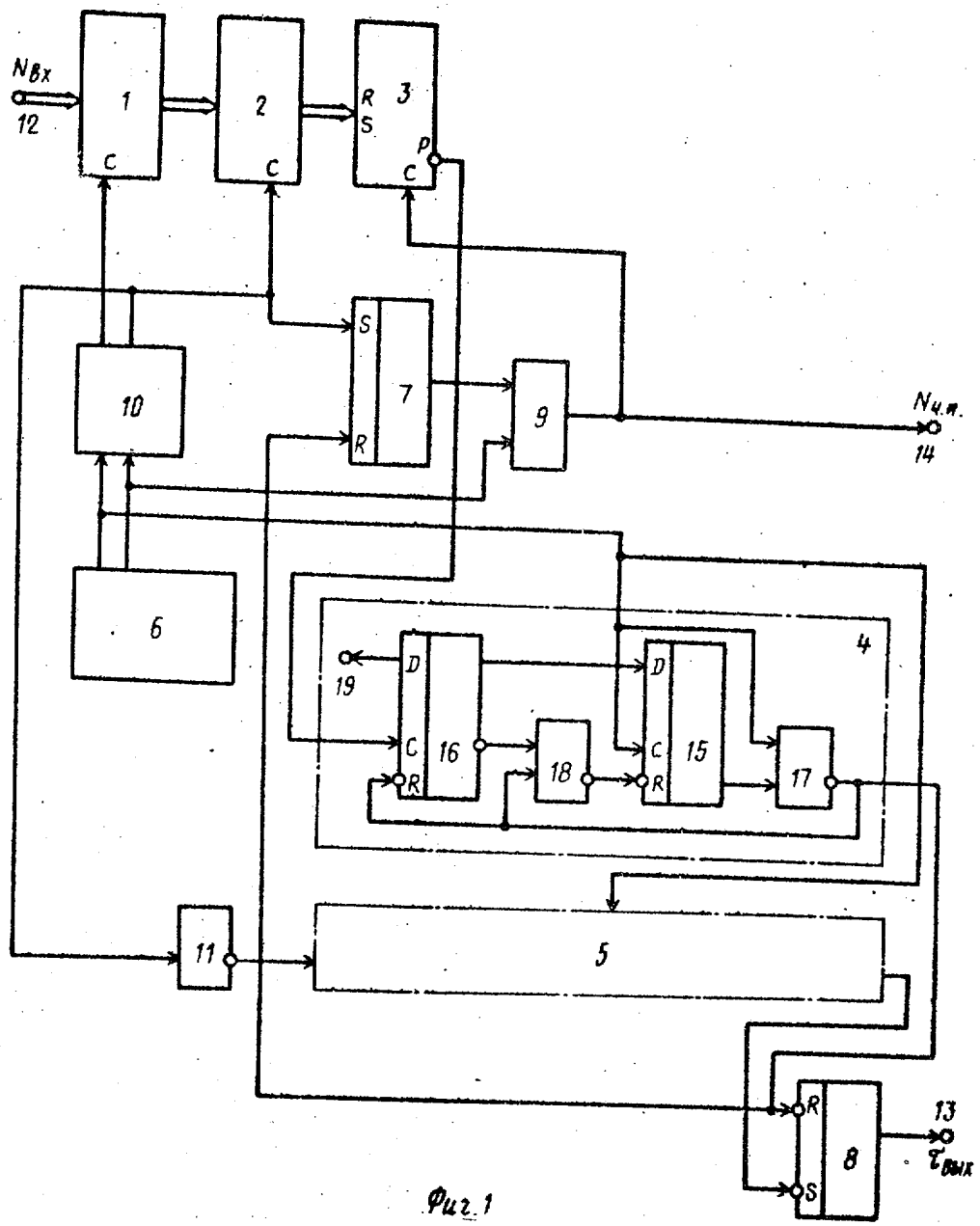
где  $N$  - входной код;  
 $t_{и}$  - период выходных импульсов генератора 6.

При этом емкость счетчика 3 выбирает равной  $1/f_0 t_{и}$ .

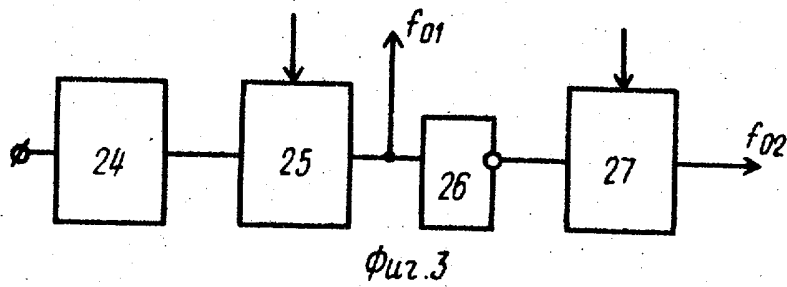
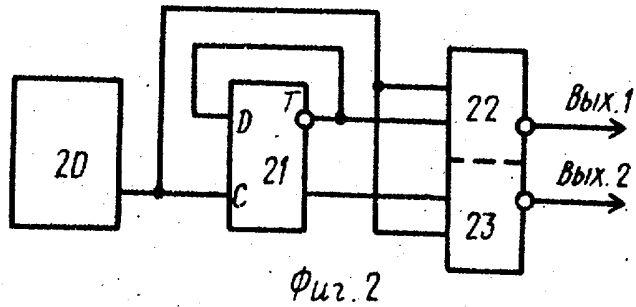
Таким образом, преобразователь позволяет исключить основные систематические и случайные составляющие погрешности преобразования кода во временной интервал, а также преобразовывать параллельный код в числоимпульсный.

По сравнению с прототипом предлагаемый преобразователь позволяет снизить абсолютную погрешность преобразования, например, для восьмиразрядного преобразователя на 3-4 мкс, что следует из сравнения выражений, описывающих характеристики предлагаемого и известного устройств. Это в свою очередь является существенным при построении информационно-измерительных систем, оперирующих с ШИМ сигналами.

Технико-экономическая эффективность применения предлагаемого изобретения обусловлена повышением точности устройства, что позволяет при использовании его в составе системы значительно снизить аппаратные затраты в блоках аналого-цифрового преобразования и предварительной математической обработки.



Фиг. 1



Редактор И. Ковальчук      Составитель В. Войтов      Корректор В. Бутяга  
 Техред Ж. Кастелевич

---

Заказ 4198/54      Тираж 872      Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

---

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4