



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I532171 B

(45) 公告日：中華民國 105 (2016) 年 05 月 01 日

(21) 申請案號：098104667

(22) 申請日：中華民國 98 (2009) 年 02 月 13 日

(51) Int. Cl. : *H01L29/78 (2006.01)**H01L23/62 (2006.01)**H01L21/336 (2006.01)**H01L27/04 (2006.01)*

(30) 優先權：2008/02/13 美國

12/030,719

(71) 申請人：維雪 希里康尼克斯公司 (美國) VISHAY-SILICONIX (US)

美國

(72) 發明人：徐 羅伯特 XU, ROBERT (US)

(74) 代理人：惲軼群；陳文郎

(56) 參考文獻：

US 5763914

US 2002/0182838A1

US 2004/0217418A1

US 2006/0285414A1

US 2007/0216514A1

審查人員：黃本立

申請專利範圍項數：21 項 圖式數：9 共 44 頁

(54) 名稱

場效電晶體

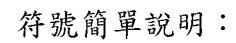
FIELD EFFECT TRANSISTOR

(57) 摘要

一種自我修補場效電晶體(FET)元件，根據一具體實施例，其係包含多個各有一熔絲鏈的 FET 單元。該等熔絲鏈係經設計成在對應單元的高電流事件期間可燒斷。

A self repairing field effect transistor (FET) device, in accordance with one embodiment, includes a plurality of FET cells each having a fuse link. The fuse links are adapted to blow during a high current event in a corresponding cell.

指定代表圖：



160 · · · 源極互連

第 1 圖

102年4月23日修正本

雙面影印

第 98104667 號申請案說明書修正頁

修正日期：102.04.23

發明專利說明書**公告本**

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98104667

※ 申請日：98.2.13

※ IPC 分類：

H01L 29/18 (2006.01)

H01L 23/62 (2006.01)

H01L 21/336 (2006.01)

H01L 27/04 (2006.01)

一、發明名稱：(中文/英文)

場效電晶體

FIELD EFFECT TRANSISTOR

二、中文發明摘要：

一種自我修補場效電晶體(FET)元件，根據一具體實施例，其係包含多個各有一熔絲鏈的 FET 單元。該等熔絲鏈係經設計成在對應單元的高電流事件期間可燒斷。

三、英文發明摘要：

A self repairing field effect transistor (FET) device, in accordance with one embodiment, includes a plurality of FET cells each having a fuse link. The fuse links are adapted to blow during a high current event in a corresponding cell.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

110…源極/本體接點

135，140…汲極區

115…源極區

145…汲極互連

120…閘極區

150…囊封層

125…閘極絕緣體區

155…源極熔絲鏈

130…本體區

160…源極互連

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於場效電晶體。

【先前技術】

5 發明背景

[0001] 隨著半導體製造技術持續在進步，諸如場效電晶體(FET)之類的元件也跟著愈來愈小及便宜。這類元件的設計及佈局則受限於各種元件結構的技術特定最小尺寸、間隔、對齊和重疊以及製造方法。在製造期間，有一定百分比的不良元件是由製程上的差異引起。

[0002] 典型的功率MOSFET元件有數千或百萬個並聯MOSFET單元。大量平行連結的單元使得元件可處理高電流以及有低導通電阻(on resistance)。通常元件的載流能力(current carrying capability)愈高，元件的單元數愈多。若是元件中的單一單元有缺陷(例如，閘/源極短路或源/汲極短路)，則缺陷通常會使整個元件損壞。因此，當一個單元有缺陷時，則整個元件會報廢而拉低製造良率。大量平行單元的結構也使得元件難以篩選。尤其是，不容易檢測出在源極至閘極、汲極至閘極之間的非災難缺陷。因此，非災難元件可能造成與元件及/或使用該元件之電子裝置在可靠性方面有問題。

【發明內容】

發明概要

[0003] 本文提出的具體實施例係針對自我修補電晶體

(self-repairing transistor)。在一具體實施例中，一種場效電
晶體(FET)元件係包含多個FET單元。一介電層係經配置成
是在該元件的該多個單元與該源極互連 (source
interconnect)之間。在各單元係藉由一對應源極熔絲鏈
5 (source fuse link)而使一源極接點(source contact)耦合至該
源極互連。

[0004] 在另一具體實施例中，一種積體電路(IC)包含
一汲極區、一閘極區、多個源極區、多個本體區、以及多
個閘極絕緣體區(gate insulator region)。該閘極區係經配置
10 成是在該汲極區上方，其中該閘極區的第一部份係經形成
為第一多個實質平行長形結構，以及該閘極區的第二部份
係經形成為與第一多個實質平行長形結構垂直的第二多個
實質平行長形結構。該多個源極區係經配置成在由第一及
第二多個實質平行長形結構界定的各個單元內緊鄰該閘極
15 區的外圍。在各單元內，該多個本體區係經配置成是在該
汲極區與該源極區之間。該閘極絕緣體區係經配置成是在
該閘極區與該多個源極區之間、在該閘極區與該多個本體
區之間、以及在該閘極區與該汲極區之間。該積體電路(IC)
也包含多個源極接點、一源極互連、以及多個源極熔絲鏈。
20 該多個源極接點各自耦合至一對應的源極區。該源極熔絲
鏈係使對應的源極接點耦合至該源極互連。

[0005] 在又一具體實施例中，一種用於製造場效電晶
體元件的方法包含形成多個場效電晶體單元，其中各單元
包含一源極區。該方法也包含形成多個源極接點、多個源

極熔絲鏈、以及一源極互連。各個給定源極接點耦合至一對應源極區。各個源極熔絲鏈耦合至一對應源極接點。該源極互連耦合至該多個源極熔絲鏈。

概括言之，本發明揭示一種自我修補場效電晶體。一種自我修補場效電晶體(FET)元件，根據一具體實施例，其係包含多個各有一熔絲鏈的FET單元。該等熔絲鏈係經設計成在對應單元的高電流事件期間可燒斷。

圖式簡單說明

[0006] 本發明的具體實施例是用來以附圖來舉例說明而沒有限定性，圖中類似的元件用相同的元件符號表示。

第1圖的橫截面圖係根據本發明之一具體實施例圖示一示範溝槽金屬氧化物半導體場效電晶體(TMOSFET)元件。

第2圖的橫截面圖係根據本發明之一具體實施例圖示源極熔絲鏈燒斷的示範TMOSFET元件。

第3圖的橫截面圖係根據本發明之一具體實施例圖示一示範源極熔絲鏈。

第4圖係根據本發明之一具體實施例圖示示範晶片電阻的曲線圖。

第5圖的曲線圖係根據本發明之一具體實施例圖示熔化源極熔絲鏈所需要的示範時間。

第6A圖至第6D圖的流程圖係根據本發明之一具體實施例圖示用於製造封閉單元(closed cell)溝槽金屬氧化物半導體場效電晶體(TMOSFET)的方法。

第7A圖至第7M圖的方塊圖係根據本發明之一具體實

施例圖示用於製造封閉單元溝槽金屬氧化物半導體場效電晶體(TMOSFET)的方法。

第8圖的橫截面圖係根據本發明另一具體實施例圖示一示範平面金屬氧化物半導體場效電晶體(MOSFET)元件。

5 第9圖的橫截面圖係根據本發明另一具體實施例圖示一示範垂直接面場效電晶體(JFET)元件。

【實施方式】

較佳實施例之詳細說明

[0007] 此時用附圖來詳述本發明的具體實施例。儘管
10 本文用具體實施例來描述本發明，然而應瞭解，不是要限定本發明為該等具體實施例。反而，本發明想要涵蓋落在以申請專利範圍定義之本發明範疇內的替代、修改及等價陳述。此外，在下文所述的本發明說明中，會提出許多特定的細節供徹底了解本發明。不過，應瞭解，在沒有這些
15 細節下，仍可實施本發明。在其他的情況下，不詳述習知的方法、程序、組件及電路以免混淆本發明的方面。

[0008] 本發明的具體實施例包含自我修補場效電晶體(FET)及其製造方法。尤其是，在有大量平行單元結構的FET元件中，每個個別單元都有熔絲。當單元有缺陷時，通過
20 單元的過大電流會燒斷單元，而使有缺陷的單元自動停止。該單元可與單元對齊，因此不會實質增加單元的表面積。該FET元件可為MOSFET、JFET或其類似物。此外，該FET元件可具有垂直或平面拓樸。

[0009] 應瞭解，FET元件實質上是對稱的。特別是，

FET元件的源極與汲極大體可互換。因此，應瞭解，當源極與汲極互換時，術語“源極”也等價於“汲極”。

[0010] 第1圖係根據本發明之一具體實施例圖示一示範垂直溝槽金屬氧化物半導體場效電晶體(TMDSFET)元件100。如圖示，該FET可為封閉單元溝槽金屬氧化物半導體場效電晶體(TMOSFET)。封閉單元TMOSFET 100包含多個垂直MOSFET單元，其中各單元包含源極區、本體區、閘極區及汲極區。垂直MOSFET單元係以相互平行的方式耦合。

[0011] 該 MOSFET 元件可包含多個源極/本體接點110、多個源極區115、閘極區120、閘極絕緣體區125、多個本體區130、汲極區135、140以及汲極互連145。視需要，汲極區135、140可包含常被稱作漂移區(drift region)的第一汲極部份140，與常被稱作汲極區的第二汲極部份135。該 MOSFET 元件也包含囊封層(encapsulation layer)150、多個源極熔絲鏈155、及源極互連160。

[0012] 本體區130、源極區115、閘極區120及閘極絕緣體區125均配置在汲極區135、140上方。閘極區120及閘極絕緣體區125的第一部份係經形成為實質平行的長形結構121。閘極區120及閘極絕緣體區125的第二部份係經形成為與平行實質正交的長形結構122。閘極區120的第一及第二部份均互連且形成多個單元。本體區130都在由閘極區120形成的多個單元內。閘極絕緣體區125包圍閘極區120。因此，閘極區120與四周的閘極絕緣體區125電氣隔離。源極區115都沿著閘極絕緣體區125的外圍在多個單元中形成。

[0013] 在一具體實作中，源極區115與汲極區140都為n型重度摻雜(+N)半導體，例如摻雜磷或砷的矽。本體區130均為p型摻雜(P)半導體，例如摻雜硼的矽。閘極區120為n型重度摻雜半導體(N+)，例如摻雜磷的多晶矽。閘極絕緣體區125可為絕緣體，例如二氧化矽。

[0014] 源極/本體接點110耦合至各單元的源極區115及本體區130。因此，源極/本體接點110耦合各單元的源極區115及本體區130。該囊封層係經配置成是在閘極區120、源極區115、源極/本體接點110、源極熔絲鏈155、以及源極互連160之間。源極熔絲鏈155均經配置成是在源極/本體接點110、源極互連160之間。源極互連160耦合多個源極區115以形成元件的共用源極。源極熔絲鏈155是在各個個別單元的上面由源極/本體接點115垂直延伸，因此不會額外消耗元件100的側表面面積。

[0015] 當閘極區120相對於源極區115的電位增加到元件100的臨界電壓以上時，會沿著閘極絕緣體區125的外圍在本體區130中誘發一導電通道。然後，在元件100的汲極區140、源極區115之間會有電流傳導。因此，元件100是處於開啟狀態。

[0016] 當閘極區120的電位降到臨界電壓以下時，會不再誘發該通道。結果，施加於汲極區140、源極區115之間的電壓不會致使其間有電流流動。因此，該元件是處於關閉狀態，以及由本體區130、汲極區140形成的接面可支援施加於源極、汲極之間的電壓。

[0017] 如果汲極區 135、140 包含配置於第一部份 140 上方的第二部份 135，汲極區 135 的第二部份為 n 型輕度摻雜 (N-) 半導體，例如摻雜磷或砷的矽，以及汲極區 140 的第一部份為 n 型重度摻雜 (N+) 半導體，例如摻雜磷的矽。汲極區 135 的 n 型輕度摻雜 (N-) 第二部份會產生延伸進入本體區 130、汲極區 135 之第二部份的空乏區，因而可降低穿通效應 (punch through effect)。因此，汲極區 135 的 n 型輕度摻雜 (N-) 第二部份可提高封閉單元 TMOSFET 200 的崩潰電壓。

[0018] 封閉單元 TMOSFET 100 的通道寬度會隨著該等源極區 115 的寬度總和而改變。因此，封閉單元 TMSOFET 100 有相對低的通道電阻 (例如，汲極至源極的導通電阻 R_{ds-on})。低通道電阻可減少封閉單元 TMOSFET 100 的耗散功率。同樣，封閉單元 TMOSFET 120 的閘/汲極電容為閘極區 120 底部與汲極區 140 之重疊面積的函數。

[0019] 在一具體實作中，囊封物 150 可為電介質，例如但不受限於：BPSG。源極/本體接點 110 可由高熔點金屬製成，例如但不受限於：鈮、鈦、鎢、氮化鈦、氮化鈮、及/或矽化鈦。源極熔絲鏈 155 可由熔點金屬製成，例如但不受限於：銅、鋁、鈹、銻及/或錫。源極互連 160 可由高或低熔點金屬或彼等之組合製成。

[0020] 在一具體實作中，源極熔絲鏈 155 可為實質固體。當相對高的電流流動通過給定單元的源極時，熱會集中於對應的源極熔絲鏈。熱會熔化給定熔絲鏈的金屬並致使四周的囊封物 150 局部熔化。周遭囊封物的局部熔化會形

成空隙(void)讓源極熔絲鏈的低熔點金屬流入而使源極熔絲鏈斷掉。當源極熔絲鏈斷掉時，熔絲會“被燒斷”並且切斷通過單元的高電流路徑(current path)。

[0021] 在另一具體實作中，源極熔絲鏈155可各自包含一
5 空腔，如第1圖所示。該空腔可實質延伸成有源極熔絲鏈155的長度或源極熔絲鏈155的部份長度。當相對高的電流流動通過給定單元的源極時，熱會集中於該空腔。熱會熔化給定熔絲鏈255的金屬而使其流入空腔而使源極熔絲鏈255斷掉，如第2圖所示。當源極熔絲鏈255斷掉時，熔絲會
10 “被燒斷”並且切斷通過單元的高電流路徑。除了熔化源極熔絲鏈的金屬以外或替換地，高電流也可能造成金屬在源極熔絲鏈中電遷移(electromigration)。電遷移，或者加上源極熔絲鏈金屬的熱熔化可導致熔絲鏈熔斷。

[0022] 每條熔絲鏈255係經構造成可在對應單元損壞
15 其他單元之前燒斷。典型MOSFET單元在處於直流模式(DC mode)時大約傳送0.1毫安以及在脈衝模式時傳送0.5毫安。當給定單元有缺陷以及在閘極至源極、閘極至汲極、或源極至汲極之間有高電流路徑(例如，短路)時，在給定單元中的涌流(in rush current)會逐漸變大，通常達10至100毫安。
20 該等熔絲鏈係經構造成在對應單元到達此一高電流位準之前燒斷，以免損壞元件的其餘單元。因此，有缺陷的單元會被停止而其餘的單元仍有功能。因而，元件可自我修補而效能不會降低或很少。

[0023] 第3圖係圖示一示範源極熔絲鏈，根據本發明之

一具體實施例。源極熔絲鏈310的高度為L、內徑為d、以及外徑為D。可在尺寸為x乘y的源極/本體接點320形成該源極熔絲鏈。在一具體實作中，該源極/本體接點的尺寸為x=y=2.5微米。在一具體實作中，該源極熔絲鏈可為鋁。鋁的特徵有以下參數：密度(固態)2698千克/立方米；密度(液態)2400千克/立方米；熔點933.5 K；沸點2740 K；熔融焓(enthalpy of fusion)10.67千焦耳/莫耳；蒸發焓293.72千焦耳/莫耳；電阻率(固態)2.66E-08歐姆米；熱容量(固態)24,35千焦耳/莫耳；以及莫耳質量26.98克。

10 [0024] 在一示範具體實作中，對於具有源極熔絲鏈的FET元件，是假設沒有熱流失至周遭，在室溫、熔點之間，熱容量不變。源極熔絲鏈300的空隙容積大體等於源極熔絲鏈310的鋁容積。熔化能量假設為升高溫度及熔融焓所需之熱的總合。示範元件中的平行單元數大約有1,000,000個單元。

15 元。假設晶片是在295 K的室溫中操作。

[0025] 可用方程式1算出個別單元熔絲鏈的面積電阻(area resistance)如下：

$$r = \rho * L * 4 / [\pi * (D^2 - d^2)] \quad (1)$$

可用方程式2算出因增加鋁熔絲所致的晶片電阻如下：

$$20 \quad R = r / N \quad (2)$$

其中N為平行單元數。可用方程式3算出熔化一個單元熔絲所需要的能量如下：

$$E = \text{容積} * \underline{d} * (C_p * \Delta T + \Delta H_{\text{fusion}}) / AW \quad (4)$$

其中AW為原子量，d為密度，C_p為莫耳熱容量，以及

ΔH_{fusion} 為熔融焓。因此，可用方程式4算出熔化單元之源極熔絲鏈所需要的時間如下：

$$\begin{aligned}
 t &= E / (RI^2) \\
 &= \frac{\{L * [\pi * (D^2 - d^2)] / 4 * d ** (Cp * \Delta T + \Delta H_{\text{fusion}}) / AW\}}{\{\rho * L * 4 / [\pi * (D^2 - d^2)] * I^2\}} \quad (5) \\
 5 \quad &= \frac{\{[\pi * (D^2 - d^2)] / 4\}^2 * d ** (Cp * \Delta T + \Delta H_{\text{fusion}})}{AW * \rho * I^2}
 \end{aligned}$$

[0026] 第4圖的晶片電阻貢獻-長度曲線圖係根據本發明之一具體實施例圖示示範晶片電阻。該曲線圖係比較以下兩種元件：有不同橫截面面積之源極熔絲鏈的元件與沒有源極熔絲鏈的元件。如第一曲線所示，無源極熔絲鏈的封閉單元TMOSFET之晶片電阻大體不變。第二曲線顯示有0.35微米內徑、0.5微米外徑之源極熔絲鏈的晶片電阻貢獻。第三曲線顯示有0.56內徑、0.8微米外徑之源極熔絲鏈的晶片電阻貢獻。如圖示，晶片電阻貢獻會隨著源極熔絲鏈的橫截面面積增加而減少。此外，晶片電阻貢獻會隨著熔絲長度增加而增加。不過，就示範源極熔絲鏈而言，晶片電阻貢獻大約是在0.1微歐姆至1微歐姆的範圍內。

[0027] 第5圖的曲線圖係根據本發明之一具體實施例圖示熔化源極熔絲鏈所需要的示範時間。該曲線圖係比較熔絲在1.0毫安的穩定電流之下，熔絲的熔化時間與源極熔絲鏈的橫截面面積。如圖示，熔絲的熔化時間會隨著熔絲的橫截面面積增加而增加。

[0028] 第6A圖至第6D圖係根據本發明之一具體實施

例圖示用於製造封閉單元溝槽金屬氧化物半導體場效電晶體(TMOSFET)的方法。第7A圖至第7M圖係根據本發明之一具體實施例圖示用於製造封閉單元TMOSFET的方法。如第6A圖及第7A圖所示，製程是在步驟602開始對基板702進行各種初始製程，例如清洗，沉積，摻雜，蝕刻及/或其他。半導體基板702可為重度摻雜磷(N+)的矽。在步驟604，可磊晶沉積半導體層704於基板702上。在一具體實作中，半導體層704可為摻雜砷或硼的矽。磊晶沉積矽704的摻雜可藉由引進想要的雜質至反應室內。在步驟606，沉積光阻以及用任一習知光蝕刻製程來圖樣化以形成閘極溝槽遮罩706。

[0029] 請參考第7B圖，磊晶沉積半導體層704的暴露部份是用任一習知等向性蝕刻法(isotropic etching method)在步驟608蝕刻成的。在一具體實作中，離子蝕刻劑會與藉由帶圖樣光阻層706而暴露的磊晶沉積半導體層相互作用。形成多個溝槽708使得第一組溝槽實質相互平行，以及相對於第一組溝槽，第二組溝槽(未圖示)都與平行實質正交。

[0030] 在步驟610，用適當的光阻剝除劑或光阻灰化製程(resist ashing process)去除閘極溝槽遮罩706。請參考第7C圖，在步驟612形成電介質712於多個溝槽708中。在一具體實作中，電介質712的形成係藉由氧化矽的表面以形成二氧化矽層。在溝槽中所得到的電介質形成閘極絕緣體區的第一部份。

[0031] 請參考第7D圖，在步驟614，在第一及第二組

溝槽沉積多晶矽層714以形成閘極區。在一具體實作中，用
諸如分解矽烷(SiH_4)之類的方法在溝槽中沉積多晶矽714。
用n型雜質(例如，磷或砷)摻雜該多晶矽。可藉由在沉積製
程期間引進雜質來摻雜多晶矽714。在步驟616，進行回蝕
5 製程(etch-back process)以去除晶圓表面上的多餘多晶矽。
在一具體實作中，是用化學機械研磨(CMP)製程來去除多餘
的多晶矽。

[0032] 請參考第7E圖，在步驟618，沉積及圖樣化第
二光阻以形成本體區遮罩。該本體區遮罩係對應至由在閘
10 極區內之區域界定的多個單元。在步驟620，磊晶沉積半導體
層的暴露部份摻雜704以調整多個單元中之本體區704的
摻雜。在一具體實作中，摻雜製程係植入p型雜質(例如，
硼或砷)於磊晶沉積半導體層704中。可利用高溫熱循環來
驅動本體區的摻雜。在步驟622，去除本體區遮罩。

15 [0033] 請參考第7f圖，在步驟624，沉積及圖樣化第三
光阻以形成源極區遮罩。該源極區遮罩是在鄰近閘極氧化
物區的各個單元中界定源極區。在步驟626，摻雜725第一
半導體層中藉由源極區遮罩724之暴露而剩餘的部份以形
成源極區726。在一具體實作中，摻雜製程係包含重度植入
20 n型雜質(例如，磷)至毗鄰閘極氧化物區712的多個單元內。
可利用高溫熱循環來驅動源極區的摻雜。在步驟628，去除
源極區遮罩。

[0034] 請參考第7G圖，在步驟630，沉積介電層730於
晶圓上。在一具體實作中，是在化學氣相沉積(CVD)系統

中，是藉由正矽酸乙酯(TEOS)的分解來沉積介電層730。在步驟632，沉積及圖樣化第四光阻層以界定源極/本體接點遮罩732於各單元上方。請參考第7H圖，在步驟634，蝕刻介電層730中藉由源極/本體接點遮罩732之暴露而剩餘的部份以形成閘極絕緣體層734。在步驟636，去除源極/本體接點遮罩。

請參考第7I圖，在步驟634，沉積源極/本體金屬層738於晶圓表面上。在一具體實作中，用諸如濺鍍法(sputtering)之類的習知方法沉積源極/本體金屬層738。源極/本體金屬層738可為鈮、鈦、鎢、氮化鈦、氮化鈮、矽化鈦、及/或類似物。與銅、鋁、鈹、銮及錫相比，此類金屬的特徵有相對高的熔點。源極/本體金屬層738與藉由帶圖樣電介質734之暴露而剩餘的本體720及源極區726一起形成接點。用帶圖樣介電層734，使源極/本體金屬層738與閘極區714隔離。在步驟640，沉積及圖樣化第五光阻以形成源極接點遮罩。該源極接點遮罩在各單元中界定源極接點區。請參考第7J圖，隨後在步驟642，用選擇性蝕刻法圖樣化該源極/本體金屬層以形成源極/本體接點742。

請參考第7K圖，在在步驟644，沉積第二介電層744於晶圓上。在一具體實作中，第二介電層744可為旋塗玻璃(spin-on-glass, BPSG)。在步驟646，沉積及圖樣化第六光阻層746以界定源極熔絲鏈遮罩746。在步驟648，蝕刻第二介電層744中藉由源極熔絲鏈遮罩746之暴露而剩餘的部份以界定多個溝槽748。各溝槽748延伸穿過第二介電層744至

對應的源極/本體接點742。在步驟650，去除源極熔絲鏈遮罩。

請參考第7L圖，在步驟652，沉積源極熔絲鏈金屬層752於晶圓表面上。在一具體實作中，用諸如化學氣相沉積(CVD)之類的習知方法沉積源極熔絲鏈金屬層752。源極熔絲鏈金屬層752形成金屬膜於源極熔絲鏈溝槽748的牆壁以及源極/本體接點742的暴露部份上。該源極/本體金屬層可為銅、鋁、鈹、銦，錫、及/或類似物。與鈹，鈦，鎢，氮化鈦，氮化鈹或矽化鈦相比，此類金屬的特徵有相對低的熔點。請參考第7M圖，在步驟654，沉積源極互連金屬層754於晶圓表面上。鄰近源極熔絲鏈溝槽的源極接點金屬742、源極熔絲鏈金屬752及源極互連金屬754形成有空腔755的源極熔絲鏈。

在另一具體實施例中，源極熔絲鏈溝槽可具有較大的高深寬比。用諸如濺鍍法之類的方法，使該等源極熔絲鏈溝槽填滿金屬。沉積及圖樣化光阻層以在沉積於源極熔絲鏈溝槽的金屬中界定源極熔絲鏈空腔。使用選擇性蝕刻法來去除源極熔絲鏈溝槽748中之金屬的暴露部份。然後，沉積源極互連金屬層於晶圓表面上。

在步驟656，圖樣化源極互連金屬層754以形成藉由源極熔絲鏈而與源極接點電氣耦合的源極互連。在步驟658，繼續各種其他製程的製造。該等製程通常包含蝕刻、沉積、摻雜、清洗、退火、鈍化、劈裂(cleaving)及/或類似者。

[0035] 第8圖係根據本發明之一具體實施例圖示一示範平面金屬氧化物半導體場效電晶體(MOSFET)元件。該平

面MOSFET元件800包含多個源極/本體接點805，多個源極區810、閘極區815、閘極絕緣體區820、多個本體區825、汲極區830、835、以及汲極互連840。該平面MOSFET元件800也包含囊封層845、多個源極熔絲鏈850、以及源極互連855。該等本體區825、源極區810、閘極區815及閘極絕緣體區820均配置於汲極區830、835上方。該等本體區825係經安排成為多個多邊形區域。在一具體實作中，該等本體區825均為六角形區域。汲極區830、835在每個多邊形本體區825之間向上延伸。該等源極區810係經配置成是在鄰近各本體區825之周邊的本體區825中使得每個本體區825有一部份隔開對應源極區810與汲極區830、835。因此，該等源極區810為配置於本體區825之中的多邊形環狀物。在整個元件800中，該等本體區825及源極區810的多邊形係經設計成可使得相鄰源極810的距離相對不變。

[0036] 閘極區815係經配置成緊鄰汲極區830、835中在本體區825之間向上延伸的部份，緊鄰在源極區805與汲極區830、835之間的本體區825部份，以及緊鄰部份源極區810。閘極絕緣體區820包圍閘極區815，藉此可隔開閘極區815與本體區825、源極區810及汲極區830、835。汲極區830、835可包含常被稱作漂移區且緊鄰本體區825的第一汲極部份830，以及藉由漂移區而與本體區825隔開的第二汲極部份835(常被稱作汲極區)。

[0037] 源極/本體接點805均耦合至各自的本體區825與源極區810。因此，源極/本體接點805可耦合各個單元的

源極區 810 與本體區 825。囊封層 845 係經配置成時在源極/
本體接點 805、源極互連 855 之間。源極熔絲鏈 850 延伸穿過
在源極/本體接點 805、源極互連 855 之間的囊封層 845。源
極熔絲鏈 850 在各個個別單元上面由源極/本體接點 805 垂
5 直延伸，因此不會額外消耗元件 800 的側表面面積。

[0038] 當閘極區 815 的電位增加到元件 800 的臨界電壓
以上時，會在本體區 825 在源極區 810、汲極區 830、835 之
間的部份中誘發一導電通道。然後在元件 800 的汲極區
830、835 與源極區 810 之間會有電流傳導。因此，元件 800
10 是處於開啟狀態。當閘極區 815 的電位降到臨界電壓以下
時，會不再誘發該通道。結果，施加於汲極區 830、835 和
源極區 810 之間的電壓不會致使其間有電流流動。因此，該
元件是處於關閉狀態，以及由本體區 825 及汲極區 830、835
形成的接面可支援施加於源極、汲極之間的電壓。

[0039] 各個源極熔絲鏈 850 係經構造成可藉由電流位
準的失效模式而燒斷。因此，會停止有缺陷的單元而其餘
的單元仍有功能。因而，元件 800 可自我修補而效能不會降
低或很少。在一具體實作中，源極熔絲鏈 850 可為實質固
體。在另一具體實作中，源極熔絲鏈 850 可各自包含一空
20 腔，該空腔可延伸各源極熔絲鏈之長度的至少一部份。

[0040] 第 9 圖係根據本發明之一具體實施例圖示一示
範垂直接面場效電晶體(JFET)元件。垂直 JFET 元件 900 包含
多個 JFET 單元 905、910、915，其中各單元包含對應的源極
接點 920。該 JFET 元件 900 也包含源極互連與多個熔絲鏈

925。各源極熔絲鏈925耦合給定的源極接點920與源極互連(未圖示)。源極熔絲鏈925都經設計成可藉由電流位準的失效模式而燒斷。

[0041] 可用本發明的具體實施例以閘/源極短路，閘/汲極，及/或源/汲極短路來停止FET元件中之一或更多個單元。可將該熔絲鏈構造成可用於平面FET元件與垂直FET元件。可垂直地構造該熔絲鏈而不消耗額外的矽面積。因此，具體實施例有利於實作自我修補場效電晶體(FET)元件。

[0042] 以上描述是用來圖解說明本發明之特定具體實施例。這些不是想要把本發明詳盡列出或限定成所揭示的確切形式，顯然根據上述教導可做出許多修改及變體。選出及描述該等具體實施例是為了以最佳的方式來解釋本發明的原理及在實務上的應用，從而使得本技藝的其他技術人員可以最適當地利用本發明以及修改成各種具體實施例以適合特定用途。因此，希望用隨附的申請專利範圍及其等價陳述來界定本發明的範疇。

概念

簡略地概述，本發明至少已揭示以下廣義概念。

概念1. 一種場效電晶體元件，其係包含：

多個場效電晶體單元，其中各單元包含一對應源極接點；

一源極互連；以及

多個源極熔絲鏈，其中各個給定源極熔絲鏈係使一給定源極接點耦合至該源極互連。

概念2. 如概念1之場效電晶體元件，其中各源極熔絲鏈包含一空腔。

概念3. 如概念1之場效電晶體元件，其中一對應源極熔絲鏈在不良場效電晶體單元的高電流事件期間燒斷。

5 概念4. 如概念1之場效電晶體元件，其中一源極熔絲鏈在特定的場效電晶體單元出現源/汲極短路時停止一對應的場效電晶體單元。

概念5. 如概念1之場效電晶體元件，其中一源極熔絲鏈在特定的場效電晶體單元出現閘/源極短路時停止一對應的場效電晶體單元。

概念6. 如概念1之場效電晶體元件，其中：

該多個源極接點包含有相對高熔點的一金屬；以及
該多個源極熔絲鏈有相對低熔點的一金屬。

概念7. 如概念1之場效電晶體元件，其中該多個場效電晶體單元包含大約5百個至50億個場效電晶體單元。

概念8. 如概念1之場效電晶體元件，其中該等場效電晶體單元包含數個平面金屬氧化物半導體場效電晶體單元。

概念9. 如概念1之場效電晶體元件，其中該等場效電晶體單元包含數個垂直金屬氧化物半導體場效電晶體單元。

20 概念10. 如概念1之場效電晶體元件，其中該等源極接點、源極熔絲鏈及源極互連均對齊與該場效電晶體元件之製造表面垂直的一軸線。

概念11. 一種積體電路，其係包含：

一汲極區；

配置於該汲極區之上方的一閘極區，其中該閘極區的第一部份係經形成為第一多個實質平行長形結構，以及該閘極區的第二部份係經形成為與該第一多個實質平行長形結構垂直的第二多個實質平行長形結構；

- 5 多個源極區，其係經配置成在第一及第二多個實質平行長形結構之間緊鄰該閘極區的外圍；

多個本體區，其係經配置成是在該汲極區與該多個源極區之間以及在第一及第二多個實質平行長形結構之間；

- 10 一閘極絕緣體區，其係經配置成是在該閘極區與該多個源極區之間、在該閘極區與該多個本體區之間、以及在該閘極區與該汲極區之間；

多個源極接點，其中各個源極接點耦合至一對應源極區及本體區；

一源極互連；

- 15 一介電層，其係經配置成是在該多個單元與該源極互連之間；以及

多個源極熔絲鏈，其中各個源極熔絲鏈係使一給定源極接點耦合至該源極互連。

- 20 概念12. 如概念11之積體電路，其中各源極熔絲鏈包含設計成可集中熱的一空腔。

概念13. 如概念11之積體電路，其中各個源極熔絲鏈包含有一空腔的金屬，該空腔係由該對應源極接點實質延伸至該源極互連。

概念14. 如概念11之積體電路，其中各個源極熔絲鏈包含有

一空腔的金屬，該空腔實質在該源極熔絲鏈的中部。

概念15. 如概念11之積體電路，其中各個源極熔絲鏈包含金屬，且係經設計成電流位準的失效模式可使它燒斷。

概念16. 一種用於製造場效電晶體元件的方法，其係包含：

5 形成多個場效電晶體單元，其中各單元包含一源極區；

形成多個源極接點，其中各個給定源極接點耦合至一對應源極區；

形成一源極互連；以及

10 形成多個源極熔絲鏈，其中各個源極熔絲鏈耦合一對應源極接點與該源極互連；以及

概念17. 如概念16之方法，其中該多個源極熔絲鏈包含一或更多種由下列金屬組成之群選出的金屬：銅、鋁、鈹、銦、以及錫。

15 概念18. 如概念17之方法，其中該多個源極接點 包含一或更多種由下列金屬組成之群選出的金屬：鉭、鈦、鎢、氮化鈦、氮化鉭、以及矽化鈦。

概念19. 如概念17之方法，其中各源極熔絲鏈包含一空腔。

20 概念20. 如概念16之方法，其中該多個源極接點包含一或更多種由下列金屬組成之群選出的金屬：鉭、鈦、鎢、氮化鈦、氮化鉭、以及矽化鈦。

【圖式簡單說明】

第1圖的橫截面圖係根據本發明之一具體實施例圖示一示範溝槽金屬氧化物半導體場效電晶體(TMOSFET)元件。

第2圖的橫截面圖係根據本發明之一具體實施例圖示

源極熔絲鏈燒斷的示範TMOSFET元件。

第3圖的橫截面圖係根據本發明之一具體實施例圖示一示範源極熔絲鏈。

第4圖係根據本發明之一具體實施例圖示示範晶片電阻的曲線圖。

第5圖的曲線圖係根據本發明之一具體實施例圖示熔化源極熔絲鏈所需要的示範時間。

第6A圖至第6D圖的流程圖係根據本發明之一具體實施例圖示用於製造封閉單元(closed cell)溝槽金屬氧化物半導體場效電晶體(TMOSFET)的方法。

第7A圖至第7M圖的方塊圖係根據本發明之一具體實施例圖示用於製造封閉單元溝槽金屬氧化物半導體場效電晶體(TMOSFET)的方法。

第8圖的橫截面圖係根據本發明另一具體實施例圖示一示範平面金屬氧化物半導體場效電晶體(MOSFET)元件。

第9圖的橫截面圖係根據本發明另一具體實施例圖示一示範垂直面場效電晶體(JFET)元件。

【主要元件符號說明】

100…示範垂直溝槽金屬氧化物半導體場效電晶體(TMOSFET)元件	125…閘極絕緣體區
110…源極/本體接點	130…本體區
115…源極區	135, 140…汲極區
120…閘極區	145…汲極互連
	150…囊封層
	155…源極熔絲鏈

160…源極互連	744…第二介電層
200…封閉單元TMOSFET	746…第六光阻層
255…給定熔絲鏈	748…溝槽
300…源極熔絲鏈	752…源極熔絲鏈金屬
310…源極熔絲鏈	754…源極互連金屬層
320…源極/本體接點	755…空腔
602-658…步驟	800…平面MOSFET元件
702…基板	805…源極/本體接點
704…半導體層	810…源極區
706…閘極溝槽遮罩	815…閘極區
708…溝槽	820…閘極絕緣體區
712…電介質	825…本體區
714…多晶矽層	830, 835…汲極區
720…本體	840…汲極互連
724…源極區遮罩	845…囊封層
725…摻雜	850…源極熔絲鏈
726…源極區	855…源極互連
730…介電層	900…垂直JFET元件
732…源極/本體接點遮罩	905,910,915…JFET單元
734…閘極絕緣體層	920…對應源極接點
738…源極/本體金屬層	925…熔絲鏈
742…源極/本體接點	

七、申請專利範圍：

1. 一種元件，其包含：

在一場效電晶體內之多個源極接點；

在該場效電晶體內之多個場效電晶體單元，其中各

5 單元包含一對應源極接點；

在該場效電晶體內之一源極互連；以及

在該場效電晶體內之多個源極熔絲鏈，其中各個源極接點係藉由該多個源極熔絲鏈之給定一者來耦合至該源極互連。

10 2. 如申請專利範圍第1項的元件，其中各源極熔絲鏈包括一空腔。

3. 如申請專利範圍第1項的元件，其中一對應源極熔絲鏈在一不良場效電晶體單元的高電流事件期間燒斷。

15 4. 如申請專利範圍第1項的元件，其中一源極熔絲鏈在特定的場效電晶體單元出現源/汲極短路時停止一對應的場效電晶體單元。

5. 如申請專利範圍第1項的元件，其中一源極熔絲鏈在特定的場效電晶體單元出現閘/源極短路時停止一對應的場效電晶體單元。

20 6. 如申請專利範圍第1項的元件，其中：

該等多個源極接點包含具有一相對高熔點的一金屬；以及

該等多個源極熔絲鏈具有一相對低熔點的一金屬。

7. 如申請專利範圍第1項的元件，其中該等多個場效電晶體

單元包含大約5百個至50億個場效電晶體單元。

8. 如申請專利範圍第1項的元件，其中該等場效電晶體單元包含數個平面金屬氧化物半導體場效電晶體單元。

5 9. 如申請專利範圍第1項的元件，其中該等場效電晶體單元包含數個垂直金屬氧化物半導體場效電晶體單元。

10. 如申請專利範圍第1項的元件，其中該等源極接點、源極熔絲鏈及源極互連均對齊在與該場效電晶體元件之一製造表面垂直的一軸線。

11. 一種積體電路，其包含：

10 一汲極區；

一配置於該汲極區上方的閘極區，其中該閘極區之一第一部份係形成為一第一多個實質平行長形結構，以及該閘極區之一第二部份係形成為與該等第一多個實質平行長形結構垂直之一第二多個實質平行長形結構；

15 多個源極區，其係配置在緊鄰於該等第一及第二多個實質平行長形結構間之該閘極區的一外圍；

多個本體區，其係配置在該汲極區與該等多個源極區之間，以及在該等第一及第二多個實質平行長形結構之間；

20 一閘極絕緣體區，其係配置在該閘極區與該等多個源極區之間、在該閘極區與該等多個本體區之間以及在該閘極區與該汲極區之間；

多個源極接點，其中各個源極接點係耦合至一對應之源極區及本體區；

一源極互連；

一介電層，其係配置在該等多個單元與該源極互連之間；以及

多個源極熔絲鏈，其中各個源極接點係藉由該多個源極熔絲鏈之給定一者來耦合至該源極互連。

12. 如申請專利範圍第11項的積體電路，其中各個源極熔絲鏈包括一適於集中熱的空腔。

13. 如申請專利範圍第11項的積體電路，其中各個源極熔絲鏈包含具有一空腔的金屬，該空腔係由該對應源極接點實質延伸至該源極互連。

14. 如申請專利範圍第11項的積體電路，其中各個源極熔絲鏈包含具有一空腔的金屬，該空腔實質在該源極熔絲鏈的中部。

15. 如申請專利範圍第11項的積體電路，其中各個源極熔絲鏈包含金屬，且係適於藉由電流位準的失效模式而燒斷。

16. 一種用於製造元件的方法，其包含下列步驟：

形成在一場效電晶體內之多個場效電晶體單元，其中各單元包含一源極區；

20 形成在該場效電晶體內之多個源極接點，其中各個給定源極接點耦合至一對應源極區；

形成在該場效電晶體內之一源極互連；以及

形成在該場效電晶體內之多個源極熔絲鏈，其中各個源極接點係藉由該多個源極熔絲鏈之給定一者來耦

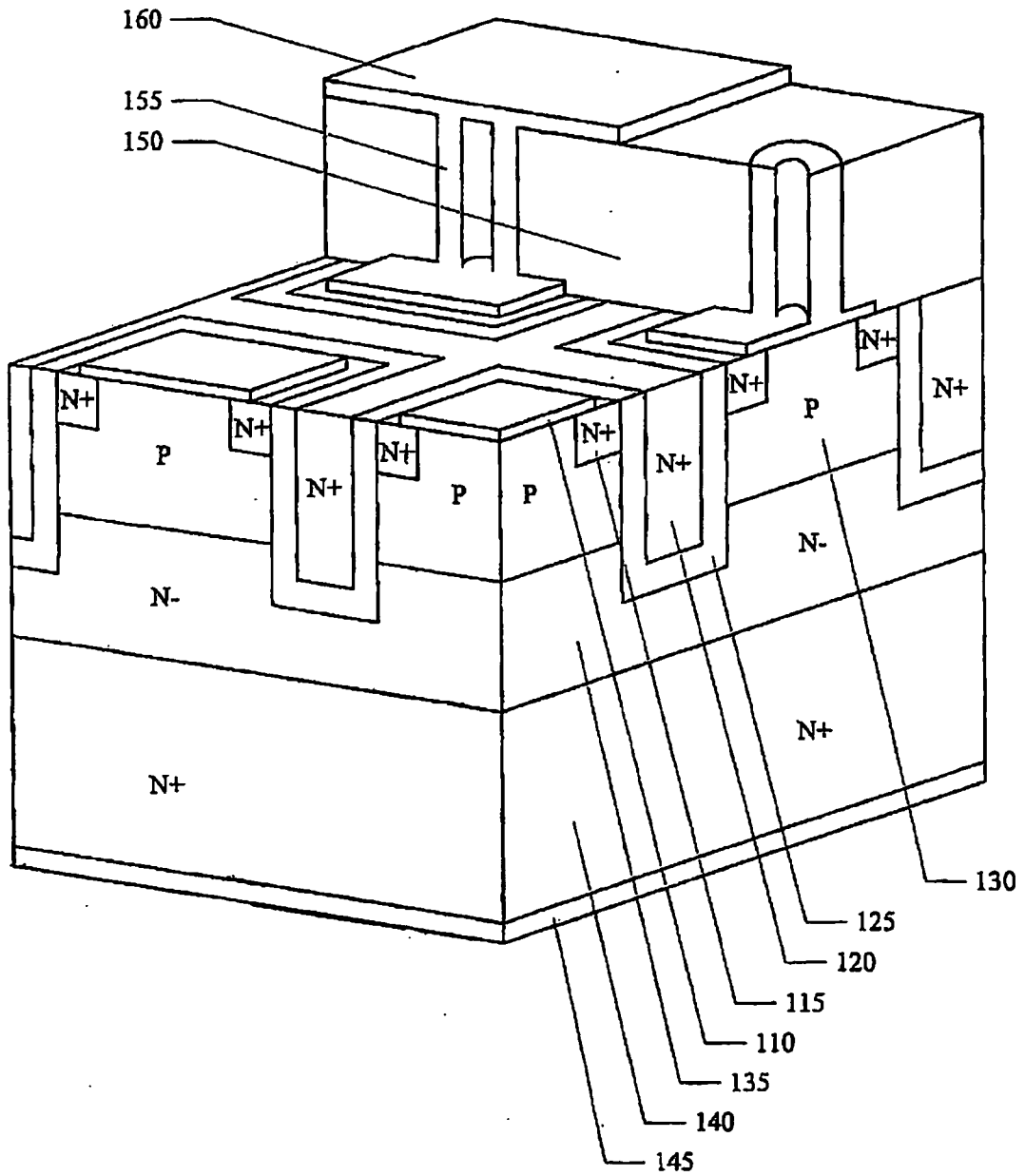
合至該源極互連。

17. 如申請專利範圍第16項的方法，其中該等多個源極熔絲鏈包含從由銅、鋁、鈹、銦、以及錫所組成之一群組中選出之一或多種金屬。
- 5 18. 如申請專利範圍第17項的方法，其中該等多個源極接點包含從由鉭、鈦、鎢、氮化鈦、氮化鉭、以及矽化鈦所組成之一群組中選出之一或多種金屬。
19. 如申請專利範圍第17項的方法，其中各源極熔絲鏈包括一空腔。
- 10 20. 如申請專利範圍第16項的方法，其中該等多個源極接點包含從由鉭、鈦、鎢、氮化鈦、氮化鉭、以及矽化鈦所組成之一群組中選出之一或多種金屬。
21. 如申請專利範圍第1項的元件，進一步包含用於該場效電晶體內之該等多個場效電晶體單元之一共用汲極接點。
- 15

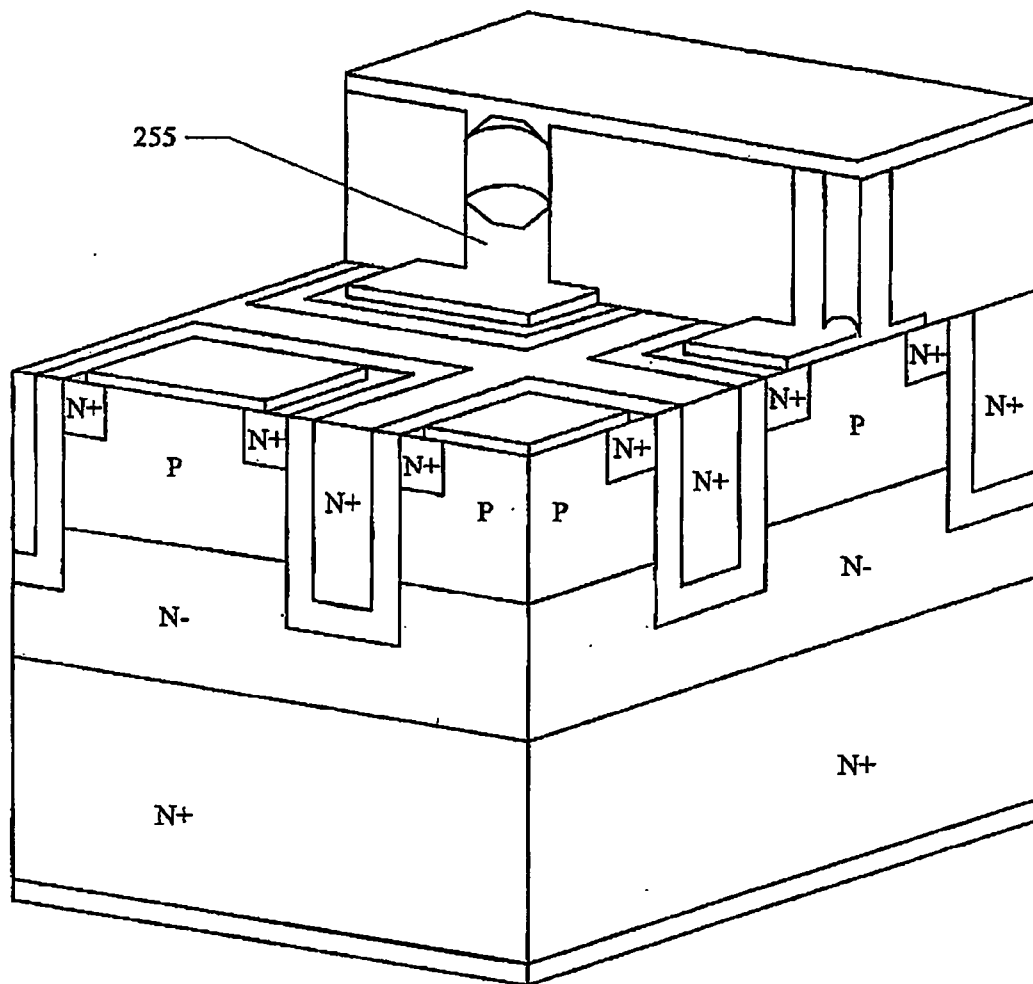
98104667

1/16

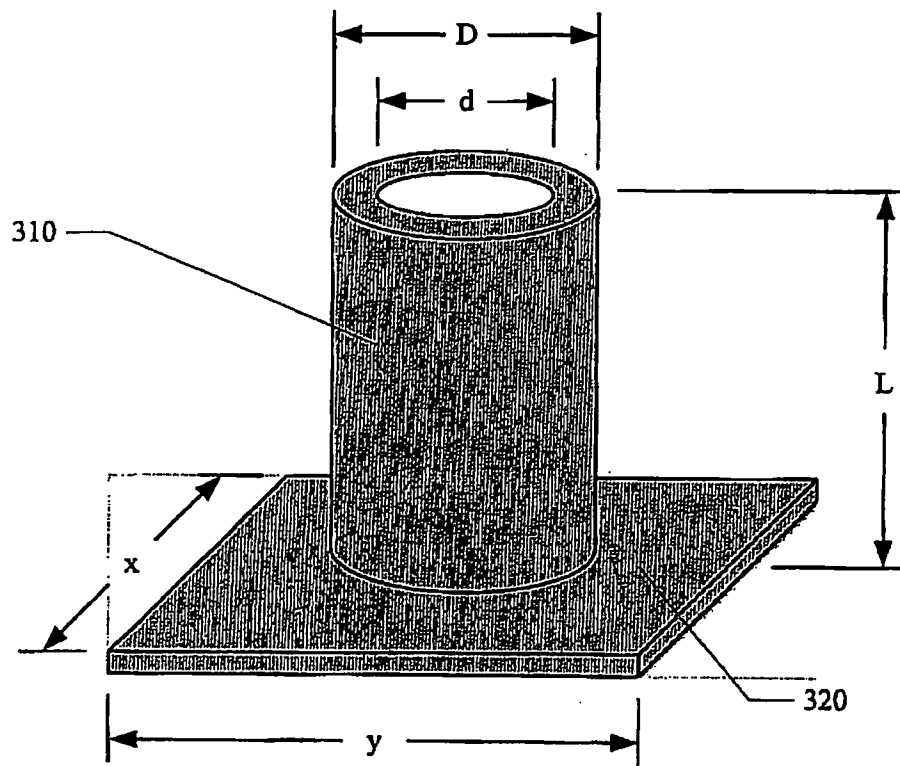
98. 6. 23 本



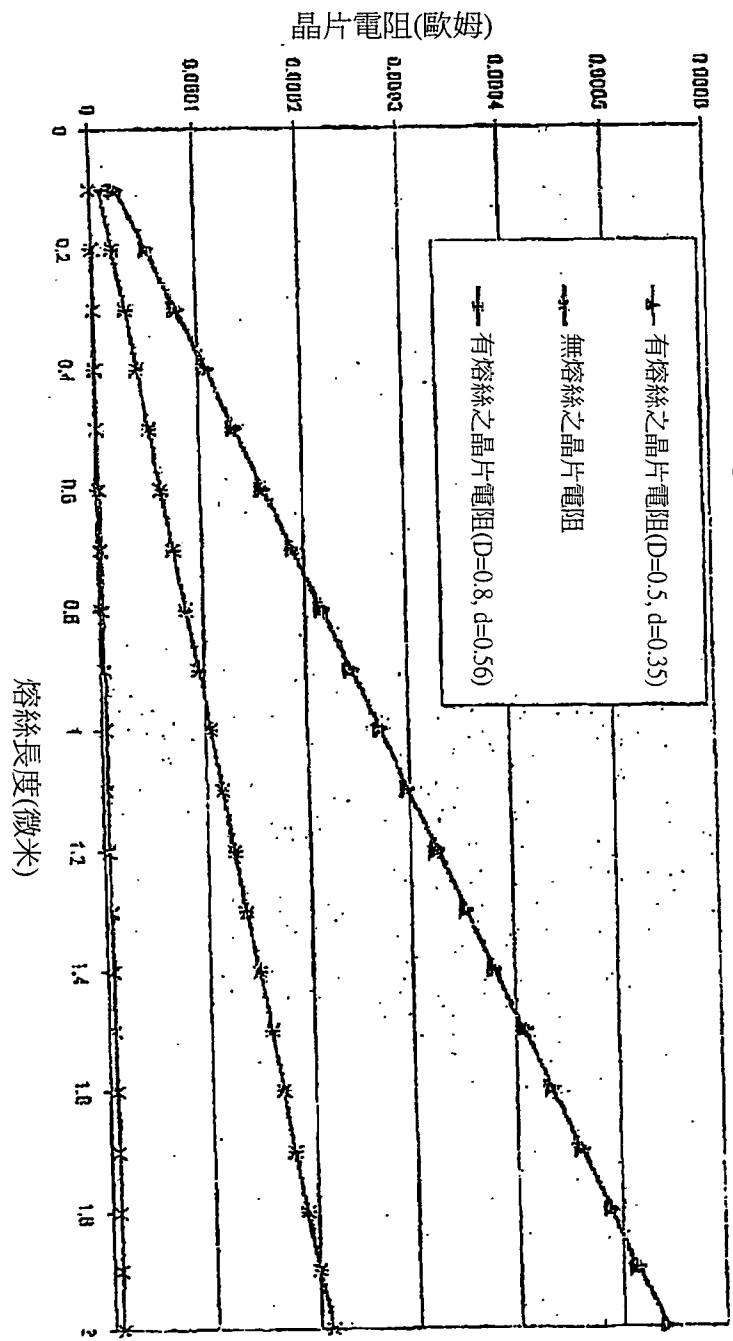
第 1 圖



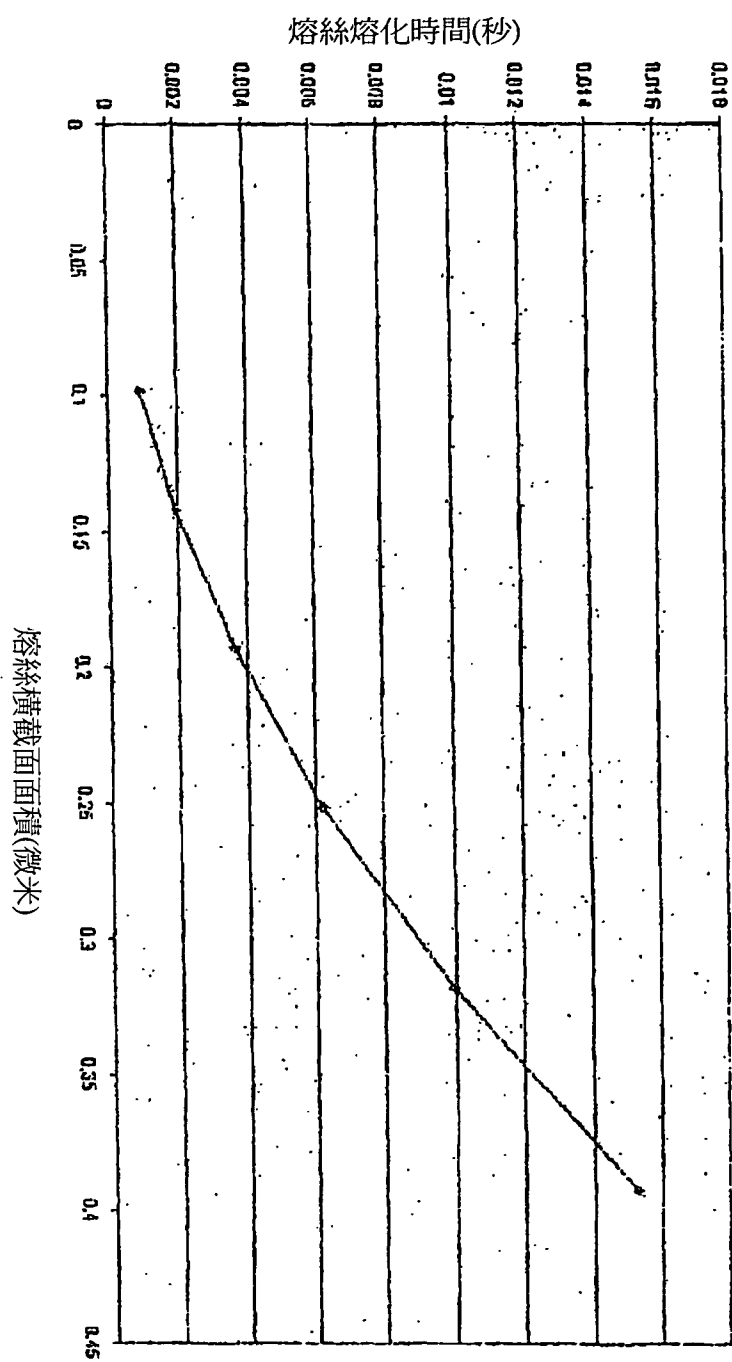
第 2 圖



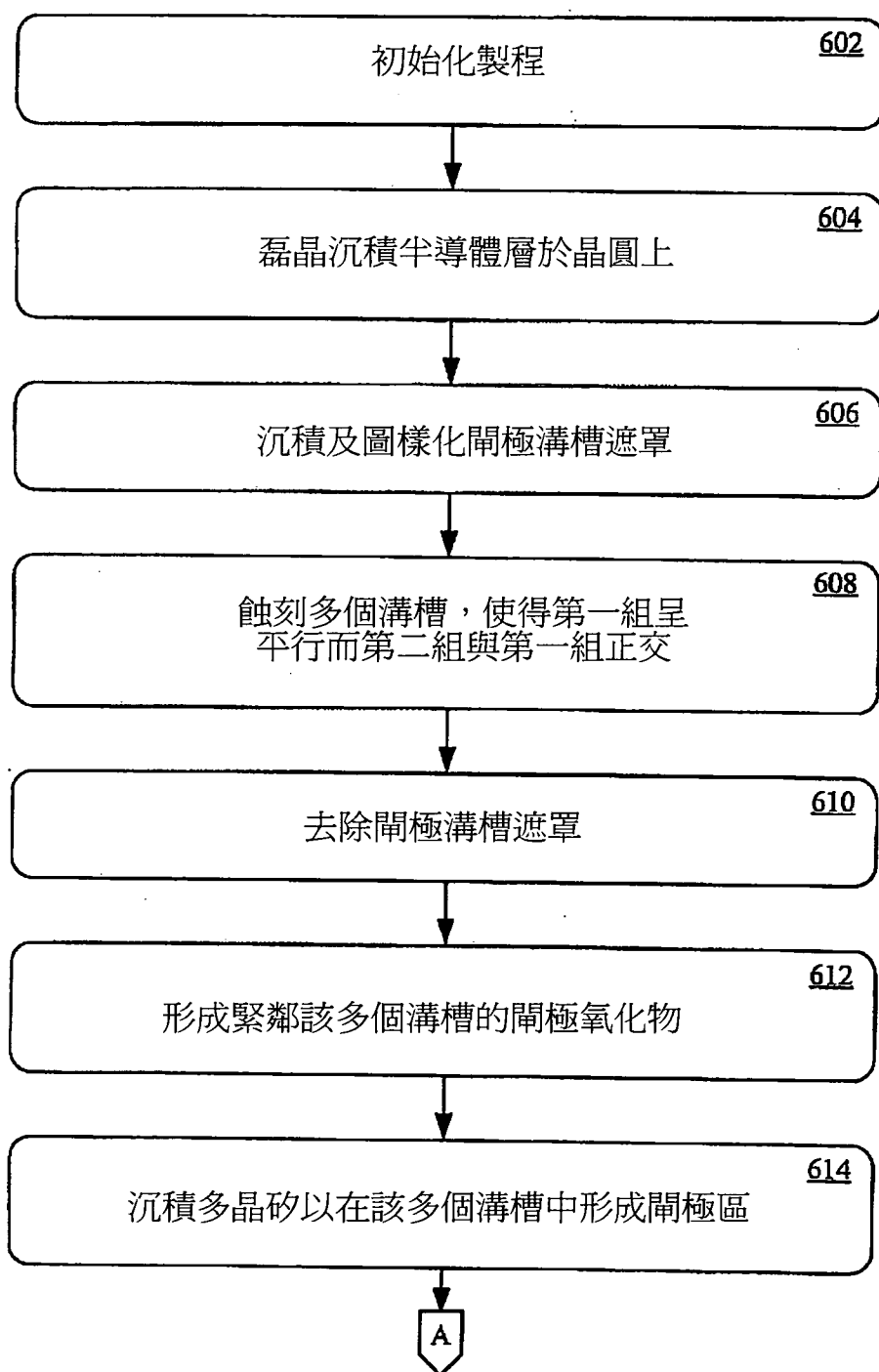
第 3 圖



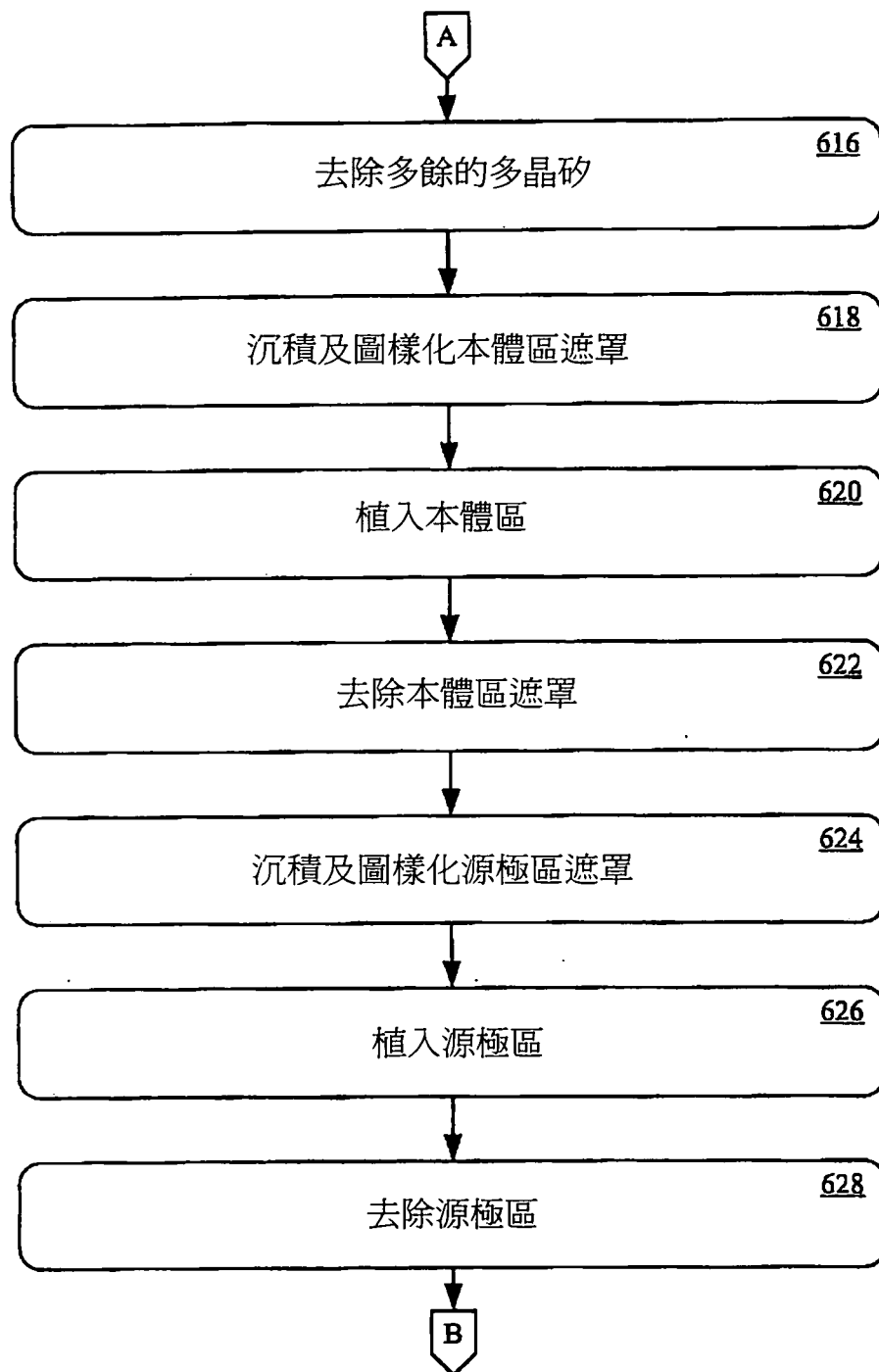
第 4 圖



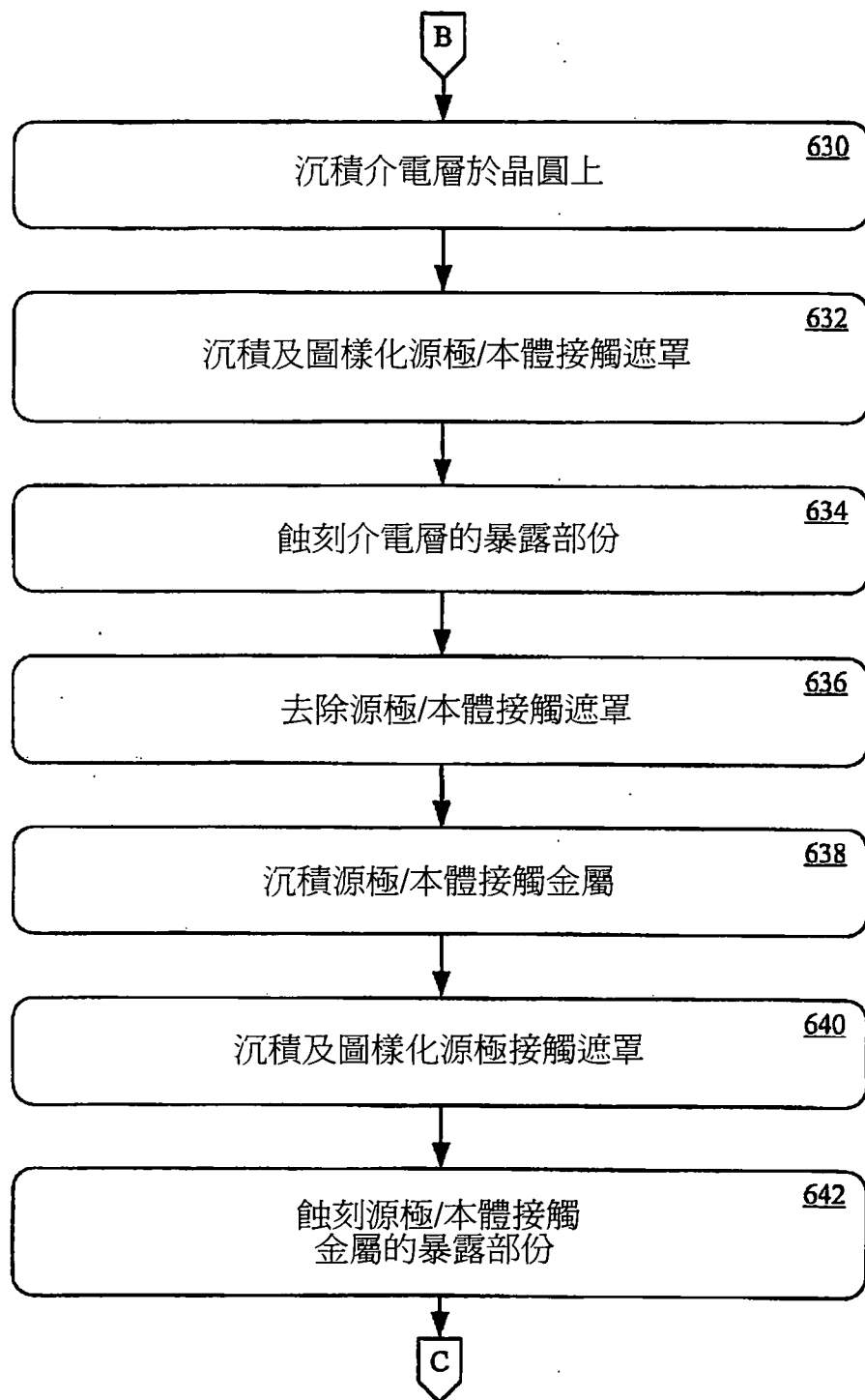
第 5 圖



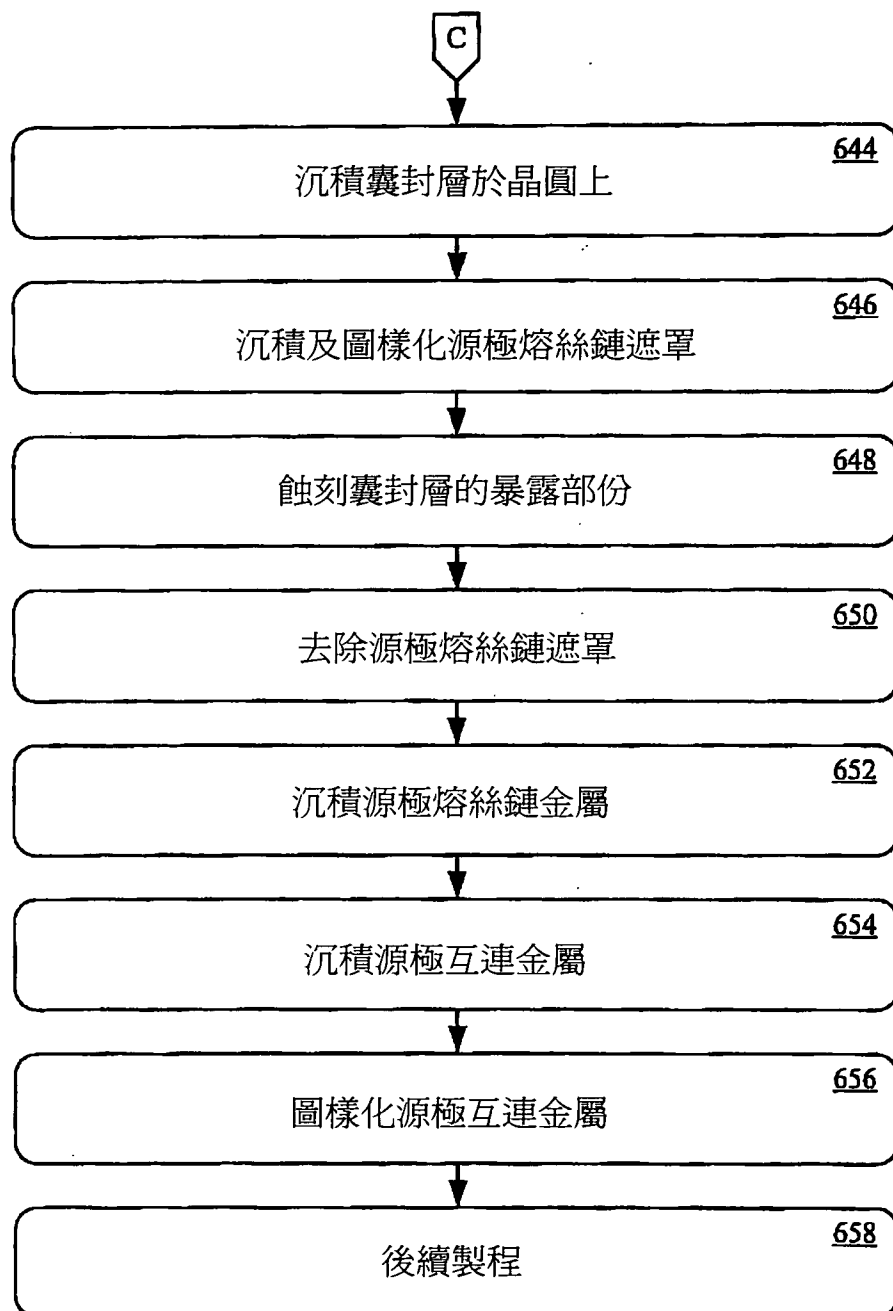
第 6A 圖



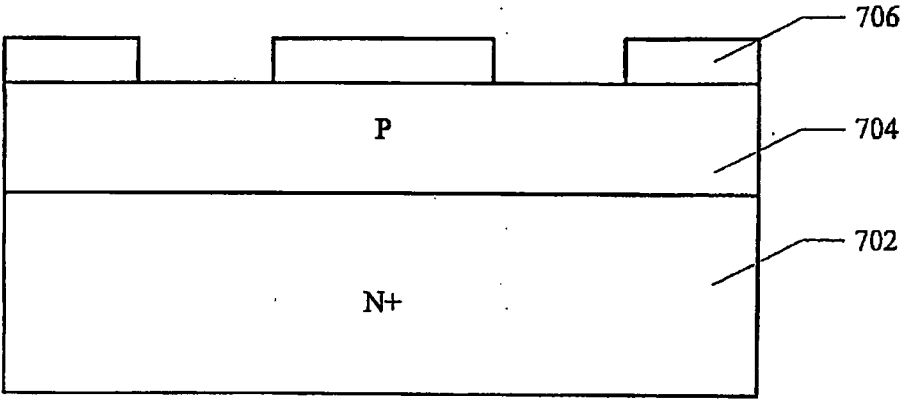
第 6B 圖



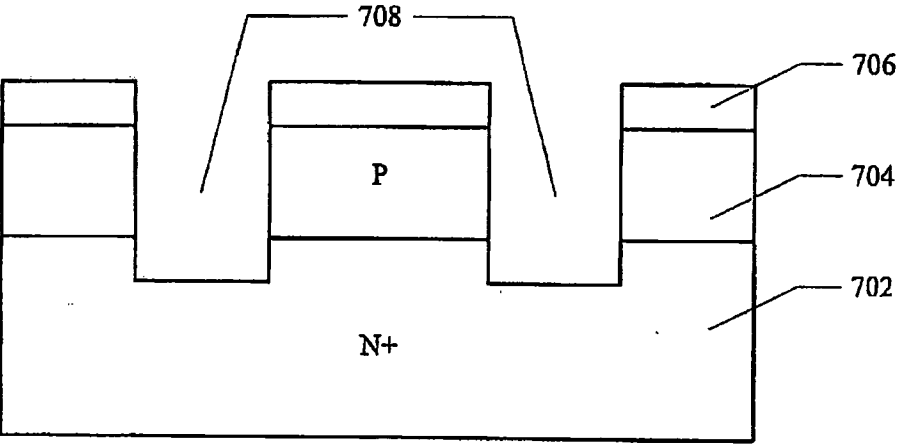
第 6C 圖



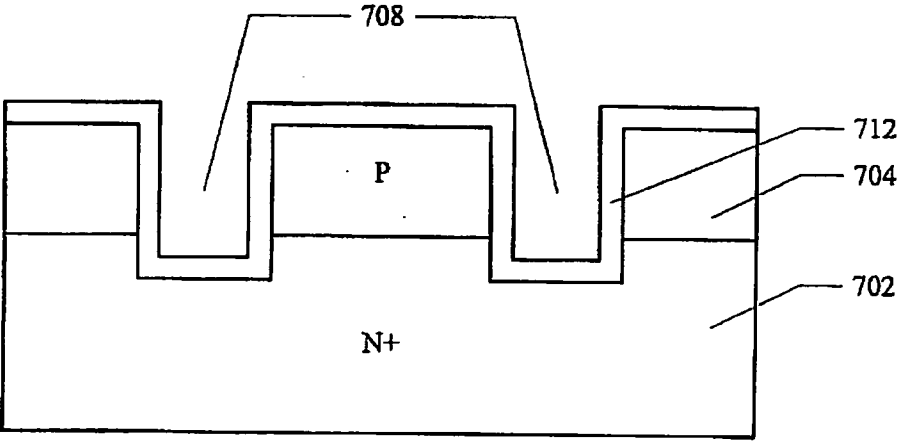
第 6D 圖



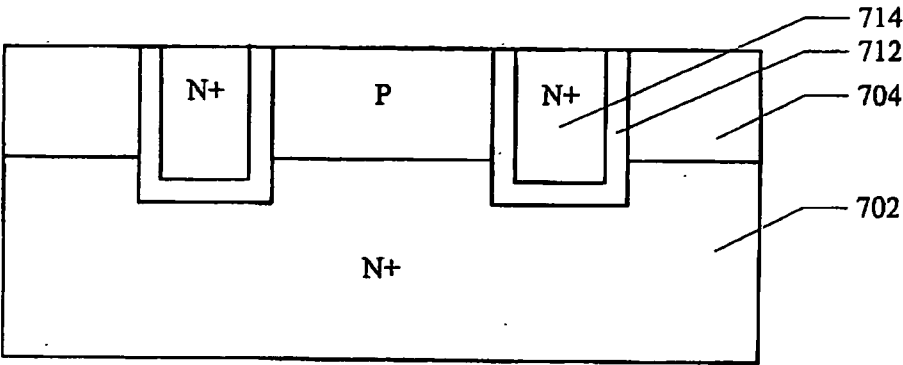
第 7A 圖



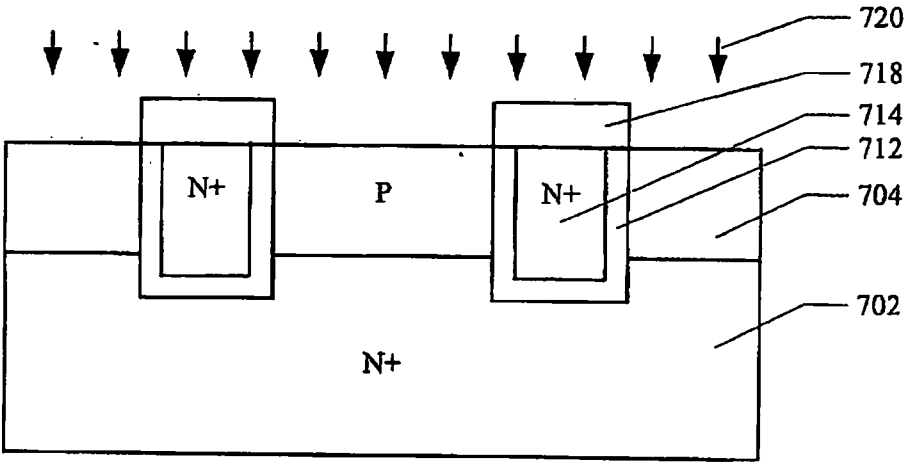
第 7B 圖



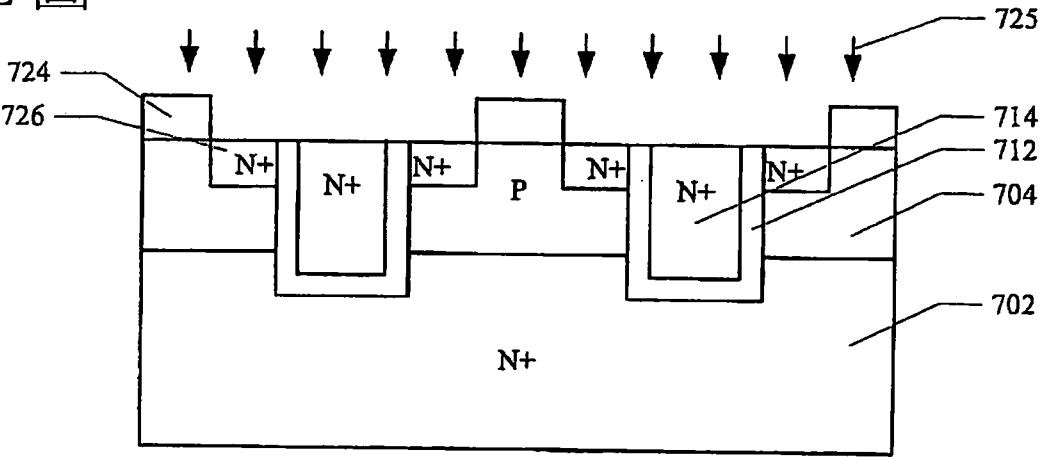
第 7C 圖



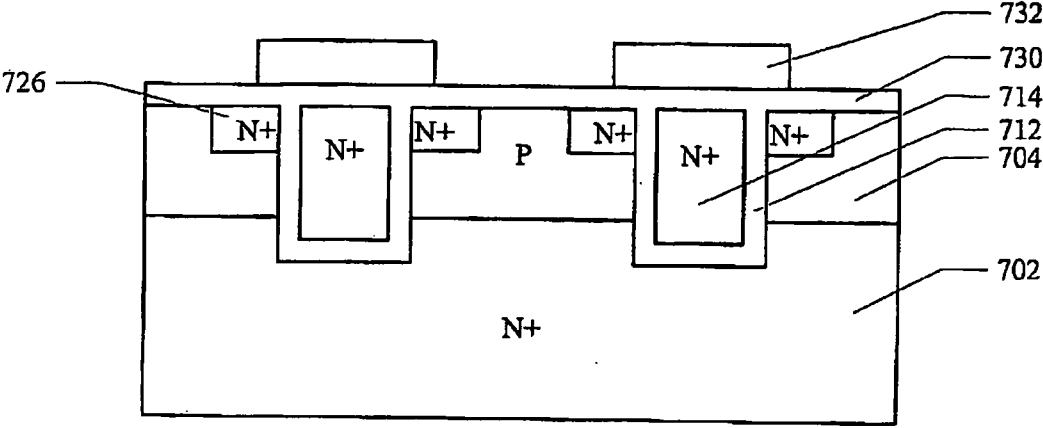
第 7D 圖



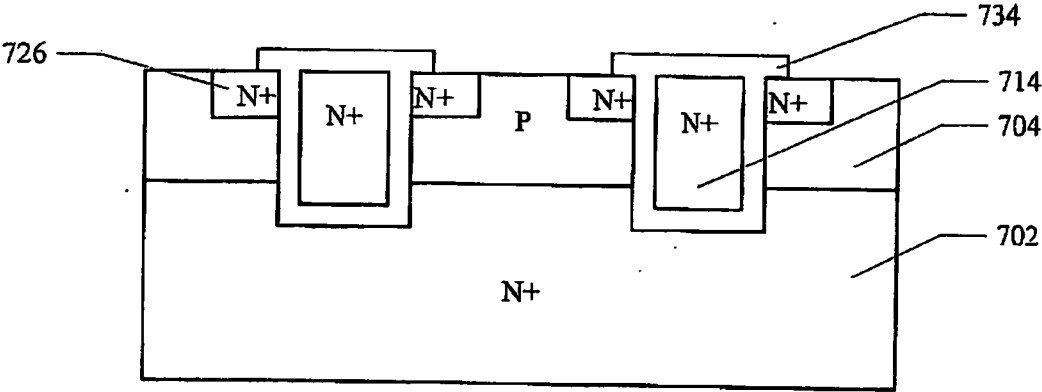
第 7E 圖



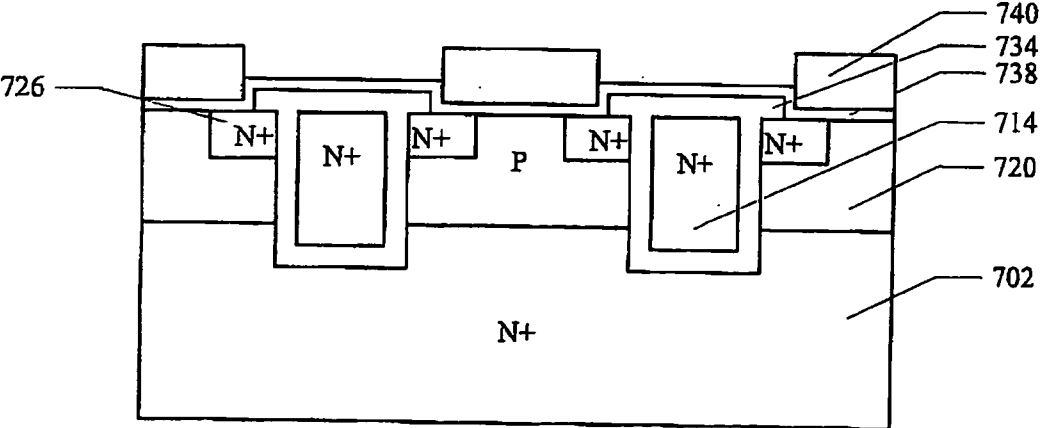
第 7F 圖



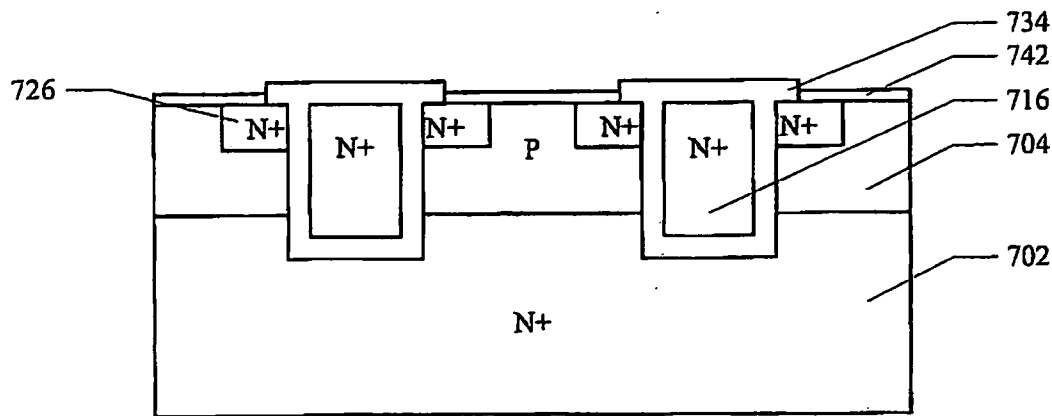
第 7G 圖



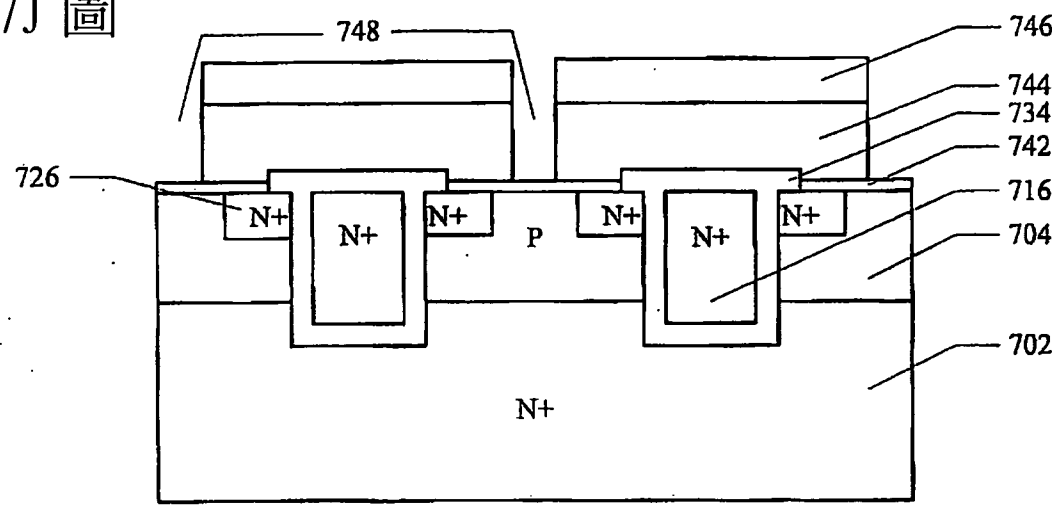
第 7H 圖



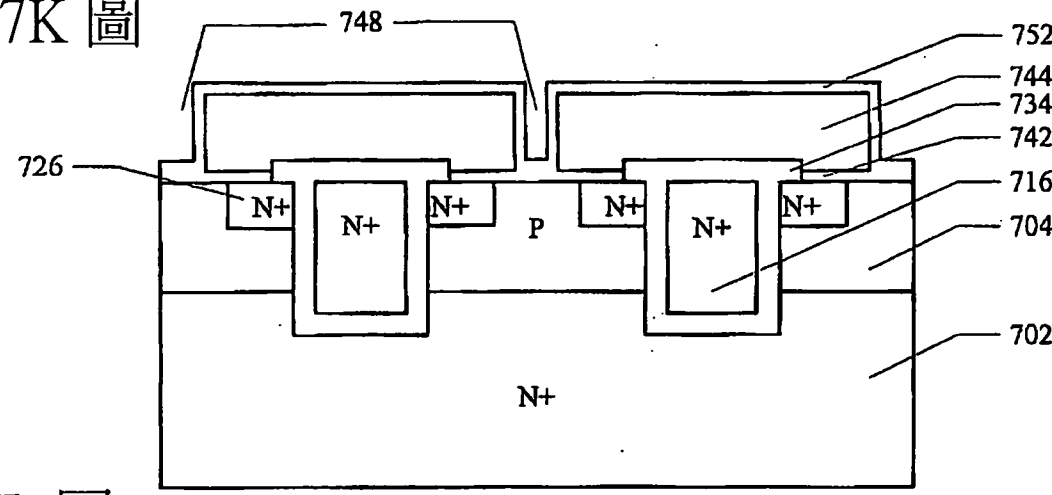
第 7I 圖



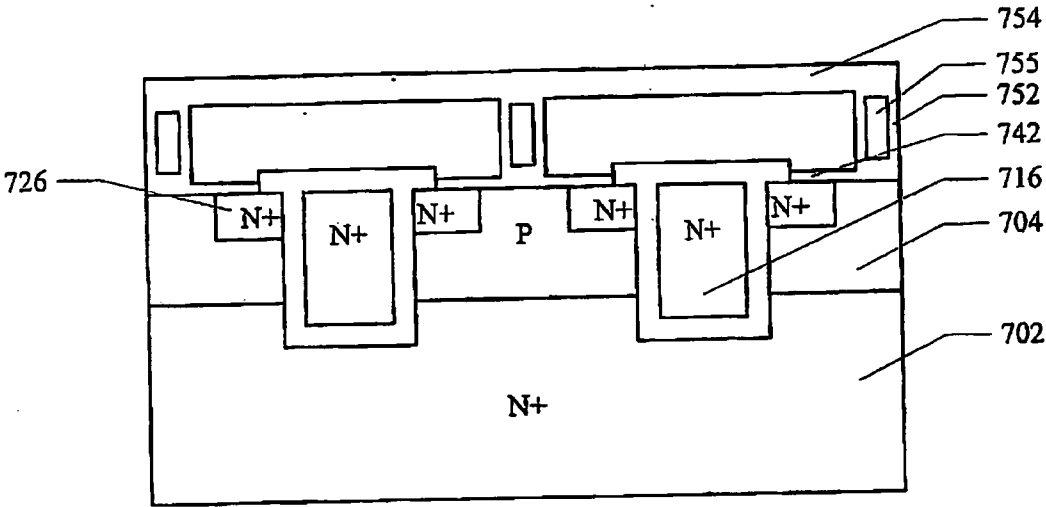
第 7J 圖



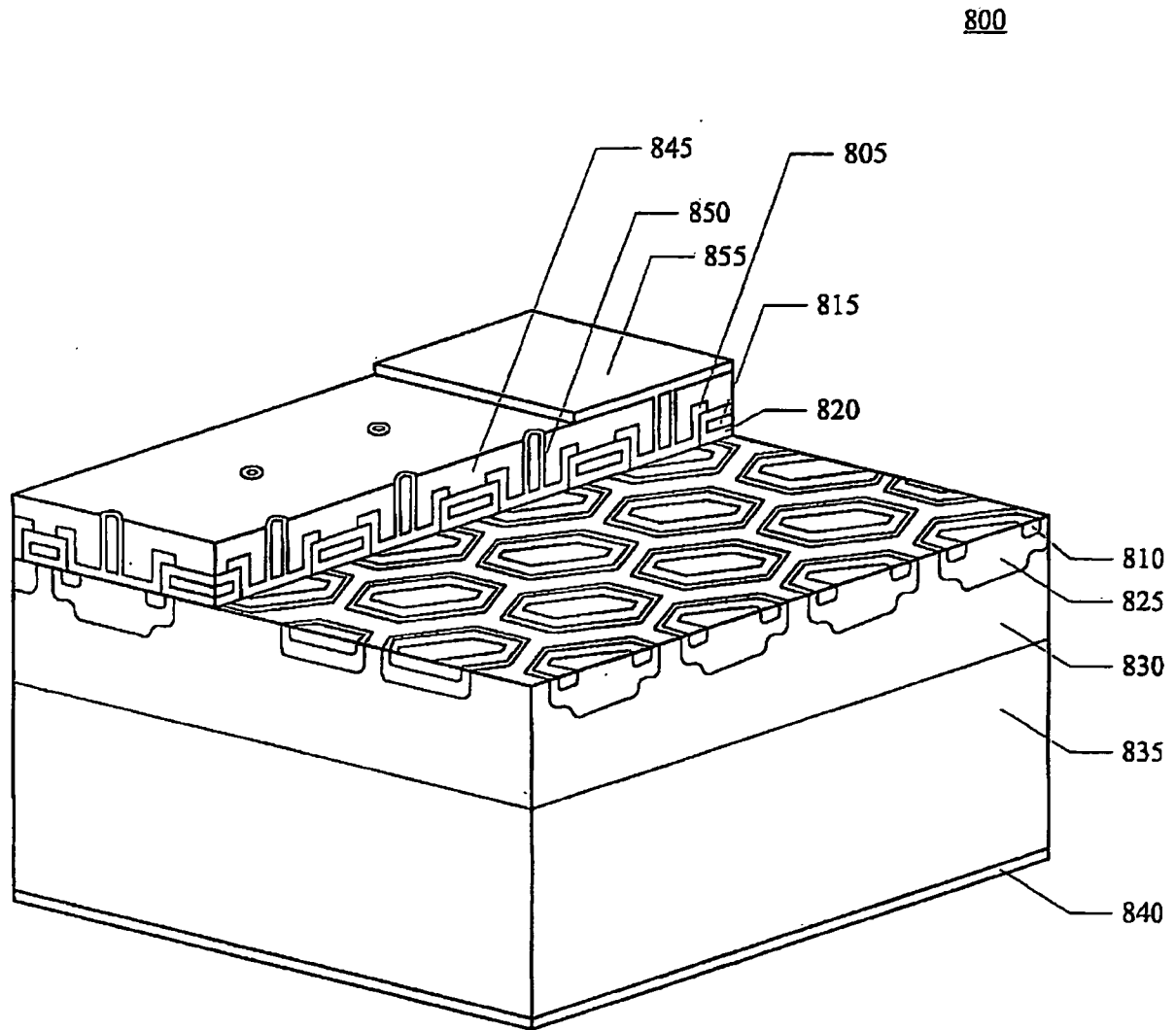
第 7K 圖



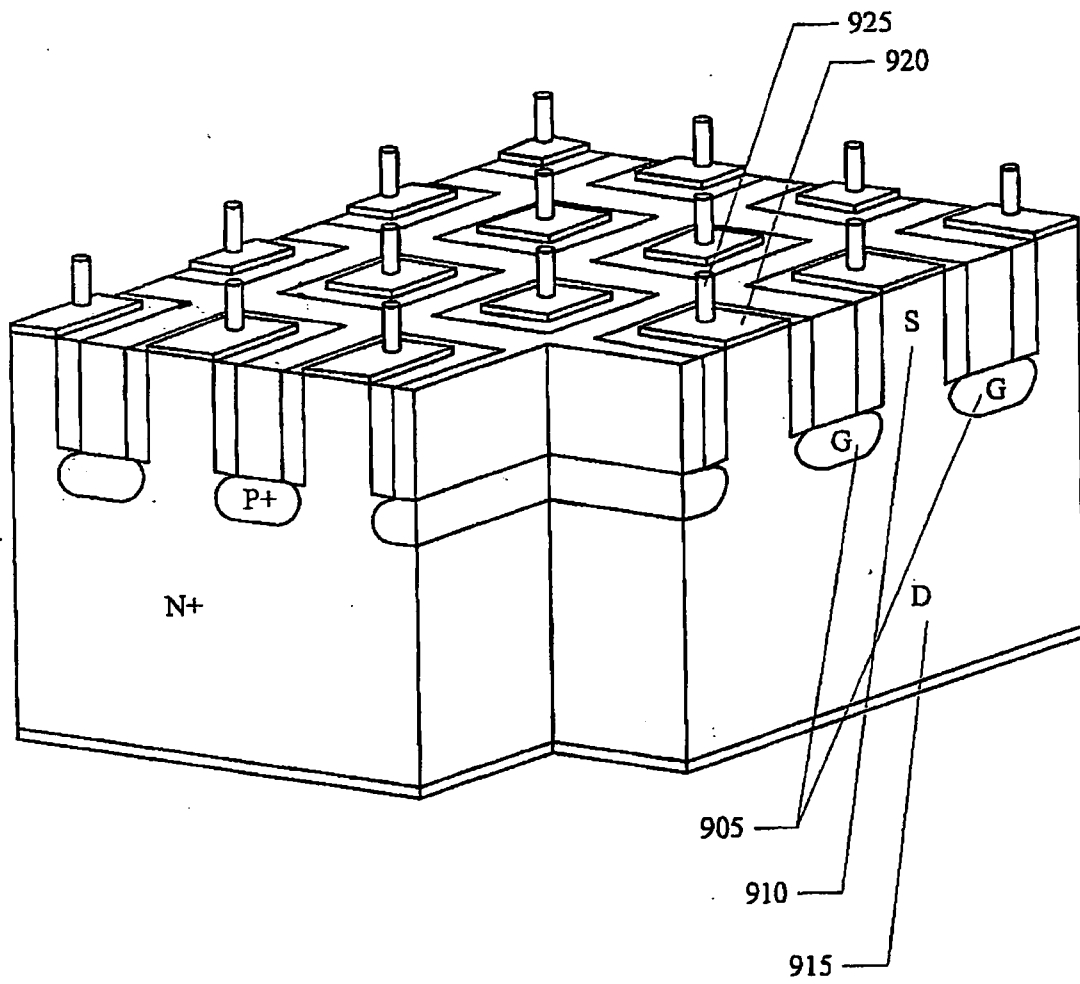
第 7L 圖



第 7M 圖



第 8 圖



第 9 圖