

新型專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95218666

※申請日期：95.10.23

※IPC 分類：G06F 7/02 (2006.01)

一、新型名稱：(中文/英文)

BCH 編碼隨機錯誤偵測及更正之裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

創惟科技股份有限公司

代表人：(中文/英文) 王國肇

住居所或營業所地址：(中文/英文)

台北縣新店市北新路三段 205 號 12 樓

國籍：(中文/英文) 中華民國

三、創作人：(共 1 人)

姓名：(中文/英文)

王嗣鈞

國籍：(中文/英文) 中華民國

四、聲明事項：

主張專利法第九十四條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第一百零八條準用第二十七條第一項國際優先權：

無主張專利法第一百零八條準用第二十七條第一項國際優先權：

主張專利法第一百零八條準用第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

八、新型說明：

【新型所屬之技術領域】

本創作係有關於一種 BCH 編碼隨機錯誤偵測及更正之裝置，尤指一種應用於快閃記憶體資料讀寫裝置，及具有以 BCH 編碼與解碼處理之隨機錯誤偵測及更正之裝置。

【先前技術】

按，快閃記憶體廣泛使用於電腦主機或消費性電子產品中，例如：習知隨身碟、MP3 播放器中之快閃記憶體，即為最常見之快閃記憶體應用場合，然而，快閃記憶體於資料讀寫之過程中，必需藉由資料讀寫裝置或電路予以進行資料讀寫之動作，在快閃記憶體資料讀寫之過程中，必需對讀寫資料內容進行錯誤碼偵測與更正動作，以確保快閃記憶體資料讀寫之正確性。

習知之快閃記憶體資料讀寫之錯誤碼偵錯及更正方式，係採用 Reed-Solomon Code 是以 byte 為運算基礎，其編碼器 (encoder) 與解碼器 (decoder) 較為複雜，如在編碼器之結構與運作方面，包括一個偵錯碼位元 $b(x)$ 、產生器多項式 $g(x)$ 、編碼向量 $v(x)$ 及訊息 $u(x)$ ，各多項式間之關係為：

$$g(x) = 1 + g_1x + g_2x^2 + g_3x^3 + \dots + g_{n-k-1}x^{n-k-1} + x^{n-k}$$

$$v(x) = u(x) * g(x)$$

$$v(x) = b(x) + x^{n-k}u(x)$$

$$= b_0 + b_1x + \dots + b_{n-k-1}x^{n-k-1} + u_0x^{n-k} + u_1x^{n-k-1} + \dots + u_{k-1}x^{n-1}$$

$$= [b_0, b_1, \dots, b_{n-k-1}, u_0, u_1, \dots, u_{k-1}]$$

因此，可以根據上述之各多項式關係予以揭示如第一圖所示習知偵錯碼編碼電路結構，其中，顯示該偵錯運算單元 $b_0 \sim b_{n-k-1}$ 間以加法運算，該產生器多項式運算單元 $g_0 \sim g_{n-k-1}$ 間以乘法運算，該習知之偵錯碼編碼電路需 4096 個週期時間方能移位(SHIFT)傳遞

$$b(x) = b_0 + b_1x + b_2x^2 + b_3x^3 + \dots b_{n-k-1}x^{n-k-1}$$

至最後一級偵錯運算單元 b_{n-k-1} ，運算時間太長，不利於偵錯碼之運算與更正。

另外，在習知之偵測碼解碼電路方面，由於採用 Reed-Solomon Code 方式來進行特徵值計算、錯誤位址多項式及錯誤位址計算，除了需花費較多之運算時間外，習知之偵測碼解碼電路需要至少 14 個 13 位元的乘法器與 12 個 13 位元的加法器方能達成目的，亦即該習知之本。偵測碼需耗費較多硬體電路來組成，而增加元件及線路設計之成

在相關的先前專利技術文獻方面，如中華民國專利公報第 I 336758 號「交錯式週期碼之編碼方法與裝置」發明專利案，即為典型習知之 Reed-Solomon Code 方式進行偵錯碼之編碼及解碼電路，除了運算過程繁複及運算時間較長外，該硬體電路複雜成本較高。

【新型內容】

緣此，本創作之主要目的即是在於提供一種 BCH 編碼隨機錯誤偵測及更正之裝置，特別是以 BCH 編碼之電路進行偵錯碼之編碼，以大幅縮短偵錯碼之編碼運算時間及運算電路級數。

本創作之再一目的，即是在提供一種 BCH 編碼隨機錯誤偵測及更正之裝置，尤其是以 BCH 解碼電路進行偵錯碼之解碼，以大幅精簡電路之硬體元件與線路設計成本。

為達上述之目的，本創作之 BCH 編碼隨機錯誤偵測及更正之

裝置，包括一 BCH 偵錯碼編碼單元、通道器、BCH 偵錯碼解碼單元及一靜態隨機存取記憶體，該 BCH 偵錯碼編碼單元藉由 BCH 編碼方式進行快閃記憶體資料讀寫時之偵錯碼編碼，該通道器連結 BCH 偵錯碼編碼單元，以運算偵錯碼編碼與訊息多項式形成一接收資料，該 BCH 偵錯碼解碼單元連結該通道器，以輸入該接收資料，並經由 BCH 解碼方式計算出特徵值及錯誤位址，該靜態隨機存取記憶體連結該 BCH 偵錯碼解碼單元，以自該靜態存取記憶體內讀出錯誤位址資料更正後再寫入靜態隨機存取記憶體，以達到本創作具 BCH 編碼及解碼之隨機錯誤偵測及更正之功效。

【實施方式】

首先請參閱第二圖所示，為本創作之 BCH 編碼隨機錯誤偵測及更正之裝置 100，係包含一 BCH 偵錯碼編碼單元 10，係藉由 BCH 編碼方式進行偵錯碼之編碼，其中，本創作係列舉 BCH(8191, 8139)編碼方式進行偵錯碼之編碼，其他之 BCH 編碼方式，當不脫本創作之範疇。

第二圖中之各訊號標示包括一偵錯碼位元 $b(x)$ 、BCH(8191, 9139) 編碼的產生器多項式 $g(x)$ 、接收資料 $r(x)$ 及訊息 $u(x)$ 。

本創作之 BCH 偵錯碼編碼單元 10 編碼原理如下，其中，BCH(8191, 8139)編碼的產生器多項式 $g(x)$ 表示如下：

$$g(x) = \{1101, 0101, 0110, 0001, 1101, 0101, 1100, 0010, 0000, 1100, 0100, 1010, 0010, 1\}$$

$$\text{此處 } g(0)=1, \dots, g(51)=0, g(52)=1 \dots \dots \dots (4-1)$$

式

而原先習知偵錯碼編碼電路的 4096 位元的資料必須經過 4096 個時間週期才能移位到最後一級電路，所以此編碼的時間須 4096 個時間週期，此運算時間太長，故需針對偵錯碼位元 $b(x)$ 進行化簡，本創作之 BCH 偵錯碼編碼單元 10 將 8 個時間週期之後的偵錯碼位元 $b(x)$ 用下式去簡化成 1 個週期：

$$b_x(i) = b_x(i-8) + g(i-7)k_0 + g(i-6)k_1 + g(i-5)k_2 + g(i-4)k_3 + \dots + g(i-3)k_4 + g(i-2)k_5 + g(i-1)k_6 + g(i)k_7 (i=1 \text{ to } 51) \dots \dots \dots (4-2) \text{ 式}$$

此處各“+”表示 modulo-2 加法，可用若干個互斥或(XOR)閘加以實施之，並可以根據上述(4-1)式與(4-2)式把一常數多項式 $k(x)$ 簡化如下：

$$\begin{aligned} \therefore k_0 &= b_x(51) + u(7), g(51) = 0 \\ \therefore k_1 &= b_x(50) + g(51)k_0 + u(6) = b_x(50) + u(6) \end{aligned} \dots\dots\dots (4-3) \text{式}$$

同理可得

$$\begin{aligned} k_2 &= b_x(49) + g(50)k_0 + u(5) \\ k_3 &= b_x(48) + g(50)k_1 + u(4) \\ k_4 &= b_x(47) + g(50)k_2 + u(3) \\ k_5 &= b_x(46) + g(50)k_3 + u(2) \\ k_6 &= b_x(45) + g(46)k_0 + g(50)k_4 + u(1) \\ k_7 &= b_x(44) + g(46)k_1 + g(50)k_5 + u(0) \end{aligned} \dots\dots (4-4) \text{式}$$

根據式(4-1)，(4-2)，(4-3)，(4-4)同理亦可得：

$$\begin{aligned} b_x(7) &= b_x(51) + u(7) + g(1)k_1 + g(3)k_3 + g(5)k_5 + g(7)k_7 \\ b_x(6) &= b_x(50) + u(6) + g(1)k_2 + g(3)k_4 + g(5)k_6 \\ b_x(5) &= b_x(49) + g(50)k_0 + u(5) + g(1)k_3 + g(3)k_5 + g(5)k_7 \\ b_x(4) &= b_x(48) + g(50)k_1 + u(4) + g(1)k_4 + g(3)k_6 \\ b_x(3) &= b_x(47) + g(50)k_2 + u(3) + g(1)k_5 + g(3)k_7 \\ b_x(2) &= b_x(46) + g(50)k_3 + u(2) + g(1)k_6 \\ b_x(1) &= b_x(45) + g(46)k_0 + g(50)k_4 + u(1) + g(1)k_7 \\ b_x(0) &= b_x(44) + g(46)k_1 + g(50)k_5 + u(0) = k_7 \end{aligned} \dots\dots (4-5) \text{式}$$

根據以上(4-3)、(4-4)、(4-5)式結果，可推導本創作之 BCH 偵錯碼編碼單元 10 用若干互斥或閘加以構成，且該 BCH 偵錯碼編碼單元 10 電路的運算時間可以由原先的 4096 個週期時間縮減成 512 個時間週期。

一通道器 20，連結該 BCH 偵錯碼編碼單元 10，以將該 8 位元之訊息 $u(x)$ 與 52 位元之偵錯碼位元 $b(x)$ 加以運算形成接收資料 $r(x)$ 輸出。

請再配合第三圖所示，一 BCH 偵錯碼解碼單元 30，包括一最小多項式處理電路 31、特徵值計算電路 32、錯誤位址多項式計算電路 33、錯誤位址計算電路 34，其中，最小多項式處理電路 31 連結該通道器 20，係將該偵錯碼位元 $b(x)$ 加以運算化簡，使該運算時間可由 8 個週

$$b_{10}(8) = b_4(2) = b_3(1) + b_{12}(1) = b_2(0) + b_{12}(0) + b_{11}(0) \cdots \cdots \cdots (5-5) \text{式}$$

依以上方式，相似的運算過程可得到：

$$\begin{aligned} b_9(8) &= b_4(3) = b_1(0) + b_{11}(0) + b_{10}(0) \\ b_8(8) &= b_4(4) = b_0(0) + b_{12}(0) + b_{10}(0) + b_9(0) \\ b_7(8) &= b_4(5) = u(0) + b_{12}(0) + b_{11}(0) + b_9(0) + b_8(0) \\ b_6(8) &= b_4(6) = u(1) + b_{11}(0) + b_{10}(0) + b_8(0) + b_7(0) \\ b_5(8) &= b_4(4) = u(2) + b_{10}(0) + b_9(0) + b_7(0) + b_6(0) \\ b_4(8) &= u(3) + b_9(0) + b_8(0) + b_6(0) + b_5(0) \cdots \cdots \cdots (5-6) \text{式} \\ b_3(8) &= u(4) + b_8(0) + b_7(0) + b_5(0) \\ b_2(8) &= u(5) + b_7(0) + b_6(0) \\ b_1(8) &= u(6) + b_6(0) + b_5(0) \\ b_0(8) &= u(7) + b_5(0) \end{aligned}$$

其中訊息 $u(x)$ 為從快閃記憶體讀出的資料，該(5-5)及(5-6)式中之“+”

表 modulo-2 加法。

同理可求出當最小多項式 $\phi_3(x) = 1 + x^4 + x^5 + x^7 + x^9 + x^{10} + x^{13} = 0$ ，

$$\phi_5(x) = 1 + x + x^4 + x^7 + x^8 + x^{11} + x^{13} = 0$$

$\phi_7(x) = 1 + x + x^2 + x^3 + x^6 + x^8 + x^9 + x^{10} + x^{13} = 0$ 所推算出如第四圖所示的偵錯碼位元 $b(x)$ 之電路，其中，偵錯碼位元單元 B0~B12 間連結之“+”號為 modulo-2 加法，可由互斥或閘來表示之，訊息 $u(x)$ 與偵錯碼位元單元 B0 進行 modulo-2 加法運算，使原先電路需 8 個時間週期縮減成 1 個時間週期。

上述之特徵值計算電路 32 係連結最小多項式處理電路 31，以計算出八個特徵值如下：

$$\begin{aligned}
 S_1 &= r(\alpha) = b(\alpha) = b_0 + b_1\alpha + \dots + b_{12}\alpha^{12} \\
 S_2 &= r(\alpha^2) = b(\alpha^2) = b_0 + b_1\alpha^2 + \dots + b_{12}\alpha^{24} \\
 S_3 &= r(\alpha^3) = b(\alpha^3) \\
 S_4 &= r(\alpha^4) = b(\alpha^4) \\
 S_5 &= r(\alpha^5) = b(\alpha^5) \\
 S_6 &= r(\alpha^6) = b(\alpha^6) \\
 S_7 &= r(\alpha^7) = b(\alpha^7) \\
 S_8 &= r(\alpha^8) = b(\alpha^8)
 \end{aligned}
 \quad \cdot \cdot \cdot (5-7) \text{式}$$

而藉由此特徵值計算電路 32 所計算而得之八個特徵值 $S_1 \sim S_8$ ，來判斷資料偵錯，如八個特徵值 $S_1 \sim S_8$ 皆為零表示資料沒有錯誤，可以繼續讀資料；反之，如果八個特徵值 $S_1 \sim S_8$ 不為零，則表示資料讀寫有錯誤，可得到 512 位元組資料的特徵值 $S_1 \sim S_8$ ，且更正能力為 4 位元。

一錯誤位址多項式計算電路 33，連結該特徵值計算電路 32，該以根據該特徵值計算電路 32 之特徵值 $S_1 \sim S_8$ 的計算結果，如果不為零時，即由錯誤位址多項式計算電路 33 進行錯誤位址多項式計算，其計算方式如下，根據 Inversionless Berlekamp-Massey Algorithm，錯誤位址多項式公式為：

$$(1+S)V(k) = (1+S_1Z + \dots + S_7Z^7)(v_0 + v_1Z + \dots + v_4Z^4)$$

$$\begin{aligned}
 k=0 &\rightarrow d^{(1)} = v_0S_1 + v_1 \\
 k=1 &\rightarrow d^{(3)} = v_0S_3 + v_1S_2 + v_2S_1 + v_3 \\
 k=2 &\rightarrow d^{(5)} = v_0S_5 + v_1S_4 + v_2S_3 + v_3S_2 + v_4S_1 \\
 k=3 &\rightarrow d^{(7)} = v_0S_7 + v_1S_6 + v_2S_5 + v_3S_4 + v_4S_3 \\
 k=4 &\rightarrow \textit{finish}
 \end{aligned}$$

(5-12)式

根據上述之(5-12)式運算結果，可以使本創作之錯誤位址多項式計算電路 33 為一個 13 位元加法器及 13 位元乘法器構成。

上述之錯誤位址計算電路 34，連結上述之錯誤位址多項式計算電路 33，以根據上述(5-12)式在算出錯誤位址多項式後，再將每個位元的

值分別代入下列(5-13)式中去算出錯誤的位址，其中：

$$v(x) = v_0 + v_1x + v_2x^2 + v_3x^3 + v_4x^4, \text{ where } x = \alpha^i$$

(5-13)式

因此，該錯誤位址計算電路 34 可以是一個 13 位元的乘法器與 13 位元的加法器所構成，且可在不同的時間做運算。

一靜態隨機存取記憶體 40，內部儲存偵錯碼錯誤位址資料，且連結該 BCH 偵錯碼解碼單元 30 之錯誤位址計算電路 34，若編碼向量 $V(X)$ 的階數(degree)等於(5-12)式所示之錯誤位址多項式的階數，則完成尋找錯誤位址的工作，再把錯誤位址的資料從靜態隨機存取記憶體 40 讀出，經若干反相器 41 更正後重新寫入靜態隨機存取記憶體 40，即完成偵錯碼之偵測與更正，該更正能力為 4 位元，此時該快閃記憶體可讀下一筆資料；反之，若編碼向量 $V(X)$ 的階數不等於錯誤位址多項式的階數，則表示有錯誤發生，但是無法自動更正，此時偵測到有無法更正之錯誤發生，而發出錯誤報告。

請再配合第五圖所示，為本創作之 BCH 編碼隨機錯誤偵測及更正之裝置 100 之 BCH 偵錯碼解碼單元 30 之解碼操作流程，其步驟包括 200~260，其中：

- (200)偵錯碼位元最小多項式計算，即由最小多項式處理電路 31 針對偵錯碼位元 $b(x)$ 進行最小多項式之化簡。
- (210)特徵值計算，即根據步驟 200 所得之偵錯碼位元 $b(x)$ ，由特徵值計算電路 32 進行特徵值 $S_1 \sim S_8$ 計算。
- (220)判斷特徵值是否皆為 0？如果不是進行步驟 230，如果是進行步驟 260，即判斷步驟 210 所得之特徵值 $S_1 \sim S_8$ 的值。
- (230)錯誤位址多項式之尋找，即在特徵值 $S_1 \sim S_8$ 皆不為零時，表示資料讀寫有錯誤發生，藉由該錯誤位址多項式計算電路 33 進行錯誤位址多項式計算。
- (240)錯誤位址尋找，根據步驟 230 所得之錯誤位址多項式予以由錯誤位址計算電路 34 予以計算出錯誤位址。

(250)錯誤資料更正，即藉由靜態隨機存取記憶體 40 將錯誤資料予以讀出後經反相器 41 進行更正再寫回靜態隨機存取記憶體 40 中。

(260)BCH 偵錯碼解碼完成。

請再配合第六圖所示，為本創作之 BCH 偵錯碼解碼單元 30 之錯誤位址計算電路 34 及靜態隨機存取記憶體 40 進行錯誤碼錯誤位址偵測及資料更正之操作流程，其步驟包括 300~360，其中：

(300)計算編碼向量 $V(X)$ ，即由錯誤位址計算電路 34 計算出編碼向量 $V(X)$ 。

(310)判斷編碼向量之階數是否等於錯誤位址多項式之階數？如果是則進行步驟 320，如果不是則進行步驟 340，即由該錯誤位址計算電路 34 判斷該編碼向量之階數是否等於錯誤位址多項式之階數。

(320)錯誤且可更正，即由該錯誤位址計算電路 34 判斷為錯誤且可更正之錯誤狀態。

(321)從錯誤位址讀出靜態隨機記憶體之相對資料，即由靜態隨機存取記憶體 40 根據錯誤位址計算電路 34 計算出來之錯誤位址予以讀出相對之暫存資料。

(322)靜態隨機存取記憶體資料反相更正，即由步驟 321 根據靜態隨機存取記憶體 40 讀出之錯誤資料經反相器 41 反相更正。

(323)將反相更正資料重新寫回靜態存取記憶體，即由步驟 322 之反相更正後，將已錯誤更正之資料重新寫回靜態隨機存取記憶體 40 中，而完成資料之偵錯與更正動作。

(330)結束。

(340)錯誤發生且無法更正，即由該錯誤位址計算電路 34 判斷為錯誤且無法更正之錯誤狀態。

(341)錯誤報告發生，由錯誤位址計算電路 34 發出錯誤報告，返回步驟 330。

本創作之 BCH 編碼隨機錯誤偵測及更正之裝置 100 優點在於：

(一) 使偵錯碼編碼及特徵值計算時間可由由 4148 個時間週期縮短至 528 個時間週期。

- (二) BCH 偵錯碼編碼單元 10 及 BCH 偵錯碼解碼單元 30 的硬體電路最為精簡，且線路設計成本可大幅降低。
- (三) 硬體電路達到每 512 位元組隨機 8 位元記憶體資料之錯誤偵測及隨機 4 位元記憶體資料更正能力。

在以上第二圖～第六圖中所示本創作之 BCH 編碼隨機錯誤偵測及更正之裝置，其中所揭示的相關說明及圖式，係僅為便於闡明本創作的技術內容及技術手段，所揭示較佳實施例之一隅，並不而限制其範疇，並且，舉凡針對本創作之細部結構修飾或元件之等效替代修飾，皆不脫本創作之創作精神及範疇，其範圍將由以下的申請專利範圍來界定之。

【圖式簡單說明】

- 第一圖係習知之偵錯碼編碼電路圖；
- 第二圖係本創作之方塊電路圖；
- 第三圖係本創作中之 BCH 偵錯碼解碼電路之詳細方塊圖；
- 第四圖係本創作中之簡化後之偵錯碼位元電路；
- 第五圖係本創作中之 BCH 偵錯碼解碼單元之解碼操作流程圖；
- 第六圖係本創作中之錯誤位址計算電路及靜態隨機存取記憶體進行錯誤碼錯誤位址偵測及資料更正之操作流程圖。

【主要元件符號說明】

- | | |
|-----|--------------------|
| 100 | BCH 編碼隨機錯誤偵測及更正之裝置 |
| 10 | BCH 偵錯碼編碼單元 |
| 30 | BCH 偵錯碼解碼單元 |
| 32 | 特徵值計算電路 |
| 34 | 錯誤位址計算電路 |
| 41 | 反相器 |
| 210 | 特徵值計算 |
| 230 | 錯誤位址多項式之尋找 |
| 250 | 錯誤資料更正 |
| 20 | 通道器 |
| 31 | 最小多項式處理電路 |
| 33 | 錯誤位址多項式計算電路 |
| 40 | 靜態隨機存取記憶體 |
| 200 | 偵錯碼位元最小多項式計算 |
| 220 | 判斷特徵值是否皆為 0 |
| 240 | 錯誤位址尋找 |
| 260 | BCH 偵錯碼解碼完成 |

- 300 計算編碼向量 $V(X)$
- 310 判斷編碼向量之階數是否等於錯誤位址多項式之階數
- 320 錯誤且可更正
- 321 從錯誤位址讀出靜態隨機記憶體之相對資料
- 322 靜態隨機存取記憶體資料反相更正
- 323 將反相更正資料重新寫回靜態存取記憶體
- 330 結束
- 340 錯誤發生且無法更正
- 341 錯誤報告發生
- $b(x)$ 偵錯碼位元
- $g(x)$ 產生器多項式
- $r(x)$ 接收資料
- $u(x)$ 訊息
- $B_0 \sim B_{12}$ 偵錯碼位元單元
- $b_0 \sim b_{n-k-1}$ 偵錯運算單元
- $g_0 \sim g_{n-k-1}$ 產生器多項式運算單元

五、中文新型摘要：

一種 BCH 編碼隨機錯誤偵測及更正之裝置，用於快閃記憶體之錯誤偵測及更正，其中，包括一 BCH(Bose-Chaudhuri, Hocquenghem)偵錯碼 (parity check code) 編碼單元、通道器(channeller)、BCH 偵錯碼解碼單元及一靜態隨機存取記憶體(SRAM)，該 BCH 偵錯碼編碼單元藉由 BCH 編碼方式進行快閃記憶體資料讀寫時之偵錯碼編碼，該通道器連結 BCH 偵錯碼編碼單元，以運算偵錯碼編碼與訊息多項式形成一接收資料，該 BCH 偵錯碼解碼單元連結該通道器，以輸入該接收資料，並經由 BCH 解碼方式計算出特徵值及錯誤位址，該靜態隨機存取記憶體連結該 BCH 偵錯碼解碼單元，以自該靜態存取記憶體內讀出錯誤位址資料更正後再寫入靜態隨機存取記憶體，以構成一具 BCH 編碼及解碼之隨機錯誤偵測及更正之裝置。

六、英文新型摘要：

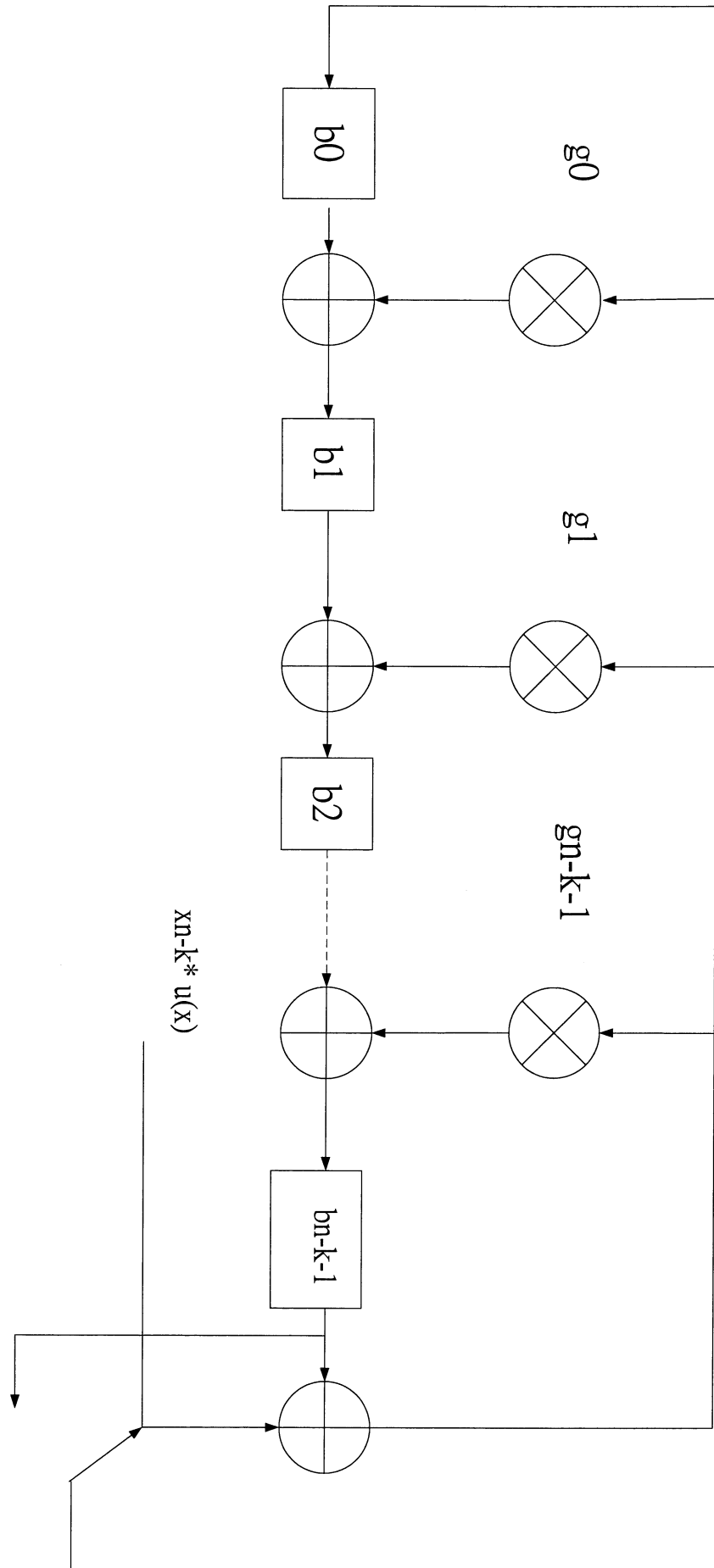
九、申請專利範圍：

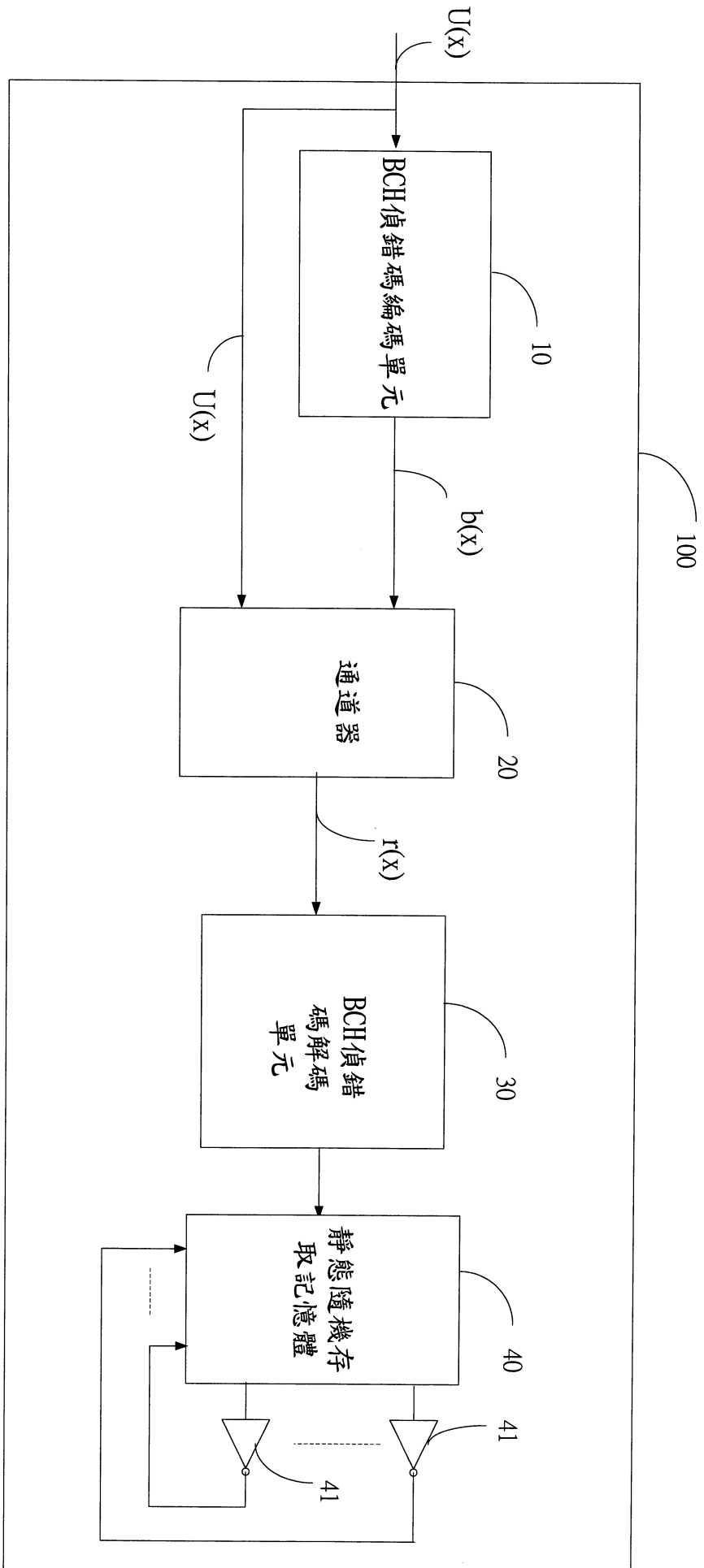
1. 一 BCH 編碼隨機錯誤偵測及更正之裝置，係包含：
 - 一 BCH 偵錯碼編碼單元，係藉由 BCH 編碼方式進行偵錯碼之編碼，以輸出偵錯碼位元；
 - 一通道器，連結該 BCH 偵錯碼編碼單元，以將一快閃記憶體讀寫資料之訊息與 BCH 偵錯碼編碼單元輸出之偵錯碼位元加以運算形成接收資料輸出；
 - 一 BCH 偵錯碼解碼單元，連結通道器，以將通道器輸出之接收資料與偵錯碼位元，根據 BCH 解碼方式計算出偵錯碼最小多項式、特徵值、錯誤位址多項式及錯誤位址，以輸出錯誤位址資料；及
 - 一靜態隨機存取記憶體，連結 BCH 偵錯碼解碼單元，並暫存快閃記憶體之錯誤資料，以根據 BCH 偵錯碼解碼單元輸出之錯誤位址予以作反相更正再寫回。
2. 如申請專利範圍第 1 項所述之 BCH 編碼隨機錯誤偵測及更正之裝置，其中，該 BCH 偵錯碼編碼單元輸出之偵錯碼位元由若干互斥或閘運算構成。
3. 如申請專利範圍第 1 項所述之 BCH 編碼隨機錯誤偵測及更正之裝置，其中，該 BCH 偵錯碼解碼單元，係包含：
 - 一最小多項式處理電路，連結通道器，將該偵錯碼位元加以運算化簡；
 - 一特徵值計算電路，最小多項式處理電路，以根據化簡後之偵錯碼位元加以計算出若干個特徵值；
 - 一錯誤位址多項式計算電路，連結特徵值計算電路，以根據特徵值計算電路計算而得之特徵值在不為零時進行錯誤位址多項式計算，以計算得到一錯誤位址多項式；及
 - 一錯誤位址計算電路，連結上述之錯誤位址多項式計算電路，以根據該錯誤位址多項式計算電路得到之錯誤位址多項式計算出錯誤位址資料輸出。

4. 如申請專利範圍第 3 項所述之 BCH 編碼隨機錯誤偵測及更正之裝置，其中，該錯誤位址多項式計算電路為一個 13 位元加法器及一個 13 位元乘法器構成。
5. 如申請專利範圍第 3 項所述之 BCH 編碼隨機錯誤偵測及更正之裝置，其中，該錯誤位址計算電路為一個 13 位元加法器及一個 13 位元乘法器構成。
6. 如申請專利範圍第 1 項所述之 BCH 編碼隨機錯誤偵測及更正之裝置，其中，該靜態隨機存取記憶體連結若干反相器。

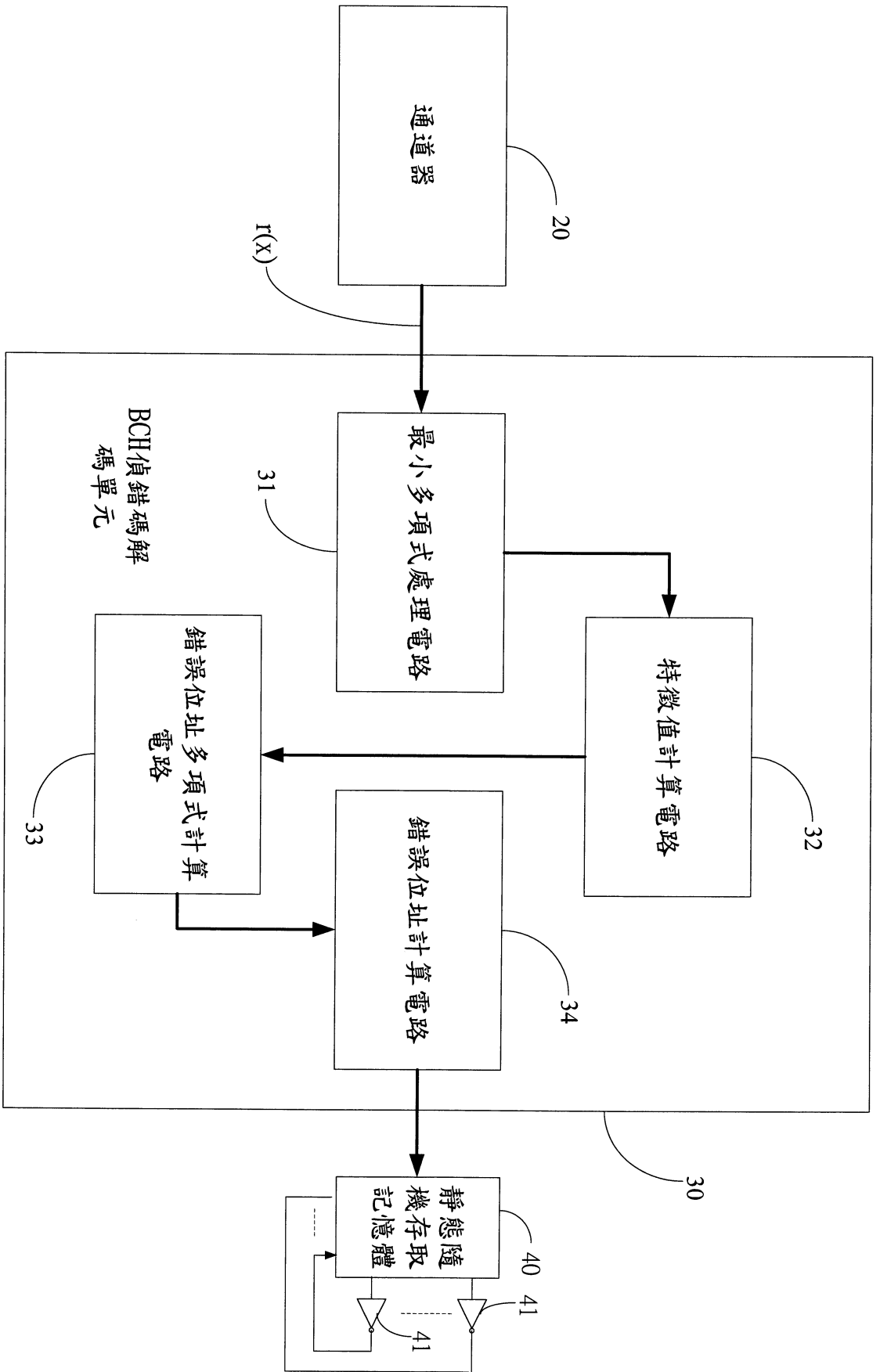
十、圖式：

第一圖

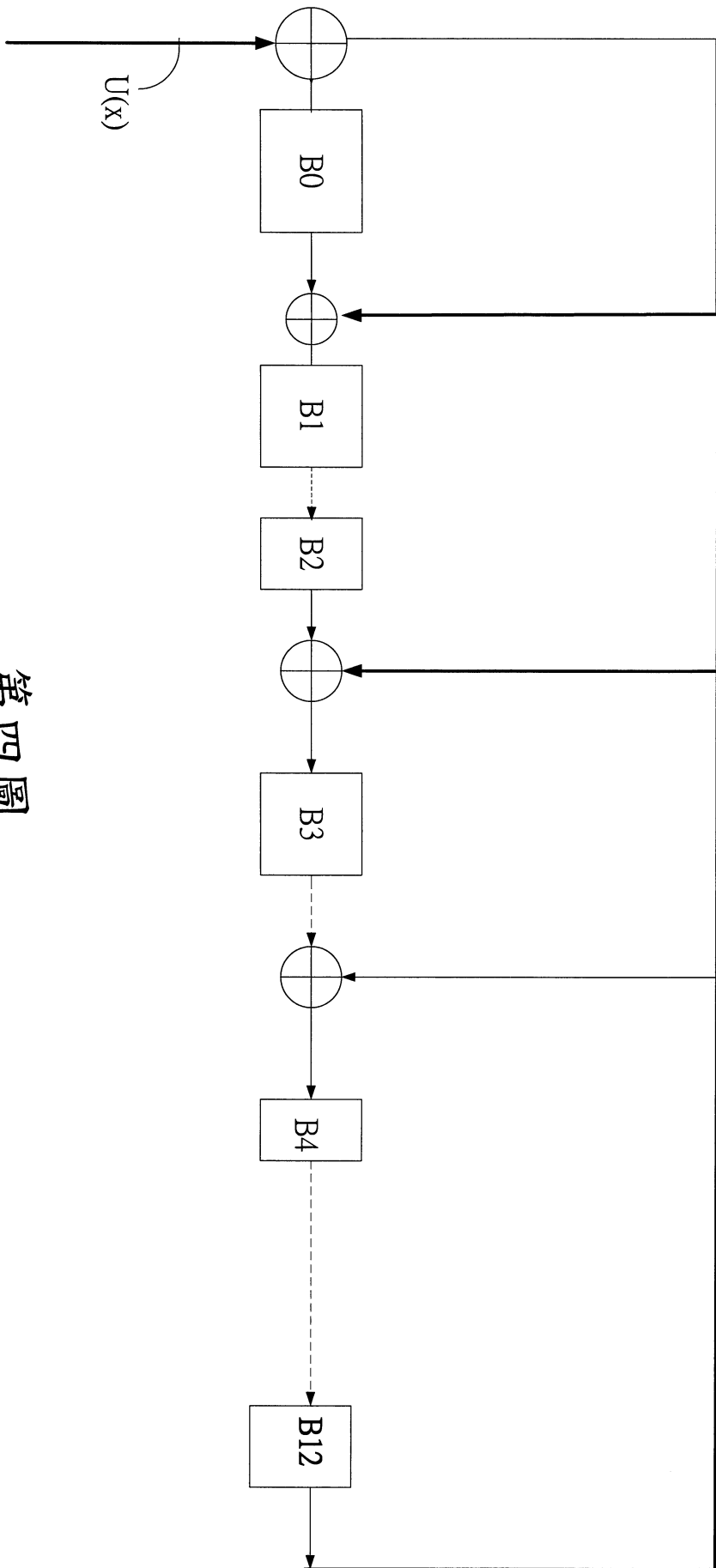




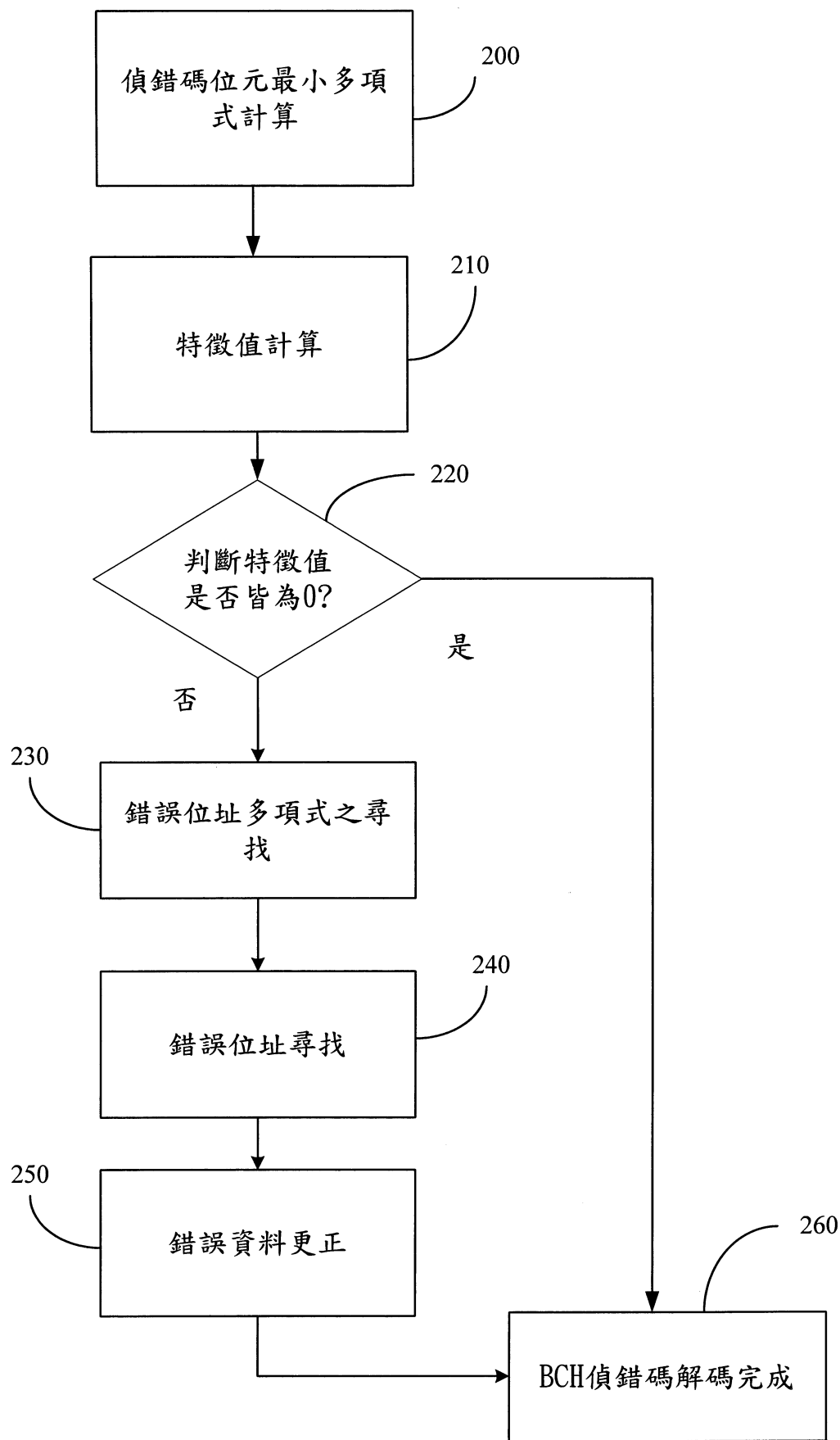
第二圖



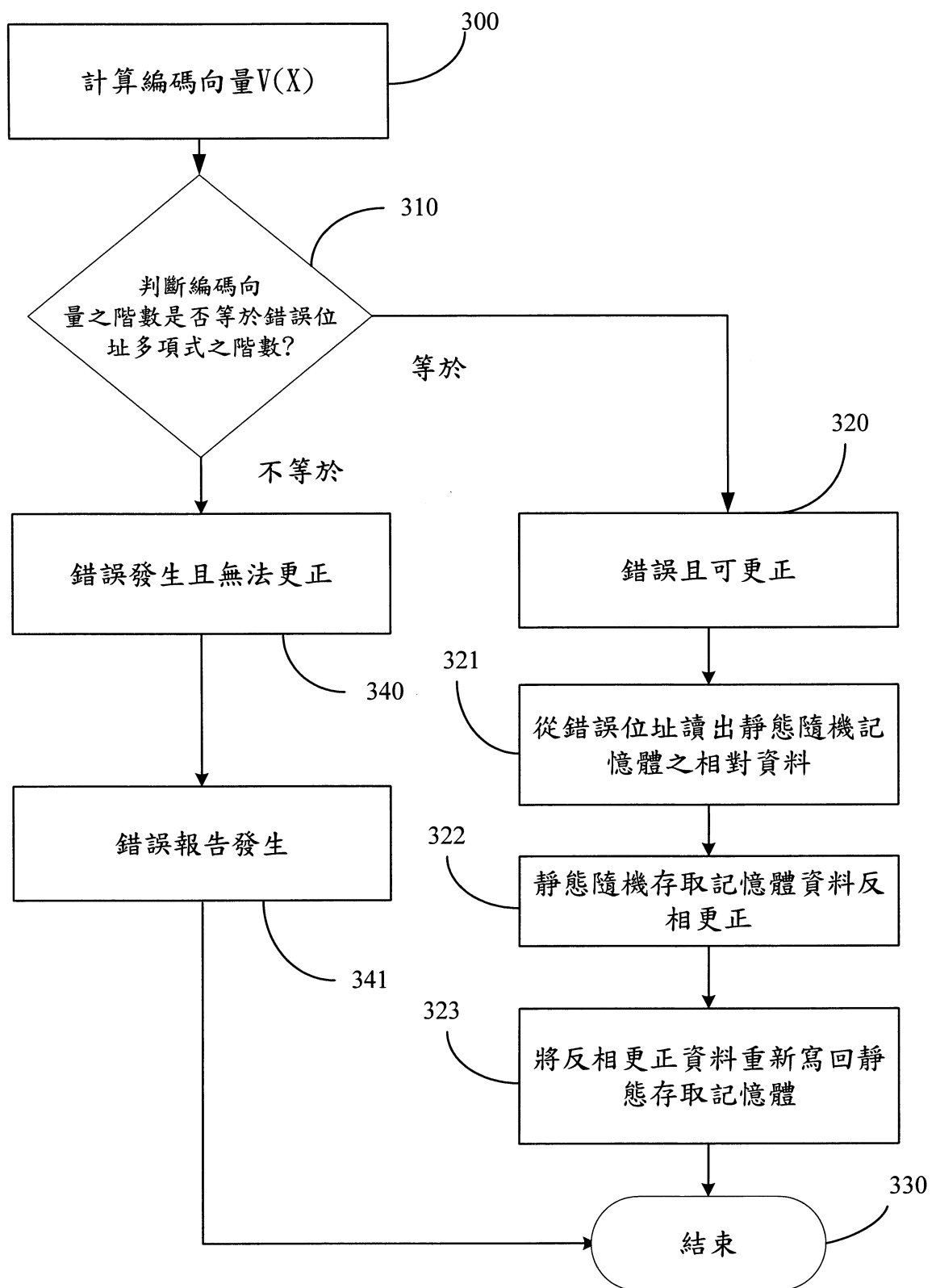
第三圖



第四圖



第五圖



第六圖

七、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

100 BCH 編碼隨機錯誤偵測及更正之裝置

10 BCH 偵錯碼編碼單元 20 通道器

30 BCH 偵錯碼解碼單元 40 靜態隨機存取記憶體

41 反相器

b(x) 偵錯碼位元

u(x) 訊息