



(12)发明专利

(10)授权公告号 CN 106128397 B

(45)授权公告日 2019.03.15

(21)申请号 201610790773.3

(22)申请日 2016.08.31

(65)同一申请的已公布的文献号
申请公布号 CN 106128397 A

(43)申请公布日 2016.11.16

(73)专利权人 深圳市华星光电技术有限公司
地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 曾勉

(74)专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 钟子敏

(51)Int.Cl.
G09G 3/36(2006.01)

(56)对比文件

- CN 105355175 A, 2016.02.24,
- CN 105355175 A, 2016.02.24,
- CN 105390115 A, 2016.03.09,
- CN 104157259 A, 2014.11.19,
- CN 104240657 A, 2014.12.24,
- CN 105185292 A, 2015.12.23,
- CN 202443728 U, 2012.09.19,
- CN 104517564 A, 2015.04.15,
- CN 105575349 A, 2016.05.11,
- CN 105469766 A, 2016.04.06,
- EP 2879126 A1, 2015.06.03,

审查员 刘想玲

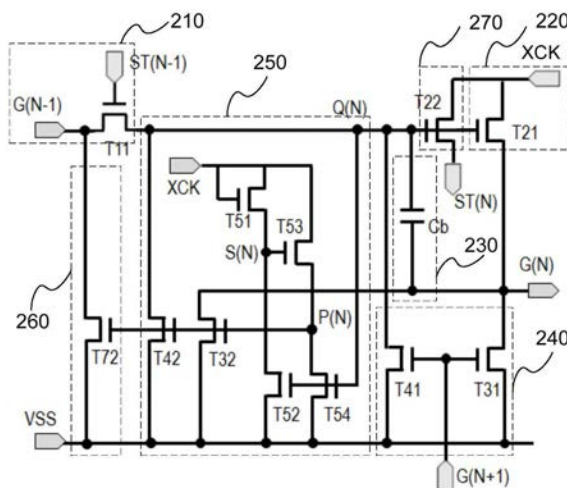
权利要求书2页 说明书7页 附图3页

(54)发明名称

一种GOA驱动单元及驱动电路

(57)摘要

本发明公开了一种GOA驱动单元及驱动电路,该GOA驱动单元包括上拉单元、上拉控制单元、下拉单元、下拉维持单元及自举电容,其特征在于,还包括邻行下拉晶体管,所述邻行下拉晶体管在下拉维持单元将本行的扫描控制信号和行扫描信号拉低并维持在低电平时,将前一扫描时序的相邻行的行扫描信号也拉低并维持在低电平。该驱动单元能够同时针对上一级电路的G(N-1)输出点进行下拉维持操作,可提高GOA电路输出的低电位维持能力,进一步提高其电路的性能,进而改善产品品质。并且在本级电路的下拉维持电路失效时,电路还可以通过下级的下拉维持电路来起到下拉维持作用,增加GOA电路的自修复能力。



1. 一种GOA驱动单元,包括上拉单元、上拉控制单元、下拉单元、下拉维持单元及自举电容,其特征在于,

还包括邻行下拉晶体管,所述邻行下拉晶体管在下拉维持单元将本行的扫描控制信号和行扫描信号拉低并维持在低电平时,将前一扫描时序的相邻行的行扫描信号也拉低并维持在低电平;其中,

所述下拉维持单元包括用于拉低并维持本行的扫描控制信号在低电平的第一下拉晶体管及用于拉低并维持本行的行扫描信号在低电平的所述第二下拉晶体管,所述第一下拉晶体管和所述第二下拉晶体管的漏极分别连接扫描控制信号和行扫描信号;

所述邻行下拉晶体管的漏极连接前一扫描时序的相邻行的行扫描信号,其栅极与所述第一下拉晶体管和所述第二下拉晶体管的栅极耦接在一起;

所述第一下拉晶体管、所述第二下拉晶体管和邻行下拉晶体管的源极共同耦接于直流下拉电压。

2. 根据权利要求1所述的GOA驱动单元,其特征在于,所述下拉维持单元还包括:

第三下拉晶体管,其栅极与漏极耦接在一起,接收下拉时钟信号;

第四下拉晶体管,其栅极与漏极分别与所述第三下拉晶体管的源极和漏极耦接;

第五下拉晶体管和第六下拉晶体管,其漏极分别与所述第四下拉晶体管的栅极和源极耦接,其源极均耦接直流下拉电压,其栅极耦接在一起,接收所述扫描控制信号;

所述第六下拉晶体管的漏极与所述第一下拉晶体管、所述第二下拉晶体管和邻行下拉晶体管的栅极耦接节点耦接。

3. 根据权利要求2所述的GOA驱动单元,其特征在于,所述下拉时钟信号与本行GOA驱动单元的扫描时钟信号频率相等,相位相反。

4. 根据权利要求1至3中任一项所述的GOA驱动单元,其特征在于,还包括下传单元,所述下传单元包括下传晶体管,所述下传晶体管的栅极连接扫描控制信号,其漏极连接GOA驱动单元的扫描时钟信号,其源极生成作用于后一级GOA驱动单元的下传信号。

5. 根据权利要求1所述的GOA驱动单元,其特征在于,所述下拉维持单元包括镜像的电路结构,所述镜像的电路结构包括:

用于拉低并维持本行的扫描控制信号在低电平的第一下拉晶体管和第三下拉晶体管及用于拉低并维持本行的行扫描信号在低电平的所述第二下拉晶体管和第四下拉晶体管;

所述邻行下拉晶体管包括第一邻行下拉晶体管和第二邻行下拉晶体管,其漏极均连接前一扫描时序的相邻行的行扫描信号,所述第一邻行下拉晶体管的栅极和源极分别与所述第一下拉晶体管和所述第二下拉晶体管的栅极和源极耦接,所述第二邻行下拉晶体管的栅极和源极分别与所述第三下拉晶体管和第四下拉晶体管的栅极和源极耦接;

各下拉晶体管的源极均耦接于直流下拉电压。

6. 根据权利要求5所述的GOA驱动单元,其特征在于,所述下拉维持单元还包括镜像的第一交替控制电路和第二交替控制电路,

所述第一交替控制电路包括,

第五下拉晶体管,其栅极与漏极耦接在一起,接收第一交替控制信号;

第六下拉晶体管,其栅极与漏极分别与所述第五下拉晶体管的源极和漏极耦接;

第七下拉晶体管和第八下拉晶体管,其漏极分别与所述第六下拉晶体管的栅极和源极

耦接,其源极均耦接直流下拉电压,其栅极耦接在一起,接收所述扫描控制信号;

所述第八下拉晶体管的漏极与所述第一下拉晶体管、第二下拉晶体管和第一邻行下拉晶体管的栅极耦接节点耦接;

所述第二交替控制电路具有与所述第一交替控制电路镜像的结构,且其由第二交替控制信号控制;

所述第一交替控制信号与所述第二交替控制信号交替为高电平和低电平。

7. 根据权利要求6所述的GOA驱动单元,其特征在于,所述第一交替控制信号和所述第二交替控制信号的频率小于GOA驱动单元的扫描时钟信号频率。

8. 根据权利要求5至7中任一项所述的GOA驱动单元,其特征在于,还包括下传单元,所述下传单元包括下传晶体管,所述下传晶体管的栅极连接扫描控制信号,其漏极连接GOA驱动单元的扫描时钟信号,其源极生成作用于后一级GOA驱动单元的下传信号。

9. 一种由如权利要求1至8中任一项所述的GOA驱动单元级联构成的GOA驱动电路,其特征在于,将频率相等、相位相反的两个扫描时钟信号隔行输入至各GOA驱动单元。

一种GOA驱动单元及驱动电路

技术领域

[0001] 本发明属于液晶显示领域,尤其涉及一种GOA驱动单元及驱动电路。

背景技术

[0002] 传统的液晶显示器的驱动电路一般为外部搭载的集成电路模组的形式,如普遍采用的TAB(Tape Automated Bonding)封装结构。而随着具有超高载流子迁移率特性的低温多晶硅(LTPS,Low Temperature Poly silicon)半导体薄膜晶体管的发展,基于面板周边的集成电路技术逐渐成为研究的焦点,其中典型的应用是阵列基板行驱动技术(GOA, Gate Driver On Array)。

[0003] GOA驱动电路是利用液晶显示器Array制程将行(Gate)扫描驱动信号电路制作在阵列基板上来实现对像素单元的逐行驱动扫描。GOA驱动电路不仅能够减少外接集成电路的焊接工序,提高集成度,还可以提升产能降低生产成本,是中小尺寸液晶显示产品(例如手机,PDA等)的首选。另外,随着手机智能化进程日益加快,中小尺寸液晶显示设备的触控技术也需要得到相应的技术支持,因此对驱动电路提出了更多要求。

[0004] 现有的GOA驱动电路存在如下问题,一方面,由于晶体管的参数具有很大的分散性,且长期工作后其性能有可能受到影响进一步使其参数改变,使得驱动电路中一些关键电路节点的电压会发生变化,严重时引发设计的时序和功能的失效,进而导致整个GOA驱动电路的失效。另一方面,在GOA驱动电路制程中,由于电路级数多,晶体管数量巨大等原因,容易发生短路或断路等故障,而由于修复难度较高,因此一旦出现这种情况将导致液晶面板成为次品,严重影响液晶面板产出的良率。

发明内容

[0005] 本发明所要解决的技术问题之一是需要提供一种改进的GOA驱动电路以稳定关键电路节点的电压,防止因元件的参数变化而导致的失效。

[0006] 为了解决上述技术问题,本申请的实施例首先提供了一种GOA驱动单元,包括上拉单元、上拉控制单元、下拉单元、下拉维持单元及自举电容,其特征在于,还包括邻行下拉晶体管,所述邻行下拉晶体管在下拉维持单元将本行的扫描控制信号和行扫描信号拉低并维持在低电平时,将前一扫描时序的相邻行的行扫描信号也拉低并维持在低电平。

[0007] 优选地,所述下拉维持单元包括用于拉低并维持本行的扫描控制信号在低电平的第一下拉晶体管及用于拉低并维持本行的行扫描信号在低电平的第二下拉晶体管,所述第一下拉晶体管和第二下拉晶体管的漏极分别连接扫描控制信号和行扫描信号;所述邻行下拉晶体管的漏极连接前一扫描时序的相邻行的行扫描信号,其栅极与所述第一下拉晶体管和第二下拉晶体管的栅极耦接在一起;所述第一下拉晶体管、第二下拉晶体管和邻行下拉晶体管的源极共同耦接于直流下拉电压。

[0008] 优选地,所述下拉维持单元还包括:第三下拉晶体管,其栅极与漏极耦接在一起,接收下拉时钟信号;第四下拉晶体管,其栅极与漏极分别与所述第三下拉晶体管的源极和

漏极耦接；第五下拉晶体管和第六下拉晶体管，其漏极分别与所述第四下拉晶体管的栅极和源极耦接，其源极均耦接直流下拉电压，其栅极耦接在一起，接收所述扫描控制信号；所述第六下拉晶体管的漏极与所述第一下拉晶体管、第二下拉晶体管和邻行下拉晶体管的栅极耦接节点耦接。

[0009] 优选地，所述下拉时钟信号与本行GOA驱动单元的扫描时钟信号频率相等，相位相反。

[0010] 优选地，还包括下传单元，所述下传单元包括下传晶体管，所述下传晶体管的栅极连接扫描控制信号，其漏极连接GOA驱动单元的扫描时钟信号，其源极生成作用于后一级GOA驱动单元的下传信号。

[0011] 优选地，所述下拉维持单元包括镜像的电路结构，所述镜像的电路结构包括：用于拉低并维持本行的扫描控制信号在低电平的第一下拉晶体管和第三下拉晶体管及用于拉低并维持本行的行扫描信号在低电平的所述第二下拉晶体管和第四下拉晶体管；所述邻行下拉晶体管包括第一邻行下拉晶体管和第二邻行下拉晶体管，其漏极均连接前一扫描时序的相邻行的行扫描信号，所述第一邻行下拉晶体管的栅极和源极分别与所述第一下拉晶体管和所述第二下拉晶体管的栅极和源极耦接，所述第二邻行下拉晶体管的栅极和源极分别与所述第三下拉晶体管和第四下拉晶体管的栅极和源极耦接；各下拉晶体管的源极均耦接于直流下拉电压。

[0012] 优选地，所述下拉维持单元还包括镜像的第一交替控制电路和第二交替控制电路，所述第一交替控制电路包括，第五下拉晶体管，其栅极与漏极耦接在一起，接收第一交替控制信号；第六下拉晶体管，其栅极与漏极分别与所述第五下拉晶体管的源极和漏极耦接；第七下拉晶体管和第八下拉晶体管，其漏极分别与所述第六下拉晶体管的栅极和源极耦接，其源极均耦接直流下拉电压，其栅极耦接在一起，接收所述扫描控制信号；所述第八下拉晶体管的漏极与所述第一下拉晶体管、第二下拉晶体管和第一邻行下拉晶体管的栅极耦接节点耦接；所述第二交替控制电路具有与所述第一交替控制电路镜像的结构，且其由第二交替控制信号控制；所述第一交替控制信号与所述第二交替控制信号交替为高电平和低电平。

[0013] 优选地，所述第一交替控制信号和所述第二交替控制信号的频率小于GOA驱动单元的扫描时钟信号频率。

[0014] 优选地，还包括下传单元，所述下传单元包括下传晶体管，所述下传晶体管的栅极连接扫描控制信号，其漏极连接GOA驱动单元的扫描时钟信号，其源极生成作用于后一级GOA驱动单元的下传信号。

[0015] 另一方面，还提供了另一种GOA驱动电路，由所述GOA驱动单元级联构成，将频率相等、相位相反的两个扫描时钟信号隔行输入至各GOA驱动单元。

[0016] 与现有技术相比，上述方案中的一个或多个实施例可以具有如下优点或有益效果：

[0017] 通过在现有GOA电路本级中增加下拉晶体管，同时针对上一级电路的G(N-1)输出点进行下拉维持操作，可提高GOA电路输出的低电位维持能力，进一步提高其电路的性能，进而改善产品品质。并且在本级电路的下拉维持电路失效时，电路还可以通过下级的下拉维持电路来起到下拉维持作用，增加GOA电路的自修复能力。

[0018] 本发明的其他优点、目标,和特征在某种程度上将在随后的说明书中进行阐述,并且在某种程度上,基于对下文的考察研究对本领域技术人员而言将是显而易见的,或者可以从本发明的实践中得到教导。本发明的目标和其他优点可以通过下面的说明书,权利要求书,以及附图中所特别指出的结构来实现和获得。

附图说明

[0019] 附图用来提供对本申请的技术方案或现有技术的进一步理解,并且构成说明书的一部分。其中,表达本申请实施例的附图与本申请的实施例一起用于解释本申请的技术方案,但并不构成对本申请技术方案的限制。

[0020] 图1为现有技术中的GOA驱动单元的结构示意图;

[0021] 图2为根据本发明一实施例的GOA驱动单元的结构示意图;

[0022] 图3为根据本发明一实施例的GOA驱动单元工作时的信号波形示意图;

[0023] 图4为根据本发明另一实施例的GOA驱动单元的结构示意图;

[0024] 图5为根据本发明另一实施例的GOA驱动单元工作时的信号波形示意图。

具体实施方式

[0025] 以下将结合附图及实施例来详细说明本发明的实施方式,借此对本发明如何应用技术手段来解决技术问题,并达成相应技术效果的实现过程能充分理解并据以实施。本申请实施例以及实施例中的各个特征,在不相冲突前提下可以相互结合,所形成的技术方案均在本发明的保护范围之内。

[0026] 现有的GOA驱动电路通常包括级联的多个GOA驱动单元,每一级GOA驱动单元对应驱动一级水平的行扫描线。图1为现有技术中的GOA驱动单元的结构示意图,如图所示,GOA驱动单元的主要结构包括上拉控制单元110 (Pull-up control part),上拉单元120 (Pull-up part),下拉单元140 (Key Pull-down Part) 和下拉维持单元150 (Pull-down Holding Part),以及自举 (Boast) 电容130。

[0027] 从图中可以看出,各电路节点的电压均由该级GOA驱动单元自身的结构决定。例如扫描控制信号Q(N)点,其开启上拉单元120的晶体管T21的有效的高电平信号由上拉控制单元110的晶体管T11生成,而在其他行的行扫描期间维持Q(N)点的低电平信号则是由该级的下拉维持单元150完成的。如果本级GOA驱动单元内的电路发生故障,例如其中的晶体管由于制程的原因发生短路或断路,则必将影响该级驱动单元的输出。本发明的GOA驱动单元基于上述基本结构进行改进,使得在本行的扫描控制信号和行扫描信号被拉低并维持在低电平时,可以同时将前一扫描时序的相邻行的行扫描信号也拉低并维持在低电平,使驱动单元具有自修复能力,下面结合具体的实施例详细说明。

[0028] 图2为根据本发明一实施例的GOA驱动单元的结构示意图,如图所示,该第N级GOA驱动单元控制对显示区域的第N行水平扫描线G(N)充电,包括上拉控制单元210,上拉单元220,自举电容230,下拉单元240,下拉维持单元250、邻行下拉晶体管T72和下传单元260。

[0029] 具体的,上拉控制单元210主要用于控制上拉单元220的开启时间,实现液晶面板的逐行扫描。上拉控制单元210可以由上拉控制晶体管T11构成。从图2中可以看出,该上拉控制晶体管T11的栅极接收ST(N-1)信号,该信号为来自上一级(第N-1级)的GOA驱动单元产

生的下传信号。

[0030] 现有技术中(如图1所示),一般采用上一级的输出信号,即行扫描信号 $G(N-1)$ 来启动下一级的驱动单元,上拉控制晶体管T11的漏极和栅极耦接在一起,接收前一级GOA驱动单元输出的行扫描信号,其源极生成作用于上拉单元的控制信号输入端的扫描控制信号。则此时T11相当于一个二极管,即T11的栅源电压 $V_{gs}=0$,在T11内部会存在较大的漏电流。

[0031] 在本发明的实施例中,增加了下传单元260。如图2所示,下传单元260主要由下传晶体管T22构成。该下传晶体管T22的栅极和漏极均与上拉单元220相连接,其中T22的栅极与上拉单元220的控制信号输入端耦接,T22的漏极与上拉单元220的时钟信号输入端耦接,T22的源极生成并输出下传信号 $ST(N)$,作用于后一级(第 $N+1$ 级)GOA驱动单元的上拉控制晶体管T11的栅极。T11的漏极和源极分别连接第 $N-1$ 级水平扫描线 $G(N-1)$ 和第 N 级的 $Q(N)$ 点。由于下传信号 $ST(N-1)$ 的低电位为时钟信号 CK (或 XCK)的低电平,一般为 $-8V$ 。行扫描信号 $G(N-1)$ 的低电位则为 VSS ,一般为 $-6V$,即T11的栅源电压 $V_{gs}<0$,因此通过增加下传单元260可以减少本级 Q 点在holding时的漏电。

[0032] 上拉控制单元210在上一级驱动单元产生的下传信号 $ST(N-1)$ 和行扫描输出信号 $G(N-1)$ 的作用下,生成扫描控制信号 $Q(N)$ 。扫描控制信号 $Q(N)$ 负责整个GOA驱动单元的正确工作时序。当行扫描进行到第 N 级时, $Q(N)$ 为高电平,可用于开启上拉单元220输出行扫描信号。当第 N 级处于非行扫描状态时,需要保证 $Q(N)$ 为可靠的低电平,使上拉单元220不输出。因此,在GOA驱动单元以及驱动电路的设计中,必须保证 $Q(N)$ 的时序正确。

[0033] 上拉单元220主要负责将扫描时钟信号($ClOCK$)输出为栅极的行扫描信号。如图2所示,上拉单元220可以由上拉晶体管T21构成。上拉晶体管T21的栅极作为上拉单元220的控制信号输入端接收由上拉控制单元210生成的扫描控制信号 $Q(N)$,T21的漏极作为上拉单元220的时钟信号输入端接收扫描时钟信号 XCK ,T21的源极作为上拉单元220的行扫描信号输出端,连接第 N 行水平扫描线 $G(N)$,生成并输出行扫描信号 $G(N)$ 。

[0034] 另外,图2中的230为自举电容,该自举电容的作用是在 $Q(N)$ 为高电平时,存储上拉晶体管T21栅源端的电压,当 $G(N)$ 输出高电平的行扫描信号后,自举电容可以二次抬升上拉晶体管T21的栅极的电位,以保证上拉晶体管T21可靠地开启与输出行扫描信号。在完成本行的扫描时序后, $G(N)$ 输出低电平,并在其他行进行扫描的时候一直维持这个低电平。

[0035] 下拉单元240用于在第一时间将上拉晶体管T21的源极电位和栅极电位拉低为低电位,即关闭行扫描信号 $G(N)$ 。如图2所示,下拉单元240包括下拉晶体管T31和下拉晶体管T41。其中,T31用于下拉行扫描信号 $G(N)$ 的电位,T31的漏极与上拉单元220的行扫描信号输出端耦接,即作用于第 N 行水平扫描线。T41用于下拉扫描控制信号 $Q(N)$,以便关闭上拉晶体管T21。T41的漏极与上拉单元220的控制信号输入端耦接。T31与T41的栅极耦接在一起,并与第 $N+1$ 行的水平扫描线 $G(N+1)$ 相连接,即接收接后一级GOA驱动单元的行扫描信号 $G(N+1)$,由下一行的有效的行扫描信号控制本行行扫描信号的关闭,实现逐行扫描。T31与T41的源极共同耦接于直流低电平 VSS 。

[0036] 当后一级的行扫描信号 $G(N+1)$ 回到低电平后,将不能维持 $G(N)$ 和 $Q(N)$ 的低电平,因此,在GOA驱动单元中,采用下拉维持单元250将 $G(N)$ 和 $Q(N)$ 维持(Holding)在关闭状态(即负电位)。

[0037] 如图2所示,下拉维持单元250包括晶体管T42和T32,其中T42(第一下拉晶体管)用

于拉低并维持本行的扫描控制信号 $Q(N)$ 在其他行的行扫描期间的低电平, $T32$ (第二下拉晶体管) 用于拉低并维持本行的行扫描信号 $G(N)$ 在其他行的行扫描期间的低电平。进一步地, $T42$ 的漏极连接扫描控制信号 $Q(N)$, $T32$ 的漏极连接行扫描信号 $G(N)$, $T42$ 和 $T32$ 的栅极和源极分别耦接在一起, 其源极耦接于一固定的直流下拉电压 VSS , 其栅极(如图2中的 $P(N)$ 点)的电位由下拉维持单元250的控制电路进行控制。

[0038] 如图2所示, 下拉维持单元250的控制电路包括晶体管 $T51$ 、 $T52$ 、 $T53$ 和 $T54$ 。其中, 晶体管 $T51$ (第三下拉晶体管) 的栅极与漏极耦接在一起, 接收下拉时钟信号(XCK), 晶体管 $T53$ (第四下拉晶体管) 的栅极与漏极分别与 $T51$ 的源极和漏极耦接, $T53$ 的源极($P(N)$ 点)即输出控制晶体管 $T42$ 和 $T32$ 动作的电压信号。 $T52$ (第五下拉晶体管) 的漏极与 $T53$ 的栅极耦接, $T54$ (第六下拉晶体管) 的漏极与 $T53$ 的源极耦接, $T52$ 和 $T54$ 的栅极耦接在一起, 连接扫描控制信号 $Q(N)$, 其源极共同耦接于直流下拉电压 VSS 。

[0039] 当将多级驱动单元级联构成GOA驱动电路时, 为了减轻GOA驱动电路的负载, 提高驱动能力, 一般采用多个扫描时钟信号联合驱动。图3中的实施例以两个扫描时钟信号 CK 和 XCK 为例进行说明, CK 和 XCK 频率相等、相位相反, 隔行输入至各GOA驱动单元的上拉单元220的时钟信号输入端。需要注意的是, 在图2中未在上拉单元220的时钟信号输入端示出时钟信号 XCK , XCK 连接于第 $N-1$ 级驱动单元。

[0040] 如图3所示, 前一扫描时序的行扫描信号 $G(N-1)$ 和下行信号 $ST(N-1)$ 在扫描时钟信号 XCK 的作用下输出为高电平, 第 N 级驱动单元的上拉控制晶体管 $T11$ 即被开启, 扫描控制信号 $Q(N)$ 达到第一电压值, 该第一电压值能够开启第 N 级驱动单元的上拉晶体管 $T21$ 和下行晶体管 $T22$ 。

[0041] $T21$ 和 $T22$ 开启后, 当 CK 时钟信号的高电平到达时, 行扫描信号 $G(N)$ 和下行信号 $ST(N)$ 同时输出 CK 的高电平, 在对第 N 行像素进行行扫描的同时, 第 $N+1$ 级驱动单元的上拉控制晶体管接收到 $G(N)$ 和 $ST(N)$ 的高电平, 当下一行的行扫描信号 $G(N+1)$ 为高电平后, 第 N 级驱动单元的下拉晶体管 $T31$ 和 $T41$ 被开启, 进而将 $G(N)$ 和 $Q(N)$ 拉低为低电平, 关闭第 N 行像素的扫描。当 $G(N+1)$ 回复到低电平后, $G(N)$ 和 $Q(N)$ 的低电平由下拉维持单元250维持。

[0042] 扫描控制信号 $Q(N)$ 的第一电压值使 $T52$ 和 $T54$ 开启, $T52$ 和 $T54$ 开启后会将 $S(N)$ 和 $P(N)$ 同时拉低为低电平。由于 $P(N)$ 点的电压同时控制晶体管 $T32$ 和 $T42$ 的栅极电位, 因此此时 $T32$ 和 $T42$ 能够可靠的处于关闭状态, 对 $Q(N)$ 和 $G(N)$ 不会产生影响。 $Q(N)$ 点的电压在 $G(N)$ 输出高电平后会有一个抬升, 因而在 $G(N)$ 输出高电平时, 尽管 $G(N-1)$ 和 $ST(N-1)$ 已经变为低电平, $P(N)$ 点的电压仍能维持 $T32$ 和 $T42$ 处于关闭状态。

[0043] 当 $Q(N)$ 和 $G(N)$ 被拉低为低电平后, $T52$ 和 $T54$ 关闭。另外, 如图2所示, 下拉维持单元250的下拉时钟信号采用的是隔行扫描时钟信号中的 XCK 信号, 当 $S(N)$ 点为低电平时正处于 XCK 的高电平期间, $T51$ 处于被开启的状态, 因此当 $T52$ 关闭后, 由于 XCK 的高电平的作用, $S(N)$ 点的电位将升高, 当 $S(N)$ 升高到其电位与 $P(N)$ 的电位的差值达到晶体管 $T53$ 的开启阈值时, $T53$ 被开启。 $T53$ 被开启后, $P(N)$ 点在 XCK 的高电平的作用下被抬升为高电平, 进而开启 $T32$ 和 $T42$, 维持 $Q(N)$ 和 $G(N)$ 的低电平。

[0044] 进一步如图3所示, 当 XCK 处于低电平时, $T51$ 关闭, $S(N)$ 点的电位会有一定的下降。 $S(N)$ 点模拟结果如图所示, 如果 XCK 的高电位和低电位分别为 $28V$ 和 $-8V$, 则当 XCK 由高电平变为低电平时, $S(N)$ 点的电位会先下降至 $5V$ 左右, 然后再逐渐漏电到 $-1.5V$ 左右。 $5V$ 左右的

电压已经足够开启T53,因此,T53在XCK变为低电平的初期将维持开启的状态,进而将XCK的低电位传输至P(N)点。也就是说,此时T42和T32会被关闭,Q(N)点在XCK的低电位期间靠自身维持在低电位。当XCK的下一个高电平到来时,T51和T53均处于开启状态,XCK的高电平传输至P(N)点,进而开启T42和T32,对Q(N)进行下拉维持。

[0045] 虽然Q(N)点在下拉维持期间有部分时间需要靠自身来维持低电位状态,但由于下拉时钟信号采用的是与扫描时钟信号XCK,频率较高,因此能够正确的实现下拉维持的功能。另外,由于直接采用XCK信号作为下拉时钟信号,省去了其他信号线的引入,可以节约布线空间,有利于生产加工。

[0046] 在本实施例中设置邻行下拉晶体管,进一步如图2所示,邻行下拉晶体管T72的漏极连接前一扫描时序的相邻行(图2中第N-1行)的行扫描信号G(N-1),其栅极与T42和T32的栅极耦接在一起。由于邻行下拉晶体管T72的栅极也连接P(N)点,其开启与关闭同样由P(N)控制,即与T42和T32同步,因此,当P(N)为高电平时,G(N-1)可以由T72维持为低电平。邻行下拉晶体管能够提升电路的可靠性,增加电路的自修复能力。因为,如果驱动电路的第N-1行的下拉维持单元存在故障,例如晶体管T32发生断路,那么仍然可以通过T72保证电路的正常工作而不至于使电路功能失效。本实施例能够显著地增加其GOA驱动电路的可靠性

[0047] 图4为根据本发明另一实施例的GOA驱动单元的结构示意图,该实施例中,下拉维持单元是具有镜像结构的电路。当晶体管长期处于直流信号作用时,会产生直流应力(DC Stress),其性能会受到影响,引发晶体管的失效,镜像电路能够降低直流信号作用所导致的直流应力的影响。

[0048] 如图所示,该GOA驱动单元由上拉控制单元、上拉单元、自举电容、下拉单元以及下拉维持单元等结构组成,其中上拉控制单元、上拉单元、自举电容、下拉单元的结构和功能与前一实施例相同,此处不再赘述。

[0049] 该实施例的下拉维持单元包括一对镜像的电路结构。具体为,用于拉低并维持本行的扫描控制信号Q(N)在低电平的晶体管T42(第一下拉晶体管)和晶体管T43(第三下拉晶体管),用于拉低并维持本行的行扫描信号G(N)在低电平的晶体管T32(第二下拉晶体管)和晶体管T33(第四下拉晶体管)。

[0050] 下拉维持单元还包括镜像的第一交替控制电路和第二交替控制电路,其中第一交替控制电路包括晶体管T51(第五下拉晶体管)、T53(第六下拉晶体管)、T52(第七下拉晶体管)和T54(第八下拉晶体管)。其连接方式与前一实施例中的控制电路相同,具体为T51的栅极与漏极耦接在一起,接收第一交替控制信号LC1,T53的栅极与漏极分别与T51的源极和漏极耦接,T52和T54的漏极分别与T53的栅极和源极耦接,它们的源极均耦接直流下拉电压VSS,其栅极耦接在一起,接收扫描控制信号Q(N)。其中,T54的漏极与T42、T32的栅极耦接在一起,由T54的漏极(P(N)点)输出控制晶体管T42和T32动作的电压信号。

[0051] 第二交替控制电路具有与第一交替控制电路镜像的结构,且其动作由第二交替控制信号LC2控制,LC1和LC2交替为高电平和低电平,当LC1为高电平,LC2为低电平时,第一交替控制电路控制左边的镜像电路(T32、T42、T51、T52、T53和T54)工作,当LC1为低电平,LC2为高电平时,第二交替控制电路控制右边的镜像电路(T33、T43、T61、T62、T63和T64)工作。

[0052] 进一步如图4所示,对应于镜像电路结构,分别设置了第一邻行下拉晶体管T72和第二邻行下拉晶体管T73,T72和T73的漏极均连接前一扫描时序的相邻行(图4中第N-1行)

的行扫描信号G(N-1),其中,T72的栅极与T42和T32的栅极耦接在一起,由P(N)点的电压控制其开启与关闭。T73的栅极与T43和T33的栅极耦接在一起,由K(N)点的电压控制其开启与关闭。T72和T73的源极均耦接于直流下拉电压VSS。

[0053] 假设LC1为高电平,LC2为低电平,由LC1控制左边的镜像电路结构(T32、T42、T51、T52、T53和T54)可以结合图4和图5,并参照前一实施例中的控制电路的工作过程进行,此处不再赘述。需要注意的是,交替控制信号LC1和LC2不再是高频信号,其频率小于GOA驱动单元的扫描时钟信号频率,因此P(N)点在下拉维持阶段始终保持为高电平,能够更有效地保证将Q(N)、G(N)和G(N-1)维持在低电平。

[0054] 现有技术的GOA驱动电路,其下拉维持单元都是只针对本级电路的Q点和行扫描信号输出点进行下拉维持作用。而在本发明实施例中,通过在现有GOA驱动单元的本级中增加对邻行实施操作的下拉晶体管,同时针对上一级电路的行扫描信号输出点进行下拉维持操作,可以较大程度上提高GOA电路输出的低电位维持能力,进一步提高其电路的驱动性能,进而改善液晶面板的品质。

[0055] 由于增加了对相邻行的操作,当在本级驱动单元的下拉维持单元失效时,还可以通过下级的下拉维持单元来起到下拉维持作用,提高了GOA电路的自修复能力。当驱动电路由于制程的原因,或是由于长时间工作失效而存在元件故障时,在相邻行的互操作作用下,有可能保证电路继续正确动作,从另一方面来讲有助于提高GOA面板的良率。

[0056] 虽然本发明所揭露的实施方式如上,但所述的内容只是为了便于理解本发明而采用的实施方式,并非用以限定本发明。任何本发明所属技术领域内的技术人员,在不脱离本发明所揭露的精神和范围的前提下,可以在实施的形式上及细节上作任何的修改与变化,但本发明的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

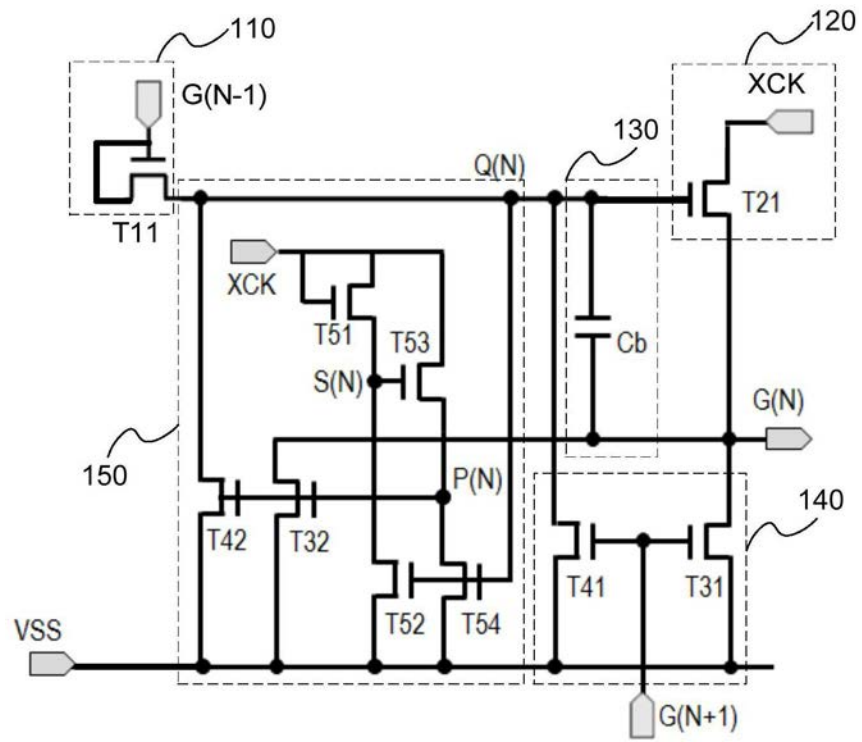


图1

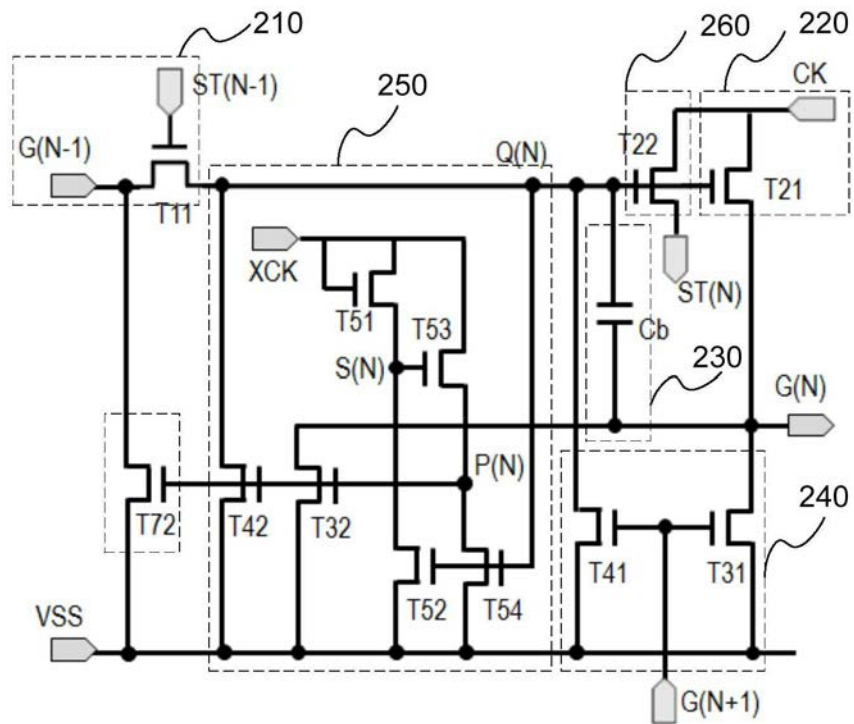


图2

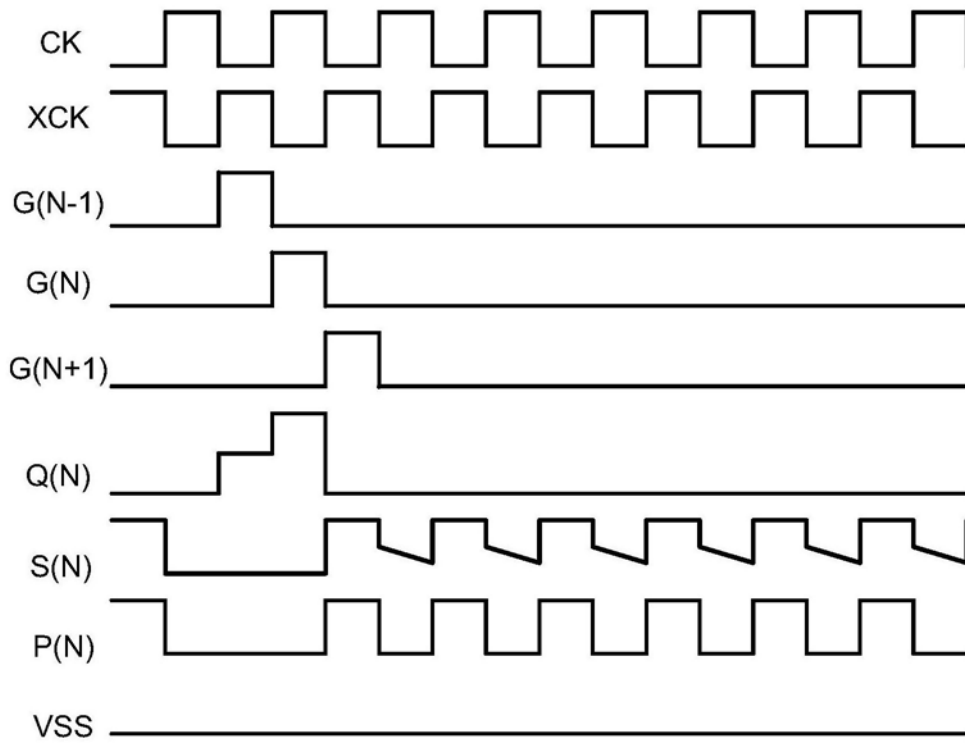


图3

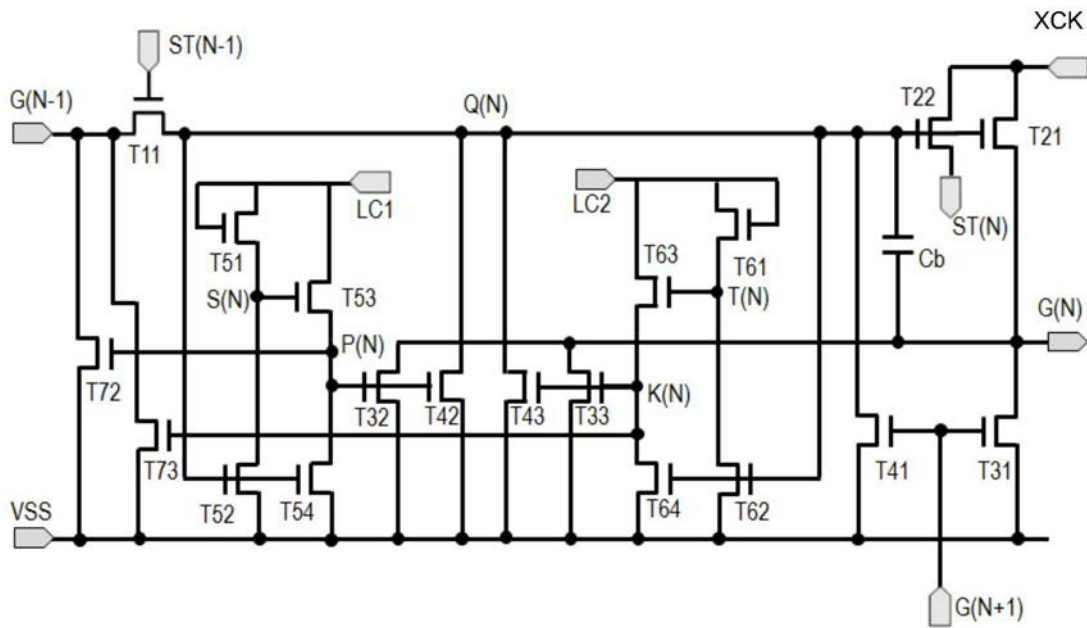


图4

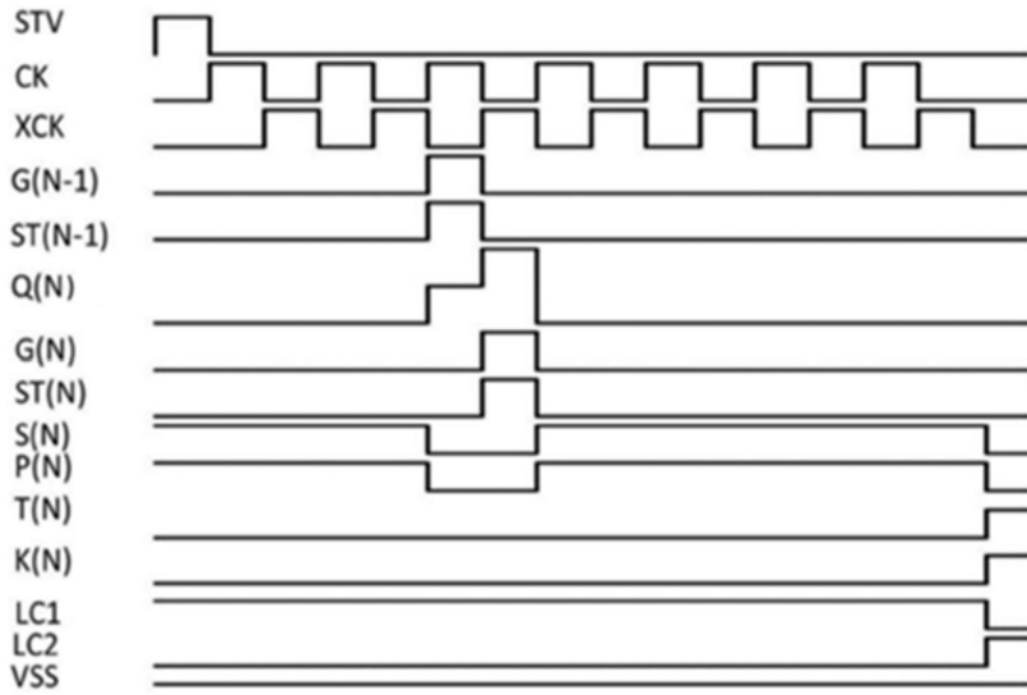


图5