(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2002 年8 月29 日 (29.08.2002)

PCT

(10) 国際公開番号
WO 02/067522 A1

(51) 国際特許分類[7]: H04L 27/22, 27/14

(21) 国際出願番号: PCT/JP02/01244

(22) 国際出願日: 2002 年2 月14 日 (14.02.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-042474 2001 年2 月19 日 (19.02.2001) JP
特願2001-202664 2001 年7 月3 日 (03.07.2001) JP

(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都 千代田区 丸の内二丁目２番３号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 林 亮司 (HAYASHI,Ryoji) [JP/JP]; 〒100-8310 東京都 千代田区 丸の内二丁目２番３号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 酒井 宏明 (SAKAI,Hiroaki); 〒100-0013 東京都 千代田区 霞ヶ関三丁目２番６号 東京倶楽部ビルディング Tokyo (JP).

(81) 指定国 (国内): CN, KR, US.

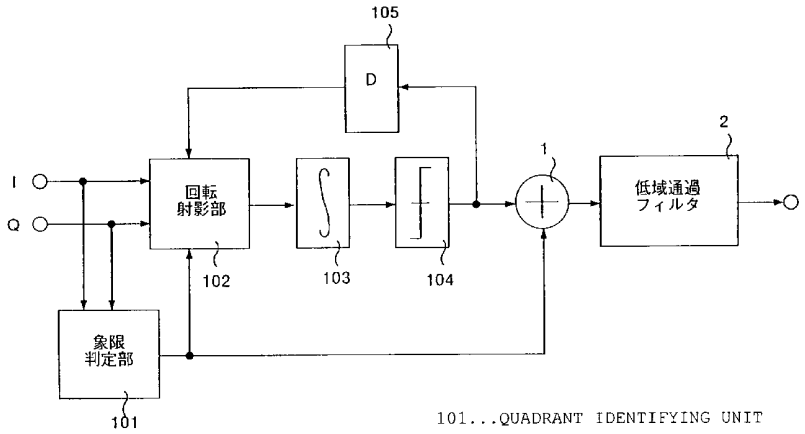
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: PHASE DETECTION CIRCUIT AND RECEIVER

(54) 発明の名称: 位相検出回路および受信機



101...QUADRANT IDENTIFYING UNIT
102...ROTATIONAL PROJECTION UNIT
2...LOW-PASS FILTER

(57) Abstract: A phase detection circuit comprises a quadrant identifying unit (101) for identifying the quadrant of a received signal on the basis of a received base band signal, a rotational projection unit (102) for projecting the received signal, after rotating the received signal according to a predetermined rule, onto the line perpendicular at the origin to the line bisecting the identified quadrant, an integrator (103) for integrating the projected signal, a 1-bit quantitizer (104) for judging whether the sign of the integration result is plus or minus and quantizing the result, a delay circuit (105) for delaying the quantized signal by a predetermined time, an adder (1) for adding the judgment result and the quantized signal by using the phase of π as a modulo, and a low-pass filter (2) for latching the added phase values sequentially by means of a shift register in the low-pass filter, converting the phase value, if there is data across π in all the data in the shift register, into a predetermined specific value, and averaging the phase values.

[続葉有]

WO 02/067522 A1

(57) 要約:

受信ベースバンド信号から受信信号の象限を判定する象限判定部（１０１）と、所定の規則に基づいて受信信号を回転後、判定された象限を二等分する直線と原点で直交する直線に当該回転後の信号を射影する回転射影部（１０２）と、射影後の信号を積分する積分器（１０３）と、積分結果の符号を判定して量子化する１ビット量子化器（１０４）と、量子化後の信号を所定の時間だけ遅延する遅延回路（１０５）と、判定結果と量子化後の信号とを位相２π を法として加算する加算器（１）と、加算後の位相値を順に内部のシフトレジスタでラッチし、シフトレジスタ内の全データのなかに２π をまたぐ位相値がある場合には当該位相値を予め規定された特定の値に変換し、その後、位相値の平均演算を行う低域通過フィルタ（２）と、を備える構成とする。

明 細 書

位相検出回路および受信機

技術分野

本発明は、無線通信において、周波数変調または位相変調された受信信号の位相を検出する位相検出回路および受信機に関するものであり、特に、ディジタル移動通信で使われるＦＳＫ(Frequency Shift Keying)やＰＳＫ(Phase Shift Keying)信号の位相を検出する位相検出回路および受信機に関するものである。

背景技術

以下、従来の位相検出回路について説明する。第３０図は、たとえば、特開平６－７７７３７号公報に示された従来の位相検出回路の構成を示す図である。従来の位相検出回路は、ベースバンド信号から受信信号の位相を検出する。第３０図において、１０１は象限判定部であり、１０２は回転射影部であり、１０３は積分器であり、１０４は１ビット量子化器であり、１０５は遅延器であり、１０６は加算器であり、１０７は低域通過フィルタである。なお、従来例は、回転射影部１０２，積分器１０３，１ビット量子化器１０４，遅延器１０５，加算器１０６，象限判定部１０１で、デルタシグマ変調器を構成する。

ここで、従来の位相検出回路の動作について説明する。象限判定部１０１では、受け取った同相成分，直交成分の受信ベースバンド信号の正負から、受信信号の象限を判定し、その結果に応じた粗位相値を出力する。受信信号の象限が第１，第２，第３，第４象限の場合は、それぞれ、０，１，２，３を出力する。

回転射影部１０２では、遅延器１０５が出力するデータに応じて、受信複素ベースバンド信号を＋π／４または－π／４回転する。さらに、象限判定部１０１が検出した象限を二等分する直線と原点で直交する直線に、この回転した信号を射影した符号付きの値を出力する。

そして、回転射影部１０２の出力は、積分器１０３で積分され、さらに、１ビット量子化器１０４で量子化される。１ビット量子化器１０４では、たとえば、積分器１０３の出力が正のときに１を、負のときに０を出力する。また、加算器１０６では、この出力値と象限判定部１０１が出力する粗位相値とを加算する。また、遅延器１０５では、１ビット量子化器１０４の出力をデルタシグマ変調器の１基本クロック（１サイクル）分だけ遅延して回転射影部１０２に対して出力する。

低域通過フィルタ１０７では、上記加算された位相データに基づいて量子化雑音を平滑化する。第３１図は、低域通過フィルタ１０７の構成を示す図である。第３１図において、２０１はシフトレジスタであり、２０２－１，２０２－２，…，２０２－ｋは乗算器であり、２０３は加算器である。低域通過フィルタ１０７では、加算器１０６が出力する位相データが次々にシフトレジスタ２０１に入力される。乗算器２０２－１，…，２０２－ｋでは、各レジスタの内容と係数とを乗算し、加算器２０３では、すべての乗算結果を加算する。たとえば、係数を１／ｋにするとｋ段の移動平均が加算器２０３の出力に現れる。

つぎに、上記回転射影部１０２の動作を具体的に説明する。なお、以降の説明では、受信複素ベースバンド信号をＩ＋ｊＱで表す。たとえば、遅延器１０５の出力が１の場合、受信信号は－π／４回転され、式（１）のように表すことができる。

$$(I+jQ)(\cos(\pi/4)-j\sin(\pi/4))=((I+Q)+j(-I+Q))/\sqrt{2} \qquad (1)$$

一方、遅延器１０５の出力が０の場合には、受信信号は＋π／４回転され、式（２）のように表すことができる。

$$(I+jQ)(\cos(\pi/4)+j\sin(\pi/4))=((I-Q)+j(I+Q))/\sqrt{2} \qquad (2)$$

つぎに、回転射影部１０２では、象限判定部１０１が検出した象限を二等分する直線と原点で直交する直線に、この信号を射影する。このとき、直交する直線の向きは、前記の象限判定部１０１で検出した象限において位相が増加する方向が直線の正の方向に一致するように定める。

たとえば、受信信号が第１象限にある場合、第１象限を二等分する直線と原点で直交する直線の単位方向ベクトルは、第２象限の方向が正になるように定めると、（－１／√２，１／√２）となる。回転した受信信号のこの直線への射影は、直線の単位方向ベクトルとの内積で表されるので、遅延器１０５の出力が１のときは式(３)のように、遅延器１０５の出力が０のときは式（４）のように、それぞれ表すことができる。

$$\left((I+Q)/\sqrt{2},(-I+Q)/\sqrt{2}\right)\cdot\left(-1/\sqrt{2},1/\sqrt{2}\right)=-I \qquad (3)$$

$$\left((I-Q)/\sqrt{2},(I+Q)/\sqrt{2}\right)\cdot\left(-1/\sqrt{2},1/\sqrt{2}\right)=Q \qquad (4)$$

同様に、受信信号が第２象限にある場合、第２象限を二等分する直線と原点で直交する直線の単位方向ベクトルは、第３象限の方向が正になるように定めると、（－１／√２，－１／√２）となる。したがって、回転した受信信号のこの直線への射影は、遅延器１０５の出力が１のときは式（５）のように、遅延器１０５の出力が０のときは式（６）のように、それぞれ表すことができる。

$$\left((I+Q)/\sqrt{2},(-I+Q)/\sqrt{2}\right)\cdot\left(-1/\sqrt{2},-1/\sqrt{2}\right)=-Q \qquad (5)$$

$$\left((I-Q)/\sqrt{2},(I+Q)/\sqrt{2}\right)\cdot\left(-1/\sqrt{2},-1/\sqrt{2}\right)=-I \qquad (6)$$

同様に、受信信号が第３象限にある場合、第３象限を二等分する直線と原点で直交する直線の単位方向ベクトルは、第４象限の方向が正になるように定めると、

（1／√2，－1／√2）となる。したがって、回転した受信信号のこの直線への射影は、遅延器１０５の出力が１のときは式（7）のように、遅延器１０５の出力が０のときは式（8）のように、それぞれ表すことができる。

$$\left((I+Q)/\sqrt{2},(-I+Q)/\sqrt{2}\right)\cdot\left(1/\sqrt{2},-1/\sqrt{2}\right)=I \tag{7}$$

$$\left((I-Q)/\sqrt{2},(I+Q)/\sqrt{2}\right)\cdot\left(1/\sqrt{2},-1/\sqrt{2}\right)=-Q \tag{8}$$

同様に、受信信号が第４象限にある場合、第４象限を二等分する直線と原点で直交する直線の単位方向ベクトルは、第１象限の方向が正になるように定めると、（1／√2，1／√2）となる。したがって、回転した受信信号のこの直線への射影は、遅延器１０５の出力が１のときは式（9）のように、遅延器１０５の出力が０のときは式（１０）のように、それぞれ表すことができる。

$$\left((I+Q)/\sqrt{2},(-I+Q)/\sqrt{2}\right)\cdot\left(1/\sqrt{2},1/\sqrt{2}\right)=Q \tag{9}$$

$$\left((I-Q)/\sqrt{2},(I+Q)/\sqrt{2}\right)\cdot\left(1/\sqrt{2},1/\sqrt{2}\right)=I \tag{10}$$

すなわち、回転射影部１０２では、

①受信信号が第１象限で遅延器１０５の出力が１のとき－Ｉ

②受信信号が第１象限で遅延器１０５の出力が０のときＱ

③受信信号が第２象限で遅延器１０５の出力が１のとき－Ｑ

④受信信号が第２象限で遅延器１０５の出力が０のとき－Ｉ

⑤受信信号が第３象限で遅延器１０５の出力が１のときＩ

⑥受信信号が第３象限で遅延器１０５の出力が０のとき－Ｑ

⑦受信信号が第４象限で遅延器１０５の出力が１のときＱ

⑧受信信号が第４象限で遅延器１０５の出力が０のときＩ

をそれぞれ選択出力する。

したがって、加算器１０６の出力は、象限判定部１０１が出力する粗位相値と１ビット量子化器１０４の出力の和なので、

①受信信号が第１象限で積分器１０３の出力が正のとき１

②受信信号が第１象限で積分器１０３の出力が負のとき０

③受信信号が第２象限で積分器１０３の出力が正のとき２

④受信信号が第２象限で積分器１０３の出力が負のとき１

⑤受信信号が第３象限で積分器１０３の出力が正のとき３

⑥受信信号が第３象限で積分器１０３の出力が負のとき２

⑦受信信号が第４象限で積分器１０３の出力が正のとき４

⑧受信信号が第４象限で積分器１０３の出力が負のとき３

となる。

以上をまとめると、象限判定部１０１，回転射影部１０２，１ビット量子化器１０４の出力は第３２図のように表すことができる。

つぎに、受信複素ベースバンド信号$Ae^{j\theta}$（＝Ｉ＋ｊＱ）が第１象限の場合を一例として、受信ベースバンド信号の位相の検出方法を説明する。なお、Ｉ＝Ａｃｏｓθであり、Ｑ＝Ａｓｉｎθである。

まず、回転射影部１０２では、遅延器１０５の出力に応じてーＩまたはＱを積分器１０３に対して出力する。これを積分した積分器１０３の出力は、回転射影部１０２の出力の平均値を表している。そして、１ビット量子化器１０４では、積分器１０３の出力の正負を判定する。たとえば、この出力が正のときは１を出力するとともに遅延器１０５を経て回転射影部１０２からーＩを出力させ、負のときは０を出力するとともに遅延器１０５を経て回転射影部１０２からＱを出力させる。ここでは、帰還ループの働きにより、積分器１０３の出力、すなわち、回転射影部１０２の出力の平均値がゼロに近づくように制御される。

したがって、デルタシグマ変調器（象限判定部１０１，回転射影部１０２，積分器１０３，１ビット量子化器１０４，遅延器１０５，加算器１０６に相当）を

Nサイクル（Nは自然数）動作させ、そのうち、１ビット量子化器１０４出力の正の回数がｐ回、負の回数がｑ回であった場合は、帰還制御の結果、Nが十分大きければ、「－ｐＩ＋ｑＱ≒０」かつ「ｐ＋ｑ＝N」が成り立つ。また、このとき、加算器１０６は、１をｐ回、０をｑ回出力するので、低域通過フィルタ１０７がこれを単純に平均すると、その出力は、式（１１）のようになる。

$$（1・p＋0・q）／N＝Q／（I＋Q）＝\tan\theta／（1＋\tan\theta）　（11）$$

したがって、低域通過フィルタ１０７の出力は、

①$\theta＝0$のとき：$\tan\theta／（1＋\tan\theta）＝0$

②$\theta＝\pi／6$のとき：$\tan\theta／（1＋\tan\theta）＝0．366≒1／3$

③$\theta＝\pi／4$のとき：$\tan\theta／（1＋\tan\theta）＝1／2$

④$\theta＝\pi／3$のとき：$\tan\theta／（1＋\tan\theta）＝0．634≒2／3$

⑤$\theta＝\pi／2$のとき：$\tan\theta／（1＋\tan\theta）＝1$

となり、低域通過フィルタ１０７の出力の$\pi／2$倍は、位相の近似値になる。

第３３図は、従来の位相検出回路の入力信号の位相と検出される位相の関係を示す図である。

第３４図は、計算機シミュレーションで求めた従来の位相検出回路の各部の出力信号波形を示す図である。第３４図において、横軸は時間を表し、横軸の数字の単位はサイクルである。また、（ａ）は受信ベースバンド信号の位相であり、（ｂ）は受信ベースバンド信号の同相成分と直交成分であり、（ｃ）は回転射影部１０２の出力であり、（ｄ）は積分器１０３の出力であり、（ｅ）は１ビット量子化器１０４の出力であり、（ｆ）は象限判定部１０１の出力であり、（ｇ）は加算器１０６の出力であり、（ｈ）は低域通過フィルタ１０７の出力である。第３４図からわかるように、低域通過フィルタ１０７の出力（ｈ）は受信ベースバンド信号の位相（ａ）を量子化したものになっている。

なお、ここでは、受信複素ベースバンド信号が直接位相検出回路に入力される構成を示したが、これに限らず、受信ベースバンド信号をある一定の角度だけ回

転し、回転後の信号の位相を位相検出回路で検出した後で、当該位相から回転した角度を差し引いて元の受信ベースバンド信号の位相を求めることとしてもよい。たとえば、複素ベースバンド信号Ｉ＋ｊＱを４５度回転して$\sqrt{2}$倍した信号は、式（１２）のように表すことができる。

$$\sqrt{2}e^{j\pi/4}(I+jQ)=(I-Q)+j(I+Q) \qquad (12)$$

したがって、受信ベースバンド信号Ｉ，ＱからＩ－Ｑ，Ｉ＋Ｑを作り、位相検出回路に入力して、検出した位相から４５度に相当する量子化値を差し引けば、受信ベースバンド信号の位相が求められる。

第３５図は、上記とは異なる従来の位相検出回路を備えたＰＳＫ受信機の構成を示す図である。第３５図において、３０１，３０２はミキサであり、３０３は局部発振器であり、３０４は直交分波器であり、３０５，３０６は低域通過フィルタであり、３０７，３０８は増幅器であり、３０９，３１０はＡ／Ｄ変換器（Ａ／Ｄ）であり、３１１は従来の位相検出回路であり、３１２は復調器である。この位相検出回路３１１は読み出し専用メモリ（ＲＯＭ）で構成される。

ここで、上記ＰＳＫ受信機の動作を説明する。局部発振器３０３では、受信信号の中心周波数に等しい周波数の局発信号を発振する。直交分波器３０４では、当該局発信号を分波して直交した局発信号を生成する。ミキサ３０１，３０２では、入力端子で受け取った受信信号と直交局発信号とを混合し、同相成分および直交成分のベースバンド信号を生成する。

その後、低域通過フィルタ３０５，３０６では、ベースバンド信号から不要波成分を取り除き、増幅器３０７，３０８では、不要成分除去後の信号を増幅する。そして、Ａ／Ｄ変換器３０９，３１０では、ベースバンド信号の同相成分Ｉと直交成分Ｑを量子化する。

位相検出回路３１１では、ベースバンド信号から受信信号の位相を検出する。具体的にいうと、位相検出回路３１１のＲＯＭには、量子化ベースバンド信号Ｉ，

Qに対応した位相 θ＝ａｒｃｔａｎ（Q／Ｉ）の値があらかじめ書き込まれており、量子化ベースバンド信号Ｉ，Ｑをアドレスとして、位相 θ を読み出す。最後に、復調器３１２では、この位相 θ にしたがって受信データを復調する。

しかしながら、上記ＲＯＭで構成された位相検出器を用いた受信機では、受信信号のダイナミックレンジが大きいため、高分解能のＡ／Ｄ変換器３０９，３１０が必要で、それに伴い、位相検出回路３１１のＲＯＭの容量が非常に大きくなってしまう。そこで、実際の受信機は、Ａ／Ｄ変換器の前段にＡＧＣを設け、Ａ／Ｄ変換器３０９，３１０の入力信号のダイナミックレンジを抑える処理を行っていた。第３６図は、ダイナミックレンジを抑制可能な従来の受信機の構成を示す図である。

このように、従来の受信機では、レベル検出器３１３、および可変利得増幅器として動作する増幅器３０７，３０８を設け、レベル検出器３１３の検出するベースバンド信号のレベルに応じて、可変利得増幅器３０７，３０８の利得を増減させていた。

しかしながら、第３０図に示した従来の位相検出回路においては、たとえば、受信信号が第４象限から第１象限に変化すると、従来の位相検出回路の加算器１０６の出力は「３または４」から「０または１」に変化する。そのため、低域通過フィルタ１０７の出力は、中間の２前後の値となり、正しい位相である０または４前後の値から大きくはずれてしまう。このように、従来の位相検出回路では、位相の巡回性を無視して単純に加算演算しているため、受信信号の位相が０あるいは２π をまたいで変化したときに、低域通過フィルタ１０７から出力される位相が正しく出力されない場合がある、という問題があった（たとえば、第３４図（ｈ）のＡ部）。

また、たとえば、受信ベースバンド信号Ｉ＋ｊＱが第１象限から第２象限に移動した場合、回転射影部１０２では、受信信号が第１象限のとき－Ｉ（負の値）またはＱ（正の値）を出力するが、受信信号が第２象限に入ると、－Ｑ（負の値）または－Ｉ（正の値）を出力する。このとき、第１象限と第２象限の境界付近

ではＩの絶対値がゼロに近いのに対し、Ｑの絶対値は小さくない。そのため、回転射影部１０２の出力は、遅延器１０５の出力するデータによって変わり、０が出力された場合に第１象限ではＱであったものが第２象限では－Ｉに、１が出力された場合に第１象限では－Ｉであったものが第２象限では－Ｑに、大きく変化する（たとえば、第３４図（ｃ）のＢ部）。このように、従来の位相検出回路では、受信信号の象限が変化したときに、回転射影部１０２の出力が不連続に急変し、位相の検出値に一時的に誤差を生じることがある、という問題があった（たとえば、第３４図（ｈ）のＣ部）。

また、従来の位相検出回路を用いたアナログＦＭ受信機では、上記２つの問題により位相検出値が不正確になるため、復調信号の歪み率特性が劣化する、という問題があり、また、従来の位相検出回路を用いたＦＳＫ受信機やＰＳＫ受信機では、同様の理由から、受信ビット誤り率特性が劣化する、という問題があった。

また、ＲＯＭで構成された従来の位相検出器を用いた受信機においては、ＡＧＣを設けているため、特に電波環境の変化が著しい移動通信環境に対して、受信レベルの急激な変動にＡＧＣが追従できず、結果的に、アナログＦＭ受信機では歪み率特性が劣化し、ＦＳＫ受信機およびＰＳＫ受信機では受信ビット誤り率特性が劣化する、という問題があった。

したがって、本発明は、正確な位相検出を実現可能な位相検出回路を得ることを目的とする。また、高分解能のＡ／Ｄ変換器やＡＧＣ増幅が不要で、かつ歪み率特性および受信ビット誤り率特性の改善を実現可能な受信機を提供することを目的としている。

発明の開示

本発明にかかる位相検出回路にあっては、受信ベースバンド信号の位相を量子化する第１の量子化手段（後述する実施の形態の位相量子化部４０１に相当）と、前記受信信号を所定の規則に基づいて線形変換し、当該線形変換後の信号を選択出力する変換選択手段（変換選択部４０２に相当）と、前記変換選択手段の出力

を積分する積分手段（積分器１０３に相当）と、前記積分結果の符号を判定して量子化する第２の量子化手段（１ビット量子化器１０４に相当）と、前記第２の量子化手段の出力を所定の第１の時間遅延し、当該遅延後の信号を前記変換選択手段に対して出力する遅延手段（遅延器１０５に相当）と、前記第１の量子化手段の出力と前記第２の量子化手段の出力とを位相２π の量子化値を法として加算する加算手段（加算器１に相当）と、前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに位相２π の量子化値をまたぐ位相値がある場合には全データを所定の規則で変換し、位相２π の量子化値をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段（低域通過フィルタ２に相当）と、を備えることを特徴とする。

つぎの発明にかかる位相検出回路にあっては、受信ベースバンド信号の位相を量子化する第１の量子化手段と、前記受信信号を所定の規則に基づいて線形変換し、当該線形変換後の信号を選択出力する変換選択手段（変換選択部４０３に相当）と、前記変換選択手段の出力を積分する積分手段と、前記第１の量子化手段の出力に基づいて、前記積分結果の符号を判定して量子化する第２の量子化手段（１ビット量子化器５に相当）と、前記第２の量子化手段の出力を所定の時間遅延し、当該遅延後の信号を前記変換選択手段に対して出力する遅延手段と、前記第１の量子化手段の出力と前記第２の量子化手段の出力とを位相２π の量子化値を法として加算する加算手段と、前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに位相２π の量子化値をまたぐ位相値がある場合には全データを所定の規則で変換し、位相２π の量子化値をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、を備えることを特徴とする。

つぎの発明にかかる位相検出回路にあっては、前記第１の量子化手段、前記変換選択手段、前記積分手段、前記第２の量子化手段、前記遅延手段および前記加

算手段で、デルタシグマ変調器を構成することを特徴とする。

つぎの発明にかかる位相検出回路にあっては、複数段の積分器を備えたデルタシグマ変調器を備えることを特徴とする。

つぎの発明にかかる位相検出回路にあっては、さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記受信ベースバンド信号を一定に保持するためのサンプルホールド手段（サンプルホールド回路３に相当）、を備えることを特徴とする。

つぎの発明にかかる位相検出回路にあっては、受信ベースバンド信号から受信信号の象限を判定する象限判定手段（象限判定部１０１に相当）と、所定の規則に基づいて受信信号を回転後、特定の直線に当該回転後の信号を射影する回転射影手段（回転射影部１０２に相当）と、前記回転射影手段の出力を積分する積分手段と、前記積分結果の符号を判定して量子化する量子化手段と、前記量子化後の信号を所定の第１の時間遅延し、当該遅延後の信号を前記回転射影手段に対して出力する遅延手段と、前記象限判定手段の出力と前記量子化後の信号とを位相２π を法として加算する加算手段と、前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに２π をまたぐ位相値がある場合には当該位相値を予め規定された特定の値に変換し、２π をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、を備えることを特徴とする。

つぎの発明にかかる位相検出回路にあっては、前記象限判定手段、前記回転射影手段、前記積分手段、前記量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする。

つぎの発明にかかる位相検出回路にあっては、受信ベースバンド信号から受信信号の象限を判定する象限判定手段と、所定の規則に基づいて受信信号を回転後、特定の直線に当該回転後の信号を射影する回転射影手段（回転射影部４に相当）と、前記回転射影手段の出力を積分する積分手段と、前記判定された受信信号の

象限に基づいて、前記積分結果の符号を判定して量子化する量子化手段（１ビット量子化器５に相当）と、前記量子化後の信号を所定の時間遅延し、当該遅延後の信号を前記回転射影手段に対して出力する遅延手段と、前記象限判定手段の出力と前記量子化後の信号とを位相２π を法として加算する加算手段と、前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに２π をまたぐ位相値がある場合には当該位相値を予め規定された特定の値に変換し、２π をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、を備え、前記象限判定手段、前記回転射影手段、前記積分手段、前記量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする。

つぎの発明にかかる位相検出回路にあっては、複数段の積分器を備えたデルタシグマ変調器を備えることを特徴とする。

つぎの発明にかかる位相検出回路にあっては、さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、を備えることを特徴とする。

つぎの発明にかかる受信機にあっては、受信ベースバンド信号の位相を量子化する第１の量子化手段と、前記受信ベースバンド信号を所定の規則に基づいて線形変換し、当該線形変換後の信号を選択出力する変換選択手段と、前記変換選択手段の出力を積分する積分手段と、前記積分結果の符号を判定して量子化する第２の量子化手段と、前記第２の量子化手段の出力を所定の第１の時間遅延し、当該遅延後の信号を前記変換選択手段に対して出力する遅延手段と、前記第１の量子化手段の出力と前記第２の量子化手段の出力とを位相２π の量子化値を法として加算する加算手段と、前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに位相２π の量子化値をまたぐ位相値がある場合には全データを所定の規則で変換し、位相２π の量子化値をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算

を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、前記位相値に基づいて受信データを復調する復調器（復調器３１２に相当）と、を備え、前記第１の量子化手段、前記変換選択手段、前記積分手段、前記第２の量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする。

つぎの発明にかかる受信機にあっては、受信ベースバンド信号の位相を量子化する第１の量子化手段と、前記受信ベースバンド信号を所定の規則に基づいて線形変換し、当該線形変換後の信号を選択出力する変換選択手段と、前記変換選択手段の出力を積分する積分手段と、前記第１の量子化手段の出力に基づいて、前記積分結果の符号を判定して量子化する第２の量子化手段と、前記第２の量子化手段の出力を所定の時間遅延し、当該遅延後の信号を前記変換選択手段に対して出力する遅延手段と、前記第１の量子化手段の出力と前記第２の量子化手段とを位相２π の量子化値を法として加算する加算手段と、前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに位相２π の量子化値をまたぐ位相値がある場合には全データを所定の規則で変換し、位相２π の量子化値をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、前記位相値に基づいて受信データを復調する復調器と、を備え、前記第１の量子化手段、前記変換選択手段、前記積分手段、前記第２の量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする。

つぎの発明にかかる受信機にあっては、前記第１の量子化手段と前記変換選択手段の入力を差動とすることを特徴とする。

つぎの発明にかかる受信機にあっては、受信ベースバンド信号の象限を判定する象限判定手段と、所定の規則に基づいて受信信号を回転後、特定の直線に当該回転後の信号を射影する回転射影手段と、前記回転射影手段の出力を積分する積分手段と、前記積分結果の符号を判定して量子化する量子化手段と、前記量子化

後の信号を所定の第１の時間遅延し、当該遅延後の信号を前記回転射影手段に対して出力する遅延手段と、前記象限判定手段の出力と前記量子化後の信号とを位相２π を法として加算する加算手段と、前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに２π をまたぐ位相値がある場合には当該位相値を予め規定された特定の値に変換し、２π をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、前記位相値に基づいて受信データを復調する復調器と、を備え、前記象限判定手段、前記回転射影手段、前記積分手段、前記量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする。

つぎの発明にかかる受信機にあっては、受信ベースバンド信号の象限を判定する象限判定手段と、所定の規則に基づいて受信信号を回転後、特定の直線に当該回転後の信号を射影する回転射影手段と、前記回転射影手段の出力を積分する積分手段と、前記判定された受信信号の象限に基づいて、前記積分結果の符号を判定して量子化する量子化手段と、前記量子化後の信号を所定の時間遅延し、当該遅延後の信号を前記回転射影手段に対して出力する遅延手段と、前記象限判定手段の出力と前記量子化後の信号とを位相２π を法として加算する加算手段と、前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに２π をまたぐ位相値がある場合には当該位相値を予め規定された特定の値に変換し、２π をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、前記位相値に基づいて受信データを復調する復調器と、を備え、前記象限判定手段、前記回転射影手段、前記積分手段、前記量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする。

つぎの発明にかかる受信機にあっては、前記象限判定手段と前記回転射影手段の入力を差動とすることを特徴とする。

つぎの発明にかかる受信機にあっては、M次構成のデルタシグマ変調器を備えることを特徴とする。

つぎの発明にかかる受信機において、前記復調器は、発振器が生成するシンボルクロックのＬ倍のクロックと前記位相値とを受け取り、当該位相値からシンボルクロックの１／Ｌの分解能でデータ判定タイミングを探し、さらに、前記低域通過フィルタ手段を動作させるための位相検出要求タイミングを生成するタイミング再生手段（タイミング再生部１３に相当）と、前記位相値および前記データ判定タイミングに基づいて受信データを判定するデータ判定手段（データ判定部１４に相当）と、を備え、前記低域通過フィルタ手段は、位相検出要求タイミングで動作することを特徴とする。

つぎの発明にかかる受信機にあっては、さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記増幅後の受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、を備えることを特徴とする。

図面の簡単な説明

第１図は、本発明にかかる位相検出回路の実施の形態１の構成を示す図であり、第２図は、低域通過フィルタの構成を示す図であり、第３図は、本発明にかかる位相検出回路の実施の形態２の構成を示す図であり、第４図は、量子化分解能がＮの場合における一般的な位相検出回路の構成を示す図であり、第５図は、変換選択部の動作を具体的に説明するための図であり、第６図は、本発明にかかる位相検出回路の実施の形態３の構成を示す図であり、第７図は、本発明にかかる位相検出回路の実施の形態３の構成を示す図であり、第８図は、本発明にかかる位相検出回路の実施の形態４の構成を示す図であり、第９図は、象限判定部と回転射影部と１ビット量子化器の出力（出力パターンＢ）を示す図であり、第１０図は、象限判定部と回転射影部と１ビット量子化器の出力を示す図であり、第１１図は、象限判定部と回転射影部と１ビット量子化器の出力を示す図であり、第１２図は、計算機シミュレーションで求めた実施の形態４の位相検出回路の各部の

出力信号波形を示す図であり、第１３図は、本発明にかかる位相検出回路の実施の形態５の構成を示す図であり、第１４図は、実施の形態５の動作を説明するための具体例を示す図であり、第１５図は、受信信号が属する領域の判定結果を示す図であり、第１６図は、位相量子化部と１ビット量子化器と変換選択部の出力を示す図であり、第１７図は、位相量子化部と１ビット量子化器と変換選択部の出力を示す図であり、第１８図は、位相量子化部と１ビット量子化器と変換選択部の出力（出力パターンA）を示す図であり、第１９図は、位相量子化部と１ビット量子化器と変換選択部の出力（出力パターンB）を示す図であり、第２０図は、本発明にかかる位相検出回路の実施の形態６の構成を示す図であり、第２１図は、本発明にかかる位相検出回路の実施の形態７の構成を示す図であり、第２２図は、本発明にかかる位相検出回路の実施の形態７の構成を示す図であり、第２３図は、本発明にかかる位相検出回路を備えた実施の形態８の受信機の構成を示す図であり、第２４図は、第２３図の受信機における位相量子化部（象限判定部）の構成を示す図であり、第２５図は、第２３図の受信機における変換選択部（回転射影部）の構成を示す図であり、第２６図は、本発明にかかる位相検出回路を備えた実施の形態９の受信機の構成を示す図であり、第２７図は、実施の形態９の受信機における位相量子化部（象限判定部）の構成を示す図であり、第２８図は、実施の形態９の受信機における変換選択部（回転射影部）の構成を示す図であり、第２９図は、受信機内の復調器の構成（実施の形態１０）を示す図であり、第３０図は、従来の位相検出回路の構成を示す図であり、第３１図は、従来の低域通過フィルタの構成を示す図であり、第３２図は、象限判定部と回転射影部と１ビット量子化器の出力（出力パターンA）を示す図であり、第３３図は、従来の位相検出回路の入力信号の位相と検出される位相との関係を示す図であり、第３４図は、計算機シミュレーションで求めた従来の位相検出回路の各部の出力信号波形を示す図であり、第３５図は、従来の位相検出回路を備えたＰＳＫ受信機の構成を示す図であり、第３６図は、ダイナミックレンジを抑制可能な従来の受信機の構成を示す図である。

発明を実施するための最良の形態

以下に、本発明にかかる位相検出回路および受信機の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

実施の形態１．

第１図は、本発明にかかる位相検出回路の実施の形態１の構成を示す図である。第１図において、１０１は象限判定部であり、１０２は回転射影部であり、１０３は積分器であり、１０４は１ビット量子化器であり、１０５は遅延器であり、１は加算器であり、２は低域通過フィルタである。なお、本実施の形態においては、象限判定部１０１，回転射影部１０２，積分器１０３，１ビット量子化器１０４，遅延器１０５，加算器１で、デルタシグマ変調器を構成する。

ここで、実施の形態１の位相検出回路の動作について説明する。なお、従来と同一の符号を付した各構成についてはそれぞれ同様に動作する。象限判定部１０１では、受け取った同相成分，直交成分の受信ベースバンド信号の正負から、受信信号の象限を判定し、その結果に応じた粗位相値を出力する。受信信号の象限が第１，第２，第３，第４象限の場合は、それぞれ、０，１，２，３を出力する。

回転射影部１０２では、遅延器１０５が出力するデータに応じて、受信複素ベースバンド信号を＋π／４または－π／４回転する。さらに、象限判定部１０１が検出した象限を二等分する直線と原点で直交する直線に、この回転した信号を射影した符号付きの値を出力する。そして、回転射影部１０２の出力は、積分器１０３で積分され、さらに、１ビット量子化器１０４で量子化される。また、１ビット量子化器１０４では、たとえば、積分器１０３の出力が正のときに１を、負のときに０を出力する。また、遅延器１０５では、１ビット量子化器１０４の出力をデルタシグマ変調器の１基本クロック（１サイクル）分だけ遅延して回転射影部１０２に対して出力する。

加算器１では、象限判定部１０１が出力する粗位相値と１ビット量子化器１０

４の出力とを位相２π の相当値を法として加算する。たとえば、上記のように粗位相値が０，１，２，３で表され、１ビット量子化器１０４の出力が０，１の場合、４を法として加算する。このような加算器は、３ビットの加算器の最上位ビットを捨てることで容易に実現できる。

低域通過フィルタ２では、上記加算された位相データに基づいて量子化雑音を平滑化する。第２図は、低域通過フィルタ２の構成を示す図である。第２図において、２０１はシフトレジスタであり、２０２－１，２０２－２，…，２０２－ｋは乗算器であり、２０６は位相２π の相当値を法として加算する加算器であり、２０４は比較判定部であり、２０５－１，２０５－２，…，２０５－ｋはデータ変換部である。

低域通過フィルタ２では、加算器１から出力される位相データが次々にシフトレジスタ２０１に入力される。このとき、比較判定部２０４がレジスタの内容に０と３が混在していると判定した場合、データ変換部２０５－１～２０５－ｋでは、レジスタの出力データを０→４、１→５、２→２、３→３と変換する。一方、比較判定部２０４がレジスタの内容に０と３が混在していないと判定した場合、データ変換部２０５－１～２０５－ｋでは、レジスタの出力データを変換しないで出力する。乗算器２０２－１～２０２－ｋでは、各データ変換部の出力と係数 c_i（ｉ＝１～ｋ）とを乗算し、加算器２０６では、位相２π を法としてすべての乗算結果を加算する。位相２π を法とした加算は、通常の加算を行った後、４を法とした剰余を出力する。

このように、本実施の形態においては、加算器１が位相２π を法とした加算を行い、また、低域通過フィルタ２が、演算対象となるシフトレジスタ２０１の出力に２π をまたぐ位相データが現れたとき、位相データの範囲を０～２π（レジスタ出力では０～３に相当）から π～３π（データ変換部出力では２～５に相当）に変換して演算を行い、その後、位相データの範囲を０～２π（０～３に相当）に戻す構成とした。これにより、正しい平均演算結果が得られるため、正確な位相検出を実現できる。

実施の形態２．

前述の実施の形態１では、象限判定部１０１が受信信号の位相を２ビットで量子化する場合について説明したが、実施の形態２では、量子化分解能がＮ（自然数）の場合について説明する。

第３図は、本発明にかかる位相検出回路の実施の形態２の構成を示す図である。第３図において、４０１は位相量子化部であり、４０２は変換選択部である。なお、前述の実施の形態１と同様の構成については、同一の符号を付してその説明を省略する。また、本実施の形態においては、位相量子化部４０１，変換選択部４０２，積分器１０３，１ビット量子化器１０４，遅延器１０５，加算器１で、デルタシグマ変調器を構成する。

ここで、実施の形態２の位相検出回路の動作を説明する前に、量子化分解能がＮの場合における一般的な位相検出回路の動作について説明する。第４図は、量子化分解能がＮの場合における一般的な位相検出回路の構成を示す図である。

まず、信号平面を、原点を中心とする中心角２π／Ｎの扇形の領域（Ｎ個）に分ける。第ｉ領域（ｉは自然数）には、位相が２（ｉ－１）π／Ｎ以上かつ２ｉπ／Ｎ未満の点が属する。位相量子化部４０１では、受信複素ベースバンド信号が属する領域を判定し、その結果に応じた位相量子化値を出力する。受信信号が第ｉ領域に属する場合は、ｉ－１を出力する。

変換選択部４０２では、遅延器１０５が出力するデータに応じて、受信複素ベースバンド信号を＋π／Ｎまたは－π／Ｎ回転する。さらに、位相量子化部４０１が検出した受信信号を含む領域を二等分する直線と原点で直交する直線に、この回転した信号を射影した符号付きの値を出力する。そして、変換選択部４０２の出力は、積分器１０３で積分され、さらに、１ビット量子化器１０４で量子化される。また、１ビット量子化器１０４では、たとえば、積分器１０３の出力が正のときに１を、負のときに０を出力する。また、加算器１０６では、この出力値と位相量子化部４０１が出力する位相量子化値とを加算する。また、遅延器１０５では、１ビット量子化器１０４の出力をデルタシグマ変調器の１基本クロッ

ク分だけ遅延して変換選択部４０２に対して出力する。

つぎに、上記変換選択部４０２の動作を具体的に説明する。なお、以降の説明では、受信複素ベースバンド信号Ａｅ$^{j\theta}$（＝Ｉ＋ｊＱ）が第ｉ領域に属すものとする。また、第５図に示すように、受信複素ベースバンド信号の位相を $\theta =$ ２（ｉ－１）π／Ｎ＋ϕ とする。ただし、ϕ は０以上かつ２π／Ｎ未満の値である。たとえば、遅延器１０５の出力が１の場合、受信信号は－π／Ｎ回転され、式（１３）のように表すことができる。

$$A\exp j\theta\cdot\exp\left(-j\frac{\pi}{N}\right)=A\cos\left(j\frac{(2i-3)\pi}{N}+\phi\right)+jA\sin\left(\frac{(2i-3)\pi}{N}+\phi\right) \tag{13}$$

一方、遅延器１０５の出力が０の場合には、受信信号は＋π／Ｎ回転され、式（１４）のように表すことができる。

$$A\exp j\theta\cdot\exp\left(j\frac{\pi}{N}\right)=A\cos\left(\frac{(2i-1)\pi}{N}+\phi\right)+jA\sin\left(\frac{(2i-1)\pi}{N}+\phi\right) \tag{14}$$

つぎに、変換選択部４０２では、位相量子化部４０１が検出した領域を二等分する直線と原点で直交する直線に、この信号を射影する。このとき、直交する直線の向きは、前記の位相量子化部４０１で検出した領域において位相が増加する方向が直線の正の方向に一致するように定める。これにより、第ｉ領域を二等分する直線と原点で直交する直線の単位方向ベクトルは、（－ｓｉｎ（２ｉ－１）π／Ｎ，ｃｏｓ（２ｉ－１）π／Ｎ）となる。回転した受信信号のこの直線への射影は、直線の単位方向ベクトルとの内積で表されるので、遅延器１０５の出力が１のときは式（１５）のように、遅延器１０５の出力が０のときは式（１６）のように、それぞれ表すことができる。

$$\left(A\cos\left(\frac{(2i-3)\pi}{N}+\phi\right),A\sin\left(\frac{(2i-3)\pi}{N}+\phi\right)\right)\cdot\left(-\sin\frac{(2i-1)\pi}{N},\cos\frac{(2i-1)\pi}{N}\right)$$
$$=-A\sin\left(\frac{2\pi}{N}-\phi\right)$$

(15)

$$\left(A\cos\left(\frac{(2i-1)\pi}{N}+\phi\right),A\sin\left(\frac{(2i-1)\pi}{N}+\phi\right)\right)\cdot\left(-\sin\frac{(2i-1)\pi}{N},\cos\frac{(2i-1)\pi}{N}\right)$$
$$=A\sin\phi$$

(16)

すなわち、変換選択部４０２の出力は、式（１７）または式（１８）のように表すことができ、いずれも受信複素ベースバンド信号の線形変換となっている。

$$-A\sin\left(\frac{2\pi}{N}-\phi\right)=-I\sin\frac{2i\pi}{N}+Q\cos\frac{2i\pi}{N}$$

(17)

$$A\sin\phi=-I\sin\frac{2(i-1)\pi}{N}+Q\cos\frac{2(i-1)\pi}{N}$$

(18)

以上の結果、まず、変換選択部４０２では、遅延器１０５の出力に応じて－Ａｓｉｎ（２π／Ｎ－φ）またはＡｓｉｎφを積分器１０３に対して出力する。これを積分した積分器１０３の出力は、変換選択部４０２の出力の平均値を表している。そして、１ビット量子化器１０４では、積分器１０３の出力の正負を判定する。そして、この出力が正のときは１を出力するとともに遅延器１０５を経て変換選択部４０２から－Ａｓｉｎ（２π／Ｎ－φ）を出力させ、負のときは０を出力するとともに遅延器１０５を経て変換選択部４０２からＡｓｉｎφを出力させる。ここでは、帰還ループの働きにより、積分器１０３の出力、すなわち、変換選択部４０２の出力の平均値がゼロに近づくように制御される。

したがって、デルタシグマ変調器（位相量子化部４０１，変換選択部４０２，積分器１０３，１ビット量子化器１０４，遅延器１０５，加算器１０６に相当）をMサイクル（Mは自然数）動作させ、そのうち、１ビット量子化器１０４出力の正の回数がｐ回、負の回数がｑ回であった場合は、帰還制御の結果、Mが十分大きければ、「－ｐｓｉｎ（２π／Ｎ－φ）＋ｑｓｉｎφ≒０」かつ「ｐ＋ｑ＝Ｍ」が成り立つ。

一方、受信信号は第ｉ領域に属するので、位相量子化部４０１の出力はｉ－１であり、１ビット量子化器１０４は１をｐ回、０をｑ回出力するので、加算器１０６は、ｉをｐ回、ｉ－１をｑ回出力する。したがって、低域通過フィルタ１０７がこれを単純に平均すると、その出力は、式（１９）のようになる。

$$\frac{i\cdot p+(i-1)q}{M}=i-\frac{\sin(2\pi/N-\phi)}{\sin\phi+\sin(2\pi/N-\phi)} \qquad (19)$$

したがって、低域通過フィルタ１０７の出力は、

①φ＝０、すなわち θ＝２（ｉ－１）π／Ｎのとき：

式（１７）の右辺＝ｉ－１

②φ＝π／Ｎ、すなわち θ＝（２ｉ－１）π／Ｎのとき：

式（１７）の右辺＝ｉ－１／２

③φ＝２π／Ｎ、すなわち θ＝２ｉπ／Ｎのとき：

式（１７）の右辺＝ｉ

となり、低域通過フィルタ１０７の出力の２π／Ｎ倍は、位相の近似値になる。

つぎに、本実施の形態の位相検出回路の動作について説明する。ここでは、上記一般的な位相検出回路と異なる動作についてのみ説明する。加算器１では、位相量子化部４０１が出力する位相量子化値と１ビット量子化器１０４の出力とを

位相２π の量子化値を法として加算する。

低域通過フィルタ２では、前述した実施の形態１と同様の手順で、上記加算された位相データに基づいて量子化雑音を平滑化する。

このように、本実施の形態においては、前述した実施の形態１と同様の効果が得られるとともに、さらに、量子化分解能がＮ（自然数）の場合についても対応可能となる。

実施の形態３．

第６図および第７図は、本発明にかかる位相検出回路の実施の形態３の構成を示す図である。第６図および第７図において、３はサンプルホールド回路である。なお、前述の実施の形態１または２と同様の構成については、同一の符号を付してその説明を省略する。また、第６図の構成は、前述の実施の形態１の構成（第１図）にサンプルホールド回路３を適用しており、また、第７図の構成は、前述の実施の形態２の構成（第３図）にサンプルホールド回路３を適用しているが、これに限らず、たとえば、第３０図や第４図の構成に対してサンプルホールド回路３を適用することとしてもよい。

サンプルホールド回路３では、位相検出回路内のデルタシグマ変調器（第６図では象限判定部１０１，回転射影部１０２，積分器１０３，１ビット量子化器１０４，遅延器１０５，加算器１に相当、第７図では位相量子化部４０１，変換選択部４０２，積分器１０３，１ビット量子化器１０４，遅延器１０５，加算器１に相当）によるデルタシグマ変調によって、十分な精度の位相の量子化値が求められるまでのＮサイクルの間、受信ベースバンド信号を一定に保持する。

このように、本実施の形態においては、デルタシグマ変調器の動作中、回転射影部１０２および変換選択部４０２の出力が一定になるため、さらに正確な位相検出値を得ることができる。

実施の形態４．

前述の実施の形態３では、デルタシグマ変調によって十分な精度の位相の量子化値が求められるまでのＮサイクルの間、受信ベースバンド信号を一定に保持す

るため、次のような問題が残る。

たとえば、ディジタル変調方式のＦＳＫやＰＳＫでは、送信信号はシンボルクロックごとに一定の周波数または位相が決まった値をとる。実際には、送信信号のスペクトルの広がりを抑えるために帯域制限を行うので、送信信号は、シンボルクロックごとの特定のタイミングで一定の周波数または位相をとり、その他の部分では周波数や位相が滑らかに変化する。そのため、受信機では、任意のタイミングで周波数や位相を判定することはできず、送信信号が一定の周波数や位相の値をとるタイミングを見つけ、それに同期してデータの判定を行う必要がある。そこで、受信機では、通常、シンボルクロックの１／８または１／１６の間隔で受信信号の周波数や位相を検出し、その中から適切なデータ判定タイミングを探している。

したがって、たとえば、シンボルクロックの１／８の周期で位相を検出する場合、実施の形態３の位相検出回路では、検出のたびに受信したベースバンド信号をサンプルホールド回路３で保持し、デルタシグマ変調器をＮサイクル動作させるので、シンボルクロックの８Ｎ倍のクロックが必要になり、消費電力が大きくなる。

実施の形態４においては、上記のような問題を解消する。第８図は、本発明にかかる位相検出回路の実施の形態４の構成を示す図である。第８図において、４は前述の回転射影部１０２とは動作が異なる回転射影部であり、５は前述の１ビット量子化器１０４とは動作が異なる１ビット量子化器である。なお、先に説明した実施の形態１～３と同様の構成については、同一の符号を付してその説明を省略する。また、本実施の形態においては、象限判定部１０１，回転射影部４，積分器１０３，１ビット量子化器５，遅延器１０５，加算器１で、デルタシグマ変調器を構成する。また、第８図の構成は、説明の便宜上、前述の実施の形態１の構成(第１図)の応用例として記載しているが、これに限らず、たとえば、従来の構成（第３０図）の応用例として記載してもよい。

ここで、実施の形態３の位相検出回路の動作について説明する。なお、先に説

明した実施の形態１と同一の符号を付した各構成についてはそれぞれ同様に動作する。

回転射影部４および１ビット量子化器５は、象限判定部１０１の出力に応じて動作する。たとえば、１ビット量子化器５では、象限判定部１０１の出力に応じて積分器１０３の出力の符号を判定し、

①受信信号が第１象限で積分器１０３の出力が正のとき１

②受信信号が第１象限で積分器１０３の出力が負のとき０

③受信信号が第２象限で積分器１０３の出力が正のとき０

④受信信号が第２象限で積分器１０３の出力が負のとき１

⑤受信信号が第３象限で積分器１０３の出力が正のとき１

⑥受信信号が第３象限で積分器１０３の出力が負のとき０

⑦受信信号が第４象限で積分器１０３の出力が正のとき０

⑧受信信号が第４象限で積分器１０３の出力が負のとき１

を出力する。

そして、回転射影部４では、

①受信信号が第１象限で遅延器１０５の出力が１のとき－Ｉ

②受信信号が第１象限で遅延器１０５の出力が０のときＱ

③受信信号が第２象限で遅延器１０５の出力が１のときＱ

④受信信号が第２象限で遅延器１０５の出力が０のときＩ

⑤受信信号が第３象限で遅延器１０５の出力が１のときＩ

⑥受信信号が第３象限で遅延器１０５の出力が０のとき－Ｑ

⑦受信信号が第４象限で遅延器１０５の出力が１のとき－Ｑ

⑧受信信号が第４象限で遅延器１０５の出力が０のとき－Ｉ

を選択出力する。

または、１ビット量子化器５では、象限判定部１０１の出力に応じて積分器１０３の出力の符号を判定し、

①受信信号が第１象限で積分器１０３の出力が正のとき０

②受信信号が第１象限で積分器１０３の出力が負のとき１

③受信信号が第２象限で積分器１０３の出力が正のとき１

④受信信号が第２象限で積分器１０３の出力が負のとき０

⑤受信信号が第３象限で積分器１０３の出力が正のとき０

⑥受信信号が第３象限で積分器１０３の出力が負のとき１

⑦受信信号が第４象限で積分器１０３の出力が正のとき１

⑧受信信号が第４象限で積分器１０３の出力が負のとき０

を出力する。

そして、回転射影部４では、

①受信信号が第１象限で遅延器１０５の出力が１のときＩ

②受信信号が第１象限で遅延器１０５の出力が０のとき－Ｑ

③受信信号が第２象限で遅延器１０５の出力が１のとき－Ｑ

④受信信号が第２象限で遅延器１０５の出力が０のとき－Ｉ

⑤受信信号が第３象限で遅延器１０５の出力が１のとき－Ｉ

⑥受信信号が第３象限で遅延器１０５の出力が０のときＱ

⑦受信信号が第４象限で遅延器１０５の出力が１のときＱ

⑧受信信号が第４象限で遅延器１０５の出力が０のときＩ

を選択出力する。

ここで、上記動作により位相が検出可能な理由を以下に説明する。まず、先に説明した実施の形態１の位相検出回路では、１ビット量子化器が、積分器１０３の出力が正のとき１、負のとき０をそれぞれ出力し、回転射影部１０２が、

①受信信号が第１象限で遅延器１０５の出力が１のとき－Ｉ

②受信信号が第１象限で遅延器１０５の出力が０のときＱ

③受信信号が第２象限で遅延器１０５の出力が１のとき－Ｑ

④受信信号が第２象限で遅延器１０５の出力が０のとき－Ｉ

⑤受信信号が第３象限で遅延器１０５の出力が１のときＩ

⑥受信信号が第３象限で遅延器１０５の出力が０のとき－Ｑ

⑦受信信号が第４象限で遅延器１０５の出力が１のときＱ

⑧受信信号が第４象限で遅延器１０５の出力が０のときＩ

を選択出力していた。

以上をまとめると、象限判定部１０１，回転射影部４，１ビット量子化器５の出力は第３２図のように表すことができる。これを便宜上、出力パターンＡと呼ぶことにする。

一方、回転射影部４が、出力する信号の正負の符号を逆にすると、積分器１０３の出力の符号も反転する。そこで、出力信号の符号を反転すると同時に、１ビット量子化器５の判定を逆にし、積分器１０３の出力が正のとき０、負のとき１、をそれぞれ出力できるようにする。このような符号反転を行っても、最終的に１ビット量子化器５の出力にはかわりがない。

すなわち、１ビット量子化器５では、積分器１０３の出力が正のとき０、負のとき１、をそれぞれ出力し、回転射影部４では、

①受信信号が第１象限で遅延器１０５の出力が１のときＩ

②受信信号が第１象限で遅延器１０５の出力が０のとき－Ｑ

③受信信号が第２象限で遅延器１０５の出力が１のときＱ

④受信信号が第２象限で遅延器１０５の出力が０のときＩ

⑤受信信号が第３象限で遅延器１０５の出力が１のとき－Ｉ

⑥受信信号が第３象限で遅延器１０５の出力が０のときＱ

⑦受信信号が第４象限で遅延器１０５の出力が１のとき－Ｑ

⑧受信信号が第４象限で遅延器１０５の出力が０のとき－Ｉ

を選択出力する。

以上をまとめると、象限判定部１０１，回転射影部４，１ビット量子化器５の出力は第９図のように表すことができる。これを便宜上、出力パターンＢと呼ぶことにする。

そして、本実施の形態の位相検出回路では、上記出力パターンＡとＢを象限ごとに組み合わせて出力する。すなわち、受信信号が第１象限のとき出力パターン

Ａ、受信信号が第２象限のとき出力パターンＢ、受信信号が第３象限のとき出力パターンＡ、受信信号が第４象限のとき出力パターンＢ、となるようにする（第１０図）か、または、受信信号が第１象限のとき出力パターンＢ、受信信号が第２象限のとき出力パターンＡ、受信信号が第３象限のとき出力パターンＢ、受信信号が第４象限のとき出力パターンＡ、となるようにする（第１１図）。

これにより、たとえば、第１０図の場合に受信ベースバンド信号Ｉ＋ｊＱが第１象限から第２象限に移動したとき、回転射影部４では、受信信号が第１象限で－Ｉ（負の値）またはＱ（正の値）を出力し、第２象限に入るとＩ（負の値）またはＱ（正の値）を出力することになる。このとき、第１象限と第２象限の境界付近では、Ｉの絶対値がゼロに近いので、回転射影部４の出力の変化が小さくなる。

このように、本実施の形態では、受信信号の象限が変化しても象限の境界付近ではＩの絶対値がゼロに近いので、回転射影部４の出力の変化が小さく、デルタシグマ変調器で得られる位相の検出値が正確になる。なお、本実施の形態においては、前述の実施の形態３と同様に、サンプルホールド回路３を用いる構成としてもよい。

第１２図は、計算機シミュレーションで求めた実施の形態４の位相検出回路の各部の出力信号波形を示す図である。第１２図において、横軸は時間を表し、横軸の数字の単位はサイクルである。また、（ａ）は受信ベースバンド信号の位相であり、（ｂ）は受信ベースバンド信号の同相成分と直交成分であり、（ｃ）は回転射影部４の出力であり、（ｄ）は積分器１０３の出力であり、（ｅ）は１ビット量子化器５の出力であり、（ｆ）は象限判定部１０１の出力であり、（ｇ）は加算器１の出力であり、（ｈ）は低域通過フィルタ２の出力の波形である。第１２図からわかるように、本実施の形態においては、受信信号の象限が変化した場合でも、従来と比較して位相の検出値の誤差が少なくなっている。

実施の形態５．

前述の実施の形態４では、象限判定部１０１が受信信号の位相を２ビットで量

子化する場合について説明したが、実施の形態５では、量子化分解能がＮ（自然数）の場合の具体例として、たとえば、受信信号の位相を３ビットで量子化する場合について説明する。

第１３図は、本発明にかかる位相検出回路の実施の形態５の構成を示す図である。第１３図において、４０３は変換選択部である。なお、先に説明した実施の形態４と同様の構成については、同一の符号を付してその説明を省略する。また、第１４図は、実施の形態５の動作を説明するための具体例を示す図である。

まず、信号平面を、第１４図のように、原点を中心とする中心角π／４の扇形の領域８個に分ける。第ｉ領域（ｉは自然数）には位相が（ｉ－１）π／４以上かつｉπ／４未満の点が属する。位相量子化部４０１では、受信複素ベースバンド信号が属する領域を判定し、その結果に応じた位相量子化値を出力する。たとえば、受信信号が第ｉ領域に属する場合はｉ－１を出力する。位相量子化部４０１では、受け取った同相成分および直交成分の受信ベースバンド信号の正負と絶対値の大小から、第１５図に示すように、受信信号が属する領域を判定し、その結果に応じた位相量子化値を出力する。

変換選択部４０３および１ビット量子化器５では、位相量子化部４０１の出力に応じて動作する。１ビット量子化器５では、位相量子化部４０１の出力に応じて積分器１０３の出力の符号を判定する。第１６図および第１７図は、位相量子化部４０１と１ビット量子化器５と変換選択部４０３の出力を示す図である。

ここで、上記動作により位相が検出可能な理由を以下に説明する。まず、先に説明した実施の形態２の位相検出回路に従えば、１ビット量子化器５と変換選択部４０３の出力は第１８図のように表すことができる。これを、便宜上、出力パターンＡと呼ぶことにする。

一方、変換選択部４０３が、出力する信号の正負の符号を逆にすると、積分器１０３の出力の符号も反転する。そこで、出力信号の符号を反転すると同時に、１ビット量子化器５の判定を逆にし、積分器１０３の出力が正のとき０、負のとき１、をそれぞれ出力するようにする。このような符号反転を行っても、最終的

に１ビット量子化器５の出力には変わりがない。すなわち、１ビット量子化器と変換選択部４０３の出力は第１９図のように表すことができる。これを、出力パターンＢと呼ぶことにする。

そして、本実施の形態の位相検出回路では、上記出力パターンＡとＢを領域ごとに組み合わせて出力する。すなわち、受信信号が奇数番目の領域のとき出力パターンＡ、受信信号が偶数番目の領域のとき出力パターンＢ、となるようにする（第１６図）か、または、受信信号が奇数番目の領域のとき出力パターンＢ、受信信号が偶数番目の領域のとき出力パターンＡ、となるようにする（第１７図）。

これにより、たとえば、第１６図の場合に受信ベースバンド信号Ｉ＋ｊＱが第１領域から第２領域に移動したとき、変換選択部４０３では、受信信号が第１領域でＱ（正の値）または－（Ｉ－Ｑ）／√2（負の値）を出力し、第２領域に入るとＩ（正の値）または（Ｉ－Ｑ）／√2（負の値）を出力することになる。このとき、第１領域と第２領域の境界付近では、（Ｉ－Ｑ）／√2の絶対値がゼロに近く、ＩとＱの値はほぼ等しいので、変換選択部４０３の出力の変化が小さくなる。

このように、本実施の形態では、受信信号の象限が変化しても象限の境界付近では（Ｉ－Ｑ）／√2の絶対値がゼロに近く、ＩとＱの値はほぼ等しいので、変換選択部４０３の出力の変化が小さく、デルタシグマ変調器で得られる位相の検出値が正確になる。なお、本実施の形態においては、前述の実施の形態３と同様に、サンプルホールド回路３を用いる構成としてもよい。

実施の形態６．

先に説明した実施の形態１～５では、位相検出回路を１次のデルタシグマ変調器で構成していたが、実施の形態６では、位相検出回路を２次以上のデルタシグマ変調器で構成する。

第２０図は、本発明にかかる位相検出回路の実施の形態６の構成を示す図である。第２０図において、６は加算器であり、７は積分器である。なお、前述の実施の形態１～３と同様の構成については、同一の符号を付してその説明を省略す

る。また、本実施の形態においては、象限判定部１０１，回転射影部４，積分器１０３，加算器６，積分器７，１ビット量子化器５，遅延器１０５，加算器１で、２次のデルタシグマ変調器を構成する。また、第２０図の構成は、説明の便宜上、前述の実施の形態４の構成（第８図）に加算器６および積分器７を適用しているが、これに限らず、たとえば、実施の形態１の構成（第１図）や従来の構成（第３０図）に対して加算器６および積分器７を適用することとしてもよい。

ここで、実施の形態６の位相検出回路の動作について説明する。なお、先に説明した実施の形態１～５と同一の符号を付した各構成についてはそれぞれ同様に動作する。

加算器６では、回転射影部４の出力と積分器１０３の出力とを加算し、その加算結果を積分器７に対して出力する。そして、１ビット量子化器５では、積分器７の出力（積分結果）を量子化し、０または１を出力する。

このように、本実施の形態においては、位相検出回路を２次以上のデルタシグマ変調器で構成している。これにより、実施の形態１～５のように、位相検出回路を１次のデルタシグマ変調器で構成した場合に比べて、量子化雑音の電力スペクトルが低周波側で小さく、高周波側で大きくなるため、低域通過フィルタ２によって高周波の雑音を除去することで、ＳＮ比を大幅に改善できる。

なお、本実施の形態では、説明の便宜上、位相検出器を２次のデルタシグマ変調器で構成した場合について説明したが、これに限らず、位相検出器を３次以上のデルタシグマ変調器で構成することとしてもよい。また、本実施の形態においては、前述の実施の形態３と同様に、サンプルホールド回路３を用いる構成としてもよい。

実施の形態７.

前述の実施の形態６では、象限判定部１０１が受信信号の位相を２ビットで量子化する場合について説明したが、実施の形態７では、量子化分解能がＮ（自然数）の場合について説明する。本実施の形態においても、位相検出回路を２次以上のデルタシグマ変調器で構成する。

第２１図は、本発明にかかる位相検出回路の実施の形態７の構成を示す図である。本実施の形態に示す２次デルタシグマ変調器は、たとえば、湯川彰「オーバサンプリングＡ－Ｄ変換技術」（日経ＢＰ社）の３７頁に示された２次デルタシグマ変調器の構成例に基づいている。なお、前述の実施の形態１～６と同様の構成については、同一の符号を付してその説明を省略する。また、本実施の形態においては、位相量子化部４０１，変換選択部４０３，積分器１０３，加算器６，積分器７，１ビット量子化器５，遅延器１０５，加算器１で、２次のデルタシグマ変調器を構成する。また、第２１図の構成は、説明の便宜上、前述の実施の形態５の構成（第１３図）に加算器６および積分器７を適用しているが、これに限らず、たとえば、実施の形態２の構成（第３図）や従来の構成（第４図）に対して加算器６および積分器７を適用することとしてもよい。

ここで、実施の形態７の位相検出回路の動作について説明する。なお、先に説明した実施の形態１～６と同一の符号を付した各構成についてはそれぞれ同様に動作する。

加算器６では、積分器１０３の出力から変換選択部４０３の出力を減算し、その減算結果を積分器７に対して出力する。そして、１ビット量子化器５では、積分器７の出力（積分結果）を量子化し、０または１を出力する。

また、第２２図は、上記第２１図とは異なる位相検出回路の構成を示す図である。この例に示した２次デルタシグマ変調器は、上記湯川彰「オーバサンプリングＡ－Ｄ変換技術」（日経ＢＰ社）の４３頁に示された２次デルタシグマ変調器の構成例に基づいている。第２２図において、８は遅延器であり、９は増幅器である。なお、上記第２１図と同様の構成については、同一の符号を付してその説明を省略する。また、第２２図においては、位相量子化部４０１，変換選択部４０３，積分器１０３，遅延器８，増幅器９，加算器６，積分器７，１ビット量子化器５，遅延器１０５，加算器１で、２次のデルタシグマ変調器を構成する。また、第２２図の構成は、説明の便宜上、前述の実施の形態５の構成（第１３図）に加算器６，積分器７，遅延器８および増幅器９を適用しているが、これに限ら

ず、たとえば、実施の形態２の構成（第３図）や従来の構成（第４図）に対して加算器６，積分器７，遅延器８および乗算器９を適用することとしてもよい。

ここで、第２２図の位相検出回路の動作について説明する。なお、先に説明した実施の形態１～６と同一の符号を付した各構成についてはそれぞれ同様に動作する。

遅延器８では、積分器１０３の出力を１サイクル分だけ遅延し、加算器６に対して出力する。また、増幅器９では、変換選択部４０３の出力を２倍し、加算器６に対して出力する。加算器６では、遅延器８の出力から増幅器９の出力を減算し、その減算結果を積分器７に対して出力する。そして、１ビット量子化器５では、積分器７の出力（積分結果）を量子化し、０または１を出力する。

このように、デルタシグマ変調器を２次の構成にすると、量子化雑音の電力スペクトル密度が信号帯域の低周波域で小さく、信号帯域外の高周波域で大きくなるように雑音を整形できる。そのため、後続の低域通過フィルタ２で高周波域を抑圧すると、結果的に総合の雑音電力が小さくなり、ＳＮ比が向上する。

以上、本実施の形態においては、第２１図および第２２図に示すように、位相検出回路を２次以上のデルタシグマ変調器で構成している。これにより、実施の形態１～５のように、位相検出回路を１次のデルタシグマ変調器で構成した場合に比べて、量子化雑音の電力スペクトル密度が低周波側で小さく、高周波側で大きくなるため、低域通過フィルタ２によって高周波の雑音を除去することで、ＳＮ比を大幅に改善できる。

なお、本実施の形態では、説明の便宜上、位相検出器を２次のデルタシグマ変調器で構成した場合について説明したが、これに限らず、位相検出器を３次以上のデルタシグマ変調器で構成することとしてもよい。また、本実施の形態においては、前述の実施の形態３と同様に、サンプルホールド回路３を用いる構成としてもよい。

実施の形態８．

第２３図は、本発明にかかる位相検出回路（実施の形態１～７）を備えた受信

機の構成を示す図である。第２３図において、３０１，３０２はミキサであり、３０３は局部発振器であり、３０４は直交分波器であり、３０５，３０６は低域通過フィルタであり、３０７，３０８は増幅器であり、１１は実施の形態１～７の位相検出回路であり、３１２は復調器である。位相検出回路１１では、受信ベースバンド信号の同相成分Ｉと直交成分Ｑから位相を検出する。なお、位相検出回路１１は、実施の形態１～７のいずれの構成を用いてもよい。また、従来と同一の符号を付した各構成についてはそれぞれ同様に動作する。

このように、本実施の形態の受信機においては、式（１１）で説明したように、受信ベースバンド信号の同相成分Ｉと直交成分Ｑの比ｔａｎθから位相の量子化値を導出する位相検出回路を用いる構成としたため、受信信号の包絡線振幅に関係なく位相を検出でき、従来必要としていた高分解能のＡ／Ｄ変換器やＡＧＣが不要になる。

実施の形態９.

先に説明した実施の形態１～４の説明では、同相成分と直交成分の受信ベースバンド信号が、シングルエンドの信号として位相検出回路に入力されていた。このような例は、第２３図のような構成の受信機で見られる。シングルエンド入力の位相検出回路１１では、シングルエンドの受信ベースバンド信号の同相成分Ｉと直交成分Ｑから位相を検出するため、たとえば、位相量子化部４０１と変換選択部４０２は、次のように構成される。

第２４図は、第２３図の受信機における位相量子化部（象限判定部）の構成を示す図である。たとえば、位相量子化部４０１の量子化分解能が４（２ビット）の場合、位相量子化部４０１は、第２４図に示すように、比較器２１０，２１１で構成される。また、第２５図は、第２３図の受信機における変換選択部（回転射影部）の構成を示す図である。変換選択部４０２は、第２５図に示すように、反転増幅器２１２，２１３，セレクタ２１４で構成される。

比較器２１０および２１１では、それぞれ受信ベースバンド信号の同相成分Ｉと直交成分Ｑを０と比較して符号を判定し、１ビットのデータを出力する。また、

反転増幅器２１２および２１３では、それぞれ受信ベースバンド信号の同相成分Ｉと直交成分Ｑの符号を反転し、－Ｉ，－Ｑとする。そして、各信号Ｉ，Ｑ，－Ｉ，－Ｑはセレクタ２１４に入力され、セレクタ２１４では、位相量子化部４０１と１ビット量子化器５の出力符号に基づいて、いずれか１つの信号を選択する。

しかしながら、上記第２３図に示す受信機においては、受信ベースバンド信号がシングルエンド信号の場合、次のような問題があった。たとえば、ミキサ３０１および３０２の出力から位相検出回路１１の入力までの間に存在するベースバンドの低域通過フィルタ３０５および３０６や増幅器３０７および３０８で、受信ベースバンド信号に同相雑音や直流オフセットが加わると、それを除去することが困難である。また、同相雑音や直流オフセットが大きいと、正確な位相を検出できなくなる。また、反転増幅器２１１および２１２の利得が正確に－１とならず－ａ（ａ≠１）になると、セレクタ２１４の入力が、Ｉ，Ｑ，－ａＩ，－ａＱとなって、やはり正確に位相を検出できない。

本実施の形態は、上記の問題を解消するものである。第２６図は、本発明にかかる位相検出回路を備えた受信機の構成を示す図である。第２６図において、３２１，３２２は差動出力のミキサであり、３２５，３２６は差動入出力の低域通過フィルタであり、３２７，３２８は差動入出力の増幅器であり、１２は差動入力の位相検出回路である。差動入力の位相検出回路１２では、差動の受信ベースバンド信号の同相成分Ｉと直交成分Ｑから位相を検出するため、たとえば、位相量子化部４０１と変換選択部４０２は、次のように構成される。

第２７図は、実施の形態９の受信機における位相量子化部（象限判定部）の構成を示す図である。たとえば、位相量子化部４０１の量子化分解能が４（２ビット）の場合、位相量子化部４０１は、第２７図に示すように、比較器２２０，２２１で構成される。また、第２８図は、実施の形態９の受信機における変換選択部（回転射影部）の構成を示す図である。変換選択部４０２は、第２８図に示すように、セレクタ２２２，２２３，２２６，減算器２２４，２２５で構成される。

比較器２２０では、受信ベースバンド信号の同相成分Ｉについて、非反転信号

I_+と反転信号I_-を比較して符号を判定し、１ビットのデータを出力する。同様に、比較器２２１では、受信ベースバンド信号の直交成分Ｑについて、非反転信号Q_+と反転信号Q_-を比較して符号を判定し、１ビットのデータを出力する。また、セレクタ２２２および２２３では、それぞれ受信ベースバンド信号の同相成分Ｉと直交成分Ｑについて、非反転信号（I_+，Q_+）と反転信号（I_-，Q_-）のどちらを減算器２２４および２２５の被減数側に入力し、どちらを減数側に入力するかを、位相量子化部４０１と１ビット量子化器５の出力符号に基づいて選択する。したがって、減算器２２４は、I_+-I_-，I_--I_+のいずれかを、減算器２２５は、Q_+-Q_-，Q_--Q_+のいずれかを出力することとなる。そして、セレクタ２２６では、位相量子化部４０１と１ビット量子化器５の出力符号に基づいて、減算器２２４の出力または減算器２２５の出力のいずれかを選択して出力する。

このように、本実施の形態においては、位相量子化部４０１と変換選択部４０２が差動で構成されているため、受信ベースバンド信号の非反転成分と反転成分に同量の同相雑音や直流オフセットが加わった場合であっても、互いに打ち消しあって正確な位相を検出できる。また、反転増幅器の利得の精度が問題になることもない。

なお、ここでは、位相量子化部４０１と変換選択部４０２の構成を一例として本実施の形態の動作を説明したが、これに限らず、先に説明した位相量子化部４０１と変換選択部４０３の組み合わせ、および象限判定部１０１と回転射影部１０２の組み合わせにおいても同様に適用可能である。

実施の形態１０.

第２９図は、第２３図に示す受信機内の復調器３１２の構成を示す図である。第２９図において、１３はタイミング再生部であり、１４はデータ判定部であり、１５は発振器である。本実施の形態では、実施の形態１～７の位相検出回路を備えたディジタル周波数変調（ＦＳＫ）または位相変調（ＰＳＫ）受信機のなかから、特に、位相検出回路１１と復調器３１２の構成を示したものである。

先に説明したように、受信機は、通常、シンボルクロックの１／８または１／１６の間隔で受信信号の周波数や位相を検出し、その中から適切なデータ判定タイミングを探している。第２９図に示す復調器３１２において、タイミング再生部１３では、たとえば、発振器１５が発振するシンボルクロックの１６倍のクロックと、位相検出回路１１が出力する受信信号の位相情報と、を受け取り、当該受信信号の位相からシンボルクロックの１／１６の分解能でデータ判定タイミングを探す。

また、タイミング再生部１３では、位相検出回路１１に対して位相検出要求タイミング信号を出力する。この位相検出要求タイミング信号は、たとえば、０～１５の値であらわされており、受信開始後、データ判定タイミングが見つかるまでは、シンボルクロックの１６倍のクロックごとに０～１５の値を出力する。そして、データ判定タイミングが見つかった後は、たとえば、そのデータ判定タイミングがシンボルクロックの１６倍クロックの位相０であった場合、シンボルクロック１クロックごとに０の値を出力する。

位相検出回路１１では、タイミング再生部１３が指示する位相検出要求タイミングでのみ、加算器２０６，比較判定部２０４，乗算器２０２－１～２０２－ｋ，データ変換部２０５－１～２０５－ｋを動作させる。

このように、本実施の形態の受信機では、タイミング再生部１３の指示する位相検出要求タイミングでのみ、位相検出回路１１内の低域通過フィルタ２を動作させる構成としたため、消費電力を低減できる。

なお、ここでは、第２３図に示す位相検出回路１１を一例として本実施の形態の動作を説明したが、これに限らず、第２６図に示す位相検出回路１２においても同様に適用可能である。

以上、説明したとおり、本発明によれば、加算手段が位相２π の量子化値を法とした加算を行い、さらに、低域通過フィルタ手段が、演算対象となるシフトレジスタの出力に位相２π の量子化値をまたぐ位相データが現れたとき、位相データの範囲を０～２π から π～３π に変換して演算を行い、その後、位相デ

ータの範囲を０～２π に戻す構成とした。これにより、正しい平均演算結果が得られるため、正確な位相検出を実現できる、という効果を奏する。

つぎの発明によれば、第２の量子化手段が、判定された受信信号の領域に基づいて積分手段出力の符号を判定して量子化する構成とした。また、変換選択手段が、異なる出力パターンを領域ごとに組み合わせて出力する構成とした。これにより、変換選択手段出力の変化が小さくなり、位相の検出値がさらに正確になる、という効果を奏する。

つぎの発明によれば、第１の量子化手段、変換選択手段、積分手段、第２の量子化手段、遅延手段および加算手段で、デルタシグマ変調器を構成することとしたため、低域通過フィルタ手段にて正しい平均演算結果を得ることができる、という効果を奏する。

つぎの発明によれば、位相検出回路を２次以上のデルタシグマ変調器で構成する。これにより、位相検出回路を１次のデルタシグマ変調器で構成した場合に比べて、量子化雑音の電力スペクトルが低周波側で小さく、高周波側で大きくなるため、低域通過フィルタ手段によって高周波の雑音を除去することでＳＮ比を大幅に改善できる、という効果を奏する。

つぎの発明によれば、サンプルホールド回路を設けたことにより、デルタシグマ変調器の動作中、変換選択手段の出力が一定になるため、さらに正確な位相検出値を得ることができる、という効果を奏する。

つぎの発明によれば、加算手段が位相２π を法とした加算を行い、さらに、低域通過フィルタ手段が、演算対象となるシフトレジスタの出力に２π をまたぐ位相データが現れたとき、位相データの範囲を０～２π から π～３π に変換して演算を行い、その後、位相データの範囲を０～２π に戻す構成とした。これにより、正しい平均演算結果が得られるため、正確な位相検出を実現できる、という効果を奏する。

つぎの発明によれば、象限判定手段、回転射影手段、積分手段、量子化手段、遅延手段および加算手段で、デルタシグマ変調器を構成することとしたため、低

域通過フィルタ手段にて正しい平均演算結果を得ることができる、という効果を奏する。

つぎの発明によれば、量子化手段が、判定された受信信号の象限に基づいて積分手段出力の符号を判定して量子化する構成とした。すなわち、この位相検出回路は、異なる出力パターンを象限ごとに組み合わせて出力する。これにより、回転射影手段出力の変化が小さくなり、位相の検出値がさらに正確になる、という効果を奏する。

つぎの発明によれば、位相検出回路を２次以上のデルタシグマ変調器で構成する。これにより、位相検出回路を１次のデルタシグマ変調器で構成した場合に比べて、量子化雑音の電力スペクトルが低周波側で小さく、高周波側で大きくなるため、低域通過フィルタ手段によって高周波の雑音を除去することでＳＮ比を大幅に改善できる、という効果を奏する。

つぎの発明によれば、デルタシグマ変調器の動作中、回転射影手段の出力が一定になるため、さらに正確な位相検出値を得ることができる、という効果を奏する。

つぎの発明によれば、受信ベースバンド信号の同相成分Ｉと直交成分Ｑの比を量子化する位相検出回路を用いる構成としたため、従来必要としていた、高分解能のＡ／Ｄ変換器やＡＧＣが不要になる、という効果を奏する。また、正確な位相検出を実現可能な位相検出装置を用いることで、受信機における歪み率特性および受信ビット誤り率特性を大幅に改善できる、という効果を奏する。

つぎの発明によれば、第２の量子化手段が、判定された受信信号の象限に基づいて積分手段出力の符号を判定して量子化する構成とした。すなわち、この位相検出回路は、異なる出力パターンを象限ごとに組み合わせて出力する。これにより、変換選択手段出力の変化が小さくなり、位相の検出値がさらに正確になる、という効果を奏する。

つぎの発明によれば、第１の量子化手段と変換選択手段が差動で構成されているため、受信ベースバンド信号の非反転成分と反転成分に同量の同相雑音や直流

オフセットが加わった場合であっても、互いに打ち消しあって正確な位相を検出できる、という効果を奏する。

つぎの発明によれば、受信ベースバンド信号の同相成分Ｉと直交成分Ｑの比を量子化する位相検出回路を用いる構成としたため、従来必要としていた、高分解能のＡ／Ｄ変換器やＡＧＣが不要になる、という効果を奏する。また、正確な位相検出を実現可能な位相検出装置を用いることで、受信機における歪み率特性および受信ビット誤り率特性を大幅に改善できる、という効果を奏する。

つぎの発明によれば、量子化手段が、判定された受信信号の象限に基づいて積分手段出力の符号を判定して量子化する構成とした。すなわち、この位相検出回路は、異なる出力パターンを象限ごとに組み合わせて出力する。これにより、回転射影手段出力の変化が小さくなり、位相の検出値がさらに正確になる、という効果を奏する。

つぎの発明によれば、象限判定手段と回転射影手段が差動で構成されているため、受信ベースバンド信号の非反転成分と反転成分に同量の同相雑音や直流オフセットが加わった場合であっても、互いに打ち消しあって正確な位相を検出できる、という効果を奏する。

つぎの発明によれば、位相検出回路を、複数段の積分器を備えた２次以上のデルタシグマ変調器で構成する。これにより、位相検出回路を１次のデルタシグマ変調器で構成した場合に比べて、量子化雑音の電力スペクトルが低周波側で小さく、高周波側で大きくなるため、低域通過フィルタ手段によって高周波の雑音を除去することでＳＮ比を大幅に改善できる、という効果を奏する。

つぎの発明によれば、タイミング再生手段の指示する位相検出要求タイミングでのみ、位相検出回路内の低域通過フィルタ手段を動作させる構成としたため、消費電力を大幅に低減できる、という効果を奏する。

つぎの発明によれば、デルタシグマ変調器の動作中、回転射影手段または変換選択手段の出力が一定になるため、さらに正確な位相検出値を得ることができる、という効果を奏する。

産業上の利用可能性

以上のように、本発明にかかる位相検出回路および受信機は、ディジタル移動通信においてＦＳＫやＰＳＫ信号の位相を検出するのに適している。

請 求 の 範 囲

1． 受信ベースバンド信号の位相を量子化する第１の量子化手段と、

前記受信信号を所定の規則に基づいて線形変換し、当該線形変換後の信号を選択出力する変換選択手段と、

前記変換選択手段の出力を積分する積分手段と、

前記積分結果の符号を判定して量子化する第２の量子化手段と、

前記第２の量子化手段の出力を所定の第１の時間遅延し、当該遅延後の信号を前記変換選択手段に対して出力する遅延手段と、

前記第１の量子化手段の出力と前記第２の量子化手段の出力とを位相２π の量子化値を法として加算する加算手段と、

前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに位相２π の量子化値をまたぐ位相値がある場合には全データを所定の規則で変換し、位相２π の量子化値をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、

を備えることを特徴とする位相検出回路。

2． 前記第１の量子化手段、前記変換選択手段、前記積分手段、前記第２の量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする請求の範囲第１項に記載の位相検出回路。

3． さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第２項に記載の位相検出回路。

4． 複数段の積分器を備えたデルタシグマ変調器を備えることを特徴とする請

求の範囲第２項に記載の位相検出回路。

５．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第４項に記載の位相検出回路。

６．　受信ベースバンド信号の位相を量子化する第１の量子化手段と、

前記受信信号を所定の規則に基づいて線形変換し、当該線形変換後の信号を選択出力する変換選択手段と、

前記変換選択手段の出力を積分する積分手段と、

前記第１の量子化手段の出力に基づいて、前記積分結果の符号を判定して量子化する第２の量子化手段と、

前記第２の量子化手段の出力を所定の時間遅延し、当該遅延後の信号を前記変換選択手段に対して出力する遅延手段と、

前記第１の量子化手段の出力と前記第２の量子化手段の出力とを位相２π の量子化値を法として加算する加算手段と、

前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに位相２π の量子化値をまたぐ位相値がある場合には全データを所定の規則で変換し、位相２π の量子化値をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、

を備えることを特徴とする位相検出回路。

７．　前記第１の量子化手段、前記変換選択手段、前記積分手段、前記第２の量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする請求の範囲第６項に記載の位相検出回路。

８．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第７項に記載の位相検出回路。

９．　複数段の積分器を備えたデルタシグマ変調器を備えることを特徴とする請求の範囲第７項に記載の位相検出回路。

１０．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第９項に記載の位相検出回路。

１１．　受信ベースバンド信号から受信信号の象限を判定する象限判定手段と、

所定の規則に基づいて受信信号を回転後、特定の直線に当該回転後の信号を射影する回転射影手段と、

前記回転射影手段の出力を積分する積分手段と、

前記積分結果の符号を判定して量子化する量子化手段と、

前記量子化後の信号を所定の第１の時間遅延し、当該遅延後の信号を前記回転射影手段に対して出力する遅延手段と、

前記象限判定手段の出力と前記量子化後の信号とを位相２π を法として加算する加算手段と、

前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに２π をまたぐ位相値がある場合には当該位相値を予め規定された特定の値に変換し、２π をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、

を備えることを特徴とする位相検出回路。

１２．　前記象限判定手段、前記回転射影手段、前記積分手段、前記量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする請求の範囲第１１項に記載の位相検出回路。

１３．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第１２項に記載の位相検出回路。

１４．　複数段の積分器を備えたデルタシグマ変調器を備えることを特徴とする請求の範囲第１２項に記載の位相検出回路。

１５．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第１４項に記載の位相検出回路。

１６．　受信ベースバンド信号から受信信号の象限を判定する象限判定手段と、

所定の規則に基づいて受信信号を回転後、特定の直線に当該回転後の信号を射影する回転射影手段と、

前記回転射影手段の出力を積分する積分手段と、

前記判定された受信信号の象限に基づいて、前記積分結果の符号を判定して量子化する量子化手段と、

前記量子化後の信号を所定の時間遅延し、当該遅延後の信号を前記回転射影手段に対して出力する遅延手段と、

前記象限判定手段の出力と前記量子化後の信号とを位相２π を法として加算する加算手段と、

前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに２π をまたぐ位相値がある場合には当該位相値を予

め規定された特定の値に変換し、２πをまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、

を備え、

前記象限判定手段、前記回転射影手段、前記積分手段、前記量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする位相検出回路。

１７．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第１６項に記載の位相検出回路。

１８．　複数段の積分器を備えたデルタシグマ変調器を備えることを特徴とする請求の範囲第１６項に記載の位相検出回路。

１９．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第１８項に記載の位相検出回路。

２０．　受信ベースバンド信号の位相を量子化する第１の量子化手段と、

前記受信ベースバンド信号を所定の規則に基づいて線形変換し、当該線形変換後の信号を選択出力する変換選択手段と、

前記変換選択手段の出力を積分する積分手段と、

前記積分結果の符号を判定して量子化する第２の量子化手段と、

前記第２の量子化手段の出力を所定の第１の時間遅延し、当該遅延後の信号を前記変換選択手段に対して出力する遅延手段と、

前記第１の量子化手段の出力と前記第２の量子化手段の出力とを位相２πの

量子化値を法として加算する加算手段と、

前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに位相２π の量子化値をまたぐ位相値がある場合には全データを所定の規則で変換し、位相２π の量子化値をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、

前記位相値に基づいて受信データを復調する復調器と、

を備え、

前記第１の量子化手段、前記変換選択手段、前記積分手段、前記第２の量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする受信機。

２１．　前記第１の量子化手段と前記変換選択手段の入力を差動とすることを特徴とする請求の範囲第２０項に記載の受信機。

２２．　M次構成のデルタシグマ変調器を備えることを特徴とする請求の範囲第２０項に記載の受信機。

２３．　前記復調器は、

発振器が生成するシンボルクロックのＬ倍のクロックと前記位相値とを受け取り、当該位相値からシンボルクロックの１／Ｌの分解能でデータ判定タイミングを探し、さらに、前記低域通過フィルタ手段を動作させるための位相検出要求タイミングを生成するタイミング再生手段と、

前記位相値および前記データ判定タイミングに基づいて受信データを判定するデータ判定手段と、

を備え、

前記低域通過フィルタ手段は、位相検出要求タイミングで動作することを特徴

とする請求の範囲第２０項に記載の受信機。

２４．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記増幅後の受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第２０項に記載の受信機。

２５．　受信ベースバンド信号の位相を量子化する第１の量子化手段と、

前記受信ベースバンド信号を所定の規則に基づいて線形変換し、当該線形変換後の信号を選択出力する変換選択手段と、

前記変換選択手段の出力を積分する積分手段と、

前記第１の量子化手段の出力に基づいて、前記積分結果の符号を判定して量子化する第２の量子化手段と、

前記第２の量子化手段の出力を所定の時間遅延し、当該遅延後の信号を前記変換選択手段に対して出力する遅延手段と、

前記第１の量子化手段の出力と前記第２の量子化手段とを位相２π の量子化値を法として加算する加算手段と、

前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに位相２π の量子化値をまたぐ位相値がある場合には全データを所定の規則で変換し、位相２π の量子化値をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、

前記位相値に基づいて受信データを復調する復調器と、

を備え、

前記第１の量子化手段、前記変換選択手段、前記積分手段、前記第２の量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする受信機。

２６．　前記第１の量子化手段と前記変換選択手段の入力を差動とすることを特徴とする請求の範囲第２５項に記載の受信機。

２７．　M次構成のデルタシグマ変調器を備えることを特徴とする請求の範囲第２５項に記載の受信機。

２８．　前記復調器は、

発振器が生成するシンボルクロックのＬ倍のクロックと前記位相値とを受け取り、当該位相値からシンボルクロックの１／Ｌの分解能でデータ判定タイミングを探し、さらに、前記低域通過フィルタ手段を動作させるための位相検出要求タイミングを生成するタイミング再生手段と、

前記位相値および前記データ判定タイミングに基づいて受信データを判定するデータ判定手段と、

を備え、

前記低域通過フィルタ手段は、位相検出要求タイミングで動作することを特徴とする請求の範囲第２５項に記載の受信機。

２９．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記増幅後の受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第２５項に記載の受信機。

３０．　受信ベースバンド信号の象限を判定する象限判定手段と、

所定の規則に基づいて受信信号を回転後、特定の直線に当該回転後の信号を射影する回転射影手段と、

前記回転射影手段の出力を積分する積分手段と、

前記積分結果の符号を判定して量子化する量子化手段と、

前記量子化後の信号を所定の第１の時間遅延し、当該遅延後の信号を前記回転射影手段に対して出力する遅延手段と、

前記象限判定手段の出力と量子化後の信号とを位相２π を法として加算する加算手段と、

前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに２π をまたぐ位相値がある場合には当該位相値を予め規定された特定の値に変換し、２π をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、

前記位相値に基づいて受信データを復調する復調器と、

を備え、

前記象限判定手段、前記回転射影手段、前記積分手段、前記量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする受信機。

３１．　前記象限判定手段と前記回転射影手段の入力を差動とすることを特徴とする請求の範囲第３０項に記載の受信機。

３２．　M次構成のデルタシグマ変調器を備えることを特徴とする請求の範囲第３０項に記載の受信機。

３３．　前記復調器は、

発振器が生成するシンボルクロックのＬ倍のクロックと前記位相値とを受け取り、当該位相値からシンボルクロックの１／Ｌの分解能でデータ判定タイミングを探し、さらに、前記低域通過フィルタ手段を動作させるための位相検出要求タイミングを生成するタイミング再生手段と、

前記位相値および前記データ判定タイミングに基づいて受信データを判定するデータ判定手段と、

を備え、

前記低域通過フィルタ手段は、位相検出要求タイミングで動作することを特徴とする請求の範囲第３０項に記載の受信機。

３４．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記増幅後の受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第３０項に記載の受信機。

３５．　受信ベースバンド信号の象限を判定する象限判定手段と、

所定の規則に基づいて受信信号を回転後、特定の直線に当該回転後の信号を射影する回転射影手段と、

前記回転射影手段の出力を積分する積分手段と、

前記判定された受信信号の象限に基づいて、前記積分結果の符号を判定して量子化する量子化手段と、

前記量子化後の信号を所定の時間遅延し、当該遅延後の信号を前記回転射影手段に対して出力する遅延手段と、

前記象限判定手段の出力と前記量子化後の信号とを位相２π を法として加算する加算手段と、

前記加算後の位相値を順に内部のシフトレジスタでラッチし、当該シフトレジスタ内の全データのなかに２π をまたぐ位相値がある場合には当該位相値を予め規定された特定の値に変換し、２π をまたぐ位相値がない場合には変換処理を行わず、この状態で位相値の平均演算を行うことにより、量子化雑音を平滑化した位相値を出力する低域通過フィルタ手段と、

前記位相値に基づいて受信データを復調する復調器と、

を備え、

前記象限判定手段、前記回転射影手段、前記積分手段、前記量子化手段、前記遅延手段および前記加算手段で、デルタシグマ変調器を構成することを特徴とする受信機。

３６．　前記象限判定手段と前記回転射影手段の入力を差動とすることを特徴とする請求の範囲第３５項に記載の受信機。

３７．　M次構成のデルタシグマ変調器を備えることを特徴とする請求の範囲第３５項に記載の受信機。

３８．　前記復調器は、

発振器が生成するシンボルクロックのＬ倍のクロックと前記位相値とを受け取り、当該位相値からシンボルクロックの１／Ｌの分解能でデータ判定タイミングを探し、さらに、前記低域通過フィルタ手段を動作させるための位相検出要求タイミングを生成するタイミング再生手段と、

前記位相値および前記データ判定タイミングに基づいて受信データを判定するデータ判定手段と、

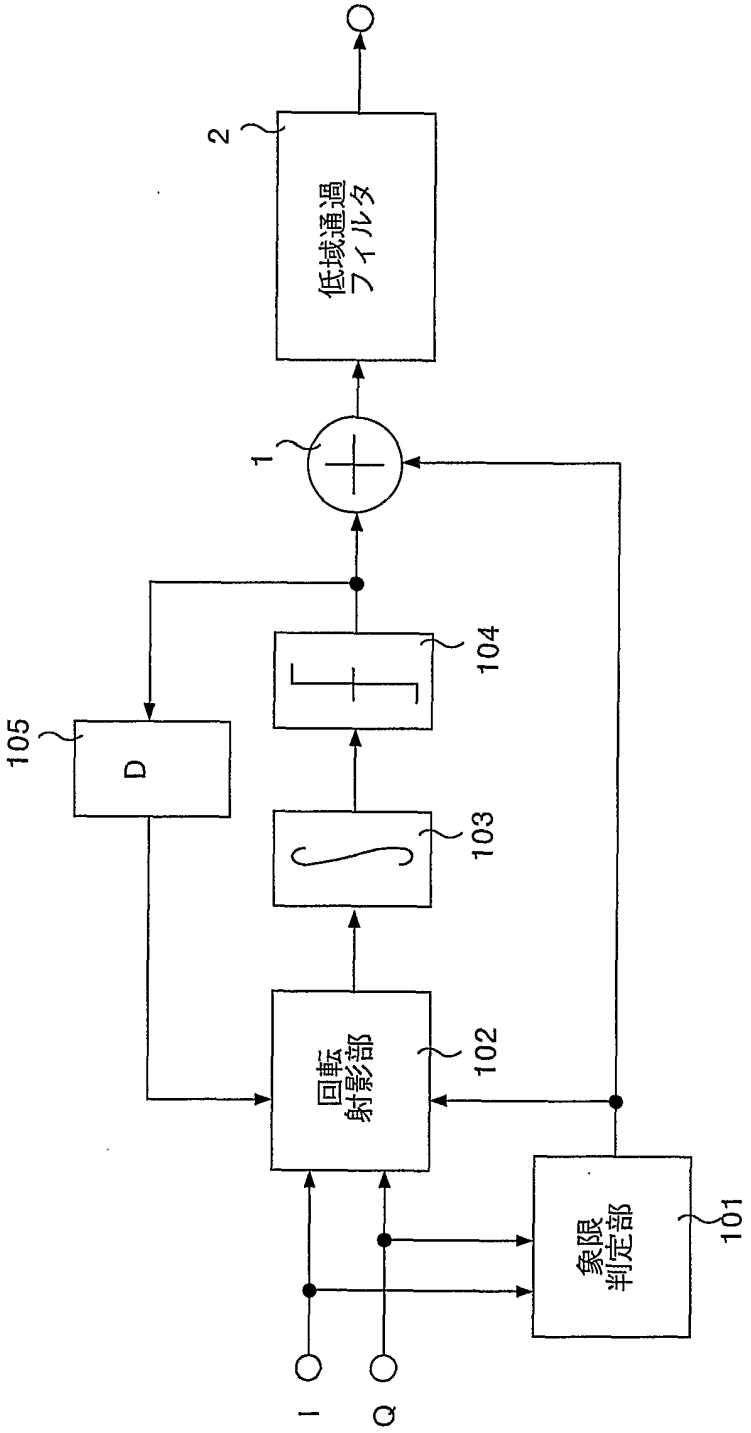
を備え、

前記低域通過フィルタ手段は、位相検出要求タイミングで動作することを特徴とする請求の範囲第３５項に記載の受信機。

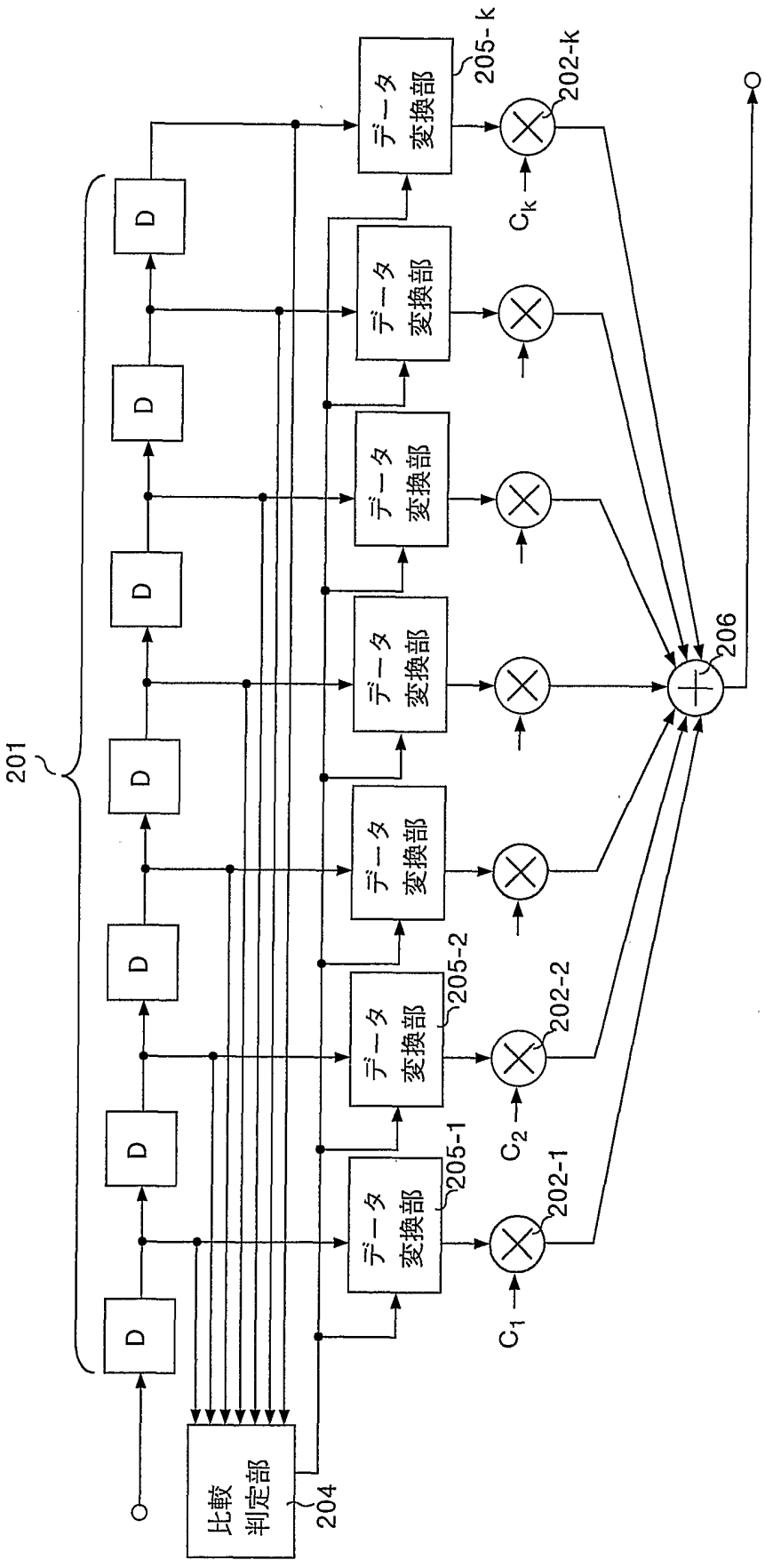
３９．　さらに、前記デルタシグマ変調器の前段に、所定の第２の時間の間、前記増幅後の受信ベースバンド信号を一定に保持するためのサンプルホールド回路手段、

を備えることを特徴とする請求の範囲第３５項に記載の受信機。

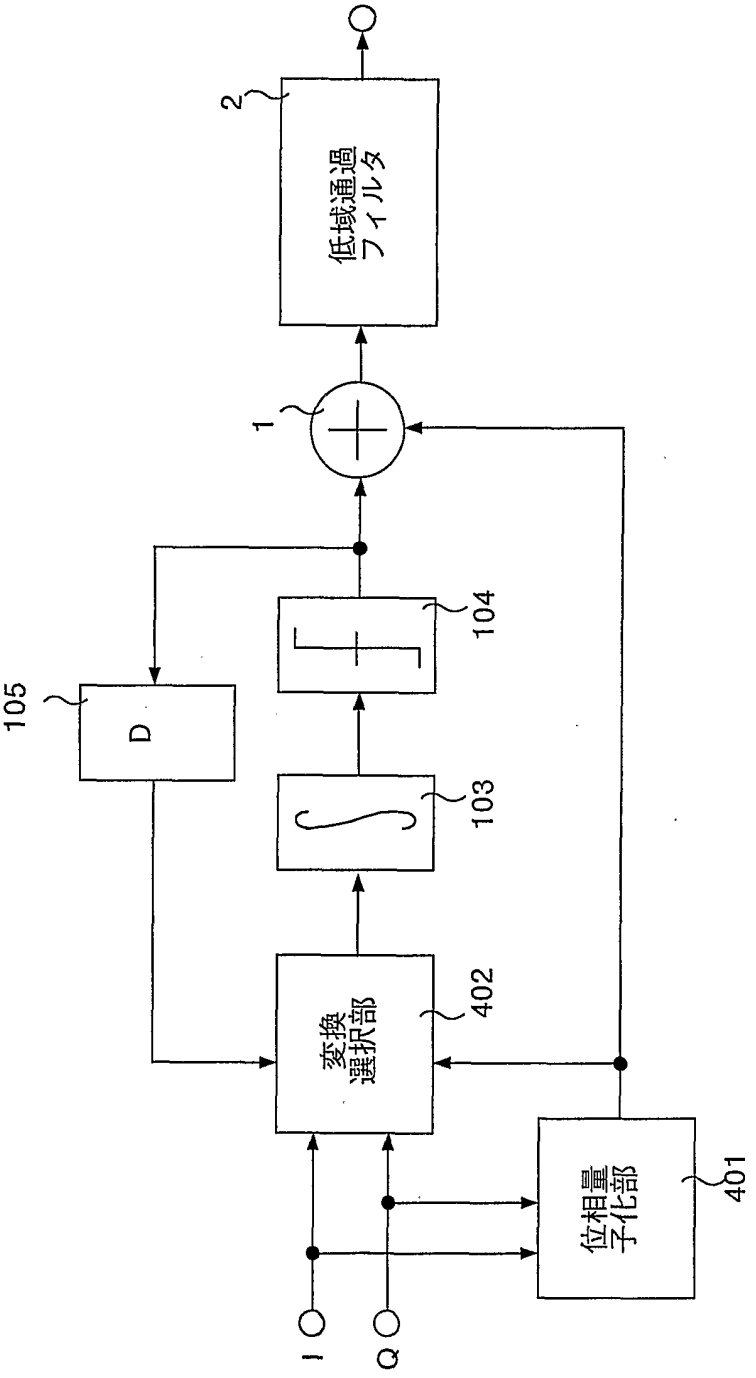
第1図



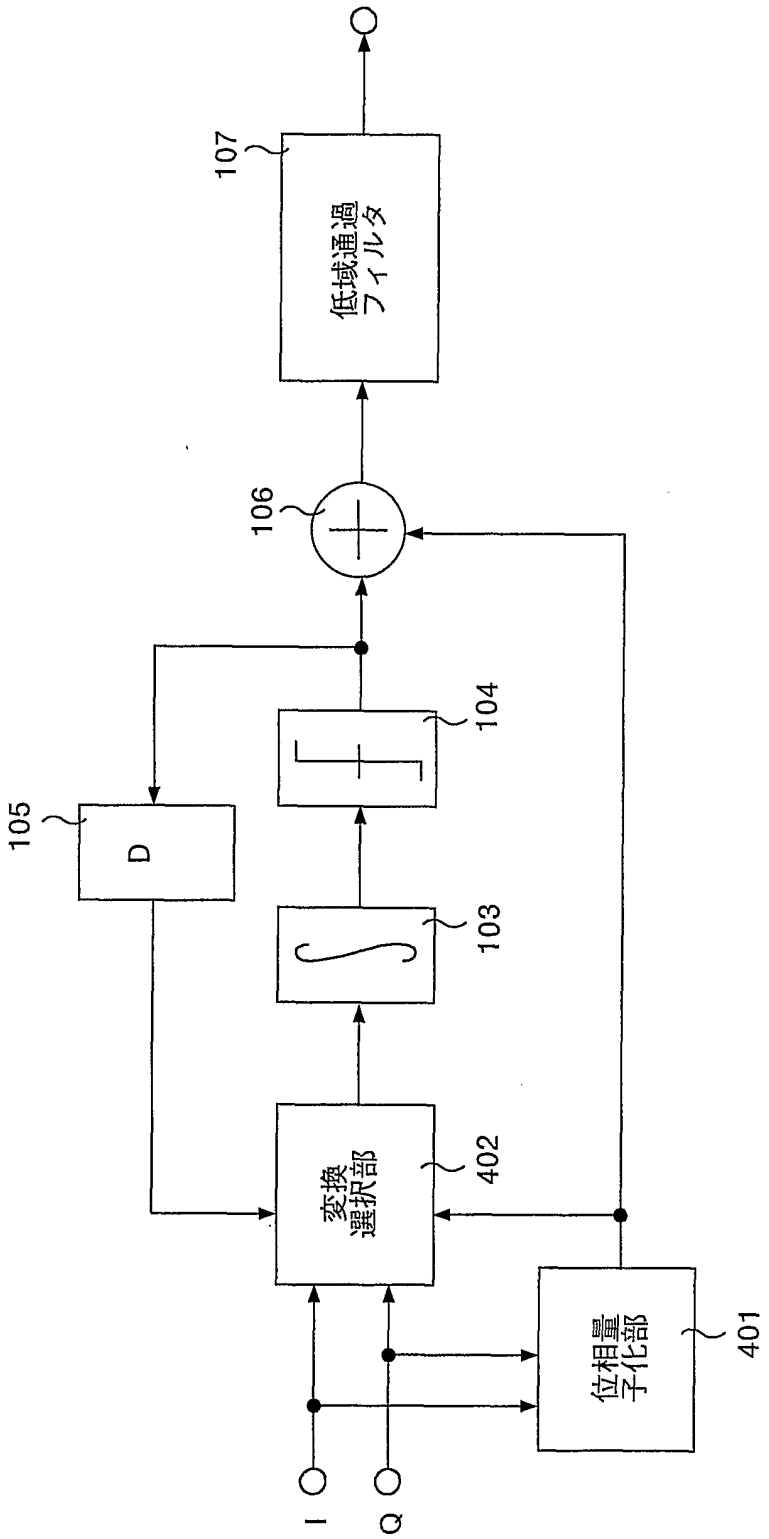
第２図


201
D
D
D
D
D
D
D
比較
判定部
204
データ
変換部
205-1
205-2
205- k
202-1
202-2
202-k
C1
C2
Ck
206

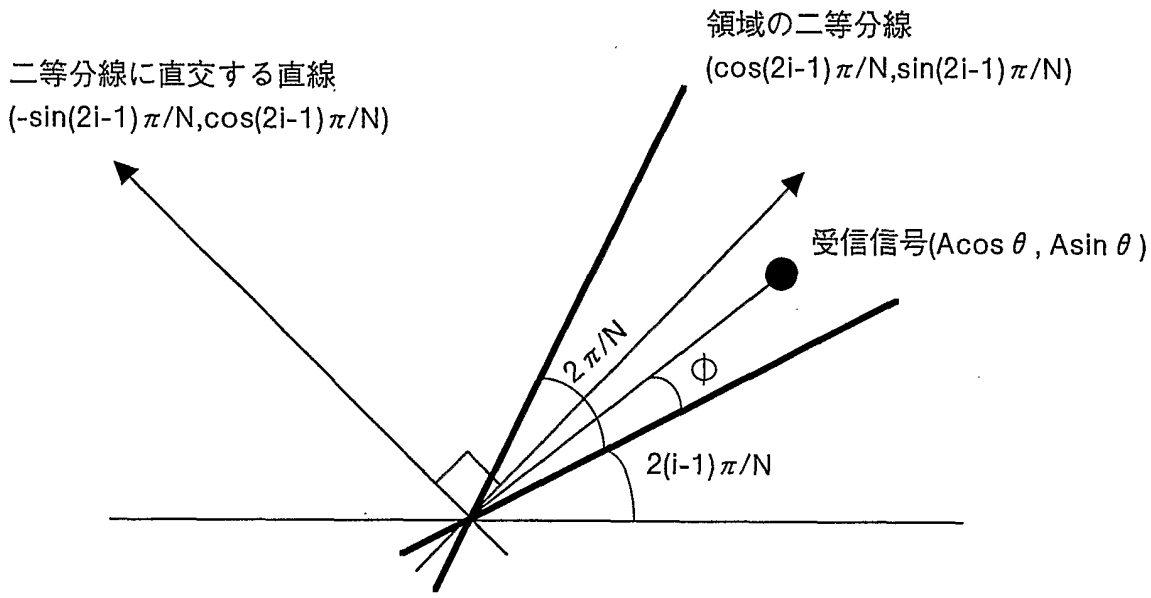
第３図



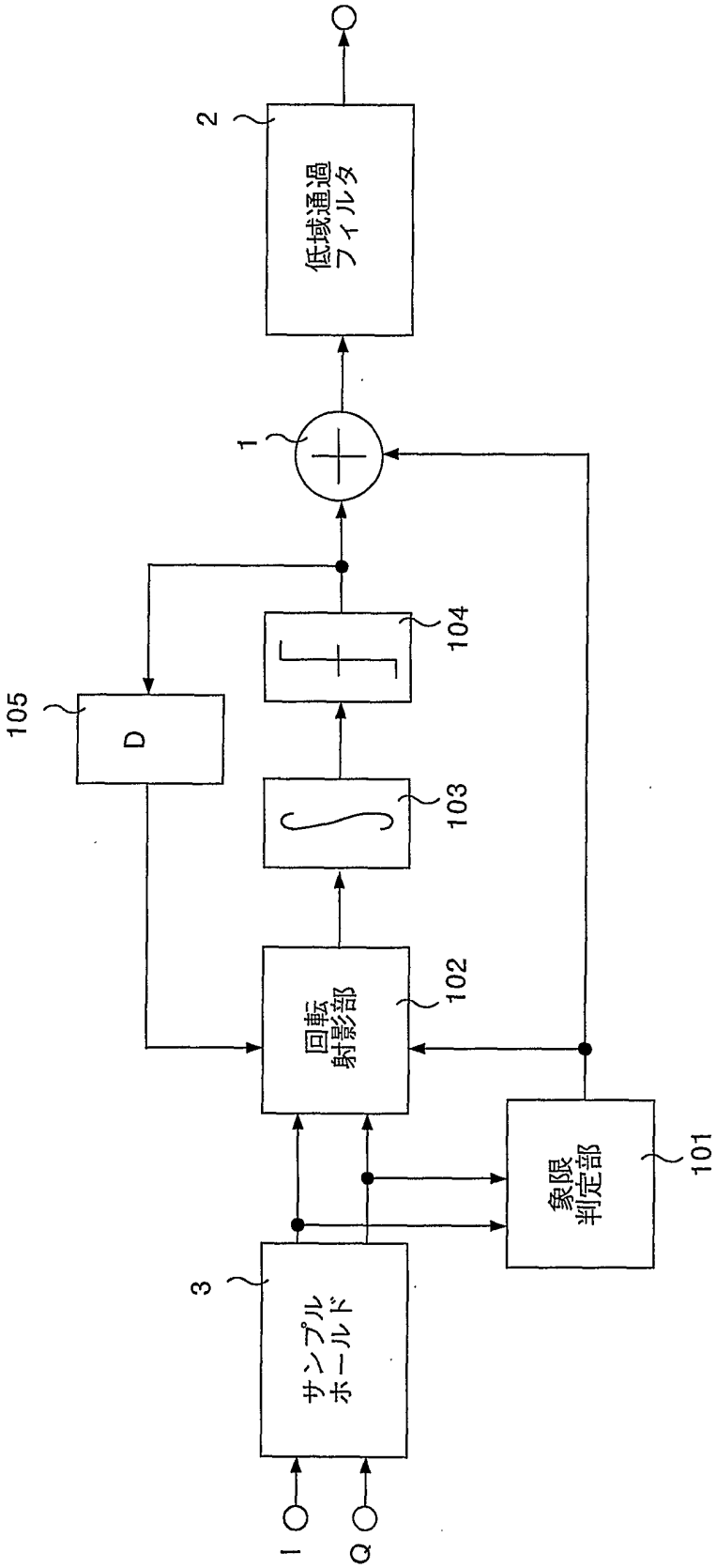
第４図



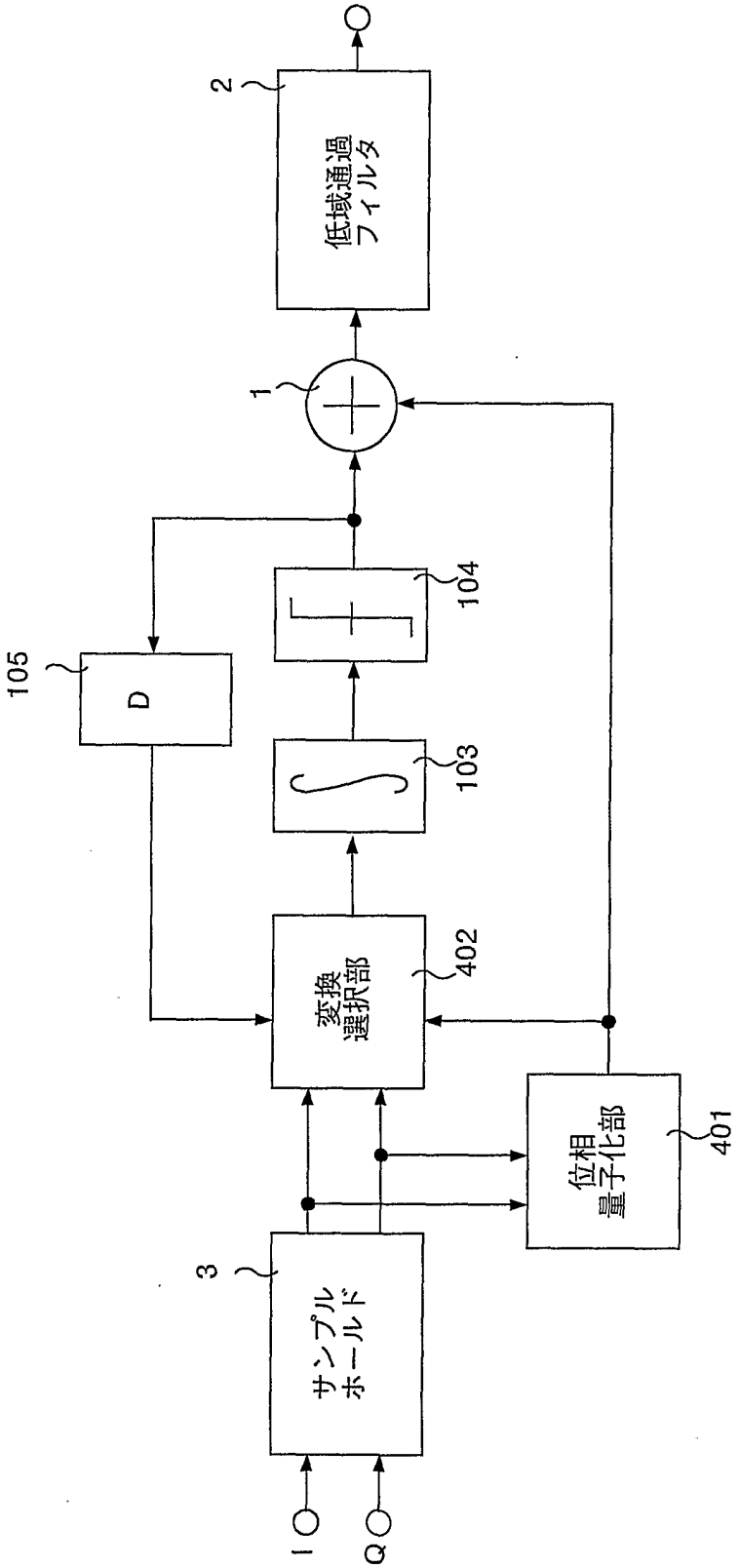
第5図


領域の二等分線
(cos(2i-1)π/N,sin(2i-1)π/N)
二等分線に直交する直線
(-sin(2i-1)π/N,cos(2i-1)π/N)
受信信号(Acos θ , Asin θ)
2π/N
Φ
2(i-1)π/N

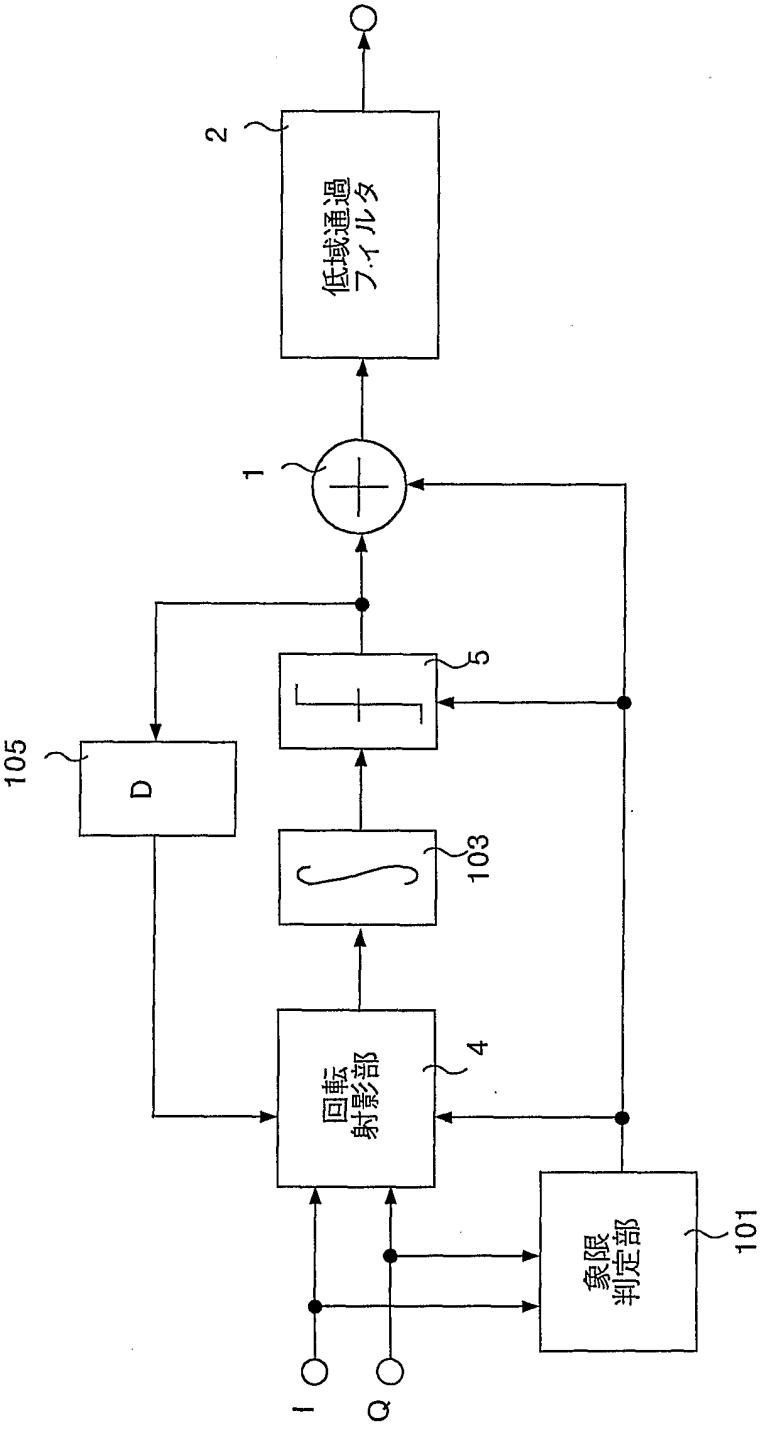
第6図



第７図



第８図



第９図

受信信号の属する象限	象限判定部の出力	1ビット量子化器の出力		回転射影部の出力	
		積分出力が負	積分出力が正	遅延出力が0	遅延出力が1
第1象限	0	1	0	−Q	I
第2象限	1	1	0	I	Q
第3象限	2	1	0	Q	−I
第4象限	3	1	0	−I	−Q

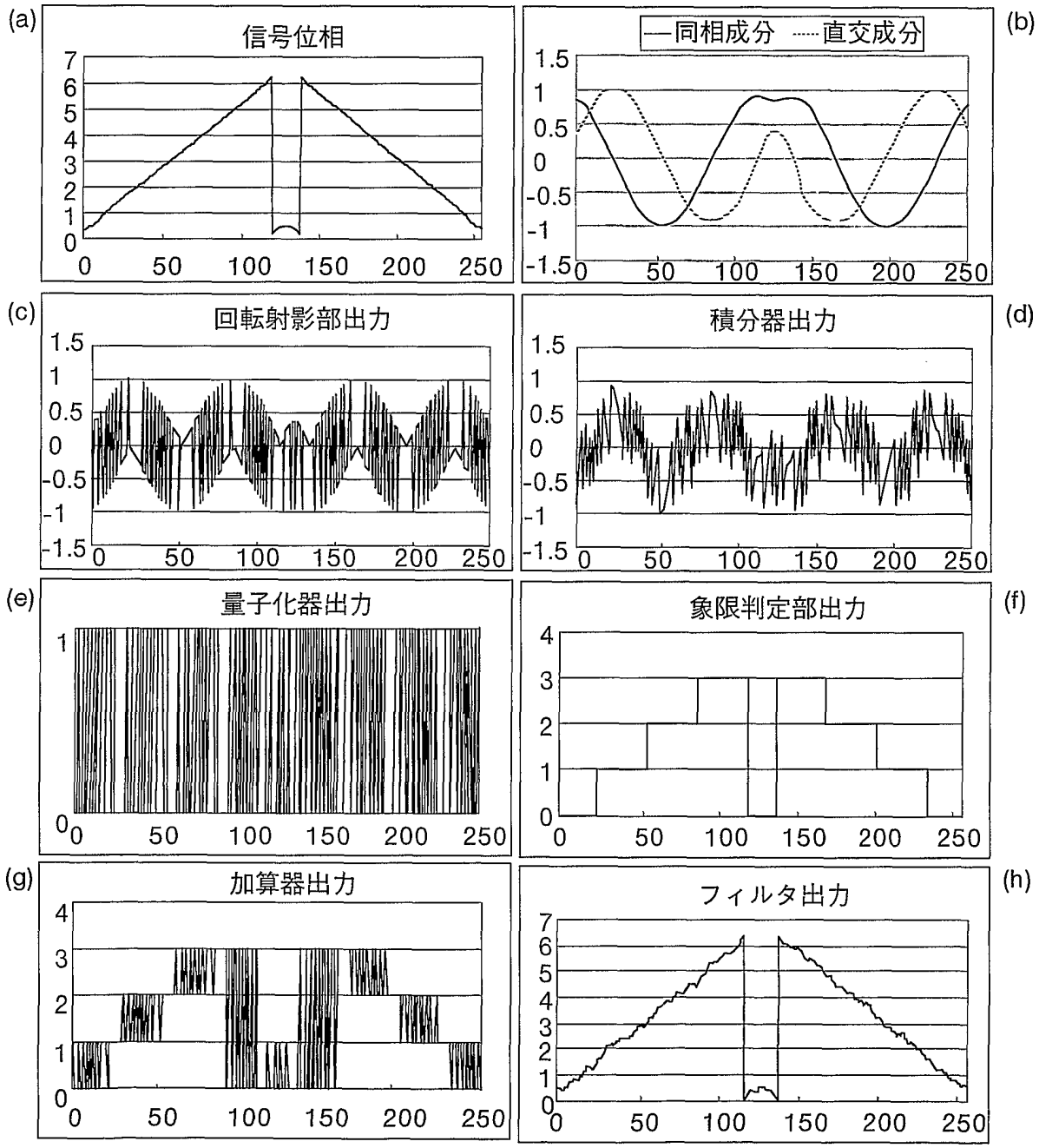
第10図

受信信号の属する象限	象限判定部の出力	1ビット量子化器の出力		回転射影部の出力	
		積分出力が負	積分出力が正	遅延出力が0	遅延出力が1
第1象限	0	0	1	Q	−I
第2象限	1	1	0	I	Q
第3象限	2	0	1	−Q	I
第4象限	3	1	0	−I	−Q

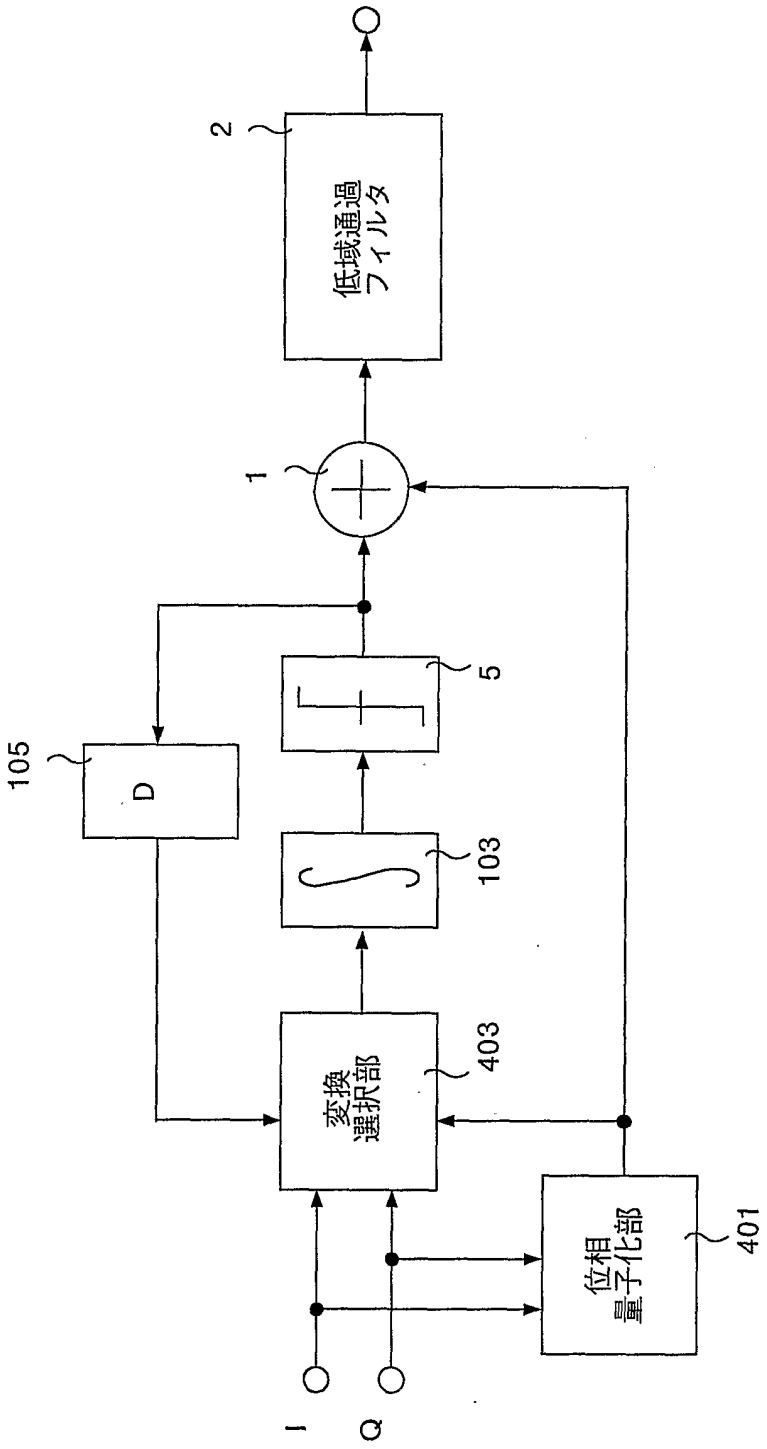
第11図

受信信号の属する象限	象限判定部の出力	1ビット量子化器の出力		回転射影部の出力	
		積分出力が負	積分出力が正	遅延出力が0	遅延出力が1
第1象限	0	1	0	−Q	I
第2象限	1	0	1	−I	−Q
第3象限	2	1	0	Q	−I
第4象限	3	0	1	I	Q

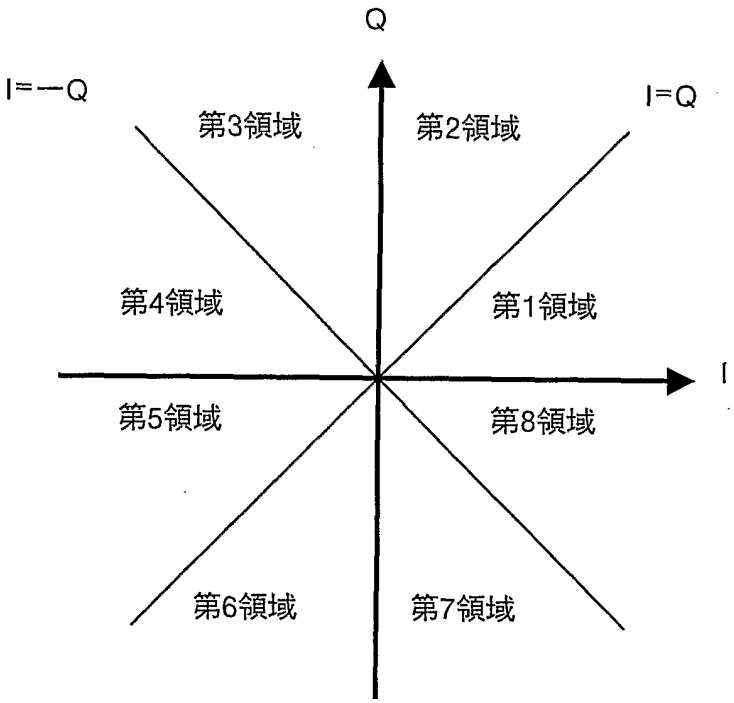
第12図


(a)
信号位相
(b)
—同相成分 ----直交成分
(c)
回転射影部出力
(d)
積分器出力
(e)
量子化器出力
(f)
象限判定部出力
(g)
加算器出力
(h)
フィルタ出力

第13図



第14図



第15図

領域	位相	Iの符号	Qの符号	IQの大小
第1領域	$0 \leqq \theta < \pi/4$	$I>0$	$Q \geqq 0$	$I>Q$
第2領域	$\pi/4 \leqq \theta < \pi/2$	$I>0$	$Q \geqq 0$	$I \leqq Q$
第3領域	$\pi/2 \leqq \theta < 3\pi/4$	$I \leqq 0$	$Q>0$	$-I<Q$
第4領域	$3\pi/4 \leqq \theta < \pi$	$I \leqq 0$	$Q>0$	$-I \geqq Q$
第5領域	$\pi \leqq \theta < 5\pi/4$	$I<0$	$Q \leqq 0$	$I<Q$
第6領域	$5\pi/4 \leqq \theta < 3\pi/2$	$I<0$	$Q \leqq 0$	$I \geqq Q$
第7領域	$3\pi/2 \leqq \theta < 7\pi/4$	$I \geqq 0$	$Q<0$	$I<-Q$
第8領域	$7\pi/4 \leqq \theta < 2\pi$	$I \geqq 0$	$Q<0$	$I \geqq -Q$

第16図

受信信号の属する領域	位相量子化器の出力	1ビット量子化器の出力		変換選択部の出力	
		積分出力が負	積分出力が正	遅延出力が0	遅延出力が1
第1領域	0	0	1	Q	$-(I-Q)/\sqrt{2}$
第2領域	1	1	0	$(I-Q)/\sqrt{2}$	I
第3領域	2	0	1	−I	$-(I+Q)/\sqrt{2}$
第4領域	3	1	0	$(I+Q)/\sqrt{2}$	Q
第5領域	4	0	1	−Q	$(I-Q)/\sqrt{2}$
第6領域	5	1	0	$-(I-Q)/\sqrt{2}$	−I
第7領域	6	0	1	I	$(I+Q)/\sqrt{2}$
第8領域	7	1	0	$-(I+Q)/\sqrt{2}$	−Q

第17図

受信信号の属する領域	位相量子化器の出力	1ビット量子化器の出力		変換選択部の出力	
		積分出力が負	積分出力が正	遅延出力が0	遅延出力が1
第1領域	0	1	0	$-Q$	$(I-Q)/\sqrt{2}$
第2領域	1	0	1	$-(I-Q)/\sqrt{2}$	$-I$
第3領域	2	1	0	I	$(I+Q)/\sqrt{2}$
第4領域	3	0	1	$-(I+Q)/\sqrt{2}$	$-Q$
第5領域	4	1	0	Q	$-(I-Q)/\sqrt{2}$
第6領域	5	0	1	$(I-Q)/\sqrt{2}$	I
第7領域	6	1	0	$-I$	$-(I+Q)/\sqrt{2}$
第8領域	7	0	1	$(I+Q)/\sqrt{2}$	Q

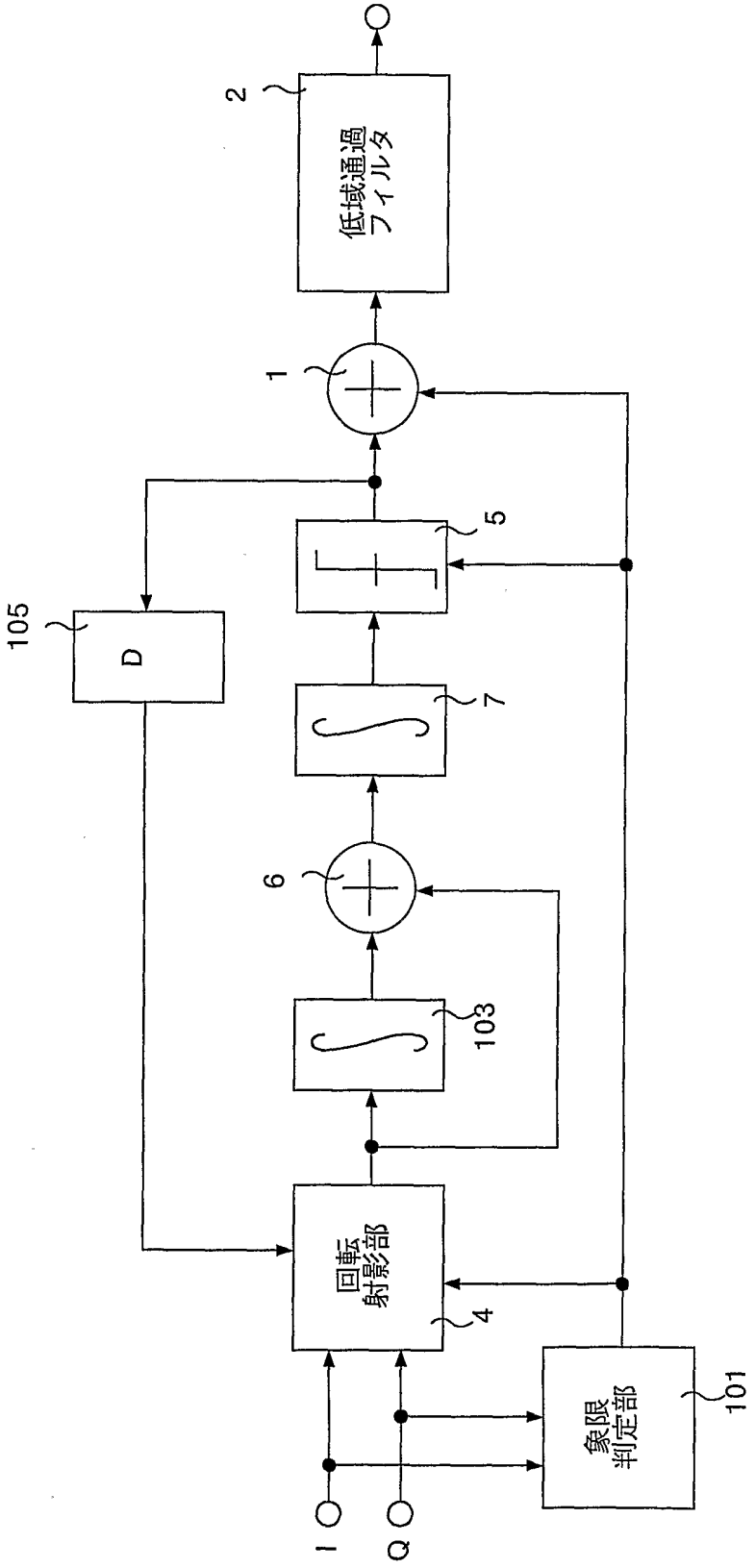
第18図

受信信号の属する領域	位相量子化器の出力	1ビット量子化器の出力		変換選択部の出力	
		積分出力が負	積分出力が正	遅延出力が0	遅延出力が1
第1領域	0	0	1	Q	$-(I-Q)/\sqrt{2}$
第2領域	1	0	1	$-(I-Q)/\sqrt{2}$	−I
第3領域	2	0	1	−I	$-(I+Q)/\sqrt{2}$
第4領域	3	0	1	$-(I+Q)/\sqrt{2}$	−Q
第5領域	4	0	1	−Q	$(I-Q)/\sqrt{2}$
第6領域	5	0	1	$(I-Q)/\sqrt{2}$	I
第7領域	6	0	1	I	$(I+Q)/\sqrt{2}$
第8領域	7	0	1	$(I+Q)/\sqrt{2}$	Q

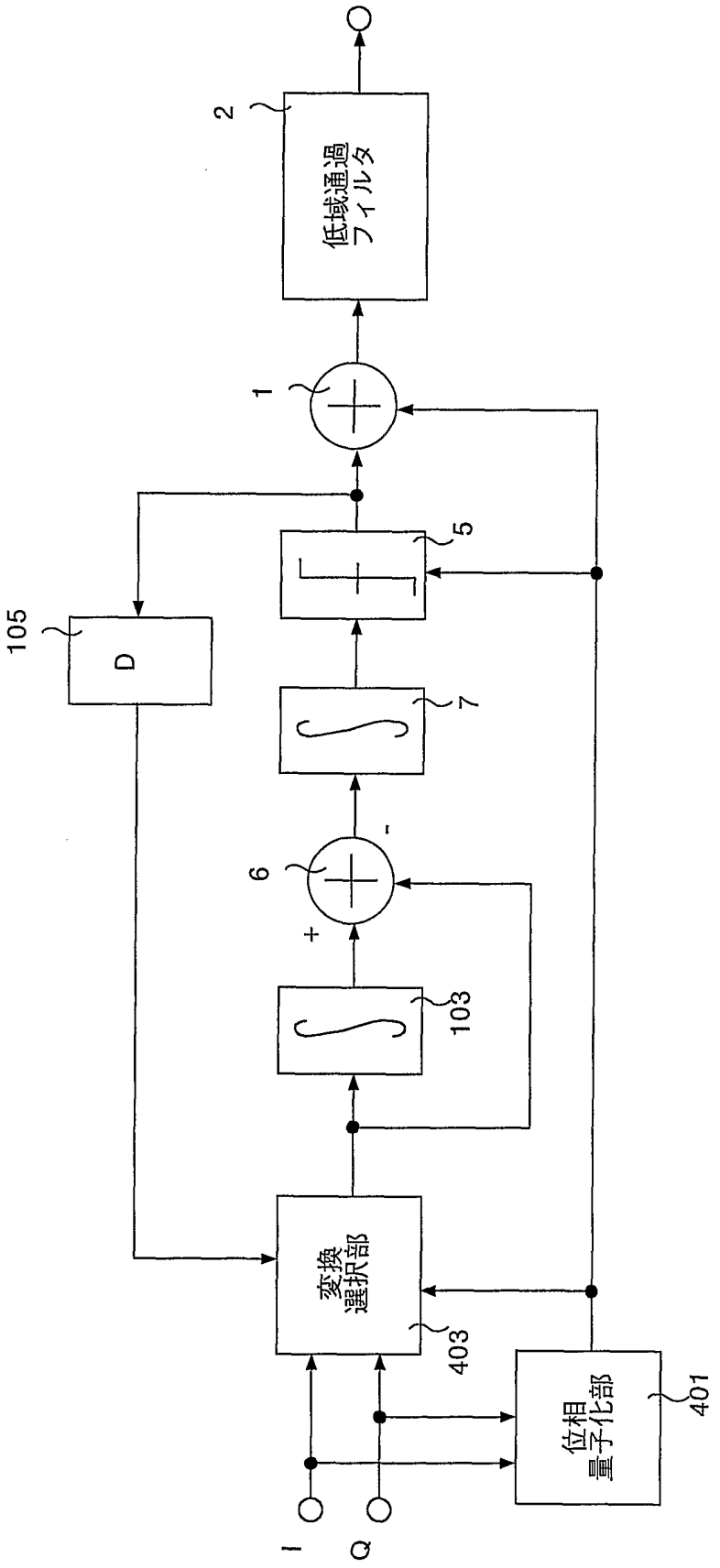
第19図

受信信号の属する領域	位相量子化器の出力	1ビット量子化器の出力		変換選択部の出力	
		積分出力が負	積分出力が正	遅延出力が0	遅延出力が1
第1領域	0	1	0	$-Q$	$(I-Q)/\sqrt{2}$
第2領域	1	1	0	$(I-Q)/\sqrt{2}$	I
第3領域	2	1	0	I	$(I+Q)/\sqrt{2}$
第4領域	3	1	0	$(I+Q)/\sqrt{2}$	Q
第5領域	4	1	0	Q	$-(I-Q)/\sqrt{2}$
第6領域	5	1	0	$-(I-Q)/\sqrt{2}$	$-I$
第7領域	6	1	0	$-I$	$-(I+Q)/\sqrt{2}$
第8領域	7	1	0	$-(I+Q)/\sqrt{2}$	$-Q$

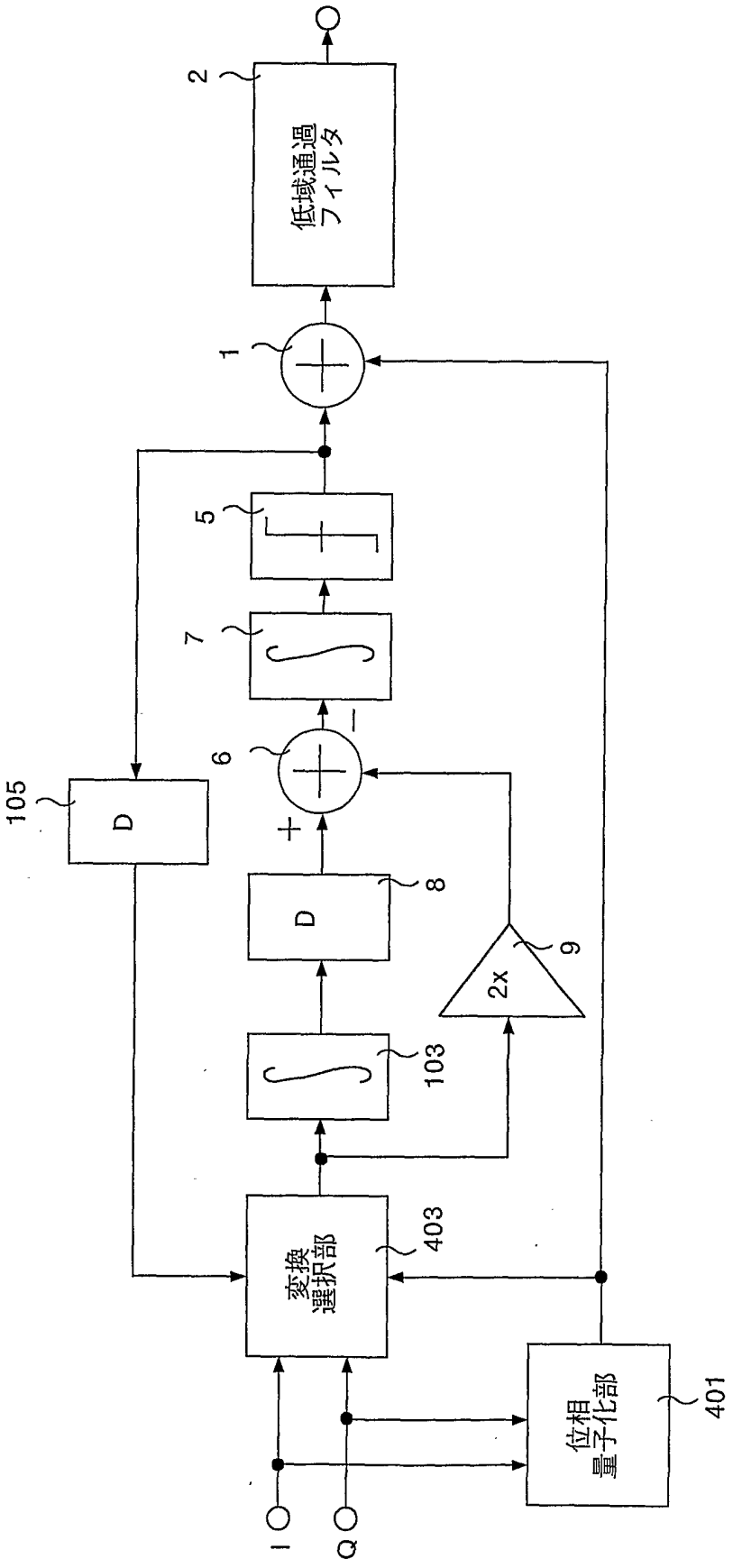
第20図



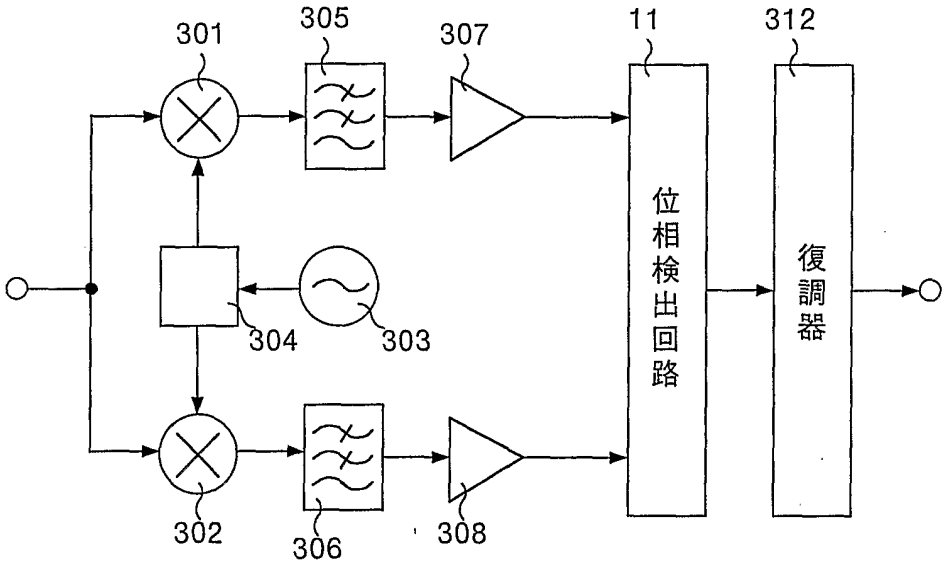
第21図



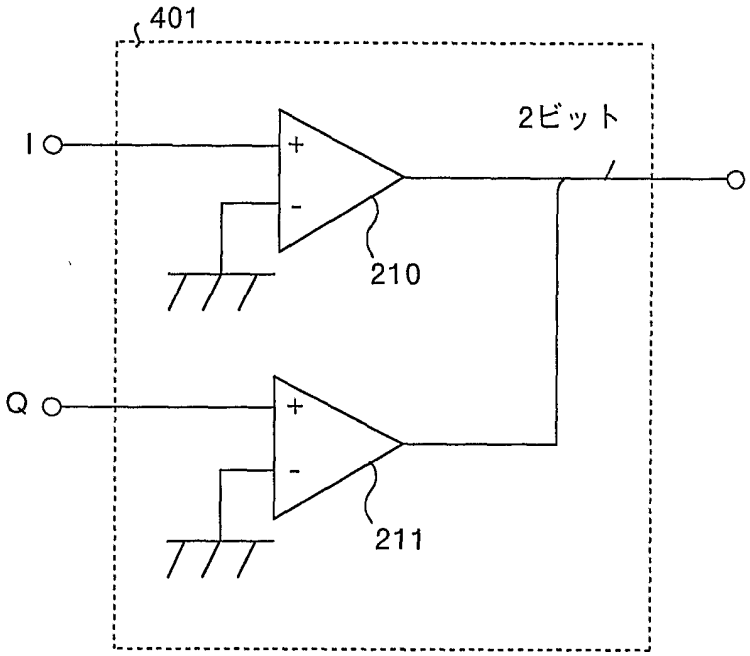
第22図



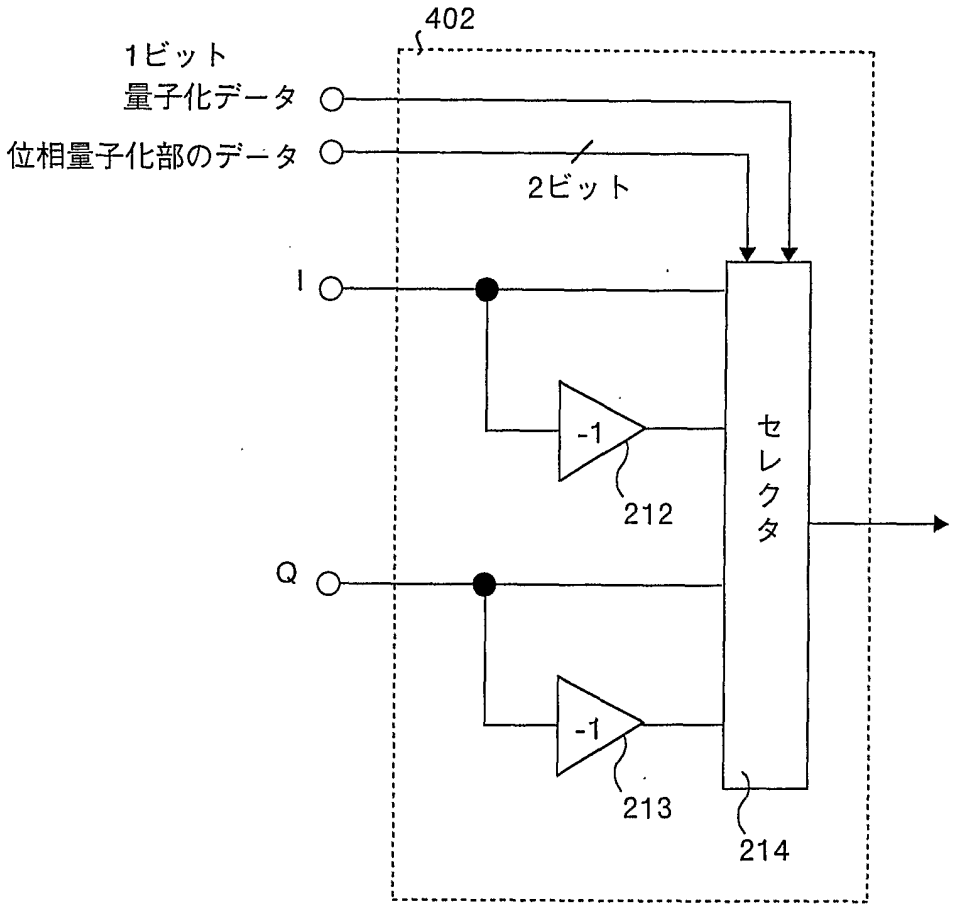
第23図



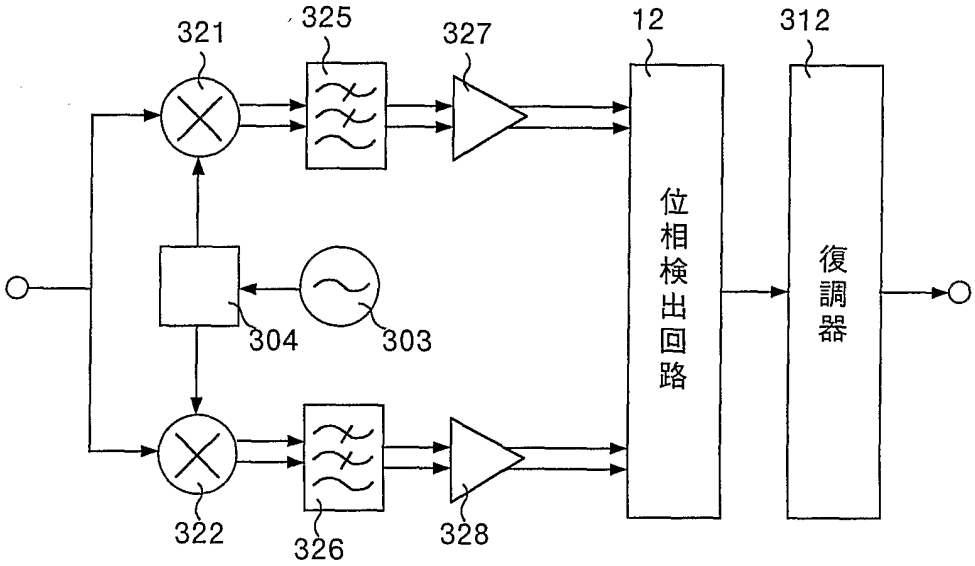
第24図



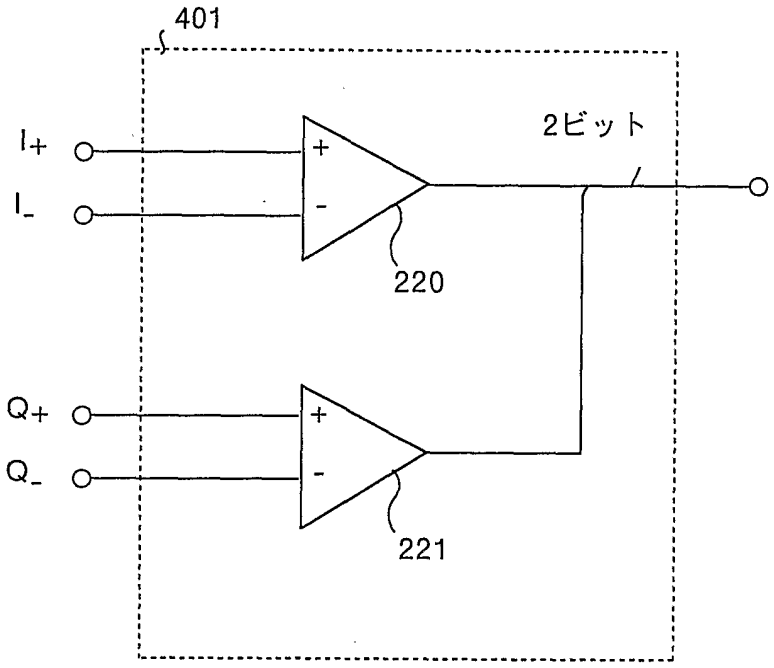
第25図



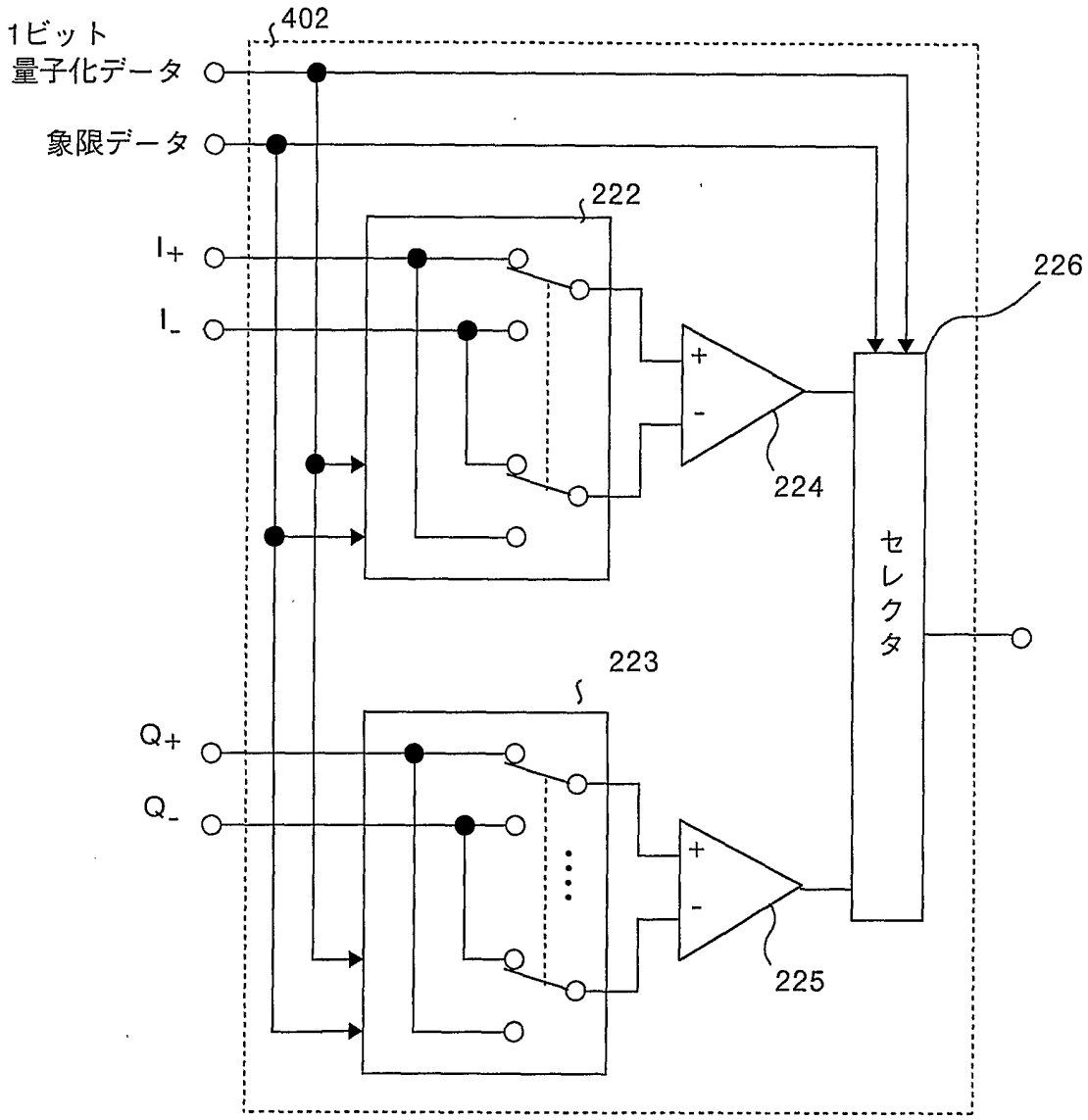
第26図



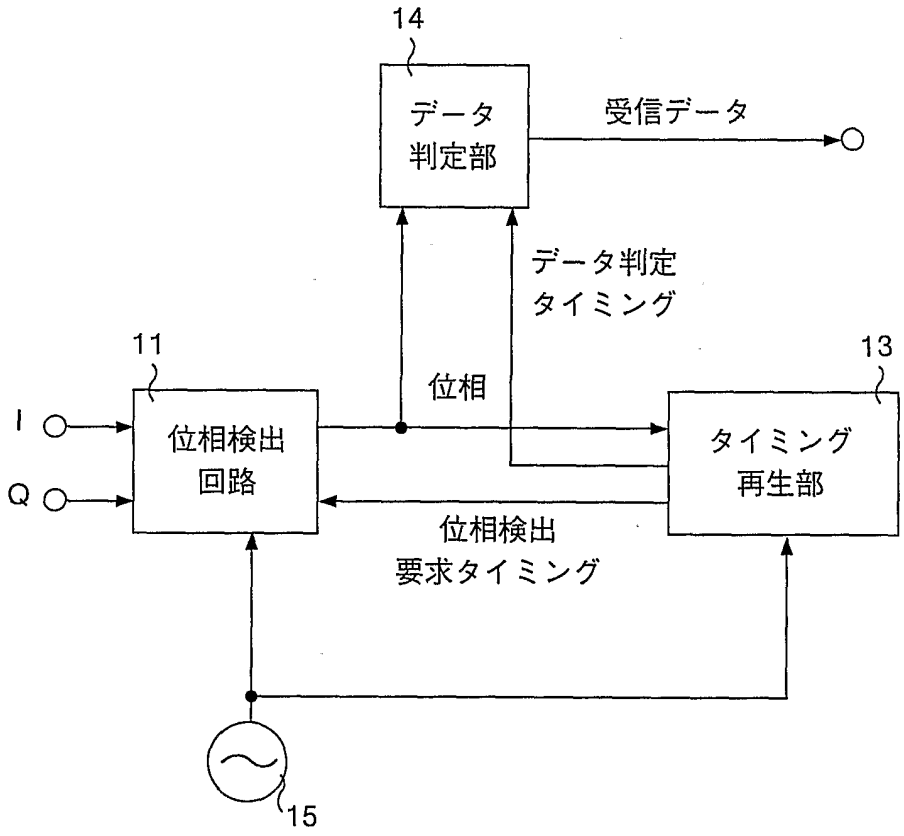
第27図



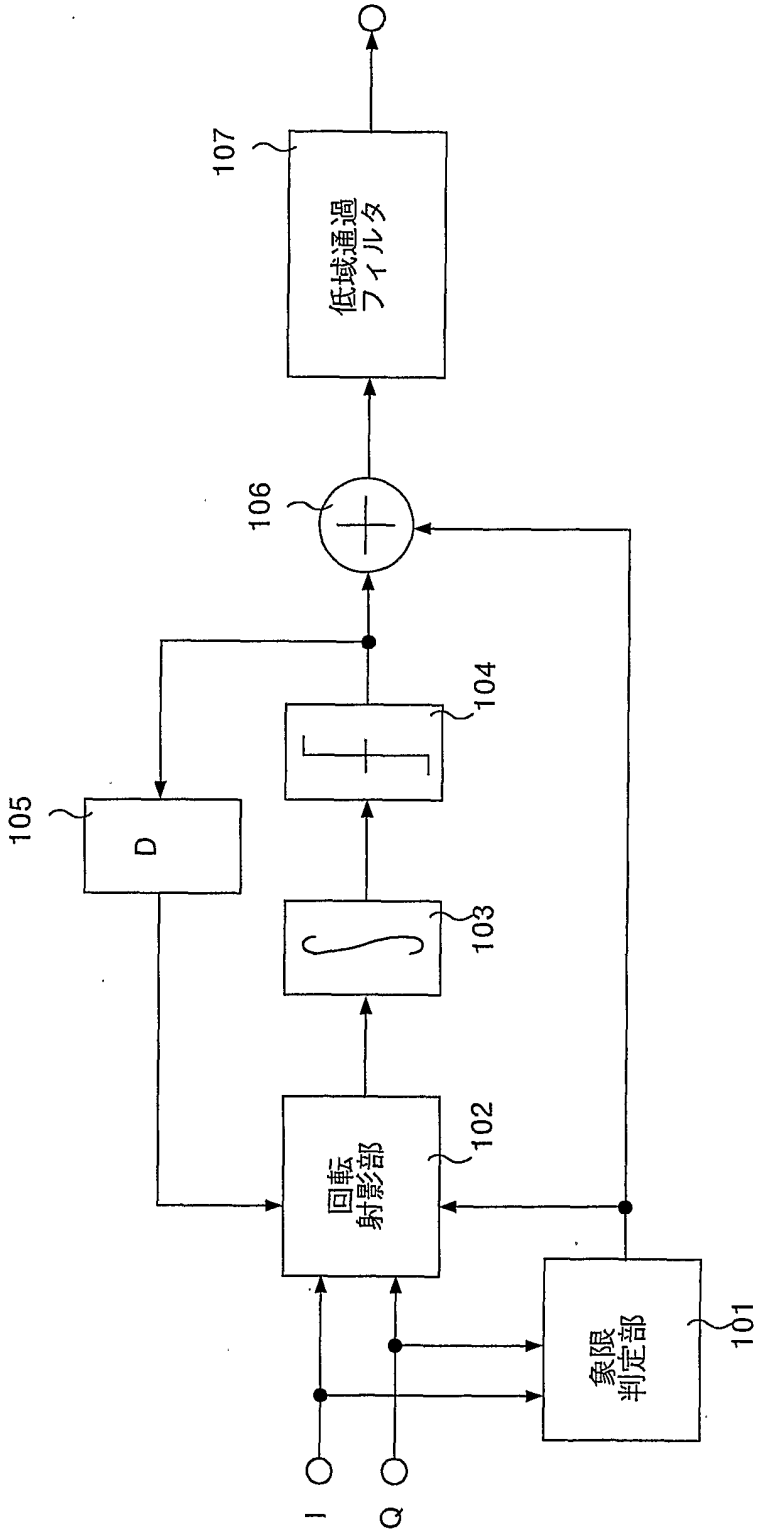
第28図



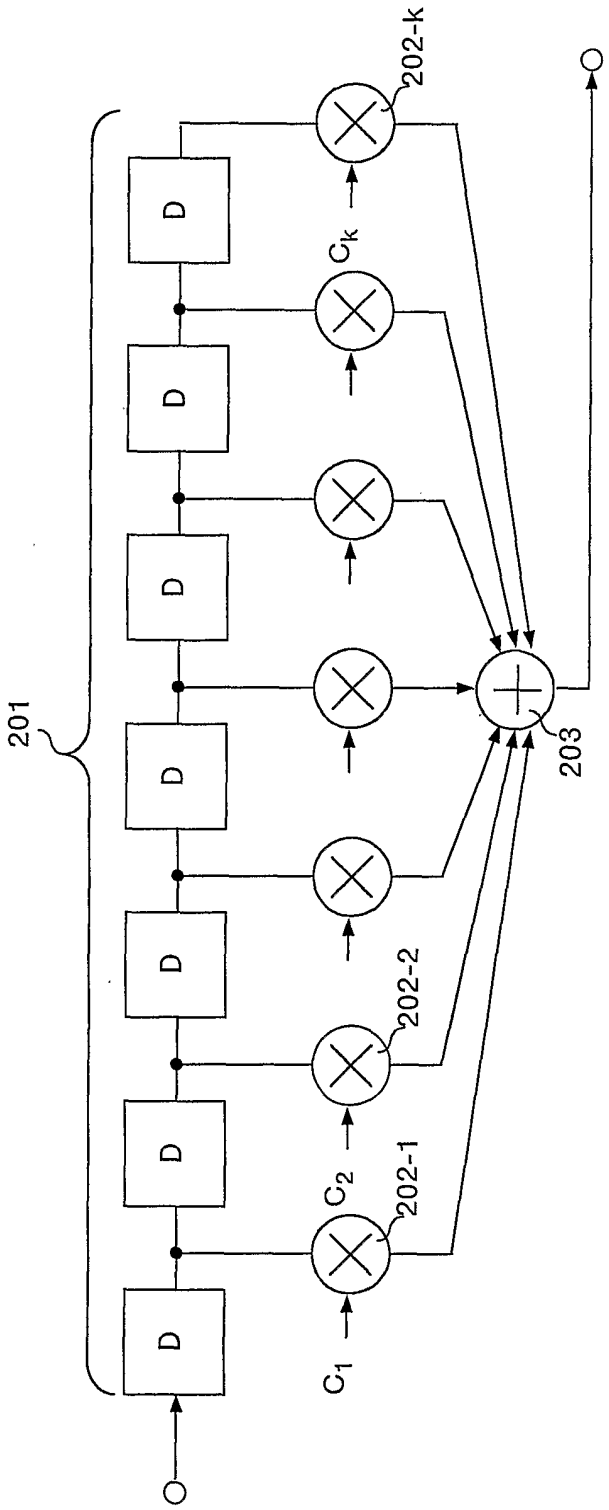
第29図


14
データ
判定部
受信データ
データ判定
タイミング
11
13
位相
I
Q
位相検出
回路
タイミング
再生部
位相検出
要求タイミング
15

第30図



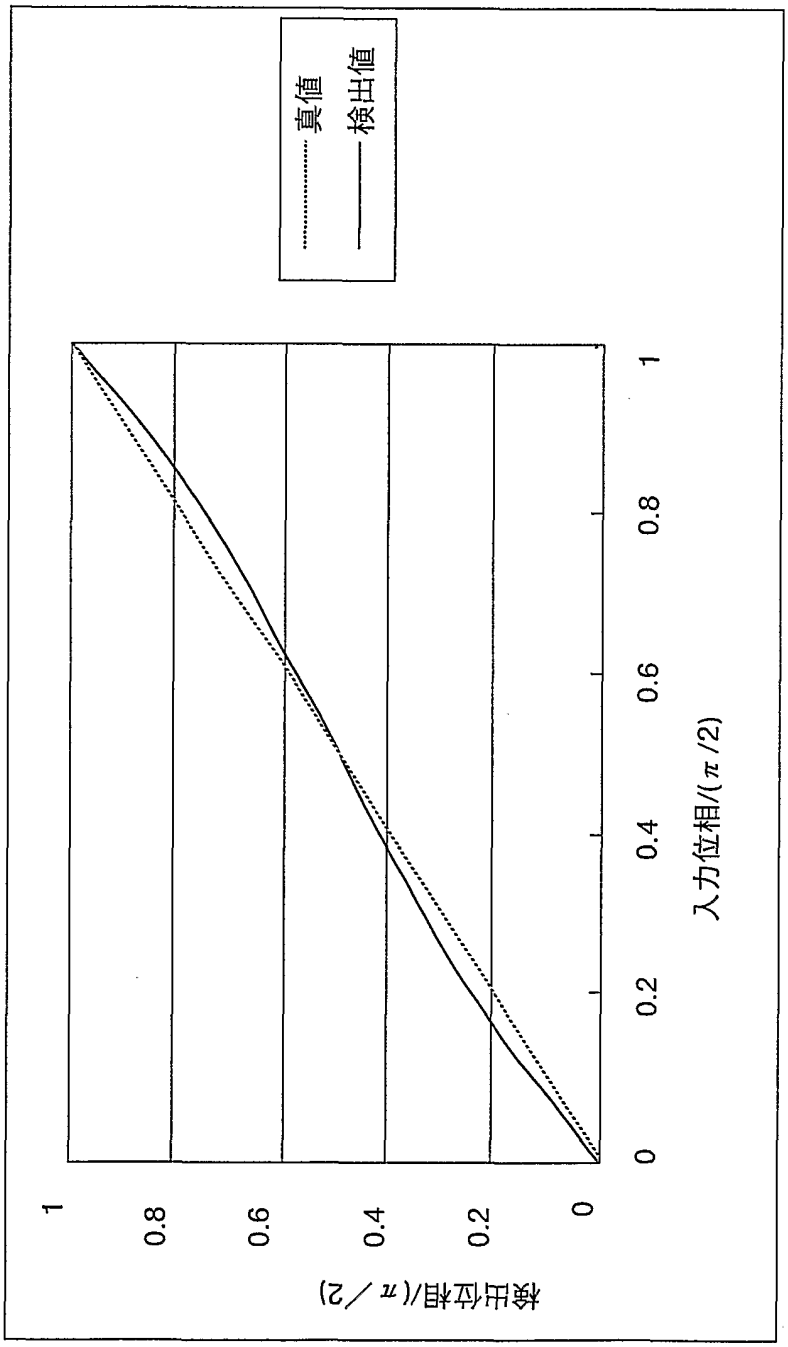
第31図



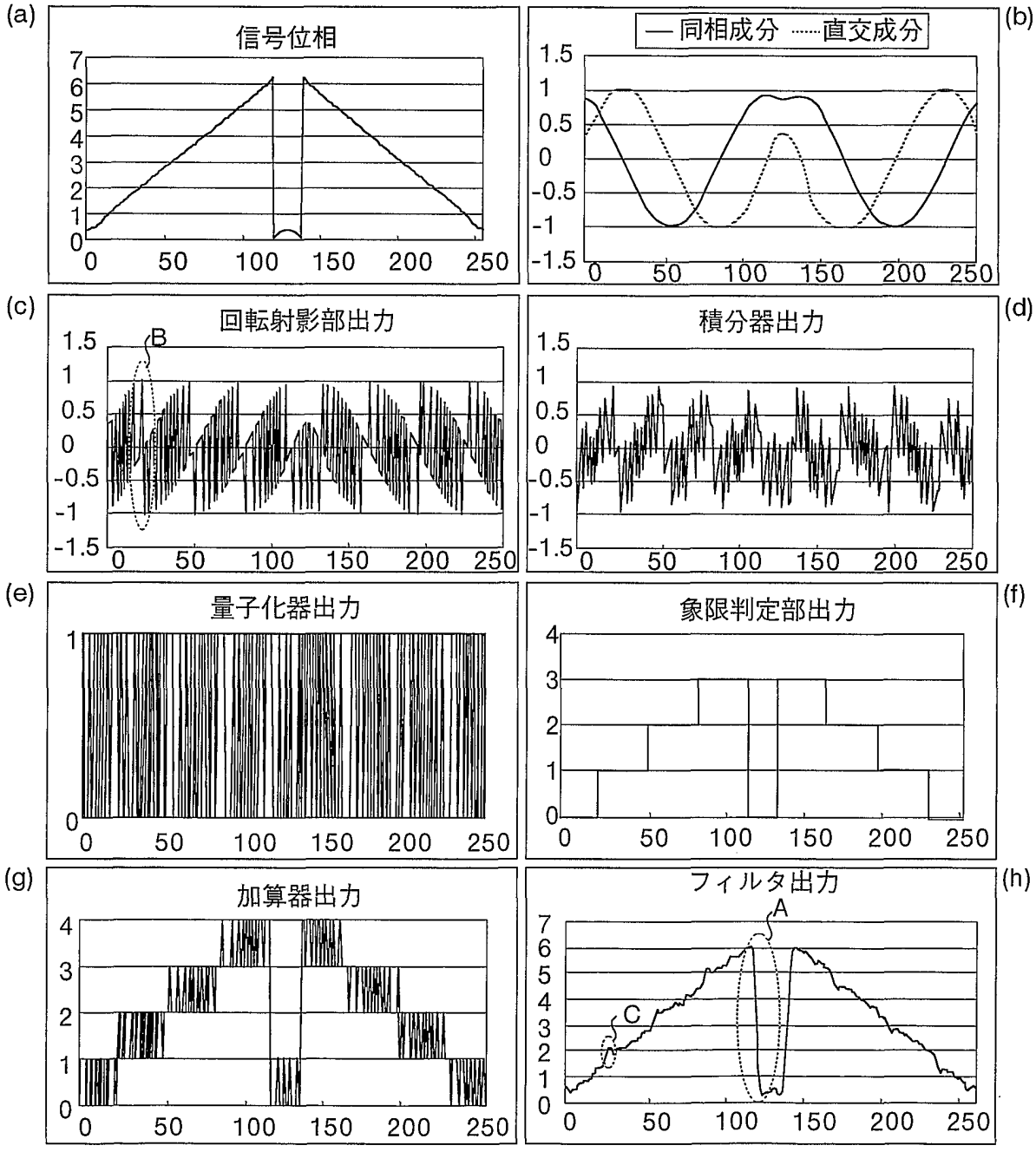
第32図

受信信号の属する象限	象限判定部の出力	1ビット量子化器の出力		回転射影部の出力	
		積分出力が負	積分出力が正	遅延出力が0	遅延出力が1
第1象限	0	0	1	Q	−I
第2象限	1	0	1	−I	−Q
第3象限	2	0	1	−Q	I
第4象限	3	0	1	I	Q

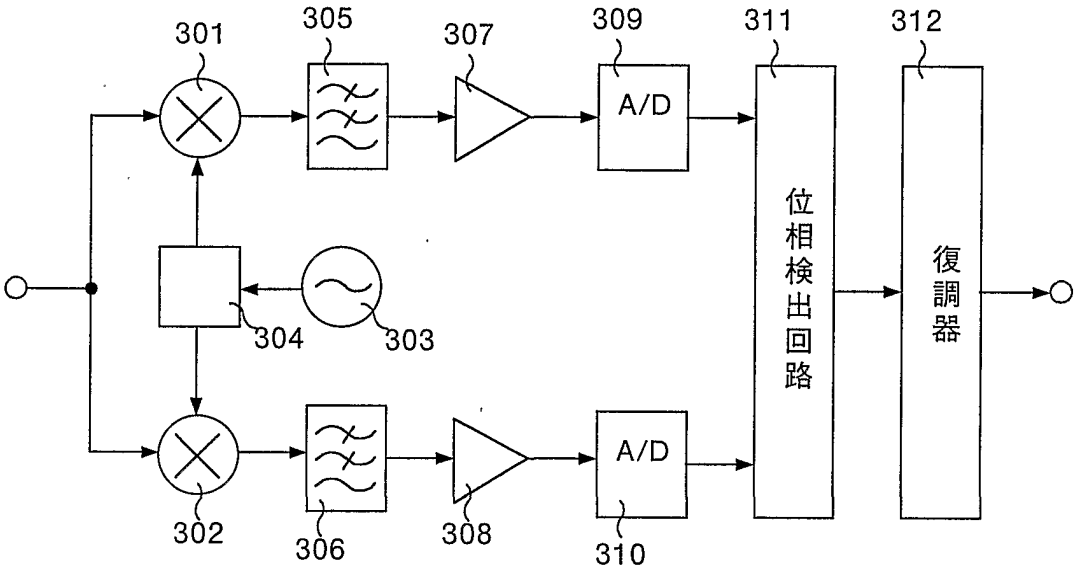
第33図



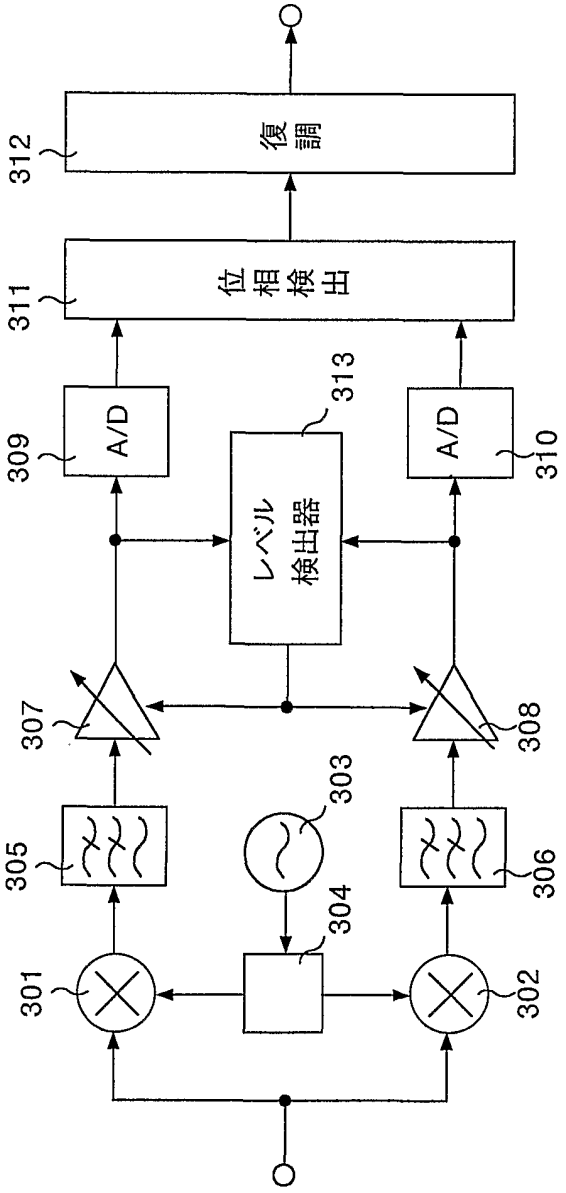
第34図


(a)
信号位相
(b)
同相成分
直交成分
(c)
回転射影部出力
B
(d)
積分器出力
(e)
量子化器出力
(f)
象限判定部出力
(g)
加算器出力
(h)
フィルタ出力
A
C

第35図



第36図


復調
312
位相検出
311
A/D
309
A/D
310
レベル検出器
313
307
308
303
305
306
304
301
302

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/01244

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H04L27/22, 27/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H04L27/22, 27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-2002	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Mikio HAYASHIBARA, et al., "Σ-Δ Hencho Gijutsu o Mochiita Iso Kensyutsu Hosiki to FM Fukuchoki heno Oyo", 1994, Shunki Convention record, the Institute of Electronics, Information and Communication, "2 Tsushin·Electronics", Vol.1994, March 1994, page 2-368	1-39
T	Ryoji HAYASHI, et al., "ΣΔ Gata Iso Kenshutsuki niyoru PSK/FSK Singo no Jushin Tokusei", 2001, National Convention Record, the Institute of electronics, Information and Communication, "Tsushin 1", Vol.2001, March, 2001, page 569	1-39
T	Ryoji HAYASHI, et al., "Delta Sigma Iso Kenshutsuki niyoru PSK/FSK Singo no Jusin Tokusei", Gijutsu Kenkyu Hokoku RCS 2001-203-224, the Institute of Electronics, Information and Communication, Vol.101, No.544, Jan.2002, pages 151 to 158	1-39

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 March, 2002 (07.03.02)	19 March, 2002 (19.03.02)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/01244

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-77737, A (Toshiba Corp.), 18 March, 1994 (18.03.94), Columns 50 to 79; Fig. 9 & US 5517689 A	1-39
A	JP, 8-97875, A (Toshiba Corp.), 12 April, 1996 (12.04.96), Columns 25 to 37; Fig. 11 (Family: none)	1-39

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０２／０１２４４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））
Ｉｎｔ Ｃｌ[7]　Ｈ０４Ｌ　２７／２２、２７／１４

Ｂ．　調査を行った分野
調査を行った最小限資料（国際特許分類（ＩＰＣ））
Ｉｎｔ Ｃｌ[7]　Ｈ０４Ｌ　２７／２２、２７／１４

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　　１９２６－２００２年
日本国公開実用新案公報　　１９７１－２００２年
日本国登録実用新案公報　　１９９４－２００２年
日本国実用新案登録公報　　１９９６－２００２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	林原幹雄　他，Σ－Δ変調技術を用いた位相検出方式とＦＭ復調器への応用，電子情報通信学会1994年春季大会講演論文集「２通信・エレクトロニクス」，VOL.1994，MARCH 1994，page 2-368	１－３９
Ｔ	林　亮司　他，ΣΔ形位相検出器によるＰＳＫ／ＦＳＫ信号の受信特性，電子情報通信学会2001年総合大会講演論文集「通信１」，VOL.2001，MARCH 2001，page 569	１－３９
Ｔ	林　亮司　他，デルタシグマ位相検出器によるＰＳＫ／ＦＳＫ信号の受信特性，電子情報通信学会技術研究報告ＲＣＳ2001-203～22	１－３９

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日
０７．０３．０２

国際調査報告の発送日
19.03.02

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）
彦田　克文　　５Ｋ　９１８２

電話番号　０３－３５８１－１１０１　内線　３５５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
	4, VOL.101, NO.544, JAN.2002, pp151-158	
Ａ	ＪＰ　６－７７７３７　Ａ（株式会社東芝）１９９４．０３．１８，第５０欄－第７９欄，第9図　＆　ＵＳ　５５１７６８９　Ａ	１－３９
Ａ	ＪＰ　８－９７８７５　Ａ（株式会社東芝）１９９６．０４．１２，第２５欄－第３７欄，第１１図　（ファミリーなし）	１－３９