

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4404116号
(P4404116)

(45) 発行日 平成22年1月27日 (2010. 1. 27)

(24) 登録日 平成21年11月13日 (2009. 11. 13)

(51) Int. Cl.

F I

G 0 6 T 11/40 (2006. 01)

G 0 9 G 5/00 (2006. 01)

H 0 4 N 1/387 (2006. 01)

G 0 6 T 11/40 2 0 0

G 0 9 G 5/00 5 3 0 A

H 0 4 N 1/387

G 0 9 G 5/00 5 5 0 X

G 0 9 G 5/00 5 1 0 P

請求項の数 10 (全 21 頁)

(21) 出願番号 特願2007-211255 (P2007-211255)
 (22) 出願日 平成19年8月14日 (2007. 8. 14)
 (65) 公開番号 特開2009-48248 (P2009-48248A)
 (43) 公開日 平成21年3月5日 (2009. 3. 5)
 審査請求日 平成20年9月18日 (2008. 9. 18)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100098084
 弁理士 川▲崎▼ 研二
 (72) 発明者 小野 義之
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内
 (72) 発明者 澤崎 高
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内
 (72) 発明者 齋藤 明
 神奈川県川崎市麻生区南黒川10-1 ア
 イベックステクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 画像処理回路、表示装置及び印刷装置

(57) 【特許請求の範囲】

【請求項 1】

並べて配置される複数の図形画像を構成する各画素の位置と、その画素値とを記憶する図形画像記憶手段と、

0を含む2値で各位置の画素値が表された2値画像データの描画領域において、前記図形画像との位置を合わせる目標として指定された目標位置と、前記図形画像の始点の位置として指定された始点位置との差分を算出する算出手段と、

前記図形画像記憶手段に記憶されている各々の前記画素値を、当該画素値の位置から前記算出手段によって算出された差分だけ移動させた位置の画素値として出力する画素値出力手段と、

前記画素値出力手段から出力された各位置の前記画素値と、前記2値画像データに含まれる各位置の画素値とを、それぞれ対応する前記位置毎に乗算する第1の乗算手段と、

前記2値画像データに含まれる各位置の画素値を反転する反転手段と、

前記2値画像データに含まれる各位置の画素値又は当該2値画像データに基づく画像の背景となる背景画像データに含まれる各位置の画素値と、前記反転手段によって反転された画素値とを、それぞれ対応する前記位置毎に乗算する第2の乗算手段と、

前記第1の乗算手段の乗算結果と、前記第2の乗算手段の乗算結果とを、それぞれ対応する前記位置毎に加算し、出力画像データとして出力する加算手段と

を備えることを特徴とする画像処理回路。

【請求項 2】

10

20

前記 2 値画像データにおける前記目標位置と、前記図形画像における前記始点位置とを記憶する位置記憶手段を備え、

前記算出手段は、前記位置記憶手段に記憶されている前記目標位置と前記始点位置との差分を算出する

ことを特徴とする請求項 1 記載の画像処理回路。

【請求項 3】

利用者による前記目標位置の指定を受け付ける目標受付手段と、

前記目標受付手段によって受け付けられた前記目標位置に応じて、前記図形画像における前記始点位置を決定する始点決定手段とを備え、

前記算出手段は、前記目標受付手段によって受け付けられた前記目標位置と、前記始点決定手段によって決定された前記始点位置との差分を算出する

ことを特徴とする請求項 1 記載の画像処理回路。

【請求項 4】

各々の前記図形画像毎に前記始点として指定された始点位置を記憶する始点記憶手段と、

前記始点記憶手段に記憶されている複数の前記始点位置のうち、前記目標位置に最も近い始点位置を、前記 2 値画像データとの位置を合わせる始点の始点位置として決定する始点決定手段とを備え、

前記算出手段は、前記目標位置と、前記始点決定手段により決定された前記始点位置との差分を算出する

ことを特徴とする請求項 1 記載の画像処理回路。

【請求項 5】

前記図形画像記憶手段は、

前記複数の図形画像を構成する各画素の位置を記憶する第 1 の記憶手段と、

前記図形画像の色を表す色情報を、前記複数の図形画像を構成する各画素の画素値として記憶する第 2 の記憶手段と、

前記第 2 の記憶手段により記憶されている色情報を、前記第 1 の記憶手段により記憶されている各位置の画素の画素値として出力する色情報出力手段とを備える

ことを特徴とする請求項 1 記載の画像処理回路。

【請求項 6】

前記第 2 の記憶手段は、複数種類の色情報を記憶しており、

前記色情報出力手段は、前記複数の図形画像のうち同一種類の図形画像を構成する画素毎に、前記第 2 の記憶手段によって記憶されている複数種類の色情報のうちのいずれかを出力する

ことを特徴とする請求項 5 記載の画像処理回路。

【請求項 7】

前記 2 値画像データに含まれる各位置の画素値、又は、当該 2 値画像データの画像の背景を表す背景画像データに含まれる各位置の画素値のいずれかを指定する指定手段と、

前記指定手段によって指定された画素値を前記第 2 の乗算手段に供給する供給手段と

を備えることを特徴とする請求項 1 記載の画像処理回路。

【請求項 8】

予め決められた背景色情報を記憶する第 3 の記憶手段、又は、表示手段又は印刷手段に出力される画像情報を記憶する第 4 の記憶手段のいずれかを指定する指定手段と、

前記指定手段によって指定された記憶手段に記憶されている情報を、前記背景画像データに含まれる画素値として読み出し、前記第 2 の乗算手段に供給する供給手段と

を備えることを特徴とする請求項 1 記載の画像処理回路。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項に記載の画像処理回路と、

前記加算手段から出力される出力画像データに基づいて画像を表示する表示手段と

を備えることを特徴とする表示装置。

【請求項 10】

請求項 1 乃至 8 のいずれか 1 項に記載の画像処理回路と、
前記加算手段から出力される出力画像データに基づいて印刷を行う印刷手段と
を備えることを特徴とする印刷装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像領域に複数の図形画像を並べて配置する技術に関する。

【背景技術】

【0002】

画像処理の分野では、ハッチング処理と呼ばれる技術が知られている。このハッチング処理とは、文字や表又は図形などの画像領域に複数の図形画像を規則的に並べて配置することで、いわゆる網掛けや模様付けなどを行う処理のことである。例えば特許文献 1 には、ハッチング描画用のブロックパターンを指定された領域内に繰り返し転送する B i T B L T (ビットバウンダリ、ブロック転送) 回路を用いて、フレームメモリにハッチングパターンを迅速に展開する技術が開示されている。

【特許文献 1】特開平 05 - 210381 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

特許文献 1 に記載された技術は、ブロックパターンのサイズの整数倍の大きさを持つ領域に対してハッチング処理を施す場合には都合がよいものであるが、それ以外の場合には上手くハッチング処理を行うことができない。例えばブロックパターンのサイズを極めて小さくすることで、任意の大きさの領域に対するハッチング処理を可能にしたとしても、そのブロックパターンの転送先となる領域のアドレスを逐一きめ細やかに指定しなければならないため、例えば文字などの複雑な形状の画像に対してハッチング処理を施す際には、ブロックパターンの転送先を指定するための作業や処理が非常に煩雑となる。

【0004】

そこで、様々な形状や大きさの画像領域に対してのみ簡単にハッチング処理を施すために、例えば所定の間隔で規則的に並べた複数の図形画像からなるハッチングパターンと、ハッチング処理の対象となる入力画像とを対比し、そのハッチングパターンから、入力画像における描画領域内の位置にある図形画像だけを抽出し、入力画像における描画領域に並べて配置する、という技術が考えられる。

【0005】

しかしながら、このような技術を用いてハッチング処理を行った場合には、ハッチングパターンに含まれる図形画像と入力画像の描画領域との間にずれが生じることがある。つまり、ハッチングパターンにおける各図形画像の位置と、入力画像の描画領域の位置とは、それぞれ無関係に定められるので、入力画像の描画領域の端部において、ハッチングパターンに含まれる図形画像の一部が欠けた状態で現れることがある。このように、ハッチングの図形画像が欠けてしまうと、ハッチングの美しさや図形画像の視認性が損ねられ、画質が劣化するという問題が発生する。特に、星型の図形画像や花をモチーフとした図形画像のように、その一部が欠けると全体の形状を認識しにくくなるような図形画像が並べて配置されるようなハッチングが施される場合には、この問題が顕著になる。

本発明は、このような背景に鑑みてなされたものであり、その目的は、入力画像の描画領域にハッチング処理を施す際に、そのハッチングパターンに含まれる図形画像と入力画像の描画領域との間のずれをできるだけ小さくすることにある。

【課題を解決するための手段】

【0006】

上記課題を解決するため、本発明は、並べて配置される複数の図形画像を構成する各画素の位置と、その画素値とを記憶する図形画像記憶手段と、0 を含む 2 値で各位置の画素

10

20

30

40

50

値が表された2値画像データの描画領域において、前記図形画像との位置を合わせる目標として指定された目標位置と、前記図形画像の始点の位置として指定された始点位置との差分を算出する算出手段と、前記図形画像記憶手段に記憶されている各々の前記画素値を、当該画素値の位置から前記算出手段によって算出された差分だけ移動させた位置の画素値として出力する画素値出力手段と、前記画素値出力手段から出力された各位置の前記画素値と、前記2値画像データに含まれる各位置の画素値とを、それぞれ対応する前記位置毎に乗算する第1の乗算手段と、前記2値画像データに含まれる各位置の画素値を反転する反転手段と、前記2値画像データに含まれる各位置の画素値又は当該2値画像データに基づく画像の背景となる背景画像データに含まれる各位置の画素値と、前記反転手段によって反転された画素値とを、それぞれ対応する前記位置毎に乗算する第2の乗算手段と、前記第1の乗算手段の乗算結果と、前記第2の乗算手段の乗算結果とを、それぞれ対応する前記位置毎に加算し、出力画像データとして出力する加算手段とを備えることを特徴とする画像処理回路を提供する。

10

これにより、2値画像データによって表される画像の描画領域にハッチング処理を施す際に、そのハッチングパターンに含まれる図形画像と入力画像の描画領域との間のずれを小さくすることができる。

【0007】

本発明の好ましい態様においては、前記2値画像データにおける前記目標位置と、前記図形画像における前記始点位置とを記憶する位置記憶手段を備え、前記算出手段は、前記位置記憶手段に記憶されている前記目標位置と前記始点位置との差分を算出してもよい。

20

これにより、目標位置及び始点位置を逐一指定しなくても、2値画像データによって表される画像の描画領域にハッチング処理を施す際に、ハッチングパターンに含まれる図形画像と入力画像の描画領域との間のずれを小さくすることができる。

【0008】

本発明の好ましい態様においては、利用者による前記目標位置の指定を受け付ける目標受付手段と、前記目標受付手段によって受け付けられた前記目標位置に応じて、前記図形画像における始点位置を決定する始点決定手段とを備え、前記算出手段は、前記目標受付手段によって受け付けられた前記目標位置と、前記始点決定手段によって決定された前記始点位置との差分を算出してもよい。

これにより、利用者が所望の目標位置を指定できるとともに、利用者によって指定された目標位置に応じて、始点の位置が自動的に決定される。

30

【0009】

本発明の好ましい態様においては、各々の前記図形画像毎に前記始点として指定された始点位置を記憶する始点記憶手段と、前記始点記憶手段に記憶されている複数の前記始点位置のうち、前記目標位置に最も近い始点位置を、前記2値画像データとの位置を合わせる始点の始点位置として決定する始点決定手段とを備え、前記算出手段は、前記目標位置と、前記始点決定手段により決定された前記始点位置との差分を算出してもよい。

これにより、目標位置と始点位置との差分を小さくすることができる。

【0010】

本発明の好ましい態様において、前記図形画像記憶手段は、前記複数の図形画像を構成する各画素の位置を記憶する第1の記憶手段と、前記図形画像の色を表す色情報を、前記複数の図形画像を構成する各画素の画素値として記憶する第2の記憶手段と、前記第2の記憶手段により記憶されている色情報を、前記第1の記憶手段により記憶されている各位置の画素の画素値として出力する色情報出力手段とを備えてもよい。

40

これにより、2値画像データによって表される画像の描画領域に対して、第2の記憶手段により記憶されている色情報の色の図形画像を並べて配置することができる。

【0011】

本発明の好ましい態様において、前記第2の記憶手段は、複数種類の色情報を記憶しており、前記色情報出力手段は、前記複数の図形画像のうち同一種類の図形画像を構成する画素毎に、前記第2の記憶手段によって記憶されている複数種類の色情報のうちのいずれ

50

かを出力してもよい。

これにより、2値画像データによって表される画像の描画領域において、同一種類で同じ色の図形画像を並べて配置することができる。

【0012】

本発明の好ましい態様においては、前記2値画像データに含まれる各位置の画素値、又は、当該2値画像データの画像の背景を表す背景画像データに含まれる各位置の画素値のいずれかを指定する指定手段と、前記指定手段によって指定された画素値を前記第2の乗算手段に供給する供給手段とを備えてもよい。

これにより、2値画像データに含まれる各位置の画素値、又は、当該2値画像データの画像の背景を表す背景画像データに含まれる各位置の画素値のいずれかを、出力画像データが表す出力画像における背景領域の画素値として指定することができる。

10

【0013】

本発明の好ましい態様においては、予め決められた背景色情報を記憶する第3の記憶手段、又は、表示手段又は印刷手段に出力される画像情報を記憶する第4の記憶手段のいずれかを指定する指定手段と、前記指定手段によって指定された記憶手段に記憶されている情報を、前記背景画像データに含まれる画素値として読み出し、前記第2の乗算手段に供給する供給手段とを備えてもよい。

これにより、予め決められた背景色情報を記憶する第3の記憶手段、又は、表示手段又は印刷手段に出力される画像情報が展開される第4の記憶手段のいずれかを、出力画像データが表す出力画像における背景領域の画素値の供給元の記憶手段として指定することができる。

20

【0014】

また、本発明は、上記のいずれかに記載の画像処理回路と、前記加算手段から出力される出力画像データに基づいて画像を表示する表示手段とを備えることを特徴とする表示装置を提供する。

これにより、入力画像の描画領域にハッチング処理を施す際に、そのハッチングパターンに含まれる図形画像と入力画像の描画領域との間のずれをできるだけ小さくすることができ、さらに、その結果得られた画像を表示することができる。

【0015】

また、本発明は、上記のいずれかに記載の画像処理回路と、前記加算手段から出力される出力画像データに基づいて印刷を行う印刷手段とを備えることを特徴とする印刷装置を提供する。

30

これにより、入力画像の描画領域にハッチング処理を施す際に、そのハッチングパターンに含まれる図形画像と入力画像の描画領域との間のずれをできるだけ小さくすることができ、さらに、その結果得られた画像を印刷することができる。

【発明を実施するための最良の形態】

【0016】

[実施形態]

以下に説明する実施形態では、或る画像領域に複数の図形画像を並べて配置する処理のことを、「ハッチング」という。このとき配置される複数の図形画像は、全て同一の図形画像であってもよいし、類似の図形画像であってもよいし、全て異なる図形画像であってもよい。例えば全て同一の方向に延びる線分画像を均等な間隔で繰り返し配置することで“斜線掛け”と呼ばれるハッチングを行うことができる。また、2方向に延びる線分画像をそれぞれ均等な間隔で繰り返し配置することで“網掛け”と呼ばれるハッチングを行うことができる。さらに、ハート型とクローバー型の図形を互い違いに配置するようなハッチングもあるし、形状が全て異なる抽象的な図形をランダムに並べて配置するようなハッチングも考えられる。つまり、ハッチングに用いる図形画像の大きさや形状或いはその個数はどのようなものであってもよい。

40

【0017】

図1は、本実施形態に係る画像表示装置1の構成を示す図である。

50

同図に示すように、画像表示装置 1 は、CPU (Central Processing Unit) 11 と、ROM (Read Only Memory) 12 と、RAM (Random Access Memory) 13 と、VRAM (Video Random Access Memory) 14 と、記憶性液晶表示体 15 と、表示制御装置 16 と、電源 17 と、電源制御装置 18 と、コネクタ 19 と、記憶制御装置 20 と、I/O 21 と、キー 22 と、記憶装置 23 と、画像処理回路 25 とを備えている。CPU 11 は、ROM 12 に記憶されている制御プログラムを読み出して RAM 13 に展開し、その制御プログラムに記述された手順に従って処理を実行する。キー 22 は、利用者によって操作される操作手段であり、ペンデバイスやジョイスティックなどの操作デバイスを含んでいる。I/O 21 は、キー 22 の操作状態を監視しており、ユーザによってキー 22 が操作されるとその操作に応じた信号を CPU 11 に供給する。電源 17 は、例えば充電可能な電池であり、電源制御装置 18 は、電源 17 のオンオフ制御や電力の残量監視など各種の電源管理を行う。

10

【0018】

コネクタ 19 に対しては、リムーバブルメディアなどの可搬性の外付記憶装置 24 が着脱自在である。この外付記憶装置 24 は、例えば SD (Secure Digital) カードのようなフラッシュメモリ内蔵のカード型記憶媒体であってもよいし、例えばフレキシブルディスクなどの磁気媒体を利用したディスク型記憶媒体であってもよい。記憶装置 23 は、フラッシュメモリやハードディスクなどの不揮発性の記憶媒体であり、画像表示装置 1 に内蔵されている。記憶装置 23 には、ハッチング回路 250 の動作を指示する値を算出するための演算プログラムが記憶されている。また、記憶装置 23 又は外付記憶装置 24 には、

20

【0019】

画像処理回路 25 は、ハッチング回路 250 を備えている。このハッチング回路 250 は、CPU 11 の指示に従って供給される画像データに対してハッチングを施し、そのハッチングを施した画像データを VRAM 14 へと出力する。VRAM 14 は、フレームバッファであり、記憶性液晶表示体 15 に表示される 1 ページ分の画像データを記憶する。記憶性液晶表示体 15 は、コレステリック液晶や電気泳動などを利用した表示手段であり、電力供給が停止しても画像を表示し続けることができるという記憶性を有している。VRAM 14 に記憶された画像データは、CPU 11 の指示の下で表示制御装置 16 に供給される。表示制御装置 16 は記憶性液晶表示体 15 を制御して、供給された画像データに基づいた画像を表示させる。

30

【0020】

次に、図 2 は、ハッチング回路 250 の構成を示す図である。

同図に示すように、ハッチング回路 250 は、メモリ H と、ハッチングカラーレジスタ R0, R1 と、背景カラーレジスタ R2 と、横シフト量レジスタ R3 と、縦シフト量レジスタ R4 と、シフト回路 F と、セレクタ S と、乗算器 MU0, MU1 と、減算器 SU と、加算器 AD とを備えている。このハッチング回路 250 には、記憶装置 23 もしくは外付記憶装置 24 から読み出された 2 値の画像データが、入力画像データとして入力される。ここでは、入力画像データの画素値「0」が白色（最低濃度）を表し、画素値「1」が黒色（最高濃度）を表すものとする。そして、この入力画像データに対してハッチング回路 250 によりハッチング処理を施した結果が、出力画像データとして出力される。メモリ H には、ハッチング処理を行う際に用いるハッチングパターン（つまり複数の図形画像）を構成する各画素の位置が、ハッチングパターンデータとして記憶されている。

40

【0021】

ここで、図 3 は、花柄模様のハッチングを行うためのハッチングパターンデータを模式

50

的に示す図である。

このハッチングパターンデータは、「0」又は「1」という2値のパターンビット値で、花をモチーフとした複数の図形画像が表現されたものである。図において白色のブロックB0を構成する各画素の位置にはパターンビット値「0」が配置され、黒色のブロックB1を構成する各画素の位置にはパターンビット値「1」が配置されている。このハッチングパターンデータによって表されるハッチングパターン全体のサイズは、VRAM14に確保される1ページ分の画像のサイズと同じである。各々のブロックB0、B1はいずれも複数の画素（例えば $16 \times 16 = 256$ 個の画素）によって構成されるが、ここでは説明を簡単にするために、1つのブロックは1つの画素によって構成されているものと仮定する。この場合、ハッチングパターン全体の横方向の長さは、VRAM14における画像1ページ分の横方向の画素数Mに相当する長さである。また、ハッチングパターン全体の縦方向の長さは、VRAM14における画像1ページ分の縦方向の画素数Nに相当する長さである。

10

【0022】

以下の説明では、ハッチングパターンデータにおいて左上端に位置する画素の位置座標を(0, 0)とし、その画素から数えて図中のx方向(右方向)にi画素、図中のy方向(下方向)にj画素、進んだ位置の画素を位置座標(i, j)の画素とする。従って、例えば、位置座標(0, 0)の画素から数えてx方向に1画素進んだ位置の画素は、位置座標(1, 0)にある画素であり、2画素進んだ位置の画素は、位置座標(2, 0)にある画素であり、3画素進んだ位置の画素は位置座標(3, 0)にある画素である。また、位置座標(0, 0)の画素から数えてy方向に1画素進んだ位置の画素は、位置座標(0, 1)の画素であり、2画素進んだ位置の画素は、位置座標(0, 2)の画素である。このような位置座標の表現方法は、図3に示したハッチングパターンだけに限らず、ハッチング回路250に入力される入力画像データ(後述する図4)や、ハッチング回路250から出力される出力画像データ(後述する図8)においても同じである。

20

【0023】

また、記憶装置23には、このハッチングパターンデータによって表される各々の図形画像毎に、その図形画像における始点の位置座標が予め記憶されている。本実施形態において“画像の始点”とは、位置座標(0, 0)の画素に最も近い画素の位置のことを言い、始点位置とは、その始点の位置座標のことを言う。すなわち、記憶装置23には、各々の図形画像における左上端の画素の位置座標が、始点位置として記憶されることになる。例えば、図3の場合には、各々の図形画像は、横5画素×縦5画素で構成されている。そのため、記憶装置23には、ハッチングパターンデータの始点位置として、始点A1の位置座標(0, 0)、始点A2の位置座標(5, 0)、始点A3の位置座標(0, 5)、始点A4の位置座標(5, 5)などが記憶されることになる。

30

【0024】

再び図2の説明に戻る。

ハッチングカラーレジスタR0は、ハッチングパターンデータにおいてパターンビット値「0」の位置にある画素の色を表す色情報を格納している。ここでは、例えば青色を表す色情報「C0」が格納されているものとする。ハッチングカラーレジスタR1は、ハッチングパターンにおいてパターンビット値「1」の位置にある画素の色を表す色情報を格納している。ここでは、例えば黄色を表す色情報「C1」が格納されているものとする。この色情報は、本来は色そのものを指定する情報と、その階調値とを含む。ただし、本実施形態では、色情報の階調値として、その色情報が表す色が有るか無いかの2値しか想定していないので、色情報「C0」だけで「青色」であることを意味すると同時に、その色が「有る」ということを意味している。また、色情報「C1」は、「黄色」であることを意味すると同時に、その色が「有る」ということを意味している。

40

【0025】

横シフト量レジスタR3は、ハッチングパターンデータに含まれる各位置のパターンビット値を図3に示したx方向に移動させるための横シフト量を格納している。この横シフ

50

ト量は、ハッチング回路 250 に新たな画像データが入力される度に、CPU 11 によって算出され、横シフト量レジスタ R3 に書き込まれるようになっている。縦シフト量レジスタ R4 は、ハッチングパターンデータに含まれる各位置のパターンビット値を図 3 に示した y 方向に移動させるための縦シフト量を格納している。この縦シフト量も、上述と同様に、ハッチング回路 250 に新たな画像データが入力される度に、CPU 11 によって算出され、縦シフト量レジスタ R4 に書き込まれるようになっている。

【0026】

シフト回路 F は、メモリ H から供給されるハッチングパターンデータに含まれる各パターンビット値を、横シフト量レジスタ R3 から供給される横シフト量だけ図 3 に示した x 方向に移動させ、縦シフト量レジスタ R4 から供給される縦シフト量だけ図 3 に示した y 方向に移動させた値を出力する。

【0027】

セクタ S には、入力信号として、ハッチングカラーレジスタ R0 に格納されている色情報「C0」と、ハッチングカラーレジスタ R1 に格納されている色情報「C1」とが入力される。また、このセクタ S には、選択信号として、シフト回路 F から出力される各位置のパターンビット値が、上述した画素の位置座標の順番に従って順次入力される。セクタ S は、選択信号としてパターンビット値「0」が入力されている期間は、色情報「C0」を選択して出力し、選択信号としてパターンビット値「1」が入力されている期間は、色情報「C1」を選択して出力する。

【0028】

上述したメモリ H は、ハッチングパターンを構成する各画素の位置を記憶する第 1 の記憶手段として機能する。また、ハッチングカラーレジスタ R0, R1 は、ハッチングパターンの色を表す色情報を、そのハッチングパターンを構成する各画素の画素値として記憶する第 2 の記憶手段として機能する。そして、セクタ S は、ハッチングカラーレジスタ R0, R1 に記憶されている色情報を、メモリ H に記憶されている各位置の画素の画素値として出力する色情報出力手段として機能する。結局、これらのメモリ H、ハッチングカラーレジスタ R0, R1 及びセクタ S が協働することにより、ハッチングパターンを構成する各画素の位置とその画素値を記憶する図形画像記憶手段 26 として機能することになる。

【0029】

乗算器 MU0 は、第 1 の乗算手段であり、セクタ S から出力される色情報「C0」又は「C1」と、入力画像データに含まれる画素値「0」（白色）又は「1」（黒色）を、それぞれ対応する画素位置毎に乗算して出力する。この「対応する位置」とは、図 3 に示した画素の位置座標が同じことを意味している。この入力画像データの画素値「0」又は「1」を、以下では「 α 」と呼ぶ。すなわち、乗算器 MU0 は、「C0」又は「C1」と「 α 」とが入力されて、「 $\alpha \times C0$ 」又は「 $\alpha \times C1$ 」を出力することになる。

【0030】

減算器 SU には、入力画像データの画素値「 α 」と、「1」という値とが入力され、この「1」という値から「 α 」を減算した「 $1 - \alpha$ 」を「 β 」として出力する。これにより、画素値「 α 」= 1 の場合は、その 1 が減算器 SU により反転させられて「0」が出力され、画素値「 α 」= 0 の場合は、その 0 が減算器 SU により反転させられて「1」が出力されることになる。つまり、この減算器 SU は、2 値で表現された画素値を反転する反転手段として機能する。

【0031】

背景カラーレジスタ R2 は、入力画像データによって表される画像が記憶性液晶表示体 15 に表示されるとき非描画領域（つまり入力画像データに基づく画像の背景となる背景領域）の色を表す色情報を格納している。この色情報は例えば白色を表している。この画像処理回路 25 では、予め決められた色の背景領域に、入力画像データが表す画像を重ねて描画する、という構成になっている。このため、背景カラーレジスタ R2 には背景領域の色情報が格納されている。以下、この背景領域の色情報を「背景色情報」という。

【 0 0 3 2 】

乗算器 M U 1 は、第 2 の乗算手段であり、減算器 S U から出力される「 β 」と、背景カラーレジスタ R 2 から供給される背景色情報とを、対応する画素位置毎に乗算して出力する。すなわち、乗算器 M U 1 からは、「 $\beta \times$ 背景色情報」が色情報として出力される。

【 0 0 3 3 】

加算器 A D は、乗算器 M U 0 から出力された「 $\alpha \times C 0$ 」又は「 $\alpha \times C 1$ 」と、乗算器 M U 1 から出力された「 $\beta \times$ 背景色情報」とを、対応する画素位置毎に加算して、その加算した結果を出力画像データとして出力する。すなわち、加算器 A D からは、「 $\alpha \times C 0 + \beta \times$ 背景色情報」という色情報か、「 $\alpha \times C 1 + \beta \times$ 背景色情報」という色情報のいずれかが、出力画像データに含まれる各画素の色情報として出力される。

10

【 0 0 3 4 】

次に、ハッチング回路 2 5 0 の動作について具体的に説明する。

図 4 は、ハッチング回路 2 5 0 に入力される入力画像データの一例である、「L」という文字画像が描画された入力画像を表す入力画像データを模式的に示す図である。この入力画像は、図 3 に示したハッチングパターンと同様に、x 方向（右方向）に M 個、y 方向（縦方向）に N 個の画素から構成されている。各画素の画素値は、図中の白色部分が「0」であり、黒色部分が「1」である。画素値が「1」の領域は、「L」という文字画像が描画される描画領域であり、画素値が「0」の領域は、文字画像が描画されない非描画領域である。以下の説明では、このような入力画像データがハッチング回路 2 5 0 に入力される場合の動作を例示する。

20

【 0 0 3 5 】

まず、C P U 1 1 は、各々の入力画像データによって表される入力画像毎に予め記憶装置 2 3 に記憶されている始点の位置座標と、記憶装置 2 3 に記憶されているハッチングパターンデータの始点の位置座標とに基づいて、ハッチングパターンデータに含まれる各位置のパターンビット値を移動させるための移動量、すなわち横シフト量と縦シフト量とを算出する。この移動量の算出は、C P U 1 1 が、記憶装置 2 3 に記憶されている演算プログラムを実行することによって行われる。

【 0 0 3 6 】

ここで、横シフト量と縦シフト量の算出方法について詳細に説明する。

まず、C P U 1 1 は、図 4 において表される「L」という文字画像の始点位置を記憶装置 2 3 から読み出す。前述したように、「画像の始点」とは位置座標（0, 0）の画素に最も近い画素の位置のことであるから、例えば、図 4 に示した入力画像データにおいては、「L」という文字画像における左上端の画素の位置座標（1, 1）が始点位置として記憶装置 2 3 から読み出される。この位置座標は、ハッチングパターンに含まれる図形画像との位置を合わせる際の目標となるから、以下の説明では、この始点の位置座標を「目標位置座標」という。

30

【 0 0 3 7 】

続いて、C P U 1 1 は、記憶装置 2 3 に記憶されているハッチングパターンデータの始点位置を読み出す。そして、C P U 1 1 は、読み出した複数の始点位置のうち、目標位置座標までの x 方向、y 方向への間が最も近い始点位置を特定する。この例では、目標位置座標が（1, 1）であるため、図 3 に示した始点 A 1 の位置座標（0, 0）が特定される。つまり、C P U 1 1 は、演算プログラムを実行することにより、位置記憶手段に記憶されている複数の始点位置のうち、目標位置に最も近い位置始点を、入力画像データとの位置を合わせる始点の始点位置として決定する始点決定手段として機能する。以下の説明では、特定された位置座標を「基準位置座標」という。

40

【 0 0 3 8 】

そして、C P U 1 1 は、目標位置座標から基準位置座標を減算した値を、x 方向と y 方向でそれぞれ算出する。この例では、目標位置座標（1, 1）から基準位置座標（0, 0）を減算した x 方向の減算値としては $1 - 0 =$ 「1」が、y 方向の減算値としては $1 - 0 =$ 「1」がそれぞれ算出される。つまり、C P U 1 1 は、演算プログラムを実行すること

50

により、入力画像データにおいて、図形画像との位置を合わせる目標として指定された目標位置と、図形画像において、入力画像データとの位置を合わせる始点として指定された始点位置（ここでは基準位置座標）との差分を算出する算出手段として機能する。このようにして算出されたx方向の減算値「1」は、CPU11によって、横シフト量として横シフト量レジスタR3に書き込まれる。また、y方向の減算値「1」は、CPU11によって、縦シフト量として縦シフト量レジスタR4に書き込まれる。

【0039】

次に、図5を参照して、シフト回路F、セレクタS及び乗算器MU0の動作を説明する。

ハッチング回路250には、図4に示した入力画像データに含まれる各位置の画素値が、位置座標の順番に従って「 α 」として入力される。例えば、入力画像データの位置座標(0, 0)の画素の画素値は「0」であるため、まず、「0」という値が「 α 」として入力される。続いて、入力画像データの位置座標(1, 0)の画素の画素値も「0」であるため、「0」という値が「 α 」として出力される。同様に、位置座標(2, 0)、(3, 0)・・・(M-1, 0)というように、図4に示した入力画像データの最上方の1ラインの画素値が順次、ハッチング回路250に「 α 」として入力される。1ラインの画素値が全てハッチング回路250に入力されると、次に、上から2番目の1ラインに属する位置座標(0, 1)、(1, 1)、(2, 1)・・・(M-1, 1)の画素の画素値が順次、ハッチング回路250に「 α 」として入力される。ここで、位置座標(1, 1)、(2, 1)、(3, 1)、(4, 1)の画素の画素値は、それぞれ、「1」、「1」、「1」、「0」である。図5では、これらの画素値が順番に入力されている様子を例示している。

【0040】

この入力動作と並行して、シフト回路Fには、メモリHから読み出されたハッチングパターンデータと、横シフト量レジスタR3から読み出された横シフト量と、縦シフト量レジスタR4から読み出された縦シフト量とが入力される。そして、このシフト回路Fは、ハッチングパターンデータに含まれる各位置のパターンビット値を、横シフト量及び縦シフト量に基づいた移動量だけ移動させた値を出力する。つまり、シフト回路Fは、記憶手段に記憶されている各々の画素値の位置から算出手段によって算出された差分だけ離れた位置の画素値を出力する画素値出力手段として機能する。

【0041】

この例では、横シフト量レジスタR3に格納されている横シフト量が「1」であり、縦シフト量レジスタR4に格納されている縦シフト量が「1」であるため、ハッチングパターンに含まれる各パターンビット値は、図3に示したx方向に横シフト量分の「1」、y方向に縦シフト量分の「1」だけ移動させられた位置のパターンビット値に変換されて出力される。例えば、図3に示すようなハッチングパターンデータがメモリHに記憶されている場合、位置座標が(0, 0)のパターンビット値「1」は、位置座標(1, 1)のパターンビット値に変換されて出力される。続いて、位置座標が(1, 0)のパターンビット値「0」は、位置座標(2, 1)のパターンビット値に変換されて出力される。同様に、位置座標が(2, 0)のパターンビット値「1」は、位置座標(3, 1)のパターンビット値に変換されて出力され、位置座標が(3, 0)のパターンビット値「0」は、位置座標(4, 1)のパターンビット値に変換されて出力される。シフト回路Fから出力されたハッチングパターンデータは、セレクタSに供給される。

【0042】

セレクタSには、入力信号として、ハッチングカラーレジスタR0から読み出された色情報「C0」と、ハッチングカラーレジスタR1から読み出された色情報「C1」とが入力され、選択信号として、シフト回路Fから出力された各位置のパターンビット値が供給される。そして、セレクタSは、選択信号として「0」が入力されている期間は色情報「C0」を選択して出力し、選択信号として「1」が入力されている期間は色情報「C1」を選択して出力する。例えば、ハッチングパターンデータにおける位置座標(1, 1)の

画素については、上述したようにパターンビット値が「1」であるため、セクタSからは色情報「C1」が出力される。続いて、ハッチングパターンデータにおける位置座標(2, 1)の画素については、パターンビット値が「0」であるため、セクタSからは色情報「C0」が出力される。同様に、ハッチングパターンデータにおける位置座標(3, 1)の画素については、パターンビット値が「1」であるため、色情報「C1」が出力され、ハッチングパターンデータにおける位置座標(4, 1)の画素については、パターンビット値が「0」であるため、色情報「C0」が出力される。セクタSから出力された色情報は順次、乗算器MU0に供給される。

【0043】

乗算器MU0は、入力画像データに含まれる各位置の画素値「 α 」と、セクタSから供給された色情報「C0」又は「C1」とを、対応する画素位置毎に乗算し、“ $\alpha \times C0$ ”又は“ $\alpha \times C1$ ”を出力する。例えば、位置座標(1, 1)の画素については、 α が「1」、色情報が「C1」であるため、 $1 \times C1 = \text{「C1」}$ が、つまりセクタSから供給される色情報「C1」がそのまま出力される。続いて、位置座標(2, 1)の画素については、 α が「1」、色情報が「C0」であるため、 $1 \times C0 = \text{「C0」}$ が、つまりセクタSから供給される色情報「C0」がそのまま出力される。同様に、位置座標(3, 1)の画素についても、 α が「1」であるため、セクタSから供給される色情報「C1」がそのまま出力される。続く位置座標(4, 1)の画素については、セクタSから供給される α が「0」であるため、 $0 \times C0 = \text{「0」}$ という値が出力される。このように、乗算器MU0による乗算の結果、入力画像データの画素値が「0」である画素、つまり文字画像が描画されない非描画領域の画素については、「0」という値が出力される。一方、入力画像データの画素値が「1」である画素、つまり文字画像が描画される描画領域の画素については、ハッチングパターンデータに含まれる各画素の色情報が出力されることになる。乗算器MU0から出力された“ $\alpha \times C0$ ”又は“ $\alpha \times C1$ ”、つまり“ $\alpha \times$ ハッチングパターンの色情報”は、加算器ADに供給される。

【0044】

次に、図6を参照して、減算器SU及び乗算器MU1の動作を説明する。

入力画像データに含まれる各位置の画素値「 α 」は、上述した乗算器MU0のほか、減算器SUにも供給される。減算器SUは、この「 α 」と「1」とが入力され、この「1」から「 α 」を減算した“ $1 - \alpha$ ”を「 β 」として出力する。例えば位置座標(1, 1)の画素については、 α が「1」であるため、 $1 - 1 = \text{「0」}$ という値が「 β 」として出力される。同様に、位置座標(2, 1)の画素については、 α が「1」であるため、 $1 - 1 = \text{「0」}$ という値が「 β 」として出力され、位置座標(3, 1)の画素についても、 α が「1」であるため、 $1 - 1 = \text{「0」}$ という値が「 β 」として出力される。続く(4, 1)の画素については、 α が「0」であるため、 $1 - 0 = \text{「1」}$ という値が「 β 」として出力される。減算器SUから出力された「 β 」は、乗算器MU1に供給される。

【0045】

乗算器MU1には、減算器SUから「 β 」が供給されるとともに、背景カラーレジスタR2から背景色情報が供給される。乗算器MU1は、この「 β 」と背景色情報とを、対応する画素位置毎に乗算した“ $\beta \times$ 背景色情報”を出力する。すなわち、入力画像データの画素値が「0」である画素、つまり文字画像が描画されない非描画領域の画素については、「 β 」が「1」になるため、乗算器MU1からは背景色情報がそのまま出力される。一方、入力画像データの画素値が「1」である画素、つまり文字画像の描画領域の画素については、 β が「0」になるため、乗算器MU1からは「0」という値が出力される。例えば位置座標(1, 1)の画素については、減算器SUから供給される β が「0」であるため、「0」という値が出力される。同様に、位置座標(2, 1), (3, 1)の画素についても、減算器SUから供給される β が「0」であるため、「0」という値が出力される。続く位置座標(4, 1)の画素については、減算器SUから供給される β が「1」であるため、背景カラーレジスタR2から供給される背景色情報がそのまま出力される。乗算器MU1から出力された“ $\beta \times$ 背景色情報”は、加算器ADに供給される。

【 0 0 4 6 】

次に、図 7 を参照して、加算器 A D の動作を説明する。

加算器 A D は、乗算器 M U 0 から供給される “ $\alpha \times$ ハッチングパターン の色情報 ” と、乗算器 M U 1 から供給される “ $\beta \times$ 背景色情報 ” とを、対応する画素位置毎に加算した “ $\alpha \times$ ハッチングパターン の色情報 + $\beta \times$ 背景色情報 ” の値を出力する。例えば位置座標 (1 , 1) の画素については、乗算器 M U 0 から供給される “ $\alpha \times$ ハッチングパターン の色情報 ” の値が「 C 1 」であり、乗算器 M U 1 から供給される “ $\beta \times$ 背景色情報 ” の値が「 0 」であるため、ハッチングパターン の色情報「 C 1 」が出力される。続く位置座標 (2 , 1) の画素については、乗算器 M U 0 から供給される “ $\alpha \times$ ハッチングパターン の色情報 ” の値が「 C 0 」であり、乗算器 M U 1 から供給される “ $\beta \times$ 背景色情報 ” の値が「 0 」であるため、ハッチングパターン の色情報「 C 0 」が出力される。同様にして、位置座標 (3 , 1) の画素については、 “ $\alpha \times$ ハッチングパターン の色情報 ” の値が「 C 1 」であり、 “ $\beta \times$ 背景色情報 ” の値が「 0 」であるため、ハッチングパターン の色情報「 C 1 」が出力される。そして、位置座標 (4 , 1) の画素については、 “ $\alpha \times$ ハッチングパターン の色情報 ” の値が「 0 」であり、 “ $\beta \times$ 背景色情報 ” の値が「背景色情報」であるため、この「背景色情報」が出力される。つまり、加算器 A D においては、図 4 において表されるような入力画像における描画領域の画素の色情報が、シフト回路 F によって各パターンビット値が移動されたハッチングパターン の色情報に置き換えられる。一方、入力画像における非描画領域の画素の色情報については、背景色情報に置き換えられる。そして、このようにして置き換えられた色情報からなる出力画像データが、加算器 A D から出力されることになる。加算器 A D から出力された出力画像データは、V R A M 1 4 にいったん記憶された後、表示制御装置 1 6 によって解釈されて、記憶性液晶表示体 1 5 に画像として表示される。

【 0 0 4 7 】

ここで、図 8 は、出力画像データに基づいて記憶性液晶表示体 1 5 に表示される出力画像を示す図である。

同図に示すように、この出力画像は、図 4 において表された “ L ” という文字画像の描画領域には、図 3 において表されたハッチングパターンを x 方向に「 1」、y 方向に「 1」だけ移動させたハッチングパターンに相当する、青色と黄色の花柄模様のハッチングが施されている。そのため、花をモチーフとした図形画像の形状が損なわれておらず、その全体を視認することができる。また、入力画像の非描画領域には、ハッチングは施されておらず、背景色情報が表す白色の背景画像となっている。例えば位置座標 (1 , 1) の画素の色は、ハッチングパターン の色情報「 C 1 」が表す黄色であるし、位置座標 (2 , 1) の画素の色はハッチングパターン の色情報「 C 0 」が表す青色であるし、位置座標 (3 , 1) の画素の色は、ハッチングパターン の色情報「 C 1 」が表す黄色である。また、位置座標 (4 , 1) の画素の色は、背景色情報が表す白色である。

【 0 0 4 8 】

ここで、ハッチングパターンデータに含まれる各パターンビット値をシフト回路 F によって移動させずに、メモリ H に格納されているハッチングパターンデータを直接セレクト S に供給させた場合に、入力画像に対して施されるハッチングについて考えてみる。図 9 は、この場合の出力画像を示す図である。同図に示すように、この出力画像は、図 4 において表される “ L ” という文字画像の描画領域には、図 3 において表されるハッチングパターンに相当する青色と黄色の花柄模様の図形画像がそのままの位置で施されている。つまり、ハッチングパターンに含まれる図形画像と入力画像の描画領域との間にずれがあるため、ハッチングパターンに含まれる図形画像の全体が文字画像の描画領域内に収まっておらず、図形画像の一部が欠損したように見える。この出力画像からは、花をモチーフとした図形画像のハッチングが施されていることを視認するのが難しい。

【 0 0 4 9 】

以上説明した実施形態によれば、入力画像の描画領域にハッチング処理を施す際に、そのハッチングパターンに含まれる図形画像と入力画像の描画領域との間のずれをできるだ

10

20

30

40

50

け小さくすることができる。また、レジスタ、セレクタ、シフト回路、乗算器、加算器及び減算器からなる比較的簡易な構成の回路を用いるだけで、入力画像における文字などの描画領域だけにハッチングを施すことができ、ハッチング対象となる領域の位置座標或いはメモリアドレスなどを逐一指定する手間が不要となる。さらに、このシフト回路は、ハッチングパターンに含まれる各図形画像の画像サイズ分だけ各パターンビット値を移動させられるものであれば十分である。例えば、図3において表されるハッチングパターンであれば、各図形画像が横5画素×縦5画素で構成されている。そのため、シフト回路Fは、各パターンビットをx方向に5、y方向に5だけ移動させられるものであれば、目標位置としてどのような位置が指定された場合であっても、ハッチングパターンに含まれる図形画像の全体が文字画像の描画領域内に収まるように、パターンビット値の位置を移動させることができる。また、ハッチングカラーレジスタR0、R1に所望の色を記憶させるだけで、所望の色のハッチングを施すことができる。

【0050】

[変形例]

以上が実施形態の説明であるが、この実施形態の内容は以下のように変形し得る。また、以下の変形例を適宜組み合わせてもよい。

(1) 上述した実施形態において、シフト回路Fは、ハッチングパターンに含まれる各パターンビット値を、図3に示したx方向(右方向)に横シフト量分、y方向(下方向)に縦シフト量分だけ移動させた値を出力していた。これに対し、シフト回路Fは、ハッチングパターンに含まれる各パターンビット値を、図3に示したxと逆方向(左方向)、yと逆方向(上方向)に移動させた値を出力してもよい。例えば、図3に示した始点A4の位置座標(5, 5)を基準位置座標とし、目標位置座標が(1, 1)であるとする、横シフト量は $1 - 5 = 「-4」$ になり、縦シフト量は $1 - 5 = 「-4」$ になる。この場合、シフト回路Fは、ハッチングパターンに含まれる各パターンビット値を、図3に示したx方向(右方向)に横シフト量分の「-4」、つまりxと逆方向(左方向)に「4」、図3に示したy方向(下方向)に縦シフト量分の「-4」、つまりyと逆方向(上方向)に「4」だけ移動させた値を出力する。この構成であっても、上述した実施形態と同様の効果が得られる。

【0051】

(2) 上述した実施形態において、シフト回路Fは、ハッチングパターンデータに含まれる各パターンビット値を、横シフト量及び縦シフト量分だけ移動させて、出力していた。このシフト回路Fに代えて、各パターンビット値の位置座標を座標計算によって得られた位置座標に変換して出力する回路を設けてもよい。具体的に説明すると、この回路は、各々のパターンビット値について、x方向の位置座標を横シフト量分だけ加算した位置座標を算出し、y方向の位置座標を縦シフト量分だけ加算した位置座標を算出した後、そのパターンビット値の位置座標を、算出した位置座標に変換して出力する。例えば、横シフト量が「1」であり、縦シフト量が「1」である場合、位置座標が(1, 0)のパターンビット値「0」については、x方向の位置座標として $1 + 1 = 「2」$ が算出され、y方向の位置座標として $0 + 1 = 「1」$ が算出される。そして、このパターンビット値「0」の位置座標は、算出された位置座標(2, 1)に変換されて出力される。すなわち、上述した実施形態におけるシフト回路Fと同様に、位置座標が(2, 1)であるパターンビット値「0」が出力されることになる。よって、この構成であっても、上述した実施形態と同様の効果が得られる。

【0052】

(3) 上述した実施形態では、図3に示した花柄模様のハッチングを施すためのハッチングパターンデータがメモリHに記憶されており、図4に示した“L”という文字を表す入力画像データが入力された例を挙げて、ハッチング処理の詳細を説明したが、入力画像の内容や、ハッチングパターンは上記の例示に限定されない。

例えば、図10(a)に示す縦縞模様のハッチングを施すためのハッチングパターンデータがメモリHに記憶されており、図10(b)に示す直線を表す入力画像データが入力

10

20

30

40

50

された場合を考える。図 10 (a) に示したハッチングパターンデータの始点 A 5 の位置座標を基準位置座標とし、図 10 (b) において表される直線の左端の画素の位置座標を目標位置座標とした場合、ハッチング回路 2 5 0 からは、図 10 (c) に示すような出力画像を表す出力画像データが出力される。同図に示すように、この出力画像においては、図 10 (a) において表される図形画像の始点 A 5 と、図 10 (b) において表される直線の始点とが合致するようなハッチングが施されているため、端点が明確に描画された破線が描画されている。また、このときに、さらに、ハッチングカラーレジスタ R 0 に背景色と同じ色情報を格納し、ハッチングカラーレジスタ R 1 に入力画像の直線と同じ色情報を格納しておく、入力画像として入力された直線を、その直線と色が同じで、端点が明確に描画された破線にすることができる。また、ハッチングパターンを変えることによって、一点鎖線や二点鎖線など様々な破線を生成することができる。

10

【 0 0 5 3 】

仮に、ハッチングパターンデータに含まれる各パターンビット値を移動させずに、ハッチングパターンデータを直接セクタ S に供給させた場合を考えてみる。図 10 (d) は、この場合の出力画像を示す図である。同図に示すように、この出力画像においては、図 10 (b) に表される直線の描画領域には、図 10 (a) において表されるハッチングパターンに相当する縦縞模様のハッチングがそのままの位置で施されている。上述したように、ハッチングカラーレジスタ R 0 に背景色と同じ色情報を格納した場合には、パターンビット値が「 0 」の色情報が背景色と同じ色情報に置き換えられるため、図のような端点が欠損して短くなったように見える破線が描画されることになる。

20

【 0 0 5 4 】

(4) 上述した実施形態において、記憶装置 2 3 には、ハッチング回路 2 5 0 に入力される各々の入力画像データによって表される入力画像毎に目標位置座標が予め記憶されていたが、この目標位置座標は、利用者のキー 2 2 操作によって指定されてもよい。あるいは、CPU 1 1 が、入力画像データを解析して、その入力画像データによって表される文字画像の左上端の画素の位置座標を特定し、特定した位置座標を目標位置座標としてもよい。

また、上述した図形画像の始点は、目標位置座標に応じて、CPU 1 1 によって指定されてもよい。例えば、図 4 によって表される文字画像において、右上端の画素の位置座標 (3 , 1) が目標位置座標として指定された場合、基準位置座標は、図形画像における右上端の画素の位置座標、例えば (2 , 0) になる。同様にして、文字画像において、左下端の画素の位置座標が目標位置座標として指定された場合には、基準位置座標は、図形画像における左下端の画素の位置座標になるし、右下端の画素の位置座標が目標位置座標として指定された場合には、基準位置座標は、図形画像における右下端の画素の位置座標になる。要するに、図形画像の始点は、ハッチングパターンデータに含まれる各々のパターンビット値の位置が、目標位置と図形画像の始点の位置との差分だけ離れた位置に移動された場合に、その始点を含む図形画像の全体が入力画像データによって表される入力画像の描画領域に含まれるような位置であればよい。このように、目標位置座標又は基準位置座標は、予め決められていなくてもよい。

30

また、上述した実施形態では、CPU 1 1 は、記憶装置 2 3 に図形画像毎に記憶された複数の始点位置のうち、目標位置座標までの距離が最も近い始点位置を基準位置座標として特定していた。これに限らず、記憶装置 2 3 には、例えば最も原点に近い図形画像の始点位置のみを記憶しておき、CPU 1 1 は、その始点位置と入力画像データの目標位置座標との差分を算出するようにしてもよい。

40

【 0 0 5 5 】

(5) 上述した実施形態では、色情報の階調値として、その色情報が表す色が有るか無いかの 2 値しか想定していなかったため、ハッチングパターンの色情報 C 0 , C 1 は、色そのものを意味すると同時に、その色が「有る」ということを意味していた。しかし、記憶性液晶表示体 1 5 が同一色を 3 以上の多階調で表示可能な場合には、この色情報には、色そのものを指定する情報とその階調値とが含まれることになる。

50

【 0 0 5 6 】

(6) 上述した実施形態では、2 値の入力画像データを反転する反転手段を、減算器 S U によって実現していたが、これに限らず、例えば 2 値の入力画像データを選択信号とし、選択信号「 1 」が入力されると入力信号「 0 」を選択して出力し、選択信号「 0 」が入力されると入力信号「 1 」を選択して出力するような構成で実現してもよい。

また、入力画像データは、「 1 」と「 0 」という 2 値からなるデータである必要はなく、例えば、「 0 」と「 1 5 」というように、「 0 」という値と「 0 」以外の整数値からなる 2 値データであってもよい。この場合、乗算器 M U 0 にて、「 0 」以外の値と、ハッチングパターンの色情報とを乗算する場合、そのまま乗算すると、ハッチングパターンの色情報が整数倍されてしまう。そこで、ハッチングパターンの色情報を予め「 1 / 整数値」倍しておくか、または、乗算器 M U 0 に整数値を入力する前に、その整数値を自身で除算して「 1 」にしておく必要がある。なお、入力画像データは図 2 に示したハッチング回路 2 5 0 に入力される時点で 2 値データであればよく、画像がもともと多値データで表されている場合には、その多値データを 2 値データに変換してからこのハッチング回路 2 5 0 に入力すればよい。

【 0 0 5 7 】

(7) ハッチング対象領域以外の領域は要するに背景領域であるが、この背景領域を表示するための画像データとしては、上述した実施形態のように背景カラーレジスタ R 2 に格納されている背景色情報を用いてもよいし、ハッチング回路 2 5 0 に入力される入力画像データを用いてもよい。後者の場合、乗算器 M U 1 には、背景カラーレジスタ R 2 から読み出される背景色情報に代えて、入力画像データが供給されるような回路構成にすればよい。これにより、出力画像における背景領域の色を、入力画像における背景領域の色と同じにすることができる。

【 0 0 5 8 】

また、背景カラーレジスタ R 2 に格納されている背景色情報、又は、ハッチング回路に入力される入力画像データのうちのいずれかを指定するようにしてもよい。

図 1 1 は、この場合のハッチング回路 2 5 1 を示す図である。このハッチング回路 2 5 1 には、背景カラー指定レジスタ R 5 と、セクタ S 0 とがさらに設けられている。その他の構成については、図 2 に示したハッチング回路 2 5 0 の構成と同様である。

背景カラー指定レジスタ R 5 は、入力画像データの各位置の画素値「 α 」、又は、背景カラーレジスタ R 2 に格納されている背景色情報のいずれかを指定するための選択信号を格納している。つまり、この背景カラー指定レジスタ R 5 は、2 値の入力画像データに含まれる各位置の画素値、又は、背景色情報に含まれる各位置の画素値のいずれかを指定する指定手段として機能する。背景カラー指定レジスタ R 5 に格納されている選択信号は、利用者のキー 2 2 操作に基づいて C P U 1 1 によって書き換えられてもよい。

セクタ S 0 には、入力信号として、入力画像データの画素値「 α 」と、背景カラーレジスタ R 2 に格納されている背景色情報とが入力される。また、このセクタ S 0 には、背景カラー指定レジスタ R 5 に格納されている選択信号が入力される。セクタ S 0 は、入力画像データの各位置の画素値「 α 」を指定する選択信号（ここでは「 0 」）が入力されると、入力画像データの画素値「 α 」を選択して出力する。一方、背景カラーレジスタ R 2 に格納されている背景色情報を指定する選択信号（ここでは「 1 」）が入力されると、背景色情報を選択して出力する。つまり、このセクタ S 0 は、背景カラー指定レジスタ R 5 によって指定された画素値を第 2 の乗算手段である乗算器 M U 1 に供給する供給手段として機能する。

これにより、出力画像における背景領域の色として、入力画像における非描画領域の色又は背景色のいずれかを指定することができる。

【 0 0 5 9 】

(8) 上述した実施形態において、V R A M 1 4 に記憶された画像データは、表示制御装置 1 6 によって、記憶性液晶表示体 1 5 に表示されていた。これに対し、ハッチング処理が施された画像データが、印刷に用いられてもよい。例えば、加算器 A D から出力された

出力画像データがＲＡＭ１３に書き込まれ、その出力画像データが用紙１枚に印刷する画像に相当する画像データとして印刷部に供給されてもよい。印刷部は、供給された画像データに基づいて印刷を行い、画像データが表す画像を用紙に形成する。

【００６０】

（９）上述した実施形態では、背景カラーレジスタＲ２に格納されている背景色情報がそのまま乗算器ＭＵ１に供給されていたが、この背景カラーレジスタＲ２に加えて、ＶＲＡＭ１４に背景色情報が記憶されている場合には、いずれかの背景色情報が選択されて、乗算器ＭＵ１に供給されてもよい。

図１２は、この変形例に係るハッチング回路２５２の構成を示す図である。このハッチング回路２５２には、背景カラー指定レジスタＲ６と、セクタＳ１とがさらに設けられている。その他の構成については、図２に示したハッチング回路２５０の構成と同様である。

背景カラー指定レジスタＲ６は、背景カラーレジスタＲ２に格納されている第１の背景色情報、又は、ＶＲＡＭ１４に記憶されている第２の背景色情報のいずれかを指定するための選択信号を格納している。つまり、この背景カラー指定レジスタＲ６は、予め決められた第１の背景色情報を記憶する背景カラーレジスタＲ２、又は、記憶性液晶表示体１５に出力される画像情報が展開されるＶＲＡＭ１４のいずれかを指定する指定手段として機能する。背景カラー指定レジスタＲ６に格納されている選択信号は、利用者のキー２２操作に基づいてＣＰＵ１１によって書き換えられてもよい。

セクタＳ１には、入力信号として、背景カラーレジスタＲ２に格納されている第１の背景色情報と、ＶＲＡＭ１４に記憶されている第２の背景色情報とが入力される。また、このセクタＳ１には、背景カラー指定レジスタＲ６に格納されている選択信号が入力される。セクタＳ１は、背景カラーレジスタＲ２を指定する選択信号（ここでは「０」）が入力されると、背景カラーレジスタＲ２から読み出された第１の背景色情報を選択して出力する。一方、ＶＲＡＭ１４を指定する選択信号（ここでは「１」）が入力されると、ＶＲＡＭ１４から読み出された第２の背景色情報を選択して出力する。つまり、このセクタＳ１は、背景カラー指定レジスタＲ６によって指定された記憶手段、すなわち背景カラーレジスタＲ２又はＶＲＡＭ１４に記憶されている情報を、背景色情報に含まれる画素値として読み出し、第２の乗算手段である乗算器ＭＵ１に供給する供給手段として機能する。

【００６１】

また、表示手段又は印刷手段によって画像が出力（表示又は印刷）される場合、その出力画像の画像情報は、ＲＡＭ１３などの記憶手段に展開され、このＲＡＭ１３にいったん記憶されてから表示手段又は印刷手段へと供給される。このＲＡＭ１３に記憶された出力画像の画像情報を、上記実施形態における背景色情報として用いてもよい。この場合、背景カラー指定レジスタＲ６が、予め決められた第１の背景色情報を記憶する背景カラーレジスタＲ２、又は、出力画像の画像情報が記憶されるＲＡＭ１３のいずれかを指定する指定手段として機能する。そして、セクタＳ１が、背景カラー指定レジスタＲ４によって指定された記憶手段、すなわち背景カラーレジスタＲ２又はＲＡＭ１３に記憶されている背景色情報又は画像情報を、上記実施形態における背景色情報の画素値として読み出し、第２の乗算手段である乗算器ＭＵ１に供給する供給手段として機能する。これにより、ＲＡＭ１３などの記憶手段を、背景色情報の供給元として選択することができる。

【００６２】

（１０）上述した実施形態において、ハッチング回路２５０は、画像処理回路２５に設けられていた。これに対し、ハッチング回路２５０が、表示制御装置１６などの他のデバイスに設けられていてもよい。

【００６３】

（１１）上述したハッチング回路２５０は、画像データに応じた画像を表示する表示装置を有するパーソナルコンピュータ装置、携帯電話機又は電子ブックなどに用いられてもよい。

【図面の簡単な説明】

【0064】

【図1】画像表示装置1の構成を示す図である。

【図2】ハッチング回路250の構成を示す図である。

【図3】花柄模様のハッチングを行うためのハッチングパターンデータを示す図である。

【図4】ハッチング回路250に入力される入力画像データの一部を示す図である。

【図5】シフト回路F、セクタS及び乗算器MU0の動作を説明する図である。

【図6】減算器SU及び乗算器MU1の動作を説明する図である。

【図7】加算器ADの動作を説明する図である。

【図8】記憶性液晶表示体15に表示される出力画像を示す図である。

10

【図9】各パターンビット値を移動させない場合の出力画像を示す図である。

【図10】変形例のハッチングパターンデータ、入力画像データ、出力画像を示す図である。

【図11】変形例に係るハッチング回路251の構成を示す図である。

【図12】変形例に係るハッチング回路252の構成を示す図である。

【符号の説明】

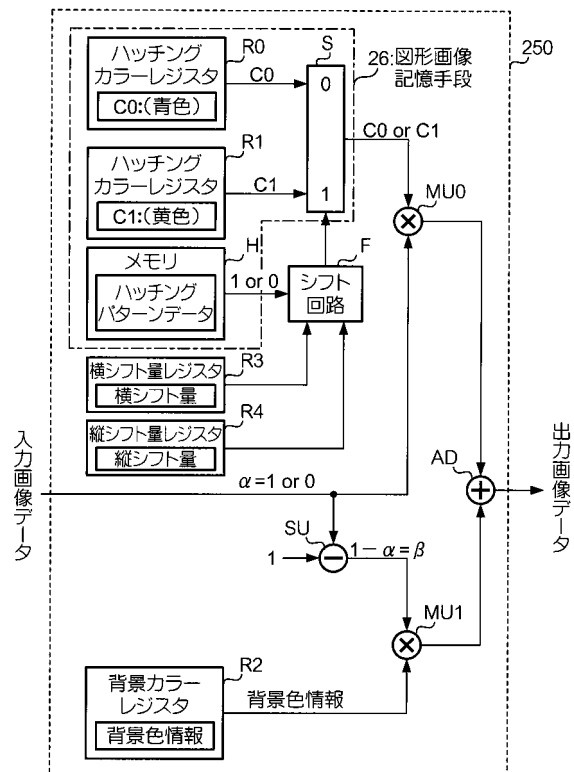
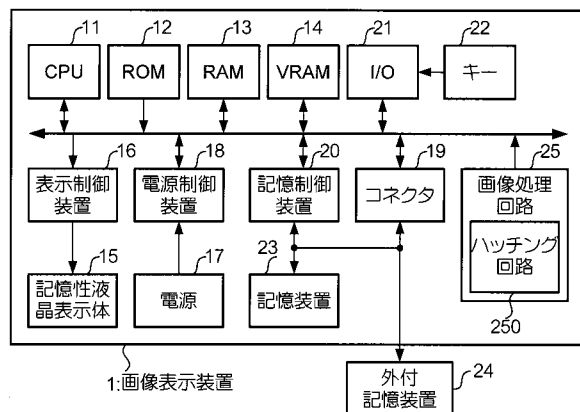
【0065】

1...画像表示装置、11...CPU、12...ROM、13...RAM、14...VRAM、15...記憶性液晶表示体、16...表示制御装置、17...電源、18...電源制御装置、19...コネクタ、20...記憶制御装置、21...I/O、22...キー、23...記憶装置、24...外付記憶装置、25...画像処理回路、250、251、252...ハッチング回路、H...メモリ、R0、R1...ハッチングカラーレジスタ、S、S0、S1...セクタ、MU0、MU1...乗算器、SU...減算器、AD...加算器、R2...背景カラーレジスタ、R3...横シフト量レジスタと、R4...縦シフト量レジスタ、F...シフト回路、R5、R6...背景カラー指定レジスタ、26...図形画像記憶手段。

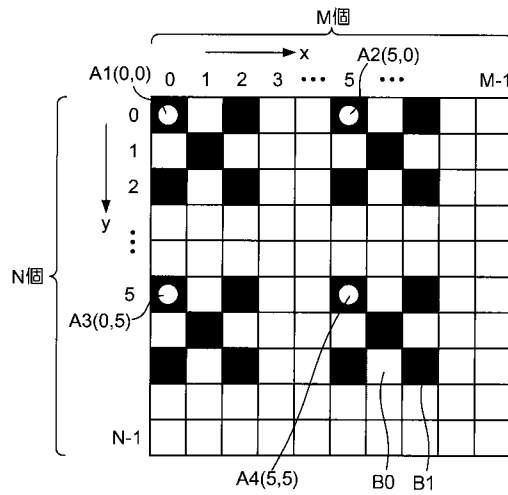
20

【図1】

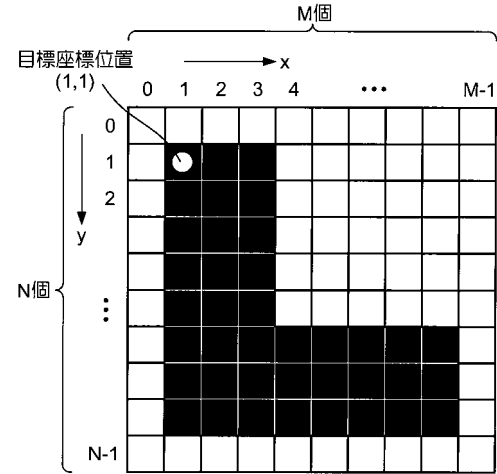
【図2】



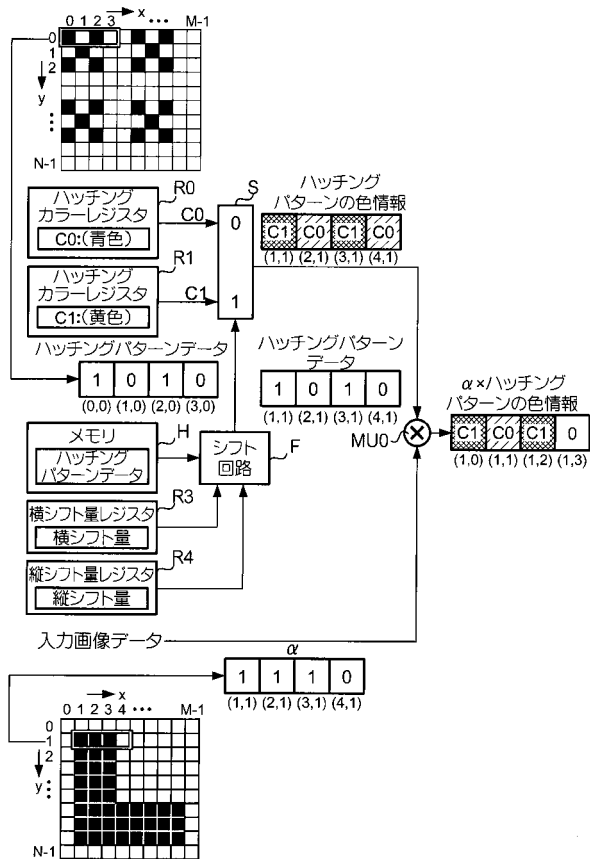
【図 3】



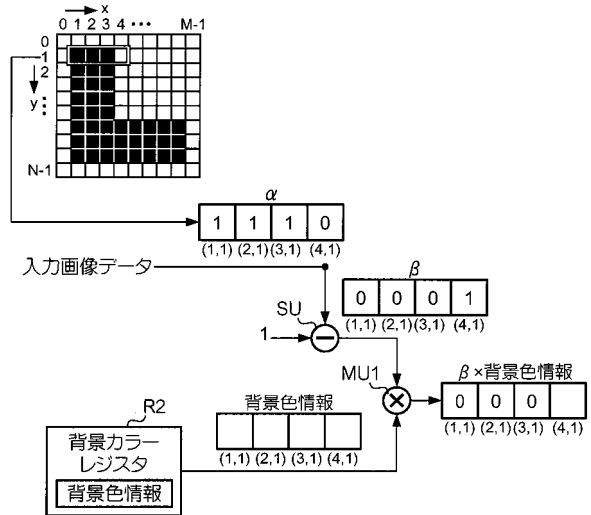
【図 4】



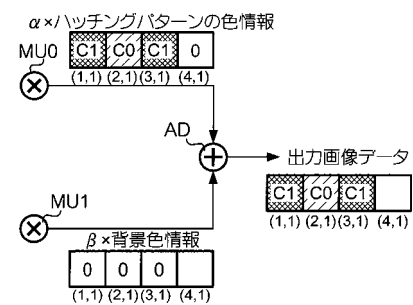
【図 5】



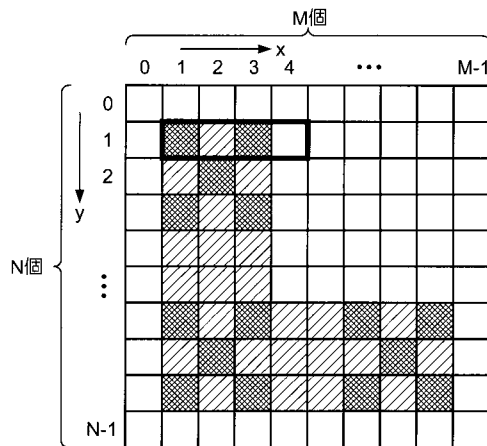
【図 6】



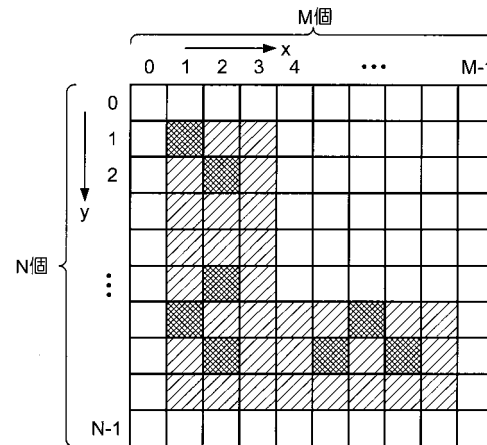
【図 7】



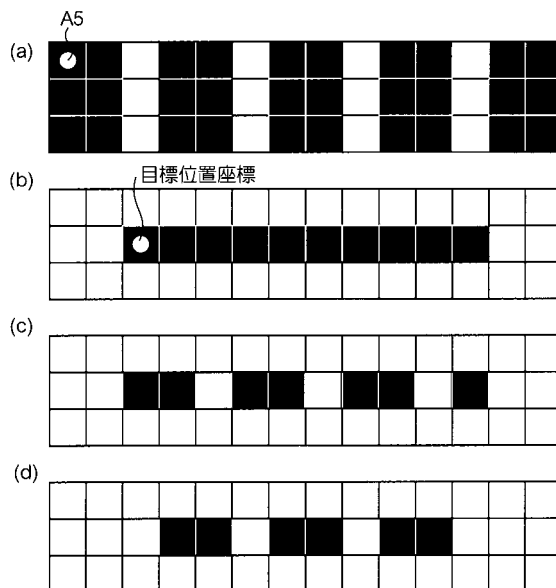
【図 8】



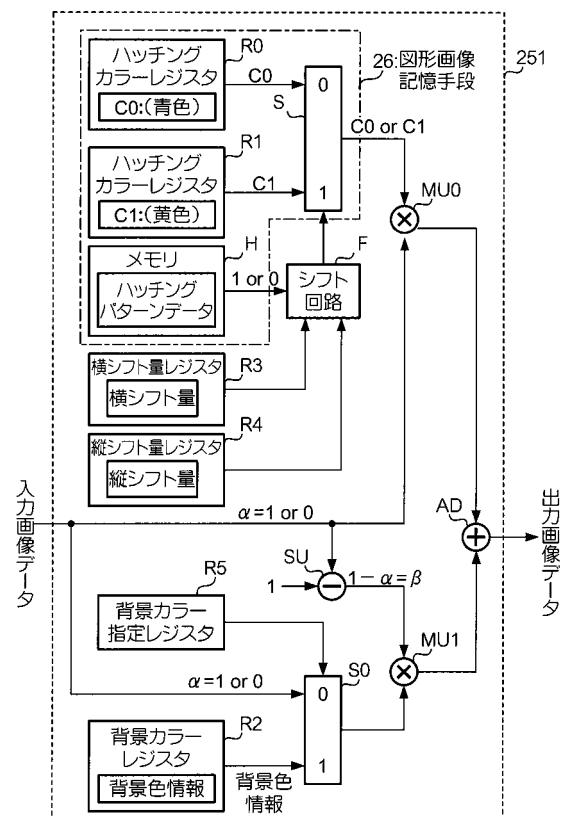
【図 9】



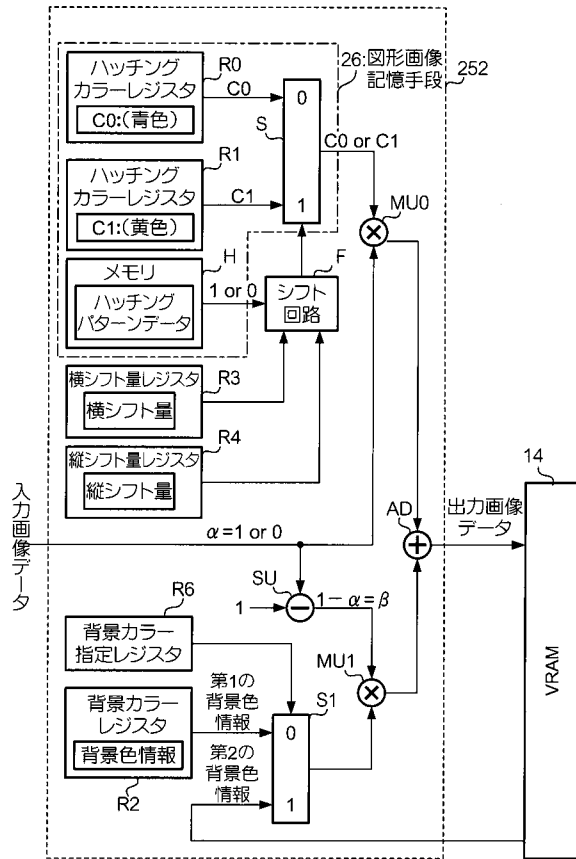
【図 10】



【図 11】



【図 12】



フロントページの続き

審査官 伊知地 和之

- (56)参考文献 特開平10-031735(JP,A)
特開平03-028984(JP,A)
特開昭60-095490(JP,A)
特開平11-134510(JP,A)
特開2004-326528(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G06T 11/00 - 11/80
G09G 5/00 - 5/36
H04N 1/38 - 1/393
CSDB(日本国特許庁)