

公告本

申請日期	86.3.3
案 號	86102463
類 別	H01L 21/24

A4
C4

Int. Cl⁶

317015

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	供MOS技術之快速熱退火處理
	英 文	RAPID THERMAL ANNEAL PROCESS FOR MOS TECHNOLOGIES
二、發明 人	姓 名	駱瑪克 Mark S. Rodder
	國 籍	美國籍
三、申請人	住、居所	美國德克薩斯州大學園區布杜街3317號 3317 Purdue Street, University Park, Texas 75225, USA
	代 表 人 姓 名	郝威廉(William E. Hiller)

裝

訂

線

317015

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

美國(地區) 申請專利，申請日期：西元1995年 案號：60/007,430，☐有 ☒無主張優先權
11月21日

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明之領域

本發明係關於半導體裝置製造及處理，尤指MOS裝置之快速熱退火處理。

發明之背景

MOS技術依比例縮小至次四分之一微米間長度時，快速熱處理(rapid thermal processing, 略作RTP)變得日益重要。RTP之一種型式為快速熱退火(rapid thermal anneal, 略作RTA)，其可予以利用，俾達成低電阻率摻雜部位，其為藉植入所形成，並且其在此種高溫，短持續期間熱退火步驟擴散最少之量。此種高溫，短持續期間熱退火步驟一般為在側壁形成後，但在形成任何矽化物前，在植入高度摻雜源／汲極部位後所進行。另外，RTA為在植入砷供源／汲極及汲極延伸部份植入物之後進行，以供摻雜物活化及減低nMOS裝置之反相-短-溝道效應。高溫除去植入物引起之空隙產生反相-短-溝道效應之減低，因而減少減低溝道摻雜物(亦即nMOSFET中之硼)之空隙增強擴散。此外，RTA為在植入砷供源／汲極以及汲極延伸部份植入物後進行，以供在高級MOSFET結構之低寄生源／汲極電阻所需要之高砷劑量減低擴散。

雖然一般為就nMOS裝置利用RTP，但就pMOS裝置使用RTA，則很不常見。因此，本發明之目的為在隨後之低溫步驟減少硼或硼及氟化物組合所形成之pMOS高度摻雜汲極(highly doped drain, 略稱HDD)結構之增強擴散。另外，本發明之目的為減少自pMOSFET開通過開絕緣體之硼類之

五、發明說明(2)

擴散，同時除去橫向不均勻性。

發明之概述

在本發明一種實施例，利用RTA供pMOS結構，其具有高度摻雜汲極延伸部份(HDD部位)，俾在隨後之低溫處理步驟(諸如低溫側壁處理步驟)除去空隙增強硼尾部擴散。此種尾部擴散導致增加之溝道抗摻雜及分級接頭，二者均導致不良之pMOS性能(隨減少閘長度而有較低之驅動電流及增加之V_{th}衰減)。在本發明之另一實施例，利用RTA供具有閘摻雜物之pMOS結構，俾在隨後之閘蝕刻期間除去閘蝕刻橫向不均勻性，但此實施例之方法將不會導致自閘通過下面絕緣層之增強閘摻雜物擴散。

本發明之一種實施例為一種同時製造pMOS裝置及nMOS裝置之方法，該方法包含下列步驟：提供一第一電導型並有一表面之基片，該基片有一pMOS裝置部位及一nMOS裝置部位；形成一導電層絕緣配置基片上；以第一電導型摻雜物摻雜與pMOS裝置對應之導電層之一部份，並以與第一電導型相反之第二電導型摻雜物摻雜對應於nMOS裝置之導電層；進行第一快速熱退火處理，俾重新分配摻雜物，而無摻雜物實際滲入基片或混雜；蝕刻導電層之數部分，俾形成一供nMOS裝置之閘結構及一供pMOS裝置之閘結構，每一閘結構有一頂部及數側面；在每一閘結構的頂部及側面形成一第一絕緣層；在基片表面在nMOS裝置部位植入第二電導型摻雜物，並與位於nMOS閘結構之第一絕緣層對準，俾形成供nMOS裝置之源／汲極延伸部份；進行第二快速熱退火

五、發明說明（3）

處理；在第一絕緣層形成第二絕緣層；在基片表面在pMOS裝置部位植入第一電導型摻雜物，並與位於pMOS閘結構之第二絕緣層對準，俾形成供pMOS裝置之源／汲極延伸部份；以及進行第三快速熱退火處理，俾在隨後之低溫處理步驟減少植入物損壞並減低摻雜物之瞬時增強擴散。較佳為，第一快速熱退火處理為使MOS裝置經歷大約900至1000°C約5至60秒。形成第一絕緣層之步驟較佳為包含使pMOS裝置及nMOS裝置經歷快速熱成長處理，其包括使pMOS及nMOS裝置在氧化環境經歷大約950至1050°C約10至30秒。第二快速熱退火處理較佳為使MOS裝置經歷大約900至1000°C約10至30秒所完成。而第三快速熱退火處理較佳為使MOS裝置經歷大約800至1000°C約5至45秒所完成。較佳為，第一電導型為p-型，而第二電導型為n-型。

本發明之另一實施例為一種製造MOS裝置之方法，該方法包含下列步驟：提供一基片，一第一電導型並有一表面之基片；形成一導電層絕緣配置在基片上；摻雜導電層之一部份；進行第一快速熱退火處理，俾重新分配摻雜物，而無摻雜物實際滲入基片；蝕刻導電層之數部分，俾形成一閘結構，該閘結構有一頂部及數側面；使MOS裝置經歷快速熱成長處理，藉以在閘結構之頂部及側面形成一絕緣層；在基片表面植入摻雜物，並與閘結構對準，俾形成源／汲極延伸部份；進行第二快速熱退火處理，俾在隨後之低溫處理步驟減少植入物損壞並減低摻雜物之瞬時增強擴散。較佳為，第一快速熱退火處理為使MOS裝置經歷大約

五、發明說明(4)

900至1000°C約5至60秒。

本發明之另一實施例為一種同時製造pMOS裝置及nMOS裝置之方法，該方法包含下列步驟：提供一第一電導型並有一表面之基片，該基片有一pMOS裝置部位及一nMOS裝置部位；形成一導電層絕緣配置在基片上；以第一電導型摻雜物摻雜與pMOS裝置對應之導電層之一部份，並以與第一電導型相反之第二電導型摻雜物摻雜對應於nMOS裝置之導電層之一部份；進行第一快速熱退火處理，俾重新分配摻雜物，而無摻雜物實際滲入基片或混雜；蝕刻導電層之數部分，俾形成一供nMOS裝置之閘結構及一供pMOS裝置之閘結構，每一閘結構有一頂部及數側面；在每一閘結構之頂部及側面形成一第一絕緣層；在基片表面在nMOS裝置部位植入第二電導型摻雜物，並與位於nMOS閘結構之第一絕緣層對準，俾形成供nMOS裝置之源／汲極延伸部份；在基片表面在pMOS裝置部位植入第一電導型摻雜物，並與位於pMOS閘結構之第一絕緣層對準，俾形成供pMOS裝置之源／汲極延伸部份；以及進行第二快速熱退火處理，俾在隨後之低溫處理步驟減少植入物損壞並減低摻雜物之瞬時增強擴散。較佳為，形成第一絕緣層之步驟包含使pMOS裝置及nMOS裝置經歷快速熱增長處理。

附圖之簡要說明

圖1-7為本發明之二半導體裝置之剖面圖，其為使用本發明之方法所製成。圖1-7例示此二裝置之連續製造階段。

五、發明說明 (5)

圖 8 為曲線圖，例示砷HDD退火對V 衰減之效果。

圖 9 為曲線圖，例示pMOS V衰減與供0.18 m RTA HDD處理之開長度之關係，以及源／汲極退火與先前加熱爐處理流程之比較。

圖10為曲線圖，例示SIMS輪廓，示在低溫側壁敷著步驟前，以RTA處理步驟消除硼尾端部位之空隙增強瞬時擴散。

圖11為曲線圖，例示開至汲極電容與開至汲極偏壓之關係(V 等於0 伏)。此圖示在側壁敷著前，RTA HDD退火之突變p-型源／汲極接點輪廓。

附圖之詳細說明

圖 1 - 7 例示使用本發明之一種實施例製造nMOS裝置10及PMOS裝置12之連續階段。相似參考圖號在此諸圖中用以例示相似結構。

在圖 1 中所例示之處理步驟，進行植入至基片18中，俾形成凹穴部位(未示)。在形成此等凹穴部位後，形成溝槽隔離部位17，俾使nMOS裝置10與pMOS裝置12電隔離。在形成溝槽隔離部位17後，將摻雜物植入基片18內，俾形成V 植入物。此等植入物示為供nMOS裝置10之植入物14及供pMOS 12之植入物16。V 植入物提供所希望之接近表面摻雜輪廓。

請參照圖 2，增長絕緣層20。較佳為，絕緣層20為一10至60厚電介質(較佳為氧化物)。在增長絕緣層20後，在絕緣層20上形成導電層22。較佳為，導電層22為一1000至2500厚多晶矽層，或可用以形成導電開結構之任何其他導

五、發明說明(6)

電層。將N-型摻雜物19(較佳為以劑量約 10^{15} 至 10^{16} cm⁻²)植入至導電層22之nMOS部位10,並將p-型摻雜物(較佳為以劑量約 10^{15} 至 10^{16} cm⁻²)植入導電層22之pMOS部位12。

一般為,在蝕刻開結構前,使晶圓經歷大約850°C 20至60分鐘,藉以使此等摻雜物退火。此種退火之結果將會分配摻雜物及/或除去植入物損壞。在本發明一種實施例,此等摻雜物將在大約900至1000°C(較佳約為950°C)予以退火10至30秒(在蝕刻導電層22以形成開結構26及28前)。此種型式之快速熱退火將會重新分配摻雜物,並修補植入物損壞,但其不會導致摻雜物自導電層22滲透通過絕緣層20並進入基片18內。

請參照圖3,除去導電層22之數部分,俾留下供nMOS裝置10之開結構26以及供pMOS裝置12之開結構28。由於除去導電層22之數部分,在被除去之導電層22之諸部分下面之絕緣層20之諸部分將會較保持在開結構26及28(亦即開絕緣體24)下面之絕緣層之諸部分為薄。其原因為在除去導電層22之諸部分時,用以除去此等部分之蝕刻劑也將會除去露出之絕緣層20之頂部。

在形成開結構26及28後,在開結構26及28以及在絕緣層20之露出部份形成一薄絕緣體(較佳為20至60熱增長氧化物)。其結果為在開結構26及28形成薄絕緣體30,並使絕緣層20之露出部分加厚(從而形成絕緣層31)。一般為,此薄氧化物層將會藉使晶圓經歷850°C環境5至20分鐘而增長,俾形成20至60氧化物薄膜。在本發明一種實施例,使晶

五、發明說明 (7)

圓經歷850℃環境5至20分鐘，可藉以增長一20至40氧化物。在本發明之另一實施例。使晶圓經歷950至1050℃環境10至30秒(較佳為1000℃ 15秒)，可藉以增長一薄氧化物層。

請參照圖4，在將PMOS裝置12掩蔽後，植入摻雜物32，藉以在nMOS裝置10形成高度摻雜部位。摻雜物較佳為以AS，Sb，As及B，Sb及B，AS及In，或Sb及In所構成。此外，n-型摻雜物(諸如As或Sb)較佳為在 $4 \times 10^{14} \text{ cm}^{-2}$ 與 $1.5 \times 10^{15} \text{ cm}^{-2}$ 間之水準，在10至20 keV予以摻雜。在植入摻雜物後，晶圓較佳為經歷退火處理。此種退火處理可使晶圓經歷：900℃ 15至60秒；950℃ 10至30秒；或1000℃ 5至15秒所完成。此等高度摻雜部位在圖5中示為源/汲極延伸部份34。

請參照圖5，在形成源/汲極延伸部份34後，敷著一種電介質(較佳為氧化物)並予以蝕刻，俾形成電介質間隔物36。在蝕刻電介質層時，可蝕刻不在間隔物36下面之絕緣層31之有些部分(可為所有絕緣層31)。如為此情形，可在或可不在其地點形成另一電介質層。

PMOS裝置12其次進行植入摻雜物38。摻雜物38較佳為由BF，BF及Sb，B及Sb，B及P，或B及Ge所構成。摻雜物38之摻雜物水準較佳約為 $1 \times 10^{14} \text{ cm}^{-2}$ 及 $1.5 \times 10^{15} \text{ cm}^{-2}$ ，並且含硼類之植入能量較佳為在5與20 keV之間。如果利用BF及Sb，可不必形成電介質間隔物36。

請參照圖6，在進行植入摻雜物38後，摻雜物予以退火

五、發明說明(8)

。利用本發明之一種實施例，此可藉使晶圓經歷大約800-1000°C (較佳為900至950°C)約5至45秒予以達成。此種退火之結果為使摻雜物略微擴散(從而形成源/汲極延伸部份40)，並且在隨後之低溫步驟，諸如側壁絕緣體敷著步驟，減低摻雜物之瞬時增強擴散。

請參照圖7，形成一另外側壁絕緣體。側壁絕緣體46較佳為以氧化物，氮化物，或二者之組合所形成。此可藉650°C TEOS氧化物處理步驟，導致形成250氧化物，繼之為700°C氮化物敷著步驟，導致形成約500至1400之氮化物所完成。在形成側壁絕緣體46後，在nMOS裝置10及PMOS裝置12植入摻雜物，俾分別形成高度摻雜之源/汲極部位44及42，以減低裝置串聯電阻。不同之摻雜物處理用以形成部位42及44，並且部位42及44較佳為分別深於源/汲極部位40及34。此為使用較高摻雜物濃度或使用較高植入能量所完成。隨後之退火較佳為在1000及1050°C之間約10至30秒所進行。

圖8-11例示本發明各種不同實施例之若干優點。圖8例示對於有凹穴植入物並具有較佳為供較低R之高HDD劑量(較佳為少於2800 m)之裝置，HDD/凹穴退火之效果。因為在較高As摻雜物濃度之增強HDD擴散，藉一般所利用之900°C加熱爐退火，V衰減較之如果使用本發明之方法(在圖8中標示"RTA")為差。

圖9例示使用本發明之方法(RTA HDD退火及RTA源/汲極退火)之減低V衰減與加熱爐退火處理(無pMOS HDD退火

五、發明說明 (9)

及加熱爐源／汲極退火)之比較。圖10示利用本發明之方法(在低溫電介質敷著前進行pMOSHDD之RTA)消除空隙增強硼尾部擴散。利用本發明之方法時(RTA步驟在TEOS敷著之前)，由於先前技藝之TEOS敷著之硼尾部伸延至較大深度，並且較之由於擴散之硼輪廓顯著更為分級。請參照圖11，減低之尾部擴散導致自C分析之更突變之接頭，從而減低溝道抗摻雜，及因此減低V衰減。

雖然本發明業經在本文予以說明，但其不聞釋為限制本發明之範圍。精於此項技藝者由於說明書之方法，將會明白本發明之很多實施例。本發明之範圍僅受後附之申請專利範圍所限制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

四、中文發明摘要(發明之名稱: 供MOS技術之快速熱退火處理)

本發明之一種實施例為一種製造MOS裝置之方法, 包含下列步驟: 提供一基片(18), 一第一電導型之基片並有一表面; 形成一導電層(22)絕緣配置在基片上; 蝕刻導電層之數部分, 俾形成一閘結構(26及28), 閘結構有一頂部及數側面; 形成一絕緣層(30)(較佳為使MOS裝置經歷快速熱增長處理所完成--較佳為快速熱增長處理使MOS裝置在氧化環境在至少閘結構之側面經歷大約950至1050°C約5至20秒); 在基片之表面植入摻雜物並且與閘結構及閘結構側面上之絕緣層對準, 俾形成源/汲極延伸部份(34及40); 以及進行快速熱退火處理, 俾減少植入物損壞, 並在隨後低溫處理步驟減少摻雜物之瞬時增強擴散。較佳為, 快速熱退火處理包含使MOS裝置經歷大約800至1000°C約5至45秒。

英文發明摘要(發明之名稱: RAPID THERMAL ANNEAL PROCESS FOR MOS TECHNOLOGIES)

One embodiment of the instant invention is a method of fabricating a MOS device, the method comprising the steps of: providing a substrate (18), the substrate of a first conductivity type and having a surface; forming a conductive layer (22) insulatively disposed over the substrate; etching portions of the conductive layer so as to form a gate structure (26 and 28), the gate structure having a top and sides; forming an insulating layer (30) (preferably accomplished by subjecting the MOS device to a rapid thermal growth process - preferably the rapid thermal growth process is subjecting the MOS device to approximately 950 to 1050°C for approximately 5 to 20 seconds in an oxidizing ambient) on at least the sides of the gate structure; implanting dopants at the surface of the substrate and aligned to the gate structure and the insulating layer on the sides of the gate structure so as to form source/drain extensions (34 and 40); and performing a rapid thermal anneal process so as to lessen implant damage and reduce transient enhanced diffusion of dopants during subsequent low-temperature process steps. Preferably, the rapid thermal anneal process comprises subjecting the MOS device to approximately 800 to 1000°C for approximately 5 to 45 seconds.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種製造MOS裝置之方法，該方法包含下列步驟：

提供一基片，一第一電導型之基片並有一表面；

形成一導電層絕緣配置在該基片上；

蝕刻該導電層之數部分，俾形成一閘結構，該閘結構有一頂部及數側面；

在該閘結構之至少諸側面形成一絕緣層；

在上述基片之表面植入摻雜物並與上述閘結構及閘結構諸側面上之絕緣層對準，俾形成源／汲極延伸部份；

以及

進行快速熱退火處理，俾在隨後之低溫處理步驟減少植入物損壞並減低摻雜物之瞬時增強擴散。

2. 根據申請專利範圍第1項之方法，其中形成上述絕緣層為使上述MOS裝置經歷快速熱成長處理所完成。

3. 根據申請專利範圍第2項之方法，其中上述快速熱成長處理為使上述MOS裝置在氧化環境經歷大約950至1050℃約5至20秒。

4. 根據申請專利範圍第1項之方法，其中上述快速熱退火處理為使上述MOS裝置經歷大約800至1000℃約5至45秒。

5. 根據申請專利範圍第1項之方法，其中上述源／汲極延伸部份為上述第一電導型。

6. 根據申請專利範圍第1項之方法，其中上述第一電導型為p-型。

7. 一種同時製造PMOS裝置及nMOS裝置之方法，該方法包含

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

下列步驟：

提供一第一電導型並有一表面之基片，該基片有一pMOS裝置部位及一nMOS裝置部位；

形成一導電層絕緣配置在該基片上；

以第一電導型摻雜物摻雜與上述pMOS裝置對應之導電層之一部份，並以與上述第一電導型物相反之第二電導型摻雜物摻雜對應於上述nMOS裝置之導電層；

進行第一快速熱退火處理，俾重新分配上述摻雜物，而無摻雜物實際滲入基片或混雜；

蝕刻上述導電層之數部分，俾形成一供上述nMOS裝置之閘結構及一供上述pMOS裝置之閘結構，每一上述閘結構有一頂部及數側面；

在每一上述閘結構之頂部及側面形成一第一絕緣層；
在上述基片表面在上述nMOS裝置部位植入第二電導型摻雜物，並與位於上述nMOS閘結構之第一絕緣層對準，俾形成供該nMOS裝置之源／汲極延伸部份；

進行第二快速熱退火處理；

在上述第一絕緣層形成第二絕緣層；

在上述基片表面在上述pMOS裝置部位植入第一電導型摻雜物，並與位於上述pMOS閘結構之第二絕緣層對準，俾形成供該pMOS裝置之源／汲極延伸部份；以及

進行第三快速熱退火處理，俾在隨後之低溫處理步驟減少植入物損壞並減低上述摻雜物之瞬時增強擴散。

8. 根據申請專利範圍第7項之方法，其中上述第一快速熱

(請先閱讀背面之注意事項再填寫本頁)

裝

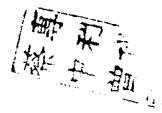
訂

小

六、申請專利範圍

退火處理爲使MOS裝置經歷大約900至1000°C約5至60秒。

9. 根據申請專利範圍第7項之方法，其中上述形成第一絕緣層之步驟包含使pMOS裝置及nMOS裝置經歷快速熱增長處理，其包括使pMOS以及nMOS裝置在氧化環境經歷大約950到1050°C約10至30秒。
10. 根據申請專利範圍第7項之方法，其中上述第二快速熱退火處理爲使上述MOS裝置經歷大約900至1000°C約10至30秒。
11. 根據申請專利範圍第7項之方法，其中上述第三快速熱退火處理較佳爲使上述MOS裝置經歷大約800至1000°C約5至45秒。
12. 根據申請專利範圍第7項之方法，其中上述第一電導型爲p-型。
13. 根據申請專利範圍第7項之方法，其中上述第二電導型爲n-型。
14. 一種製造MOS裝置之方法，該方法包含下列步驟：
提供一基片，第一電導型之該基片並有一表面；
形成一導電層絕緣配置在該基片上；
摻雜上述導電層之一部份；
進行第一快速熱退火處理，俾重新分配摻雜物而無摻雜物實際滲入上述基片；
蝕刻上述導電層之數部分，俾形成一開結構，該開結構有一頂部及數側面；



六、申請專利範圍

使上述MOS裝置經歷快速熱增長處理，藉以在上述閘結構之頂部及側面形成一絕緣層；

在上述基片之表面植入摻雜物，並與上述閘結構對準，俾形成源／汲極延伸部份；以及

進行第二快速熱處理，俾在隨後之低溫處理步驟減少植入物損壞並且減低摻雜物之瞬時增強擴散。

15. 根據申請專利範圍第14項之方法，其中上述第一快速熱退火處理為使上述MOS裝置經歷大約900至1000℃約5至60秒。

16. 一種同時製造pMOS裝置及nMOS裝置之方法，該方法包含下列步驟：

提供一第一電導型並有一表面之基片，該基片有一pMOS裝置部位及一nMOS部位；

形成一導電層絕緣配置在該基片上；

以第一電導型摻雜物摻雜與上述pMOS裝置對應之該導電層之一部份，並以與上述第一電導型物相反之第二電導型摻雜物摻雜對應於上述nMOS裝置之該導電層；

進行第一快速熱退火處理，俾重新分配上述摻雜物，而無摻雜物實際滲入上述基片或混雜；

蝕刻上述導電層之數部分，俾形成一供上述pMOS裝置之閘結構及一供上述nMOS裝置之閘結構，每一上述閘結構有一頂部及數側面；

在每一上述閘結構之頂部及側面形成一第一絕緣層；

在上述基片表面在上述nMOS裝置部位植入第二電導型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

六、申請專利範圍

摻雜物，並與位於上述nMOS閘結構之第一絕緣層對準，俾形成供該nMOS裝置之源／汲極延伸部份；

在上述基片表面在上述pMOS裝置部位植入第一電導型摻雜物，並與位於上述pMOS閘結構之第一絕緣層對準，俾形成供該pMOS裝置之源／汲極延伸部份；以及

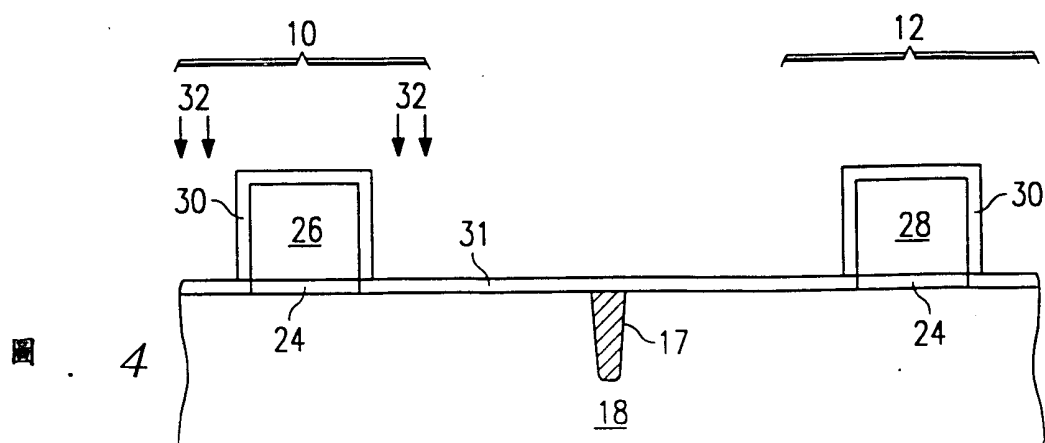
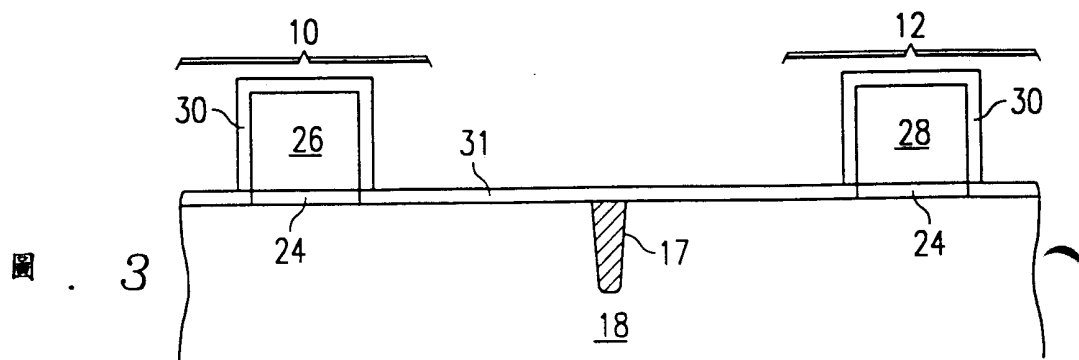
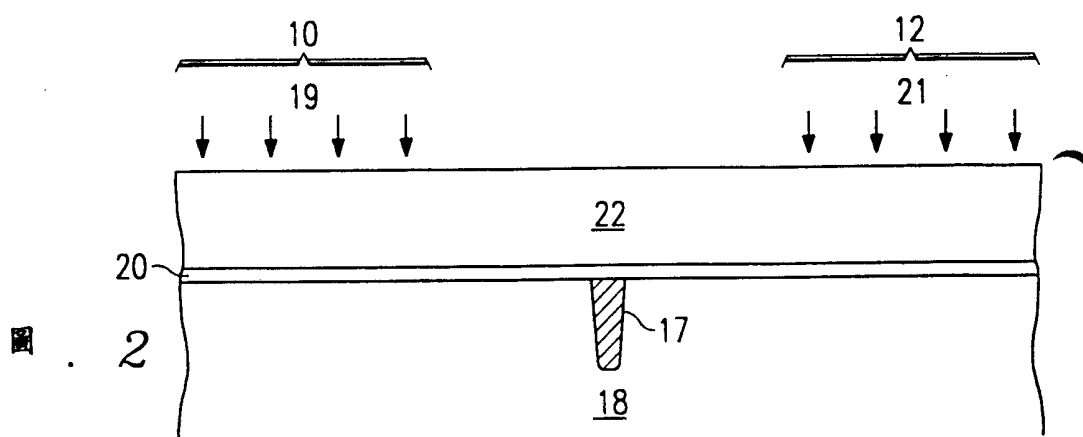
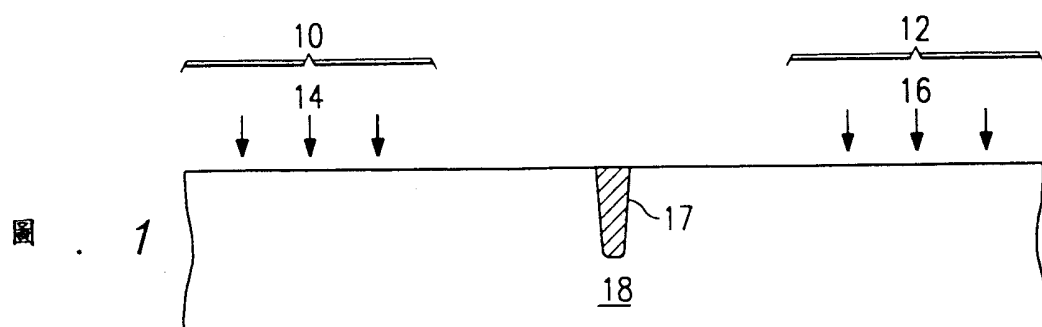
進行第二快速熱退火處理，俾在隨後之低溫處理步驟減少植入物損壞並減低上述摻雜物之瞬時增強擴散。

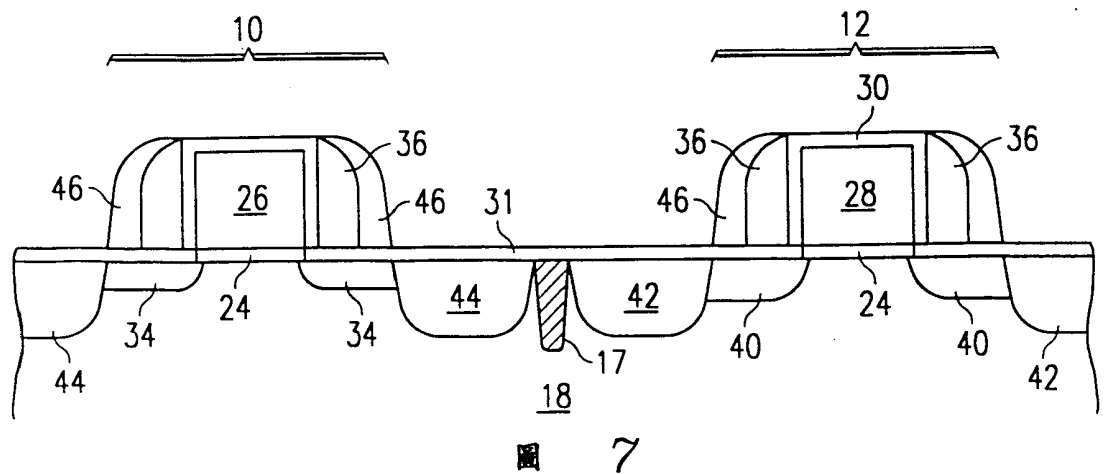
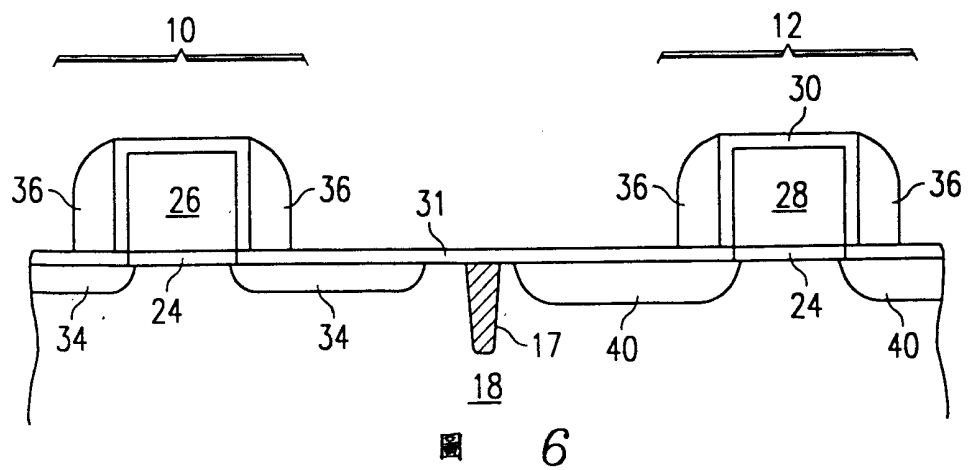
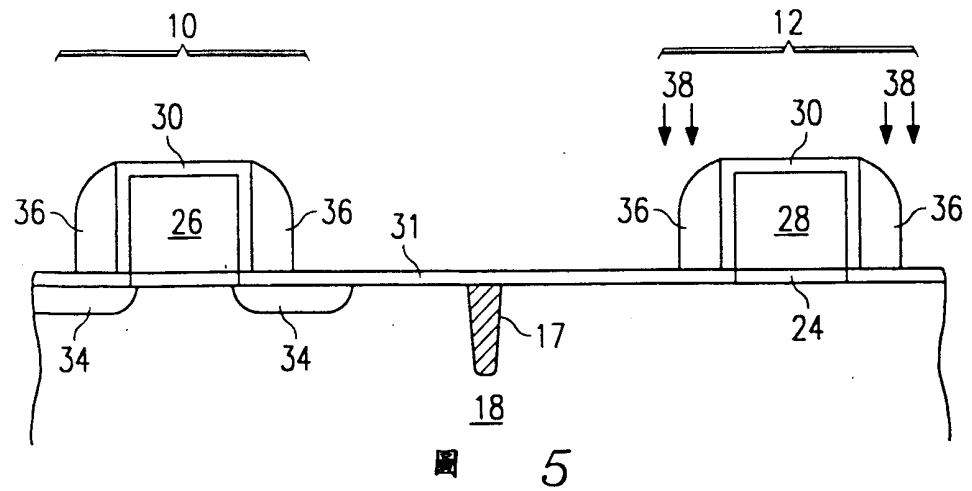
17. 根據申請專利範圍第16項之方法，其中上述形成第一絕緣層之步驟包含使上述pMOS裝置及nMOS裝置經歷快速熱成長處理。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂





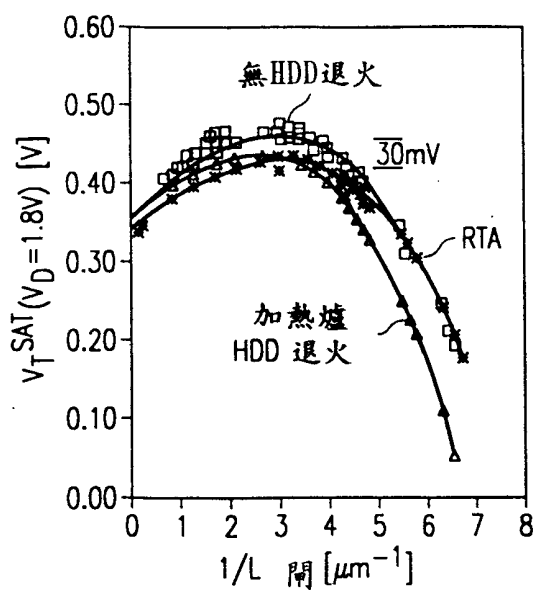


圖 8

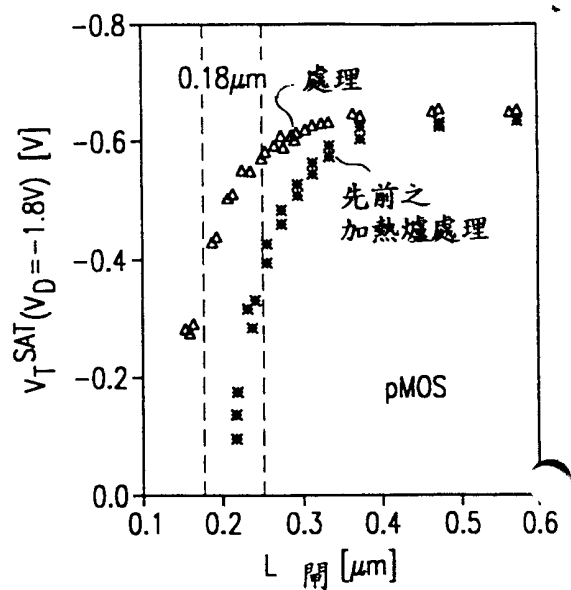


圖 9

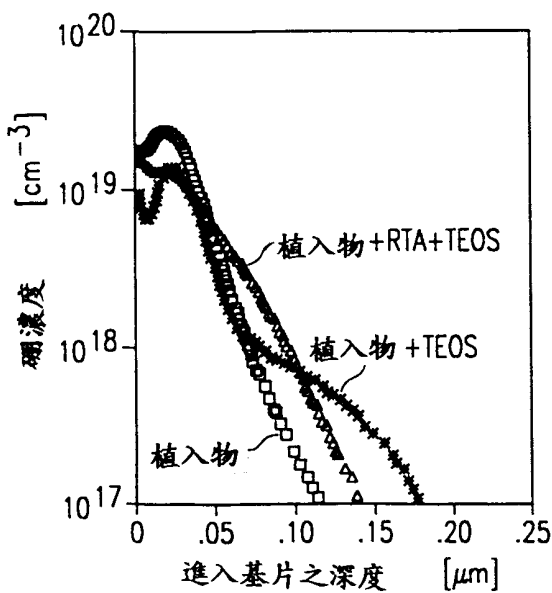


圖 10

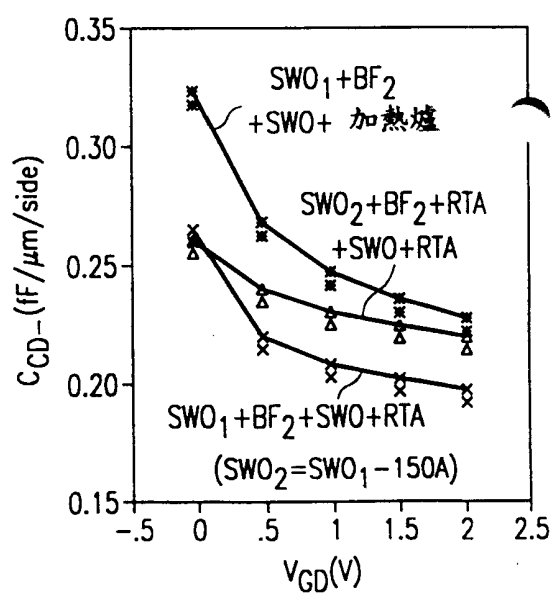


圖 11