(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3867386号

(P3867386)

(45)発行日　平成19年1月10日(2007.1.10)　(24)登録日　平成18年10月20日(2006.10.20)

(51)Int.Cl.			F I		
H04N	5/202	(2006.01)	H04N	5/202	
G09G	3/20	(2006.01)	G09G	3/20	641Q
G09G	3/28	(2006.01)	G09G	3/28	K
G09G	3/36	(2006.01)	G09G	3/36	

請求項の数 2　(全 9 頁)

(21)出願番号　特願平10-22723
(22)出願日　平成10年1月20日(1998.1.20)
(65)公開番号　特開平11-205633
(43)公開日　平成11年7月30日(1999.7.30)
審査請求日　平成15年8月29日(2003.8.29)

(73)特許権者　000006611
株式会社富士通ゼネラル
神奈川県川崎市高津区末長１１１６番地
(74)代理人　100076255
弁理士　古澤　俊明
(74)代理人　100084560
弁理士　加納　一男
(72)発明者　牧野　郁夫
神奈川県川崎市高津区末長１１１６番地
株式会社富士通ゼネラル内

審査官　清水　正一

最終頁に続く

(54)【発明の名称】映像表示装置

(57)【特許請求の範囲】

【請求項１】

アナログの入力映像信号をディジタルの映像データに変換して出力するＡ／Ｄ変換回路と、複数段階の表示率の各々についての複数段階の入力レベルに係るγ補正データを予め記憶したメモリと、前記Ａ／Ｄ変換回路から出力した映像データから表示率及び入力レベルを求めて対応したγ補正データを前記メモリから読出し、このγ補正データで前記Ａ／Ｄ変換回路から出力した映像データの階調を補正して表示パネル側へ出力するダイナミックγ補正回路とを具備してなる映像表示装置において、前記ダイナミックγ補正回路で求めた表示率をアナログの制御信号に変換して出力するＤ／Ａ変換回路と、前記Ａ／Ｄ変換回路の前段に挿入された黒伸長回路とを具備し、前記黒伸長回路は、前記入力映像信号のうちの設定レベルより黒側の信号を、前記Ｄ／Ａ変換回路から出力する制御信号に応じて伸長して前記Ａ／Ｄ変換回路へ出力してなることを特徴とする映像表示装置。

【請求項２】

アナログの入力映像信号はＲ、Ｇ、Ｂ信号を含む輝度信号としてなり、黒伸長回路とＡ／Ｄ変換回路の間に前記黒伸長回路から出力する輝度信号からアナログのＲ、Ｇ、Ｂ信号を得るＲＧＢデコーダを具備し、メモリは、Ｒ、Ｇ、Ｂデータ毎に複数段階の表示率の各々についての複数段階の入力レベルに係るγ補正データを予め記憶してなり、黒伸長回路は、Ｄ／Ａ変換回路から出力する制御信号に応じて入力輝度信号のうちの設定レベルより黒側の信号を伸長してＡ／Ｄ変換回路へ出力してなる請求項１記載の映像表示装置。

【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明は、アナログの入力映像信号をディジタルの映像データに変換して出力するＡ／Ｄ（アナログ／ディジタル）変換回路と、複数段階の表示率の各々についての複数段階の入力レベルに係るγ補正データを予め記憶したメモリと、Ａ／Ｄ変換回路から出力した映像データから表示率及び入力レベルを求めて対応したγ補正データをメモリから読出し、このγ補正データでＡ／Ｄ変換回路から出力した映像データの階調（濃度階調）を補正して表示パネル側へ出力するダイナミックγ補正回路とを具備してなる映像表示装置に関するものである。表示パネルには、ＰＤＰ（プラズマディスプレイパネル）やＬＣＤ（液晶ディスプレイ）パネルがある。
【０００２】
【従来の技術】
従来、この種の映像表示装置は図６に示すように構成されていた。すなわち、ＲＧＢデコーダ１２によって入力端子１０に入力したＲ（赤）、Ｇ（緑）、Ｂ（青）信号を含むＹ（輝度）信号からＡＲ（アナログのＲ）、ＡＧ（アナログのＧ）、ＡＢ（アナログのＢ）信号を得、このＡＲ、ＡＧ、ＡＢ信号をＡ／Ｄ変換回路１４によってＤＲ（ディジタルのＲ）、ＤＧ（ディジタルのＧ）、ＤＢ（ディジタルのＢ）データに変換する。このＤＲ、ＤＧ、ＤＢデータを、ＲＡＭ１６を用いた画素変換回路１８によってリサンプリングしてＤＲ１（ディジタルのＲ１）、ＤＧ１（ディジタルのＧ１）、ＤＢ１（ディジタルのＢ１）データに変換し、ダイナミックγ補正回路２０に出力する。
【０００３】
ダイナミックγ補正回路２０は、入力したＤＲ１、ＤＧ１、ＤＢ１データから表示率及び入力レベルを求め、対応したγ補正データをＲＯＭ２２から読出し、このγ補正データでＤＲ１、ＤＧ１、ＤＢ１データの階調を補正し、ＤＲ２、ＤＧ２、ＤＢ２データとして中間調処理回路（例えば誤差拡散回路）２４を介してＰＤＰ２６へ出力し映像を表示する。ＲＯＭ２２には、Ｒ、Ｇ、Ｂ毎に複数段階（例えば「ＡＰＬ３１」から「ＡＰＬ０」までの３２段階）の表示率の各々についての複数段階（例えば８段階）の入力レベルに係るγ補正データが予め記憶されている。表示率は、１画面の全ドットのそれぞれの濃度（輝度）が最大（例えば１６ビットの「ＦＦＦＨ」（１６進表示））の最も明るいときに１００％、１画面の全ドットのそれぞれの輝度が最小（例えば１６ビットの「００００Ｈ」（１６進表示））の最も暗いときに０％となるような画面の表示明るさに対応したディジタル値を表す。例えば、表示率「ＡＰＬ３１」が１００％、…、「ＡＰＬ１５」が５０％、…、「ＡＰＬ０」が０％に対応する。
【０００４】
【発明が解決しようとする課題】
しかしながら、ダイナミックγ補正回路２０によるＲＯＭ２２内のγ補正データを用いたγ補正カーブは、図７に示すγ補正カーブ（アナログ方式）を元にして作成した図８に示すような８分割直線近似のγ補正カーブ（ディジタル方式）で形成されていたので、入力映像信号が設定レベルＳより低い低階調領域において、γ補正誤差による表示画像への影響が大きくなって不自然な画像が表示されるという問題点があった。一般に、画面の明るい部分ではγ補正誤差はそれ程目立たないが、画面の暗い部分ではγ補正誤差が目立ち易いので、低階調領域における誤差が大きくなると不自然な画像が表示されることになるからである。特に、低表示率での低階調領域におけるγ補正誤差が大きくなると不自然な画像が表示されるという問題点があった。
【０００５】
本発明は、上述の問題点に鑑みなされたもので、Ａ／Ｄ変換回路、メモリ及びダイナミックγ補正回路を具備した映像表示装置において、低階調領域におけるγ補正誤差を小さくして不自然な画像が表示されるのを防止することを目的とする。例えば、低表示率での低階調領域におけるγ補正誤差を小さくして、不自然な画像が表示されるのを防止することを目的とする。

【０００６】
【課題を解決するための手段】
本発明は、アナログの入力映像信号をディジタルの映像データに変換して出力するＡ／Ｄ変換回路と、複数段階の表示率の各々についての複数段階の入力レベルに係るγ補正データを予め記憶したメモリと、Ａ／Ｄ変換回路から出力した映像データから表示率及び入力レベルを求めて対応したγ補正データをメモリから読出し、このγ補正データでＡ／Ｄ変換回路から出力した映像データの階調を補正して表示パネル側へ出力するダイナミックγ補正回路とを具備してなる映像表示装置において、ダイナミックγ補正回路で求めた表示率をアナログの制御信号に変換して出力するＤ／Ａ変換回路と、Ａ／Ｄ変換回路の前段に挿入された黒伸長回路とを具備し、この黒伸長回路は、入力映像信号のうちの設定レベルより黒側の信号を、Ｄ／Ａ変換回路から出力する制御信号に応じて伸長してＡ／Ｄ変換回路へ出力してなることを特徴とする。
【０００７】
アナログ入力映像信号のうちの設定レベルより黒側の信号は、黒伸長回路で伸長されてＡ／Ｄ変換回路に入力する。この黒伸長回路における黒伸長の程度は、表示率をアナログ信号に変換した制御信号に応じて変化するので、入力映像信号のうちの設定レベルより黒側の信号の黒伸長の程度を表示率に応じて変えることができる。このため、表示率の高低に応じて黒伸長回路の黒伸長の程度（例えば黒伸長ゲイン）を変え、低階調領域におけるγ補正誤差を小さくして不自然な画像が表示されるのを防止することができる。例えば、同じ低階調領域であっても、高表示率の場合を比較して低表示率の場合の方がγ補正誤差が大きいものとすると、高表示率の場合の黒伸長ゲインを小さく、低表示率の場合の黒伸長ゲインを大きくすることによって、低階調領域におけるγ補正誤差を小さくして表示パネル（例えばＰＤＰ）で不自然な画像が表示されるのを防止できる。
【０００８】
請求項１の発明において、回路構成を簡単にするために、アナログの入力映像信号をＲ、Ｇ、Ｂ信号を含む輝度信号とし、黒伸長回路とＡ／Ｄ変換回路の間に黒伸長回路から出力する輝度信号からＲ、Ｇ、Ｂ信号を得るＲＧＢデコーダを設け、メモリに、Ｒ、Ｇ、Ｂデータ毎に複数段階（例えば３２段階）の表示率データの各々についての複数段階（例えば８段階）の入力レベルに係るγ補正データを予め記憶し、黒伸長回路が、Ｄ／Ａ変換回路から出力する制御信号に応じて入力輝度信号のうちの設定レベルより黒側の信号を伸長してＡ／Ｄ変換回路へ出力するように構成する。
【０００９】
【発明の実施の形態】
以下、本発明による映像表示装置の一実施形態例を図面を用いて説明する。
図１において図６と同一部分は同一符号とする。図１において、３０は黒伸長回路で、この黒伸長回路３０は、入力端子１０に入力したＹ信号のうちの設定レベルＳより黒側の信号を伸長して出力するとともに、その黒伸長ゲインを後述する制御信号ｇで可変できるように構成されている。
前記黒伸長回路３０の出力側には、ＲＧＢデコーダ１２、Ａ／Ｄ変換回路１４、ＲＡＭ１６を結合した画素変換回路１８、ＲＯＭ２２を結合したダイナミックγ補正回路２０、中間調処理回路（例えば誤差拡散回路）２４及びＰＤＰ２６が順次結合している
【００１０】
前記ダイナミックγ補正回路２０は、前記画素変換回路１８から出力したＤＲ１、ＤＧ１、ＤＢ１データから表示率及び入力レベルを求め、ｎ（例えば１１）ビットのアドレスに基づいて対応したγ補正データを前記ＲＯＭ２２から読み出し、このγ補正データでＤＲ１、ＤＧ１、ＤＢ１データの階調を補正し、ＤＲ２、ＤＧ２、ＤＢ２データとして中間調処理回路２４へ出力するように構成されている。
前記表示率は、「ＡＰＬ３１」から「ＡＰＬ０」までの３２段階からなり、「ＡＰＬ３１」が１００％（最も明るい画面）、「ＡＰＬ０」が０％（最も暗い画面）に対応している。

【００１１】
前記ＲＯＭ２２には、Ｒ、Ｇ、Ｂ毎に「ＡＰＬ３１」から「ＡＰＬ０」までの３２段階の表示率の各々について８段階の入力レベルに係るγ補正データが予め記憶されている。前記ＲＯＭ２２のメモリマップは、例えば、１１（ｎ＝１１の場合）ビットのアドレスの最上位桁から２ビットがＲ、Ｇ、Ｂに、その次の５ビットが３２段階の表示率（「ＡＰＬ３１」～「ＡＰＬ０」）に、その次の３ビットが８段階の入力レベルにそれぞれ割り付けられ、対応した各メモリ領域には１６ビットのγ補正データが予め記憶されている。
【００１２】
３２はＤ／Ａ（ディジタル／アナログ）変換回路で、このＤ／Ａ変換回路３２は、前記ダイナミックγ補正回路２０から前記ＲＯＭ２２へ出力するｎ（例えばｎ＝１１）ビットのアドレスのうちの表示率に対応した５ビット（「ＡＰＬ３１」～「ＡＰＬ０」）をアナログの制御信号ｇに変換して前記黒伸長回路３０へ出力するように構成されている。
【００１３】
つぎに、図１の作用につき図２～図５を併用して説明する。
説明の便宜上、ダイナミックγ補正回路２０によるγ補正カーブを図８と同様な８分割直線近似で行い、その低階調領域のγ補正誤差による表示画像への影響は、低表示率の場合の方が高表示率の場合より大きいものとし、低表示率の場合の黒伸長ゲインを大きく、高表示率の場合の黒伸長ゲインを小さく制御することによって階調補正をする場合について説明する。
【００１４】
（１）入力端子１０に入力したＹ信号のうちの有効水平走査期間内の設定レベルＳより黒側の信号は、黒伸長回路３０により制御信号ｇに応じて伸長ゲインが制御され、ＲＧＢデコーダ１２に入力する。入力端子１０に入力したＹ信号が図２に示すようなランプ波形の場合には、黒伸長回路３０からは図３に実線又は点線で示すような黒伸長されたＹｂ信号が出力する。実線で示すＹｂ信号は、Ｙ信号が低表示率のときに黒伸長回路３０により黒伸長した場合（黒伸長量ａ）の出力信号を表し、点線で示すＹｂ信号は、Ｙ信号が高表示率のときに応じて黒伸長回路３０により黒伸長した場合（黒伸長量ｂ（ｂ＜ａ））の出力信号を表す。図２及び図３においてＢＬは黒レベル、ＨＤは水平同期信号を表す。
【００１５】
（２）ＲＧＢデコーダ１２によって、黒伸長回路３０で黒伸長制御したＹｂ信号からＡＲ、ＡＧ、ＡＢ信号が得られ、このＡＲ、ＡＧ、ＡＢ信号はＡ／Ｄ変換回路１４によってＤＲ、ＤＧ、ＤＢデータに変換される。このＤＲ、ＤＧ、ＤＢデータは、ＲＡＭ１６を用いた画素変換回路１８によるリサンプリングでＤＲ１、ＤＧ１、ＤＢ１データに変換され、ダイナミックγ補正回路２０に入力する。
【００１６】
（３）ダイナミックγ補正回路２０は、入力したＤＲ１、ＤＧ１、ＤＢ１データから表示率及び入力レベルを求め、対応したγ補正データをＲＯＭ２２から読出し、このγ補正データでＤＲ１、ＤＧ１、ＤＢ１データの階調を補正し、ＤＲ２、ＤＧ２、ＤＢ２データとして中間調処理回路２４を介してＰＤＰ２６へ出力し映像を表示する。
【００１７】
（４）ダイナミックγ補正回路２０からＲＯＭ２２に出力する１１（ｎ＝１１の場合）ビットのアドレスのうちの、表示率を表すアドレス（最上位桁から３番目の桁から７番目の桁までの５ビットのアドレス）は、Ｄ／Ａ変換回路３２でアナログの制御信号ｇに変換されて黒伸長回路３０に入力し、その黒伸長ゲインを制御する。例えば、制御信号ｇの値が大きくなるほど黒伸長ゲインが小さくなるように制御する。
【００１８】
このため、高表示率の場合には、図４に示すように、黒伸長スタートポイントを補正前よりｃだけ下げて傾斜を若干急峻とし（入力軸との交点ｄ）、低表示率の場合には、図５に示すように、黒伸長スタートポイントを補正前よりｅ（ｅ＞ｃ）だけ下げて傾斜を急峻とする（入力軸との交点ｆ（ｆ＞ｄ））。

したがって、設定レベルＳより黒側の信号による低階調領域において、γ補正誤差を小さくしてＰＤＰ２６で不自然な画像が表示されるのを防止できる。

【００１９】

前記実施形態例では、ダイナミックγ補正回路によるメモリ内のγ補正データを用いたγ補正カーブが、γ補正カーブ（アナログ方式）を元にして作成した８分割直線近似のγ補正カーブ（ディジタル方式）で形成されていた場合について説明したが、本発明はこれに限るものでなく、複数分割直線近似のγ補正カーブ（ディジタル方式）で形成されていた場合について利用することができる。

【００２０】

前記実施形態例では、低階調領域のγ補正誤差による表示画像への影響が、低表示率のときより高表示率のときの方が大きい場合を想定し、低表示率の場合に黒伸長回路の黒伸長ゲインを大きく、高表示率の場合に黒伸長回路の黒伸長ゲインを小さく制御することによって階調補正をする場合について説明したが、本発明はこれに限るものでなく、表示率の高低に応じて黒伸長回路の黒伸長の程度（例えば黒伸長ゲイン）を変え、低階調領域のγ補正誤差による表示画像への影響を小さくするものに利用できる。例えば、低階調領域のγ補正誤差による表示画像への影響が、高表示率のときより低表示率のときの方が大きい場合についても利用することができる。この場合、高表示率の場合に黒伸長回路の黒伸長ゲインを大きく、低表示率の場合に黒伸長回路の黒伸長ゲインを小さく制御することによって階調補正を行い、低階調領域におけるγ補正誤差を小さくして不自然な画像が表示されるのを防止することができる。

【００２１】

前記実施形態例では、回路構成を簡単にするために、アナログの入力映像信号をＲ、Ｇ、Ｂ信号を含む輝度信号とし、黒伸長回路とＡ／Ｄ変換回路の間に黒伸長回路から出力する輝度信号からＲ、Ｇ、Ｂ信号を得るＲＧＢデコーダを設け、メモリに、Ｒ、Ｇ、Ｂデータ毎に複数段階（例えば３２段階）の表示率データのそれぞれについての複数段階（例えば８段階）の入力レベルに係るγ補正データを予め記憶し、黒伸長回路が、Ｄ／Ａ変換回路から出力する制御信号に応じて入力輝度信号のうちの設定レベルより黒側の信号を伸長してＡ／Ｄ変換回路へ出力するように構成したが、本発明はこれに限るものでなく、ＲＧＢデコーダを省略したものについても利用することができる。

【００２２】

前記実施形態例では、表示パネルがＰＤＰの場合について説明したが、本発明はこれに限るものでなく、ＰＤＰ以外の表示パネル（例えばＬＣＤパネル）についても利用することができる。

【００２３】

【発明の効果】

本発明は、Ａ／Ｄ変換回路、メモリ及びダイナミックγ補正回路を具備してなる映像表示装置において、ダイナミックγ補正回路で求めた表示率をアナログの制御信号に変換して出力するＤ／Ａ変換回路と、Ａ／Ｄ変換回路の前段に挿入された黒伸長回路とを具備し、この黒伸長回路が入力映像信号のうちの設定レベルより黒側の信号をＤ／Ａ変換回路から出力する制御信号に応じて伸長してＡ／Ｄ変換回路へ出力するように構成したので、入力映像信号のうちの設定レベルより黒側の信号の黒伸長の程度を表示率に応じて変えることができる。このため、表示率の高低に応じて黒伸長回路の黒伸長の程度（例えば黒伸長ゲイン）を変え、低階調領域におけるγ補正誤差を小さくし、不自然な画像が表示されるのを防止することができる。例えば、高表示率と低表示率の場合を比較した場合に、低表示率の場合の低階調領域におけるγ補正誤差の画像への影響が大きいものとすると、高表示率の場合の黒伸長ゲインを小さく、低表示率の場合の黒伸長ゲインを大きくすることによって、低表示率での低階調領域におけるγ補正誤差を小さくし、表示パネル（例えばＰＤＰ）で不自然な画像が表示されるのを防止できる。

【００２４】

請求項１の発明において、アナログの入力映像信号をＲ、Ｇ、Ｂ信号を含む輝度信号とし

、黒伸長回路とＡ／Ｄ変換回路の間に黒伸長回路から出力する輝度信号からＲ、Ｇ、Ｂ信号を得るＲＧＢデコーダを設け、メモリに、Ｒ、Ｇ、Ｂデータ毎に複数段階（例えば３２段階）の表示率データのそれぞれについての複数段階（例えば８段階）の入力レベルに係るγ補正データを予め記憶し、黒伸長回路が、Ｄ／Ａ変換回路から出力する制御信号に応じて入力輝度信号のうちの設定レベルより黒側の信号を伸長してＡ／Ｄ変換回路へ出力するように構成することによって、回路構成を簡単にすることができる。

【図面の簡単な説明】

【図１】本発明による映像表示装置の一実施形態例を示すブロック図である。

【図２】図１の入力端子に入力するＹ信号の波形図である。

【図３】図１の黒伸長回路から出力するＹｂ信号の波形図である。

【図４】高表示率の場合において、図１の回路で黒伸長されたγ補正カーブの特性図である。

【図５】低表示率の場合において、図１の回路で黒伸長されたγ補正カーブの特性図である。

【図６】従来例を示すブロック図である。

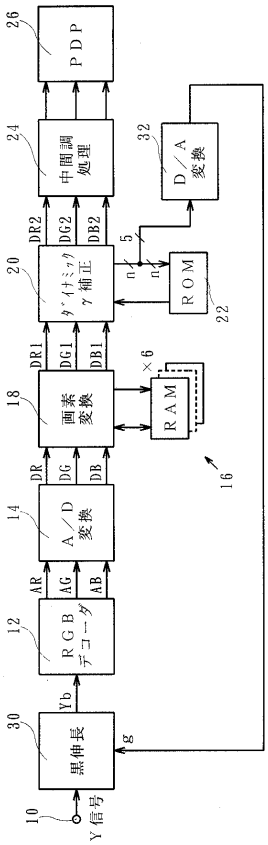
【図７】γ補正カーブ（アナログ方式）の特性図である。

【図８】図６の回路で用いるためのγ補正カーブ（ディジタル方式）を、図７のγ補正カーブを元にして８分割直線近似で求めた特性図である。

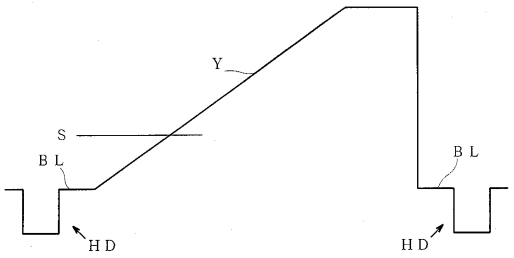
【符号の説明】

１０…アナログ映像信号の入力端子、　１２…ＲＧＢデコーダ、　１４…Ａ／Ｄ（アナログ／ディジタル）変換回路、　１６…ＲＡＭ（ランダムアクセスメモリ）、　１８…画素変換回路、　２０…ダイナミックγ補正回路、　２２…ＲＯＭ（リードオンリメモリ）（メモリの一例）、　２４…中間調処理回路、　２６…ＰＤＰ（表示パネルの一例）、　３０…黒伸長回路、　３２…Ｄ／Ａ（ディジタル／アナログ）変換回路、　ａ…低表示率のときの黒伸長量、　ＢＬ…黒レベル、　ｂ…高表示率のときの黒伸長量、　ｃ…高表示率のときのγ補正カーブの黒伸長スタートポイントのダウン量、　ｄ…高表示率のときのγ補正カーブの入力軸との交点、　ｅ…低表示率のときのγ補正カーブの黒伸長スタートポイントのダウン量、　ｆ…低表示率のときのγ補正カーブの入力軸との交点、　ｇ…制御信号、　ＨＤ…水平同期信号、　Ｓ…設定レベル（低階調領域か否かを分けるしきい値）、　Ｙ信号…輝度信号（アナログの入力映像信号の一例）、　Ｙｂ信号…Ｙ信号の設定レベルＳより黒側の信号を伸長した信号。

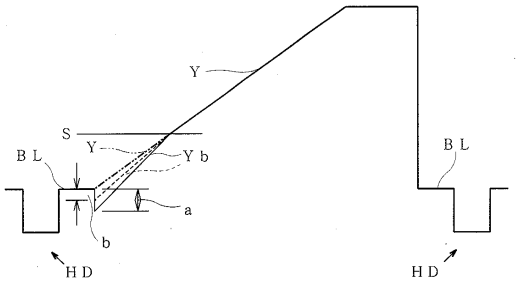
【図１】



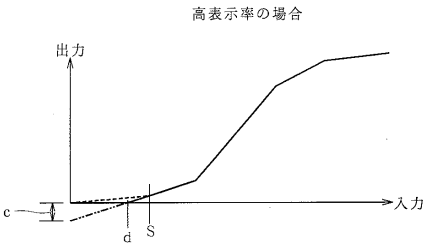
【図２】



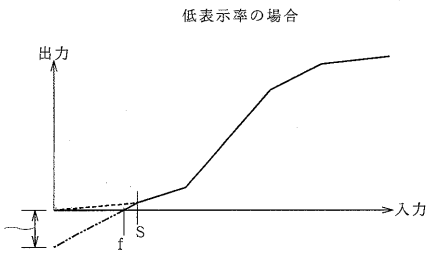
【図３】



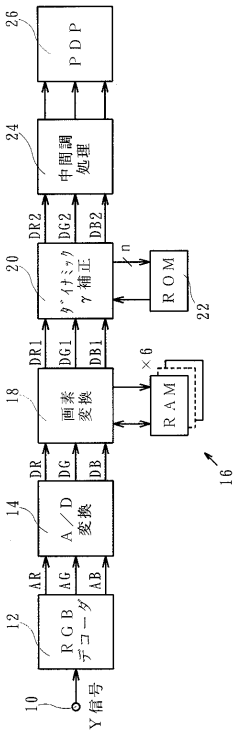
【図４】



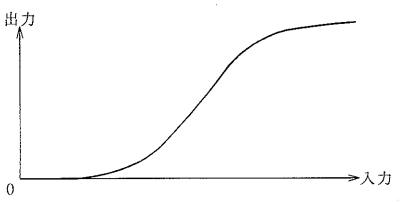
【図５】



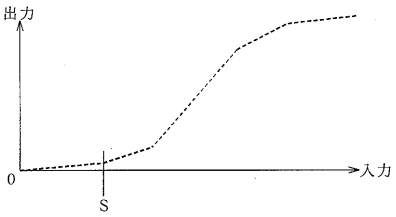
【図６】



【図７】



【図８】



フロントページの続き

(56)参考文献 特開平０６－００６８２０（ＪＰ，Ａ）
特開平０４－２２９７８８（ＪＰ，Ａ）
特開昭５６－１０７６７４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N 5/202
H04N 5/66
G09G 3/00 - 3/38