

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4661912号
(P4661912)

(45) 発行日 平成23年3月30日 (2011.3.30)

(24) 登録日 平成23年1月14日 (2011.1.14)

(51) Int. Cl.		F I			
HO4N	5/378	(2011.01)	HO4N	5/335	780
HO4N	9/07	(2006.01)	HO4N	9/07	A
HO4N	5/372	(2011.01)	HO4N	5/335	720

請求項の数 17 (全 28 頁)

<p>(21) 出願番号 特願2008-187026 (P2008-187026)</p> <p>(22) 出願日 平成20年7月18日 (2008.7.18)</p> <p>(65) 公開番号 特開2010-28423 (P2010-28423A)</p> <p>(43) 公開日 平成22年2月4日 (2010.2.4)</p> <p>審査請求日 平成21年7月16日 (2009.7.16)</p>	<p>(73) 特許権者 000002185 ソニー株式会社 東京都港区港南1丁目7番1号</p> <p>(74) 代理人 100094053 弁理士 佐藤 隆久</p> <p>(72) 発明者 宇井 博貴 東京都港区港南1丁目7番1号 ソニー株式会社内</p> <p>審査官 若林 治男</p>
--	--

最終頁に続く

(54) 【発明の名称】 固体撮像素子およびカメラシステム

(57) 【特許請求の範囲】

【請求項1】

複数の画素が行列状に配列された画素部と、
 上記画素部から読み出した複数の分割画素信号をアナログデジタル(A/D)変換しかつ
 加算して一つの画素の画素信号を得るA/D変換部を含む画素信号読み出し部と、を有し、
 上記画素部の一つの上記画素が、
 光感度または電荷の蓄積量の異なる領域に分割された複数の分割画素を含み、
 上記画素信号読み出し部は、
 上記各分割画素の分割画素信号を時間順次的に信号線に読み出し、
 上記分割画素信号の加算時にA/D変換の入力範囲が、各画素の飽和出力電圧よりも小
 さくなるように設定され、各画素の出力値が必ず特定のデジタル値になるように形成され
 ており、
 上記A/D変換部は、
 上記信号線を通して入力した分割画素信号をA/D変換し、次の分割画素信号をA/D
 変換する際に、前のA/D変換値を加算して当該次の分割画素信号をA/D変換する処理を順
 次行い、かつ、各分割画素信号が飽和した時点でそれぞれのA/D変換処理を止め、A/D変
 換処理を止めた後に加算を行う

固体撮像素子。

【請求項2】

上記画素信号読み出し部は、

上記分割画素信号の加算時にA/D変換の入力範囲が、各画素の飽和出力電圧よりも小さくなるようにクリップ点が設定され、

上記クリップ点は、

各分割画素の飽和時のA/D変換部の出力電子数に対して、いずれの分割画素の飽和よりも前の電子数で設定されている

請求項1記載の固体撮像素子。

【請求項3】

上記複数の分割画素を含む画素は、

上記分割画素ごとに配置された複数の光電変換素子と、

上記各分割画素で共通に形成された共通フローティングディフュージョン部と、

上記各分割画素で共通に形成された増幅部と、を含み、

上記画素信号読み出し部は、

上記各分割画素の光電変換素子で光電変換された分割画素信号を、上記共通フローティングディフュージョン部を通じて上記増幅部に転送して増幅し、当該増幅された分割画素信号を時間順次的に上記信号線に送出する

請求項2記載の固体撮像素子。

【請求項4】

上記複数の分割画素を含む画素は、

上記分割画素ごとに配置された複数の光電変換素子と、

上記分割画素ごとに配置された複数のフローティングディフュージョン部と、

上記各分割画素で共通に形成された増幅部と、を含み、

上記画素信号読み出し部は、

上記各分割画素の光電変換素子で光電変換された分割画素信号を、上記フローティングディフュージョン部を通じて上記増幅部に転送して増幅し、当該増幅された分割画素信号を時間順次的に上記信号線に送出する

請求項2記載の固体撮像素子。

【請求項5】

上記複数の分割画素を含む画素は、

複数のグループに区分けされ、

上記分割画素ごとに配置された複数の光電変換素子と、

上記グループの各分割画素で共通に形成された複数の共通フローティングディフュージョン部と、

上記各グループで共通に形成された増幅部と、を含み、

上記画素信号読み出し部は、

上記各分割画素の光電変換素子で光電変換された分割画素信号を、上記グループ対応の共通フローティングディフュージョン部を通じて上記増幅部に転送して増幅し、当該増幅された分割画素信号を時間順次的に上記信号線に送出する

請求項2記載の固体撮像素子。

【請求項6】

上記複数の分割画素を含む画素は、

上記分割画素ごとに配置された複数の光電変換素子と、

上記分割画素ごとに配置された複数のフローティングディフュージョン部と、

上記分割画素ごとに配置された増幅部と、を含み、

上記画素信号読み出し部は、

上記各分割画素の光電変換素子で光電変換された分割画素信号を、上記フローティングディフュージョン部を通じて上記増幅部に転送して増幅し、当該増幅された分割画素信号を時間順次的に上記信号線に送出する

請求項2記載の固体撮像素子。

【請求項7】

上記複数の分割画素を含む画素は、

10

20

30

40

50

上記分割画素ごとに配置された複数の光電変換素子と、
 上記分割画素ごとに配置された複数のフローティングディフュージョン部と、を含み

上記画素信号読み出し部は、
 増幅部を含み、

上記各分割画素の光電変換素子で光電変換された分割画素信号を、上記各フローティングディフュージョン部を通じてそれぞれ異なる信号線に並列に送出し、

上記 A D 変換部は、

上記増幅部で増幅された複数の分割画素信号を並列に A D 変換し、A D 変換した値を順次複数回加算して全体の画素信号を得る

請求項 2 記載の固体撮像素子。

【請求項 8】

上記 A D 変換部は、

上記複数の分割画素信号がそれぞれ飽和した時点で A D 変換処理を停止して、A D 変換した値を順次複数回加算して全体の画素信号を得る

請求項 7 記載の固体撮像素子。

【請求項 9】

上記複数の分割画素を含む画素は、

上記分割画素ごとに配置された複数の光電変換素子を含み、

上記画素信号読み出し部は、

分割画素信号を列方向に転送する第 1 転送レジスタと、

上記第 1 転送レジスタの転送方向と直交する方向に分割画素信号を転送する第 2 転送レジスタと、

上記第 2 転送レジスタを転送された上記分割画素信号が供給されるフローティングディフュージョン部と、を含み、

上記各分割画素の光電変換素子で光電変換された分割画素信号を、時間順次的に上記第 1 転送レジスタおよび上記第 2 転送レジスタに送出し、上記フローティングディフュージョン部を通じて前記信号を増幅し、相関 2 重サンプリング処理を行い、上記 A D 変換部で上記 A D 変換を行う

請求項 2 記載の固体撮像素子。

【請求項 10】

上記画素の上記各分割画素として形成された複数の領域は、光感度特性の異なる領域を含む

請求項 1 から 9 のいずれかーに記載の固体撮像素子。

【請求項 11】

上記画素の上記各分割画素として形成された複数の領域は、独立した蓄積時間制御を行うことが可能な領域を含む

請求項 1 から 9 のいずれかーに記載の固体撮像素子。

【請求項 12】

分割画素加算後の全体の入射光に対する感度曲線が、光量の低いときに感度が高く、光量が高いときに感度が低くなるような特性を保持する

請求項 1 から 11 のいずれかーに記載の固体撮像素子。

【請求項 13】

上記 A D 変換部は、

上記分割画素信号の少なくとも 2 つの領域を異なるビット精度で A D 変換可能である

請求項 1 から 11 のいずれかーに記載の固体撮像素子。

【請求項 14】

上記複数の分割画素が同一色のカラーフィルタ下に配置されている

請求項 1 から 13 のいずれかーに記載の固体撮像素子。

【請求項 15】

10

20

30

40

50

上記画素信号読み出し部は、

上記各分割画素を独立に読み出して、解像度の高い画像を得る読出しと切り替えることが可能である

請求項 1 から 1 4 のいずれか一に記載に固体撮像素子。

【請求項 1 6】

固体撮像素子と、

上記固体撮像素子に被写体像を結像する光学系と、を有し、

上記固体撮像素子は、

複数の画素が行列状に配列された画素部と、

上記画素部から読み出した複数の分割画素信号をアナログデジタル (A D) 変換しかつ加算して一つの画素の画素信号を得る A D 変換部を含む画素信号読み出し部と、を有し

10

上記画素部の一つの上記画素が、

光感度または電荷の蓄積量の異なる領域に分割された複数の分割画素を含み、

上記画素信号読み出し部は、

上記各分割画素の分割画素信号を時間順次的に信号線に読み出し、

上記分割画素信号の加算時に A D 変換の入力範囲が、各画素の飽和出力電圧よりも小さくなるように設定され、各画素の出力値が必ず特定のデジタル値になるように形成されており、

上記 A D 変換部は、

上記信号線を通して入力した分割画素信号を A D 変換し、次の分割画素信号を A D 変換する際に、前の A D 変換値を加算して当該次の分割画素信号を A D 変換する処理を順次行い、かつ、各分割画素信号が飽和した時点でそれぞれの A D 変換処理を止め、A D 変換処理を止めた後に加算を行う

20

カメラシステム。

【請求項 1 7】

複数の画素が行列状に配列された画素部と、

上記画素部から読み出した複数の分割画素信号をアナログデジタル (A D) 変換しかつ加算して一つの画素の画素信号を得る A D 変換部を含む画素信号読み出し部と、を有し、

上記画素部の一つの上記画素が、

複数の領域に分割された複数の分割画素を含み、

上記画素信号読み出し部は、

上記各分割画素の分割画素信号を時間順次的に信号線に読み出し、

上記分割画素信号の加算時に A D 変換の入力範囲が、各画素の飽和出力電圧よりも小さくなるように設定され、各画素の出力値が必ず特定のデジタル値になるように形成されており、

30

上記 A D 変換部は、

上記信号線を通して入力した分割画素信号を A D 変換し、次の分割画素信号を A D 変換する際に、前の A D 変換値を加算して当該次の分割画素信号を A D 変換する処理を順次行い、かつ、各分割画素信号が飽和した時点でそれぞれの A D 変換処理を止め、A D 変換処理を止めた後に加算を行う

40

固体撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CCD や CMOS イメージセンサに代表される固体撮像素子およびカメラシステムに関するものである。

【背景技術】

【0002】

自動車のヘッドライトや球戯場の照明光、太陽光などの逆光撮影でも高輝度情報がつづ

50

れず、かつ低輝度部分の被写体像が黒く沈み過ぎることなく、細部まで撮像できる広ダイナミックレンジの固体撮像素子の実現が望まれている。

【0003】

このような状況において、CCDなどの固体撮像素子に関して、ダイナミックレンジを拡大する技術が特許文献1、特許文献2、特許文献3、特許文献4などに開示されている。

【0004】

特許文献1には、CCDなどの1つの画素内に感度特性の異なる領域(セル)をニヶ以上、複数個配置し、入出力特性が段階的に変化するいわゆるニー(knee)特性を持たせ、CCDのダイナミックレンジを拡大する例が示されている。

knee特性とは露光量に対する出力電流の関係で示される曲線が、高入力領域の方を低入力領域のそれよりも小さくするような特性曲線のことを言い、高輝度信号圧縮技術としてしばしば参照される。

感光領域(セル)の感光度を変える方法として、たとえば素子の開口率を変える、光学フィルタ(NDフィルタ)を設置する、不純物濃度を変えるなどが記載されている。

特許文献1では、CCD以外のXYアドレス型の撮像素子にも適用可能であるとしているが、詳しい記載はない。

【0005】

特許文献2には、CCDの感光画素セルで隣接する画素または光感度特性が異なるセルを一組として、一画素内のそれぞれのセルの信号電荷を加算して画素の信号電荷とし、電球などのハイライト光でもつぶれない高ダイナミックレンジ化を図る例が記載されている。

この場合、光感度を変える手段としては、たとえば、画素面積を変えたセルを組みにする。

【0006】

特許文献3では、同じく、CCDの感光画素セル1画素を感度が異なる二つの領域に分割し、同じ画素の感光度の異なる領域の信号電荷同士を垂直レジスタに混合して垂直転送する。そして、この技術では、感度の異なる信号電荷を振り分けゲートにより2本の水平転送ゲートに振り分け、外部の信号処理回路で高感度側の信号をクリップした後、低感度側の信号と加算してビデオ信号を形成するようにしている。

この場合、入射光量に対するビデオ信号出力の特性グラフは折れ線型となり、高感度側(低照度側)は勾配が急で、低感度側(高照度側)の勾配を緩やかにしている。

【0007】

特許文献4には、高感度の撮像セルと低感度の撮像セルを備えた撮像素子では、両方のデータによりRAW画像データ量(生データ)が大きくなる問題への改善方法が記載されている。

具体的には、撮像画像情報を分析して、高輝度部の画像情報を記録する必要があるかないかを自動的に判断する。「有り」と判断した場合には、低輝度部の情報と共に高輝度部のRAW画像データを記録する。「無し」と判断した場合は、高輝度部の情報は記録せず、低輝度部のRAW画像データのみを記録するようにしている。

主感光画素セル(面積大で高感度:主にマイクロレンズの中心部を使う)と副感光画素セル(面積小で低感度:マイクロレンズのエッジ側に配置する)を組み合わせて1画素としている。

【0008】

特許文献5には、列並列ADCが比較器およびアップダウンカウンタにより構成されCMOSイメージセンサが開示されている。このCMOSイメージセンサは、加算器、ラインメモリ装置などの追加回路なしに、複数行にわたって画素デジタル値の加算演算が実行可能である。

【特許文献1】特許2125710号

【特許文献2】特開平03-117281号公報

10

20

30

40

50

【特許文献3】特開平09-205589号公報
【特許文献4】特開2004-320119号公報
【特許文献5】特開2005-278135号公報
【発明の開示】
【発明が解決しようとする課題】

【0009】

しかし、上記分割画素加算の場合は対象画素の面積を全て合わせた面積を持つ画素に比べ、分割した場合には、信号処理上、感光には直接寄与しない無効領域(デッドスペース)ができる。

このため、単純に4分割した場合よりも、分割した個々のセルの面積が小さくなり、前者の場合よりも飽和電子数が減少するので相対的にショットノイズが増加し、個々の分割画素のS/Nが悪化する。

加算の度にショットノイズも加算されるので、分割加算した結果のS/Nも悪化してしまう。

【0010】

さらに画素信号の加算処理はアナログ信号加算であり、画素毎に感度が異なるため、飽和値がバラツキ、折れ点位置もバラツいてしまうなどの問題がある。

さらにデジタル加算の場合はセンサ外部にメモリを持つ必要があった。

【0011】

すなわち、1つの画素セルを感度または蓄積時間を変えた2個以上複数の画素セルに分割し、感度を画素の飽和電荷量 Q_s として測る既存の加算方法では、画素毎の飽和電荷量 Q_s にバラツキがある。このために、同じ光量に対して、加算結果が画素毎にバラツいてしまう。

換言すると、入射光量を横軸、飽和電荷量 Q_s を縦軸とする感度曲線(折れ線グラフ)は、分割画素セル加算点(横軸)で、折れ点位置(縦軸)がバラツいてしまう。

【0012】

本発明は、入射光量に対して、画素の出力電子数のバラツキがないような分割画素加算を実現でき、低い入射光量のときに感度が高く、高い入射光のときに感度を下げ、かつ出力が飽和することのない広いダイナミックレンジを持つことが可能な固体撮像素子およびカメラシステムを提供することにある。

【課題を解決するための手段】

【0013】

本発明の第1の観点の固体撮像素子は、複数の画素が行列状に配列された画素部と、上記画素部から読み出した複数の分割画素信号をアナログデジタル(AD)変換しかつ加算して一つの画素の画素信号を得るAD変換部を含む画素信号読み出し部と、を有し、上記画素部の一つの上記画素が、光感度または電荷の蓄積量の異なる領域に分割された複数の分割画素を含み、上記画素信号読み出し部は、上記各分割画素の分割画素信号を時間順次に信号線に読み出し、上記分割画素信号の加算時にAD変換の入力範囲が、各画素の飽和出力電圧よりも小さくなるように設定され、各画素の出力値が必ず特定のデジタル値になるように形成されており、上記AD変換部は、上記信号線を通して入力した分割画素信号をAD変換し、次の分割画素信号をAD変換する際に、前のAD変換値を加算して当該次の分割画素信号をAD変換する処理を順次行い、かつ、各分割画素信号が飽和した時点でそれぞれのAD変換処理を止め、AD変換処理を止めた後に加算を行う。

【0014】

好適には、上記画素信号読み出し部は、上記分割画素信号の加算時にAD変換の入力範囲が、各画素の飽和出力電圧よりも小さくなるようにクリップ点が設定され、上記クリップ点は、各分割画素の飽和時のAD変換部の出力電子数に対して、いずれの分割画素の飽和よりも前の電子数で設定されている。

【0015】

好適には、上記複数の分割画素を含む画素は、上記分割画素ごとに配置された複数の光

10

20

30

40

50

電変換素子と、上記各分割画素で共通に形成された共通フローティングディフュージョン部と、上記各分割画素で共通に形成された増幅部と、を含み、上記画素信号読み出し部は、上記各分割画素の光電変換素子で光電変換された分割画素信号を、上記共通フローティングディフュージョン部を通じて上記増幅部に転送して増幅し、当該増幅された分割画素信号を時間順的に上記信号線に送出する。

【0016】

好適には、上記複数の分割画素を含む画素は、上記分割画素ごとに配置された複数の光電変換素子と、上記分割画素ごとに配置された複数のフローティングディフュージョン部と、上記各分割画素で共通に形成された増幅部と、を含み、上記画素信号読み出し部は、上記各分割画素の光電変換素子で光電変換された分割画素信号を、上記フローティングディフュージョン部を通じて上記増幅部に転送して増幅し、当該増幅された分割画素信号を時間順的に上記信号線に送出する。

10

【0017】

好適には、上記複数の分割画素を含む画素は、複数のグループに区分けされ、上記分割画素ごとに配置された複数の光電変換素子と、上記グループの各分割画素で共通に形成された複数の共通フローティングディフュージョン部と、上記各グループで共通に形成された増幅部と、を含み、上記画素信号読み出し部は、上記各分割画素の光電変換素子で光電変換された分割画素信号を、上記グループ対応の共通フローティングディフュージョン部を通じて上記増幅部に転送して増幅し、当該増幅された分割画素信号を時間順的に上記信号線に送出する。

20

【0018】

好適には、上記複数の分割画素を含む画素は、上記分割画素ごとに配置された複数の光電変換素子と、上記分割画素ごとに配置された複数のフローティングディフュージョン部と、上記分割画素ごとに配置された増幅部と、を含み、上記画素信号読み出し部は、上記各分割画素の光電変換素子で光電変換された分割画素信号を、上記フローティングディフュージョン部を通じて上記増幅部に転送して増幅し、当該増幅された分割画素信号を時間順的に上記信号線に送出する。

【0019】

好適には、上記複数の分割画素を含む画素は、上記分割画素ごとに配置された複数の光電変換素子と、上記分割画素ごとに配置された複数のフローティングディフュージョン部と、を含み、上記画素信号読み出し部は、増幅部を含み、上記各分割画素の光電変換素子で光電変換された分割画素信号を、上記各フローティングディフュージョン部を通じてそれぞれ異なる信号線に並列に送出し、上記AD変換部は、上記増幅部で増幅された複数の分割画素信号を並列にAD変換し、AD変換した値を順次複数回加算して全体の画素信号を得る。

30

【0020】

好適には、上記AD変換部は、上記複数の分割画素信号がそれぞれ飽和した時点でAD変換処理を停止して、AD変換した値を順次複数回加算して全体の画素信号を得る。

【0021】

好適には、上記複数の分割画素を含む画素は、上記分割画素ごとに配置された複数の光電変換素子を含み、上記画素信号読み出し部は、分割画素信号を列方向に転送する第1転送レジスタと、上記第1転送レジスタの転送方向と直交する方向に分割画素信号を転送する第2転送レジスタと、上記第2転送レジスタを転送された上記分割画素信号が供給されるフローティングディフュージョン部と、を含み、上記各分割画素の光電変換素子で光電変換された分割画素信号を、時間順次的に上記第1転送レジスタおよび上記第2転送レジスタに送出し、上記フローティングディフュージョン部を通じて前記信号を増幅し、相関2重サンプリング処理を行い、上記AD変換部で上記AD変換を行う。

40

【0022】

好適には、上記画素の上記各分割画素として形成された複数の領域は、光感度特性の異なる領域を含む。

50

【 0 0 2 3 】

好適には、上記画素の上記各分割画素として形成された複数の領域は、独立した蓄積時間制御を行うことが可能な領域を含む。

【 0 0 2 5 】

好適には、分割画素加算後の全体の入射光に対する感度曲線が、光量の低いときに感度が高く、光量が高いときに感度が低くなるような特性を保持する。

【 0 0 2 6 】

好適には、上記 A D 変換部は、上記分割画素信号の少なくとも 2 つの領域を異なるビット精度で A D 変換可能である。

【 0 0 2 7 】

好適には、上記複数の分割画素が同一色のカラーフィルタ下に配置されている。

【 0 0 2 8 】

好適には、上記画素信号読み出し部は、上記各分割画素を独立に読み出して、解像度の高い画像を得る読み出しと切り替えることが可能である。

【 0 0 2 9 】

本発明の第 2 の観点のカメラシステムは、固体撮像素子と、上記固体撮像素子に被写体像を結像する光学系と、を有し、上記固体撮像素子は、複数の画素が行列状に配列された画素部と、上記画素部から読み出した複数の分割画素信号をアナログデジタル (A D) 変換しかつ加算して一つの画素の画素信号を得る A D 変換部を含む画素信号読み出し部と、を有し、上記画素部の一つの上記画素が、光感度または電荷の蓄積量の異なる領域に分割された複数の分割画素を含み、上記画素信号読み出し部は、上記各分割画素の分割画素信号を時間順次的に信号線に読み出し、上記分割画素信号の加算時に A D 変換の入力範囲が、各画素の飽和出力電圧よりも小さくなるように設定され、各画素の出力値が必ず特定のデジタル値になるように形成されており、上記 A D 変換部は、上記信号線を通して入力した分割画素信号を A D 変換し、次の分割画素信号を A D 変換する際に、前の A D 変換値を加算して当該次の分割画素信号を A D 変換する処理を順次行い、かつ、各分割画素信号が飽和した時点でそれぞれの A D 変換処理を止め、A D 変換処理を止めた後に加算を行う。

【 0 0 3 0 】

本発明の第 2 の観点の固体撮像素子は、複数の画素が行列状に配列された画素部と、上記画素部から読み出した複数の分割画素信号をアナログデジタル (A D) 変換しかつ加算して一つの画素の画素信号を得る A D 変換部を含む画素信号読み出し部と、を有し、上記画素部の一つの上記画素が、複数の領域に分割された複数の分割画素を含み、上記画素信号読み出し部は、上記各分割画素の分割画素信号を時間順次的に信号線に読み出し、上記分割画素信号の加算時に A D 変換の入力範囲が、各画素の飽和出力電圧よりも小さくなるように設定され、各画素の出力値が必ず特定のデジタル値になるように形成されており、上記 A D 変換部は、上記信号線を通して入力した分割画素信号を A D 変換し、次の分割画素信号を A D 変換する際に、前の A D 変換値を加算して当該次の分割画素信号を A D 変換する処理を順次行い、かつ、各分割画素信号が飽和した時点でそれぞれの A D 変換処理を止め、A D 変換処理を止めた後に加算を行う。

【 0 0 3 1 】

本発明によれば、画素信号読み出し部により、電荷の蓄積量の異なる領域に分割された複数の分割画素からそれぞれ分割画素信号が読み出される。

画素信号読み出し部においては、読み出した各分割画素信号が A D 変換され、かつ加算されて一つの画素の画素信号が得られる。

【 発明の効果 】

【 0 0 3 2 】

本発明によれば、入射光量に対して、画素の出力電子数のバラツキがないような分割画素加算を実現できる。その結果、低い入射光量のときに感度が高く、高い入射光のときに感度を下げ、かつ出力が飽和することのない広いダイナミックレンジを持つことが可能となる。

10

20

30

40

50

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施の形態を図面に関連付けて説明する。

【0034】

図1は、本発明の実施形態に係る列並列ADC搭載固体撮像素子(CMOSイメージセンサ)の構成例を示すブロック図である。

なお、本発明は、CMOSイメージセンサだけでなくCCDにも適用可能であるが、ここでは、一例としてCMOSイメージセンサを例に説明する。

【0035】

この固体撮像素子100は、図1に示すように、画素部110、垂直走査回路120、水平転送走査回路130、タイミング制御回路140、およびアナログデジタル変換器(ADC: Analog digital converter)群150を有する。

10

固体撮像素子100は、さらにデジタルアナログ変換器(DAC: Digital - Analog converter)160、アンプ回路(S/A)170、信号処理回路180、および水平転送線190を有する。

そして、垂直走査回路120、水平転送走査回路130、タイミング制御回路140、ADC群150、およびDAC160により画素信号読み出し部が形成される。

【0036】

画素部110は、複数の画素がマトリクス状(行列状)に配置されて構成される。

画素部110は、その画素配列として、たとえば図2に示すようなベイヤー配列が採用される。

20

【0037】

本実施形態の画素部110は、一つの画素がたとえばフォトダイオードにより形成される光電変換素子を含む複数の分割画素セルDPCに分割されている。

具体的には、列並列ADC搭載の固体撮像素子(CMOSイメージセンサ)100において、ベイヤー配列の同一色カラーフィルタ下の1画素について、感度または蓄積時間を変えて2ヶ以上複数個の分割画素セルDPCに分割されている。

そして、画素信号をAD変換して列方向に出力する際に、分割画素の出力分割画素信号を加算してAD変換する。このとき、AD変換部への入力範囲を常に各画素の飽和出力電圧以下になるようにクリップし、各画素の出力値は必ず特定のデジタル値となるようにする。

30

【0038】

以下の説明では、一つの画素DPCが4つの分割画素セルDPC-A~DPC-Dに分割されている場合を例に説明する。

【0039】

図3は、本発明の実施形態に係る画素分割の概念図である。

図3にはベイヤー配列の場合の分割方法が示されており、同じ色フィルタの下にある1画素を4分割した例で、分割された個々の画素では感度または蓄積時間がそれぞれ異なる。

図3では、G(緑)画素PCGをDPC-A, DPC-B, DPC-C, DPC-Dの4つの画素に分割した場合が示されている。

40

【0040】

この画素部110における画素および分割画素の構成や分割形態等については後で詳述する。

【0041】

そして、本実施形態の固体撮像素子100は、たとえば画素内で増幅された分割画素信号を時間順次的に垂直信号線に送出し、カラム画素信号読み出し部に配置されたADC群150のAD変換器(AD変換部)でAD変換を実行する。

固体撮像素子100は、次いで第2の分割画素信号のAD変換操作を行う際に、第1のAD変換値を加算して第2の分割画素信号のAD変換操作を実行する。

50

固体撮像素子100は、次いで第3の分割画素信号のAD変換操作を行う際に、前記第2のAD変換値を加算して第3の分割画素信号のAD変換操作を実行する。

固体撮像素子100は、次いで第4の分割画素信号のAD変換操作を行う際に、前記第3のAD変換値を加算して第4の分割画素信号のAD変換操作を実行する。

本実施形態の固体撮像素子は、順次このような方法で複数個に分割された画素の画素信号をカラム部に設けられたAD変換器で加算する分割画素加算方法を採用している。

【0042】

固体撮像素子100には、画素部110の信号を順次読み出すための制御回路として、内部クロックを生成するタイミング制御回路140、行アドレスや行走査を制御する垂直行走査回路120、列アドレスや列走査を制御する水平転送走査回路130が配置される。

10

【0043】

ADC群150は、DAC160により生成される参照電圧を階段状に変化させたランプ波形(RAMP)である参照電圧 V_{slop} と、行線毎に画素から垂直信号線を経由し得られるアナログ信号(電位 V_{sl})とを比較する比較器151を有する。

ADC群150は、比較時間をカウントするアップダウンカウンタ(以下、単にカウンタという)152と、カウント結果を保持するラッチ153とからなるADCが複数列配列されている。

ADC群150は、 n ビットデジタル信号変換機能を有し、各垂直信号線(列線)毎に配置され、列並列ADCブロックが構成される。

各ラッチ153の出力は、たとえば $2n$ ビット幅の水平転送線190に接続されている

20

。そして、水平転送線190に対応した $2n$ 個のアンプ回路170、および信号処理回路180が配置される。

【0044】

ADC群150においては、垂直信号線に読み出されたアナログ信号(電位 V_{sl})は列毎に配置された比較器(比較器)151で参照電圧 V_{slop} (ある傾きを持った線形に変化するスロープ波形)と比較される。

このとき、比較器151と同様に列毎に配置されたカウンタ152が動作しており、ランプ波形のある電位 V_{slop} とカウンタ値が一一対応を取りながら変化することで垂直信号線の電位(アナログ信号) V_{sl} をデジタル信号に変換する。

30

参照電圧 V_{slop} の変化は電圧の変化を時間の変化に変換するものであり、ADCは、その時間のある周期(クロック)で数えることでデジタル値に変換するものである。

そしてアナログ電気信号 V_{sl} と参照電圧 V_{slop} が交わったとき、比較器151の出力が反転し、カウンタ152の入力クロックを停止し、または、入力を停止していたクロックをカウンタ152に入力し、 $-AD$ 変換を完了させる。

たとえば、このカウンタのアップおよびダウンカウント処理を、カウンタのリセットを行うことなく分割画素信号の数だけ連続的に行うことにより、上述したようなAD変換器で加算する分割画素加算が実現される。

【0045】

図4は、図1の列並列ADC搭載固体撮像素子(CMOSイメージセンサ)で加算処理を行う場所を示す図である。

40

【0046】

図4中、破線で囲まれた所は実際に加算処理が行える場所である。細い破線は既存の場所、太い破線は本発明の実施形態に係る領域である。

これまで知られている分割画素の加算信号処理の方法は、DSP等の信号処理部で行っている。

これに対して、本実施形態においては、上述したように、AD変換時にカウンタ152において、4分割画素信号のAD変換を行いつつ順次加算処理を行う。

すなわち、画素内で増幅された分割画素信号を時間順次的に垂直信号線に送出し、カラム画素信号読み出し部に配置されたADC群150のAD変換器(AD変換部)でAD変換

50

を実行する。

A D C 群 1 5 0 の各 A D C においては、次いで第 2 の分割画素信号の A D 変換操作を行う際に、第 1 の A D 変換値を加算して第 2 の分割画素信号の A D 変換操作を実行する。

A D C 群 1 5 0 の A D C においては、次いで第 3 の分割画素信号の A D 変換操作を行う際に、前記第 2 の A D 変換値を加算して第 3 の分割画素信号の A D 変換操作を実行する。

A D C 群 1 5 0 の A D C においては、次いで第 4 の分割画素信号の A D 変換操作を行う際に、前記第 3 の A D 変換値を加算して第 4 の分割画素信号の A D 変換操作を実行する。

【 0 0 4 7 】

以上の A D 変換期間終了後、水平転送走査回路 1 3 0 により、ラッチ 1 5 3 に保持されたデータが、水平転送線 1 9 0 に転送され、アンプ 1 7 0 を経て信号処理回路 1 8 0 に入力され、所定の信号処理により 2 次元画像が生成される。

10

【 0 0 4 8 】

以上、本発明の実施形態における基本的な構成および機能について説明した。

以下、本実施形態の特徴的な構成である画素および分割画素の構成や分割形態や分割画素加算処理等についてより詳細に説明する。

【 0 0 4 9 】

まず、理解を容易にするために、C M O S イメージセンサの基本的な分割画素の構成の一例について説明する。

【 0 0 5 0 】

図 5 は、本実施形態に係る 4 つのトランジスタで構成される C M O S イメージセンサの分割画素の一例を示す図である。

20

【 0 0 5 1 】

この分割画素 D P C 1 は、たとえばフォトダイオードにより形成される光電変換素子 1 1 1 を有する。

図 4 の分割画素 D P C は、この 1 個の光電変換素子 1 1 1 に対して、転送トランジスタ 1 1 2、リセットトランジスタ 1 1 3、増幅部としての増幅トランジスタ 1 1 4、および選択トランジスタ 1 1 5 の 4 つのトランジスタを能動素子として有する。

【 0 0 5 2 】

光電変換素子 1 1 1 は、入射光をその光量に応じた量の電荷（ここでは電子）に光電変換する。

30

転送トランジスタ 1 1 2 は、光電変換素子 1 1 1 とフローティングディフュージョン部 F D との間に接続され、転送制御線 L T x を通じてそのゲート（転送ゲート）に制御信号 T x が与えられる。

これにより、光電変換素子 1 1 1 で光電変換された電子をフローティングディフュージョン部 F D に転送する。

【 0 0 5 3 】

リセットトランジスタ 1 1 3 は、電源ライン L V D D とフローティングディフュージョン部 F D との間に接続され、リセット制御線 L R S T を通じてそのゲートに制御信号 R S T が与えられる。

これにより、フローティングディフュージョン部 F D の電位を電源ライン L V D D の電位にリセットする。

40

【 0 0 5 4 】

フローティングディフュージョン部 F D には、増幅トランジスタ 1 1 4 のゲートが接続されている。増幅トランジスタ 1 1 4 は、選択トランジスタ 1 1 5 を介して垂直信号線 1 1 6 に接続され、画素部外の定電流源とソースフォロアを構成している。

そして、選択制御線 L S E L を通じて制御信号（アドレス信号またはセレクト信号）S E L が選択トランジスタ 1 1 5 のゲートに与えられ、選択トランジスタ 1 1 5 がオンする。

選択トランジスタ 1 1 5 がオンすると、増幅トランジスタ 1 1 4 はフローティングディフュージョン部 F D の電位を増幅してその電位に応じた電圧を垂直信号線 1 1 6 に出力す

50

る。垂直信号線 116 を通じて、各画素から出力された電圧は、画素信号読み出し回路としての ADC 群 150 に出力される。

これらの動作は、たとえば転送トランジスタ 112、リセットトランジスタ 113、および選択トランジスタ 115 の各ゲートが行単位で接続されていることから、1 行分の各分割画素 DPC について同時に行われる。

【0055】

画素部 110 に配線されているリセット制御線 LRST、転送制御線 LT_x、および選択制御線 LSEL が一組として画素配列の各行単位で配線されている。

これらのリセット制御線 LRST、転送制御線 LT_x、および選択制御線 LSEL は、画素駆動回路 102 により駆動される。

10

【0056】

以上の構成を本実施形態に係る分割画素セルにそのまま適用することも可能である。

【0057】

また、各分割画素セルに光電変換素子、転送トランジスタを含む構成として、フローティングディフュージョン部 FD を分割画素セルで共有する構成も採用することも可能である。

この場合、増幅部としての増幅トランジスタ、選択トランジスタ、リセットトランジスタを共有するように形成することも可能である。

【0058】

図 6 は、複数の分割画素でフローティングディフュージョン部、増幅トランジスタ、選択トランジスタ、リセットトランジスタを共有する画素の例を示す回路図である。

20

【0059】

図 6 の複数の分割画素 DPC-A ~ DPC-D を含む画素 PC は、分割画素 DPC-A ~ DPC-D ごとに光電変換素子 111-A ~ 111-D および転送トランジスタ 112-A ~ 112-D が配置されている。

そして、転送トランジスタ 112-A ~ 112-D の一端（たとえばドレイン）が共通フローティングディフュージョン部 SFD に接続されている。

転送トランジスタ 112-A のゲートが転送制御線 LT_xA に接続され、転送トランジスタ 112-B のゲートが転送制御線 LT_xB に接続されている。同様に、転送トランジスタ 112-C のゲートが転送制御線 LT_xC に接続され、転送トランジスタ 112-D のゲートが転送制御線 LT_xD に接続されている。

30

電源電位 VDD と共通フローティングディフュージョン部 SFD との間にリセットトランジスタ 113 が接続されている。リセットトランジスタ 113 のゲートがリセット制御線 LRST に接続されている。

電源電位 VDD と垂直信号線 116 との間に増幅トランジスタ 114 と選択トランジスタ 115 とが直列に接続されている。そして、増幅トランジスタ 114 のゲートが共通フローティングディフュージョン部 SFD に接続され、選択トランジスタ 115 のゲートが選択制御線 LSEL に接続されている。

【0060】

このような構成において、各分割画素 DPC-A ~ DPC-D の光電変換素子 111-A ~ 111-D で光電変換された分割画素信号は、共通フローティングディフュージョン部 SFD を通じて増幅部である増幅トランジスタ 114 に転送される。そして、分割画素信号は増幅され、この増幅された分割画素信号が時間順的に垂直信号線 116 に送出される。

40

【0061】

また、各分割画素セルに光電変換素子、転送トランジスタ、リセットトランジスタを含み、フローティングディフュージョン部 FD も分割画素セルで個別に有するように構成も採用することも可能である。

この場合、増幅部としての増幅トランジスタを共有するように形成することも可能である。

50

【 0 0 6 2 】

図7は、複数の分割画素でフローティングディフュージョン部を個別に有し、増幅トランジスタを共有する画素の例を示す回路図である。

【 0 0 6 3 】

図7の複数の分割画素DPC-A～Dを含む画素PCは、分割画素DPC-A～DPC-Dごとに光電変換素子111-A～111-D、転送トランジスタ112-A～112-Dが配置されている。さらに、分割画素DPC-A～DPC-Dには、フローティングディフュージョン部FD-A～FD-D、リセットトランジスタ113-A～113-Dが配置されている。

フローティングディフュージョン部FD-AとノードND1との間に選択トランジスタ115-Aが接続され、フローティングディフュージョン部FD-BとノードND1との間に選択トランジスタ115-Bが接続されている。

10

同様に、フローティングディフュージョン部FD-CとノードND1との間に選択トランジスタ115-Cが接続され、フローティングディフュージョン部FD-DとノードND1との間に選択トランジスタ115-Dが接続されている。

転送トランジスタ112-Aのゲートが転送制御線LTxAに接続され、転送トランジスタ112-Bのゲートが転送制御線LTxBに接続されている。同様に、転送トランジスタ112-Cのゲートが転送制御線LTCに接続され、転送トランジスタ112-Dのゲートが転送制御線LTDに接続されている。

リセットトランジスタ113-Aのゲートがリセット制御線LRSTAに接続され、リセットトランジスタ113-Bのゲートがリセット制御線LRSTBに接続されている。同様に、リセットトランジスタ113-Cのゲートがリセット制御線LRSTCに接続され、リセットトランジスタ113-Dのゲートがリセット制御線LRSTDに接続されている。

20

選択トランジスタ115-Aのゲートが選択制御線LSELAに接続され、選択トランジスタ115-Bのゲートが選択制御線LSELBに接続されている。同様に、選択トランジスタ115-Cのゲートが選択制御線LSELCに接続され、選択トランジスタ115-Dのゲートが選択制御線LSELDに接続されている。

電源電位VDDと垂直信号線116との間に増幅トランジスタ114が接続されている。そして、増幅トランジスタ114のゲートがノードND1に接続されている。

30

【 0 0 6 4 】

このような構成において、各分割画素DPC-A～DPC-Dの光電変換素子111-A～111-Dで光電変換された分割画素信号は、フローティングディフュージョン部FD-A～FD-Dに転送される。分割画素信号は、フローティングディフュージョン部FD-A～FD-Dを通じて、さらに選択トランジスタ115-A～115-Dを介して増幅部である増幅トランジスタ114に転送される。そして、分割画素信号は増幅され、この増幅された分割画素信号が時間順的に垂直信号線116に送出される。

【 0 0 6 5 】

また、一つの画素を形成する複数の分割画素を複数のグループに分割し、分割グループごとにフローティングディフュージョン部FDを共有するように構成することも可能である。

40

この場合、分割グループごとにリセットトランジスタ、選択トランジスタを共有し、増幅トランジスタを全体で共有するように形成することも可能である。

【 0 0 6 6 】

図8は、複数の分割画素をグループ化して、各グループでフローティングディフュージョン部を共有し、増幅トランジスタを全体で共有する画素の例を示す回路図である。

【 0 0 6 7 】

この例では、4つの分割画素DPC-A, DPC-B, DPC-C, DPC-Dを2つのグループに分ける。

具体的には、分割画素DPC-Aと分割画素DPC-Bを第1グループGRP1に区分

50

けし、分割画素 D P C - C と分割画素 D P C - D を第 2 グループ G R P 2 に区分けする。

【 0 0 6 8 】

図 8 の第 1 グループ G R P 1 の分割画素 D P C - A , D P C - B は、それぞれ光電変換素子 1 1 1 - A , 1 1 1 - B および転送トランジスタ 1 1 2 - A , 1 1 2 - B が配置されている。

そして、転送トランジスタ 1 1 2 - A , 1 1 2 - B の一端（たとえばドレイン）が共通フローティングディフュージョン部 S F D 1 に接続されている。

転送トランジスタ 1 1 2 - A のゲートが転送制御線 L T x A に接続され、転送トランジスタ 1 1 2 - B のゲートが転送制御線 L T x B に接続されている。

図 7 の第 2 グループ G R P 2 の分割画素 D P C - C , D P C - D は、それぞれ光電変換素子 1 1 1 - C , 1 1 1 - D および転送トランジスタ 1 1 2 - C , 1 1 2 - D が配置されている。

そして、転送トランジスタ 1 1 2 - C , 1 1 2 - D の一端（たとえばドレイン）が共通フローティングディフュージョン部 S F D 2 に接続されている。

転送トランジスタ 1 1 2 - C のゲートが転送制御線 L T x C に接続され、転送トランジスタ 1 1 2 - D のゲートが転送制御線 L T x D に接続されている。

電源電位 V D D と共通フローティングディフュージョン部 S F D 1 との間にリセットトランジスタ 1 1 3 - 1 が接続されている。リセットトランジスタ 1 1 3 - 1 のゲートがリセット制御線 L R S T 1 に接続されている。

電源電位 V D D と共通フローティングディフュージョン部 S F D 2 との間にリセットトランジスタ 1 1 3 - 2 が接続されている。リセットトランジスタ 1 1 3 - 2 のゲートがリセット制御線 L R S T 2 に接続されている。

共通フローティングディフュージョン部 S F D 1 とノード N D 2 との間に選択トランジスタ 1 1 5 - 1 が接続され、共通フローティングディフュージョン部 S F D 2 とノード N D 2 との間に選択トランジスタ 1 1 5 - 2 が接続されている。

選択トランジスタ 1 1 5 - 1 のゲートが選択制御線 L S E L 1 に接続され、選択トランジスタ 1 1 5 - 2 のゲートが選択制御線 L S E L 2 に接続されている。

電源電位 V D D と垂直信号線 1 1 6 との間に増幅トランジスタ 1 1 4 が接続されている。そして、増幅トランジスタ 1 1 4 のゲートがノード N D 2 に接続されている。

【 0 0 6 9 】

このような構成において、各分割画素 D P C - A ~ D P C - D の光電変換素子 1 1 1 - A ~ 1 1 1 - D で光電変換された分割画素信号は、共通フローティングディフュージョン部 S F D 1 , S F D 2 に転送される。分割画素信号は、フローティングディフュージョン部 S F D 1 , S F D 2 を通じて、さらに選択トランジスタ 1 1 5 - 1 , 1 1 5 - 2 を介して増幅部である増幅トランジスタ 1 1 4 に転送される。そして、分割画素信号は増幅され、この増幅された分割画素信号が時間順的に垂直信号線 1 1 6 に送出される。

【 0 0 7 0 】

以上のように、1 画素の面内で複数個の領域に分割する仕方は色々あり、大別すると、共通フローティングディフュージョン（4 画素共有）方式（以後、共通 F D 方式と称す）と、個別フローティングディフュージョン方式（以後、個別 F D 方式と称す）がある。

【 0 0 7 1 】

図 9（A）～（D）は、1 画素の面内で複数個の領域に分割する方法を説明するための図である。

図 9（A）は共通 F D 方式で方形形状に 4 分割した例を示し、図 9（B）は個別 F D 方式で方形形状に 4 分割した例を示し、図 9（C）は共通 F D 方式で短冊状に 4 分割した例を示し、図 9（D）は個別 F D 方式で短冊状に 4 分割した例を示している。

なお、ここでは詳しい説明は省略するが、面と垂直方向に感度の異なる感光層や半導体層（P N 接合）を積層させることも広い意味で画素分割と言える。

【 0 0 7 2 】

分割画素の感度を変えるには、素子の開口率を変える、感光領域上の絶縁膜に光学的な

10

20

30

40

50

フィルタ特性を持たせる、基板の不純物濃度を変えるなどの方法により実現することができる。

【0073】

図9(A)～(D)には、具体的に1つの画素を4分割した例が示されており、分割された感光領域PA, PB, PC, PDの他に感光には直接寄与しない無効領域(デッドスペース)IVLが存在する。

この領域IVLは分割セルに蓄えられる画素電荷が漏れ出して互いに干渉することのないように、電気的に分離するためのスペース(チャンネルストップ)であり、必要に応じて信号処理のための配線が設置される。

【0074】

画素分割についてさらに詳述する。

【0075】

図10は、本発明の実施形態に係る共通FD方式を適用した方形画素分割の具体例を示す図である。

図11(A), (B)は図10の断面図であって、図11(A)は図10のA1-A2における断面図であり、図11(B)は図10のB1-B2の断面図である。

【0076】

図10の画素PCは、上述したように、ペイヤー配列CMOSイメージセンサの1ペイヤー内の1画素について画素分割を行った場合の平面図であり、図9(A)に示した共通FD方形分割の適用例である。

図10に示した共通FD方式では、フローティングディフュージョン部FDで信号混合(実質的には転送と加算)を行うことも可能である。

本実施形態においては、個々の分割画素PDC-A～PDC-Dの信号読出しのタイミングを変えて、時間順次的に共通フローティングディフュージョン部SFDに信号を読み出し、AD変換時に信号加算を行う。

【0077】

図10および図11において、ソースを囲むように光感度が異なる4個の光電変換・電荷蓄積領域、すなわち分割画素DPC-A, DPC-B, DPC-C, DPC-Dが配置されている。

それぞれの画素領域の上には同一色の絶縁層ISLや電極配線層を介してカラーフィルタCLFが配置されている。

さらに、カラーフィルタCLFの上に光感度や遮光度の異なる光減衰膜OATT-A, OATT-B, OATT-C, OATT-Dが配置されている。

たとえば、光感度を変えるためにそれぞれの分割画素DPC-A、分割画素DPC-B、分割画素DPC-C、分割画素DPC-D領域上には透過率の異なる遮光膜が配置され、かつ光感度がDPC-A > DPC-B > DPC-C > DPC-Dとなるように設定される。ただし、光感度が最も高い分割画素DPC-Aには光減衰膜(たとえば遮光膜)を設置しなくても良い。

【0078】

また、図10および図11に示すように、個々の分割画素領域はチャンネルストップ(この例でP型)CHSTPにより分離されており、それぞれのセル内で電荷が蓄積されるようになっている。

シリコン基板には絶縁層を介して同じ色のカラーフィルタCLFが配置され、さらにその上に光透過度の異なる遮光膜がそれぞれの画素領域の上に配置されている。

図11(A)では光減衰膜の特性に応じて、シリコン単結晶セル内に光電変換により生じた電荷の様子が模式的に示されている。この例では、左端のセルが最も電荷量が大きく、右端のセルが最も小さい。

【0079】

図11(B)には、読出しゲート電極RGTに信号電圧が印加されたとき、セル内で生じた電荷が共通フローティングディフュージョン部SFDに読み出される様子が示されて

10

20

30

40

50

いる。

【 0 0 8 0 】

なお、図 1 0 および図 1 1 において、F D E L は共通フローティングディフュージョン部 S F D の F D 電極を、R G T - A ~ R G T - D は読み出しゲート電極を、C H S T P はチャンネルストップをそれぞれ示している。

【 0 0 8 1 】

個々の分割領域の半導体セル内では、入射光量に応じた光電変換が行われ、生成した電荷量に応じた電気信号が、ゲート読み出し信号により、図では真ん中に配置されている F D 領域を通じて、画素外に読み出される。

信号量の大きさは、この例では、遮光特性に応じて分割画素 D P C - A、分割画素 D P C - B、分割画素 D P C - C、分割画素 D P C - D の順で小さくなる。

10

【 0 0 8 2 】

図 1 2 は、本発明の実施形態に係る共通 F D 短冊状画素分割を適用した方形画素分割の具体例を示す図である。

なお、図 1 2 において、図 1 0 および図 1 1 と同様の構成、機能部分は、理解を容易にするために同一符号をもって表している。

【 0 0 8 3 】

この場合、図 1 0 の場合と同様に、ベイヤー配列 C M O S イメージセンサの 1 ベイヤー内の 1 画素について画素分割を行った場合の平面図であり、共通 F D 方式をとるが、分割画素領域が短冊状に配置されている。

20

各画素領域上には透過率が異なる光減衰膜 O A T T - A、O A T T - B、O A T T - C、O A T T - D が配置されている。分割画素 D P C - A 上には光減衰膜 O A T T - A、分割画素 D P C - B 上には光減衰膜 O A T T - B、分割画素 D P C - C 上には光減衰膜 O A T T - C、分割画素 D P C - D 上には光減衰膜 O A T T - D がそれぞれは位置されている。そして、光感度が D P C - A > D P C - B > D P C - C > D P C - D となるように設定される

【 0 0 8 4 】

光電変換により、それぞれの分割画素領域で生じたフォトキャリアは、それぞれの画素領域に配置された読み出しゲート電極 R G T - A、R G T - B、R G T - C、R G T - D の作用により、共通フローティングディフュージョン部 S F D に読み出される。

30

ここで、たとえば、共通フローティングディフュージョン部 S F D に配置する F D 電極 F D E L の場所を変えて、図のように左端の分割画素 D P C - A の直下の共通フローティングディフュージョン部 S F D 内に配置するようにしておく。このように形成することにより、信号取り出しの場所は分割画素 D P C - A が最も近く、分割画素 D P C - D が最も遠くなる。

共通フローティングディフュージョン部 S F D の拡散領域の電気抵抗を利用すると、画素領域からの距離に応じて電気信号の大きさが変化するために、光学的な光減衰作用に電気的な減衰効果（アッテネータ）が加わる。

すなわち、感度特性の傾斜を変える自由度が増える。

【 0 0 8 5 】

40

図 1 3 は、本発明の実施形態に係る個別 F D 短冊状画素分割を適用した方形画素分割の具体例を示す図である。

【 0 0 8 6 】

図 1 3 の例は、光感度に関しては、構造的には図 1 2 とほぼ同様であるが、次の点で異なる。

すなわち、図 1 3 に例では、分割画素 D P C - A に対してフローティングディフュージョン部 F D a、分割画素 D P C - B に対して F D b、分割画素 D P C - C に対して F D c、分割画素 D P C - D に対して F D d、がそれぞれ配置されている点が図 1 2 と異なる。

【 0 0 8 7 】

本実施形態は、列並列 A D C 搭載の固体撮像素子（C M O S イメージセンサ）1 0 0 に

50

において、ベイヤー配列の同一色カラーフィルタ下の1画素について、感度または蓄積時間を変えて2ケ以上複数個の分割画素セルDPCに分割されている。

そして、画素信号をAD変換して列方向に出力する際に、分割画素の出力分割画素信号を加算してAD変換する。このとき、AD変換部への入力範囲を常に各画素の飽和出力電圧以下になるようにクリップし、各画素の出力値は必ず特定のデジタル値となるようにする。

【0088】

ここまで、画素分割の具体例について説明した。

以下では、本実施形態に係るAD変換部における分割画素信号の加算処理について説明する。

10

【0089】

図14(A)、(B)は、分割画素信号の加算を本発明の実施形態に係る方式と既存方式とを特性比較して示す図である。

【0090】

図14(A)は既存方式による分割画素の信号加算した結果を示す図である。

図14(A)は、図10や図12に示すような構造を用いて駆動し、感度の異なる分割画素信号を共通フローティングディフュージョン部SFDに読み出し、共通フローティングディフュージョン部SFD内で信号加算してから信号線に出力する場合に相当する。

この場合、画素への入射光量に対して、分割画素の飽和電荷量を検出してグラフ化した結果が示されており、この加算方法ではknee特性は達成される。

20

しかし、共通フローティングディフュージョン部SFD内で信号加算しAD変換部への入力範囲を常に各画素の飽和出力電圧以下になるようにクリップしないことから、製造プロセスに起因する画素毎の飽和電荷量 Q_s にバラツキがある。

このため、加算結果も理想曲線である破線と実際の特性を示す実線のようにバラツキしてしまう欠点がある。

【0091】

図14(B)は、本発明の実施形態に係る方式による加算結果を示す図である。

本方式では、飽和電荷量 Q_s ではなく、カラムAD変換器の出力コードで検出した場合の結果が示されている。

図に示すように、各分割画素の飽和時のカラムAD変換器の出力電子数に対して、どの分割画素の飽和よりも前の電子数でクリップ点を適宜設定するようにする。

30

すると、それぞれの分割画素に対して出力電子数が等しく設定される。

このため、図14(B)に示されるようにバラツキのない加算結果が反映される。

言い換えれば、画素に飽和電荷量のバラツキがあっても、新しい加算方式を使用すると常にバラツキのない感度特性が得られることになる。

【0092】

次に、AD変換のビット精度について説明する。

【0093】

図15は、分割画素をそれぞれ異なるビット精度でA/D変換する場合の例を示す図である。

40

【0094】

図15は、同一色カラーフィルタ下の1画素を4分割し、各分割画素毎に光感度または蓄積時間を変え、分割画素毎にそれぞれ異なるビット精度でA/D変換する場合の例を示している。

たとえば、低光量側を高分解能、高光量側を低分解能にしたい場合、低光量側から高光量側に向けて、それぞれ4bit、3bit、3bit、2bitに設定する場合が示されている。

【0095】

図16は、分割画素を異なるビット精度でA/D変換する場合に、各画素の最低分解能を1bitと仮定した場合、個々の分割画素に設定可能なbit数を示す図である。

50

図16の右端は分割画素4個の合計のクロック数で、最終行に示されるように、個々の分解能を4bit、3bit、3bit、2bitのように定めた場合、全クロック数が36となり、最も少なくて済むことが分かる。

【0096】

図17(A),(B)は、電子、電圧変換効率を考慮して、分割画素加算の場合と通常画素のS/Nをシミュレーションした結果を示す図である。

図17(B)は、小信号量のときの様子を拡大して示す図である。

【0097】

図17において、飽和信号量を100として信号量を横軸に、S/Nを縦軸にとると、画素加算の場合は太い実線Aで示した特性曲線となり、通常画素の場合は破線および鎖線Bで示す曲線のようになる。

小から中程度の光量までは、画素加算の方が分割をしない通常画素よりもS/Nは劣るが、中程度以上では、画素加算のグラフが急激に立ち上がる点が三箇所あり、S/Nが良くなっていることが分かる。

その理由は、AD加算の場合は個々の分割画素が飽和した時点(クリップ点)でそれぞれAD変換を止めてしまう。このため、二番目の画素加算が実行される時点では、一番目の画素のショットノイズ(回路に起因するノイズ)は二番目には反映されない。

同様に、二番目の画素のショットノイズは三番目の加算には持ち越されず、同様に三番目の画素のショットノイズは四番目の加算時には反映されないため、加算時点でS/N値がジャンプし、急に良くなるという新規な事実²⁰に起因している。

【0098】

AD変換時の加算方法は、各分割画素の信号がクリップ点でAD変換を止めた後に常に加算する方法が採られるので、図6のような時間順次的な駆動方法以外にも、図18に示すようなパラレル駆動法にも適用できる。

パラレル駆動の場合も各画素の信号を増幅後、クリップ点でカラムAD変換を止めてしまうため、加算時にはそれぞれの画素のショットノイズが次の加算には持ち越されず、図17(A)の太い実線Aで示すようなS/N特性曲線を得ることができる。

【0099】

図18は、本発明の実施形態に係るパラレル駆動方法を適用した画素分割加算等価回路の構成例を示す図である。

【0100】

図18は、図13で示したベイヤー配列CMOSイメージセンサの感光画素部の等価回路図である。

この場合はフローティングディフュージョン部FDで検出した信号を画素部では増幅せず、カラム画素読み出し部で増幅させる方式をとっている。

感光特性の異なる四つの画素領域で検出された信号を、それぞれのフローティングディフュージョン部FDを通して、4本の信号線116-1~116-4に並列に出力させ、アンプAMP1~AMP4で並列に増幅し、ADC1~ADC-4で並列にAD変換させている。

感光特性の異なる複数の画素領域からの信号は、ADC内で加算処理されてから出力される。

【0101】

なお、以上の説明では、分割画素加算信号処理について、列並列ADC搭載固体撮像素子(CMOSイメージセンサ)を例に説明した。

このいわゆるカラムAD変換型CMOSイメージセンサの分割画素加算信号処理としては、たとえば次の2通りの方法も採用することが可能である。

【0102】

図19(A)は、分割画素加算に係るカラムAD変換型CMOSイメージセンサ回路の構成例を模式的に示す図である。

【0103】

10

20

30

40

50

図19(A)では、同一色カラーフィルタ下の1画素を4分割し、各分割画素毎に光感度または蓄積時間を変え、共通フローティングディフュージョンFDを通じて同じ信号線に順次画素信号を読み出す。そして、カラム毎に設けられたCDS回路200でノイズ処理を行い、カラム外で1行ずつA/D変換器を行う例である。

【0104】

図19(B)は、分割画素加算に係るカラムA/D変換型CMOSイメージセンサ回路の他の構成例を模式的に示す図である。

図19(B)では、同一色カラーフィルタ下の1画素を4分割し、各分割画素毎に光感度または蓄積時間を変え、共通FDを通じて同じ信号線に順次画素信号を読み出し、カラム毎に設けられたCDS回路210で一回目のノイズ処理を行う。

その後、同じくカラム毎に設けられたA/D変換器220でアナログ信号をデジタル信号に変換し、さらにカラム毎に設けられたCDS回路230で二回目のノイズ処理を行い、A/D変換時に生じたデジタルノイズを除去する例である。

【0105】

また、以上の説明では、本発明をCMOSイメージセンサに適用した場合を例に説明したが、本発明は、CCDセンサにも適用することが可能である。

【0106】

図20は、本発明の実施形態に係るCCDセンサに対応した固体撮像素子の構成例を示す図である。

【0107】

図20の固体撮像素子300は、行(垂直)方向および列(水平)方向にマトリクス状に配列されて、入射光をその光量に応じた電荷量の信号電荷に変換して蓄積する複数のセンサ部(光電変換素子)311を有する。

固体撮像素子300は、これらセンサ部311の垂直列ごとに配置され、各センサ部311から読み出しゲート部(図示せず)を介して読み出された信号電荷を垂直転送する複数本の垂直転送レジスタ312を有する。センサ部と垂直転送レジスタ312とによって撮像エリア313が構成されている。

【0108】

センサ部311は、ベイヤー配列が採用され、各画素は感度が異なる複数(たとえば4)の領域である分割画素DPCに分割されている。

垂直転送レジスタ312は、たとえば3あるいは4相の垂直転送パルスによって転送駆動され、各センサ部311から読み出された分割画素信号としての信号電荷を水平ランキング期間の一部にて1走査線(1ライン)に相当する部分ずつ順に垂直方向に転送する。

【0109】

撮像エリア313の図面上の下側には、水平転送レジスタ314が配置されている。水平転送レジスタ314には、複数本の垂直転送レジスタ312の各々から1ラインに相当する分割画素信号としての信号電荷が順次転送される。

【0110】

水平転送レジスタ314は、たとえば3相あるいは4相の水平転送パルスによって転送駆動され、複数本の垂直転送レジスタ12から移された1ライン分の信号電荷を、水平ランキング期間後の水平走査期間において順次水平方向に転送する。

【0111】

水平転送レジスタ314の転送先側の端部には、たとえばフローティングディフュージョンアンプ構成の電荷検出部315が配置されている。

この電荷検出部315は、水平転送レジスタ314から水平出力ゲート部を介して供給される信号電荷を蓄積するフローティングディフュージョン部FDを有する。電荷検出部315は、図示しないが、信号電荷を排出するリセットドレイン(RD)と、フローティングディフュージョン部FDとリセットドレインの間に配置されたりセットゲート(RG)とを含む。

10

20

30

40

50

【0112】

この電荷検出部315において、リセットドレインには所定のリセットドレイン電圧が印加され、リセットゲートには信号電荷の検出周期でリセットパルスが印加される。

そして、フローティングディフュージョン部FDに蓄積された信号電荷は信号電圧に変換され、出力回路316を介してCCD出力信号CCDoutとして、CSD回路320に導出される。そして、ADC330において、AD変換および各分割画素信号の加算処理を行う。

【0113】

以上説明したように、本実施形態によれば、1つの画素内に光感度特性の異なる領域(分割画素)、あるいは蓄積時間の異なる領域(分割画素)をニヶ以上複数個配置し、これらの画素信号を垂直信号線に送出し、カラム部に設けられたAD変換部で加算する。

10

その際、各画素信号のAD変換器への入力範囲が、常に個々の分割画素の各画素の飽和出力電圧以下になるように定める。

従って、本実施形態によれば、以下の効果を得ることができる。

【0114】

ダイナミックレンジが広く、低光量時に感度が高く、高輝度情報圧縮特性を備えた固体撮像素子の画素を実現することができる。

また、既存のデジタル加算と比較して、外部メモリが不要となる。

アナログ加算のような加算対象のいずれかの画素が飽和する点である折れ点のばらつきもなくなる。

20

折れ点(加算対象のいずれかの画素が飽和する点)でS/Nが向上し、中輝度域以上では非分割画素と同程度以上のS/Nを達成できる。

また、それほどプロセス数を増やすことなく、分割画素構造が実現できる。

【0115】

また、仕様に依じて各分割画素を独立に読み出して、解像度の高い画像を得る読出しと切り替えることができるように構成することも可能である。

【0116】

このような効果を有する固体撮像素子は、デジタルカメラやビデオカメラの撮像デバイスとして適用することができる。

【0117】

図21は、本発明の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

30

【0118】

本カメラシステム400は、図21に示すように、本実施形態に係るCMOSイメージセンサ(固体撮像素子)100、300が適用可能な撮像デバイス410と、この撮像デバイス410の画素領域に入射光を導く(被写体像を結像する)光学系、たとえば入射光(像光)を撮像面上に結像させるレンズ420と、撮像デバイス410を駆動する駆動回路(DRV)430と、撮像デバイス410の出力信号を処理する信号処理回路(PRC)440と、を有する。

【0119】

駆動回路430は、撮像デバイス410内の回路を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ(図示せず)を有し、所定のタイミング信号で撮像デバイス410を駆動する。

40

【0120】

また、信号処理回路440は、撮像デバイス410の出力信号に対してCDSなどの信号処理を施す。

信号処理回路440で処理された画像信号は、たとえばメモリなどの記録媒体に記録される。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。また、信号処理回路440で処理された画像信号を液晶ディスプレイ等からなるモニターに動画として映し出される。

50

【 0 1 2 1 】

上述したように、デジタルスチルカメラ等の撮像装置において、撮像デバイス 4 1 0 として、先述した撮像素子 1 0 0 を搭載することで、低消費電力で、高精度なカメラが実現できる。

【 図面の簡単な説明 】

【 0 1 2 2 】

【 図 1 】本発明の実施形態に係る C M O S イメージセンサ（固体撮像素子）の構成例を示す図である。

【 図 2 】画素配列例としてベイヤー配列を示す図である。

【 図 3 】本実施形態に係る画素分割の概念図である。

【 図 4 】図 1 の列並列 A D C 搭載固体撮像素子（ C M O S イメージセンサ）で加算処理を行う場所を示す図である。

【 図 5 】本実施形態に係る 4 つのトランジスタで構成される C M O S イメージセンサの分割画素の一例を示す図である。

【 図 6 】複数の分割画素でフローティングディフュージョン部、増幅トランジスタ、選択トランジスタ、リセットトランジスタを共有する画素の例を示す回路図である。

【 図 7 】複数の分割画素でフローティングディフュージョン部を個別に有し、増幅トランジスタを共有する画素の例を示す回路図である。

【 図 8 】複数の分割画素をグループ化して、各グループでフローティングディフュージョン部を共有し、増幅トランジスタを全体で共有する画素の例を示す回路図である。

【 図 9 】 1 画素の面内で複数個の領域に分割する方法を説明するための図である。

【 図 1 0 】本発明の実施形態に係る共通 F D 方式を適用した方形画素分割の具体例を示す図である。

【 図 1 1 】図 1 0 の断面図である。

【 図 1 2 】本発明の実施形態に係る共通 F D 短冊状画素分割を適用した方形画素分割の具体例を示す図である。

【 図 1 3 】本発明の実施形態に係る個別 F D 短冊状画素分割を適用した方形画素分割の具体例を示す図である。

【 図 1 4 】分割画素信号の加算を本発明の実施形態に係る方式と既存方式とを特性比較して示す図である。

【 図 1 5 】同一色カラーフィルタ下の 1 画素を 4 分割し、各分割画素毎に光感度または蓄積時間を変え、分割画素毎にそれぞれ異なるビット精度で A / D 変換する場合の例を示している。

【 図 1 6 】分割画素を異なるビット精度で A / D 変換する場合に、各画素の最低分解能を 1 b i t と仮定した場合、個々の分割画素に設定可能な b i t 数を示す図である。

【 図 1 7 】電子、電圧変換効率を考慮して、分割画素加算の場合と通常画素の S / N をシミュレーションした結果を示す図である。

【 図 1 8 】本発明の実施形態に係るパラレル駆動方法を適用した画素分割加算等価回路の構成例を示す図である。

【 図 1 9 】分割画素加算に係るカラム A D 変換型 C M O S イメージセンサ回路の構成例を模式的に示す図である。

【 図 2 0 】本発明の実施形態に係る C C D センサに対応した固体撮像素子の構成例を示す図である。

【 図 2 1 】本発明の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

【 符号の説明 】

【 0 1 2 3 】

1 0 0 . . . 固体撮像素子、 1 2 0 . . . 画素部、 1 3 0 . . . 垂直走査回路、 1 3 0 . . . 水平転送走査回路、 1 4 0 . . . タイミング制御回路、 1 5 0 . . . A D C 群、 1 5 1 . . . 比較器、 1 5 2 . . . カウンタ、 1 5 3 . . . ラッチ、 1 6 0 . . . D A C 、

10

20

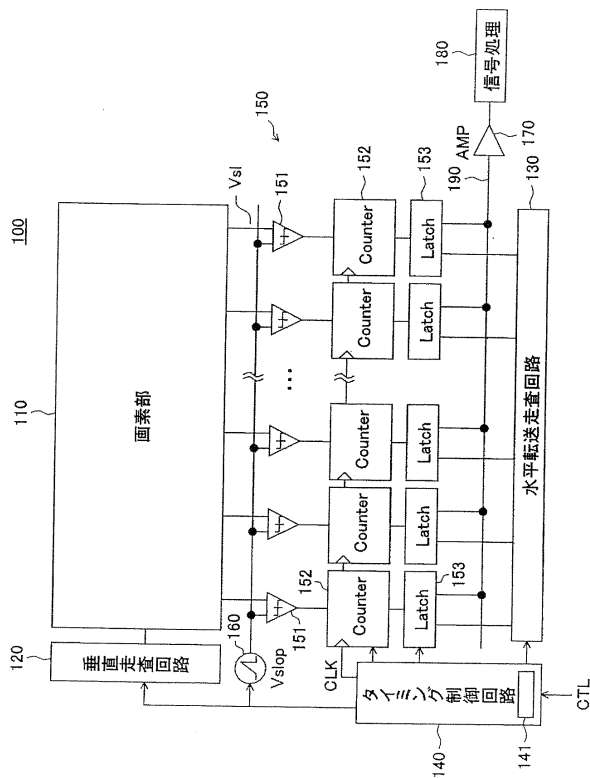
30

40

50

170・・・アンプ回路、180・・・信号処理回路、190・・・水平転送線、DPC-A～DPC-D・・・分割画素、400・・・カメラシステム、410・・・撮像デバイス、420・・・レンズ、430・・・駆動回路、440・・・信号処理回路。

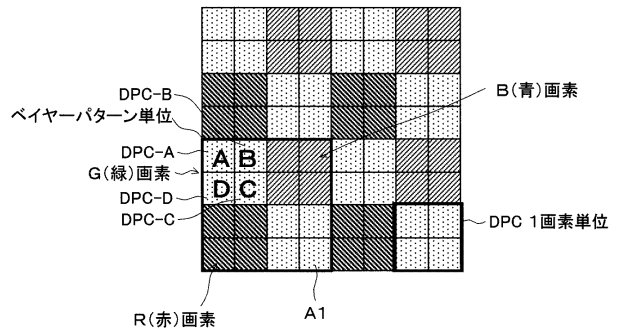
【図1】



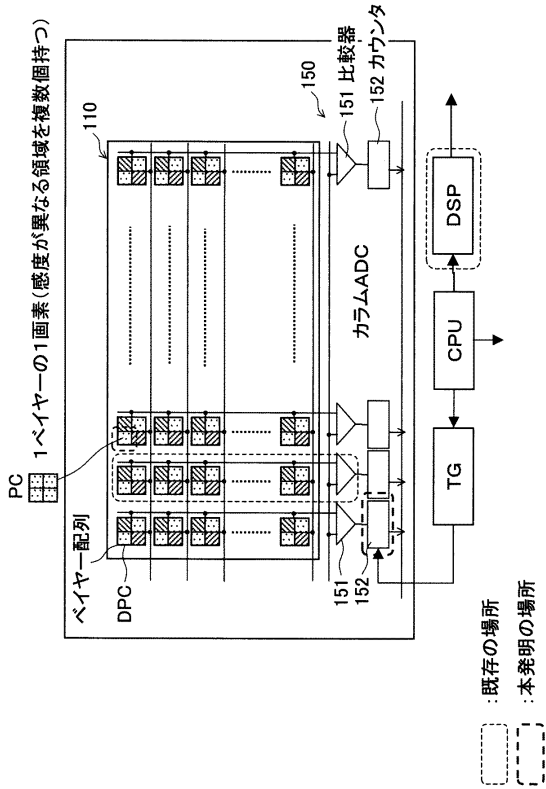
【図2】



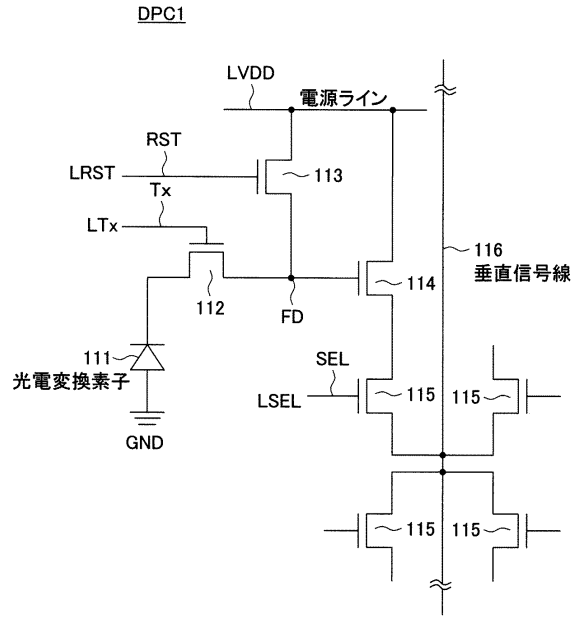
【図3】



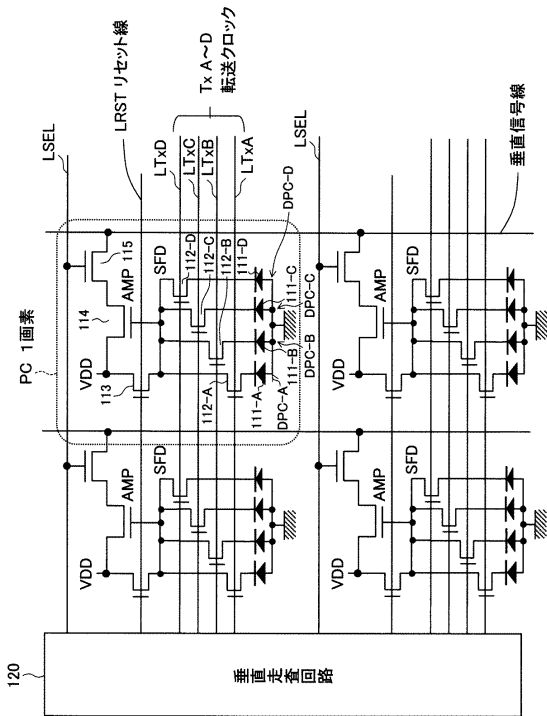
【図4】



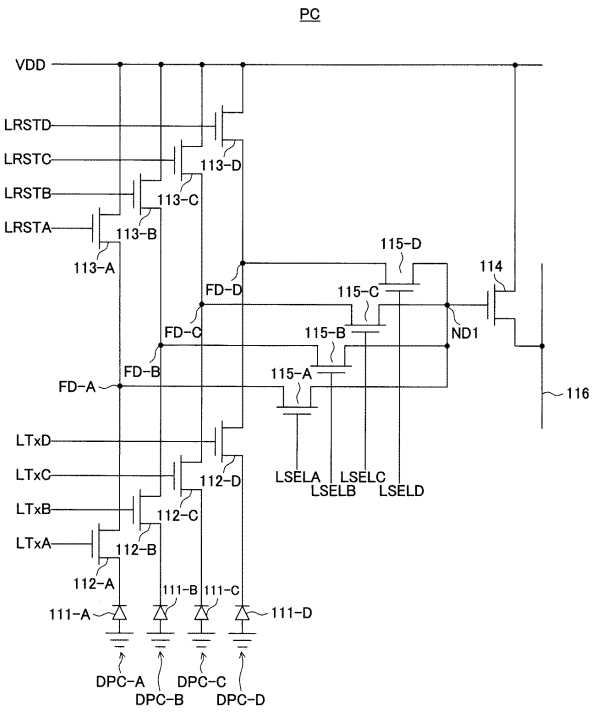
【図5】



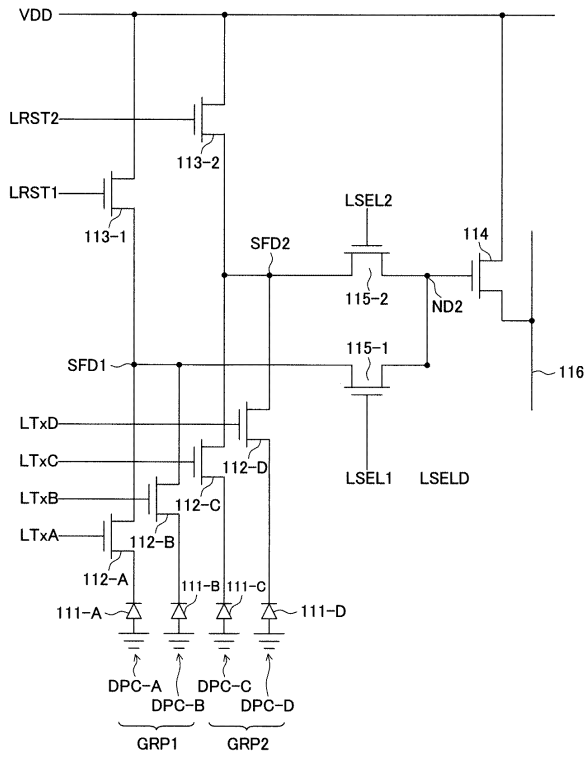
【図6】



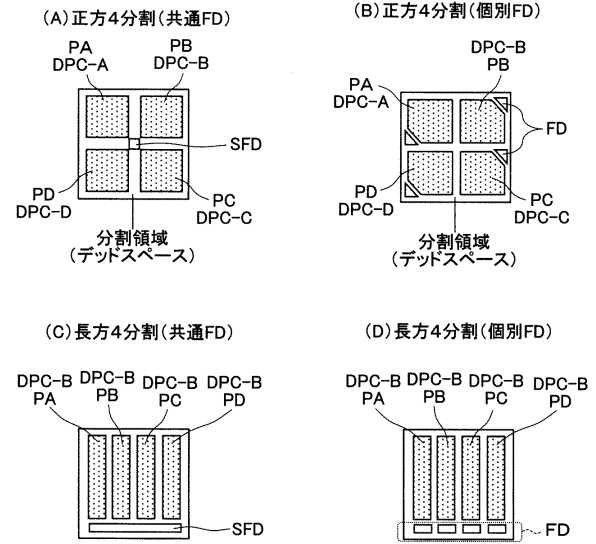
【図7】



【図8】

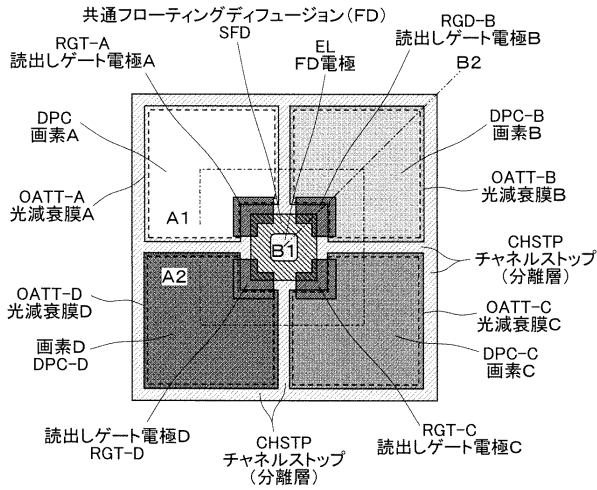


【図9】

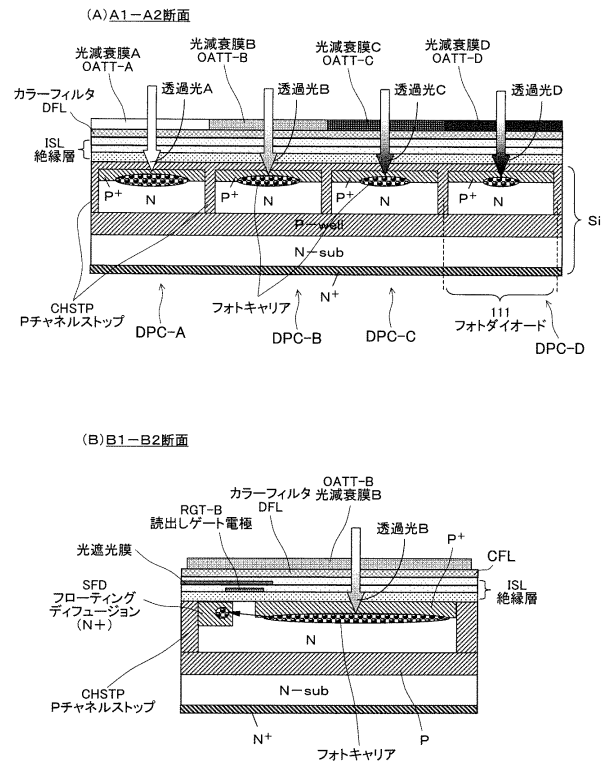


※1つの画素を4分割し、個々の分割画素毎に感度または蓄積時間を変える。

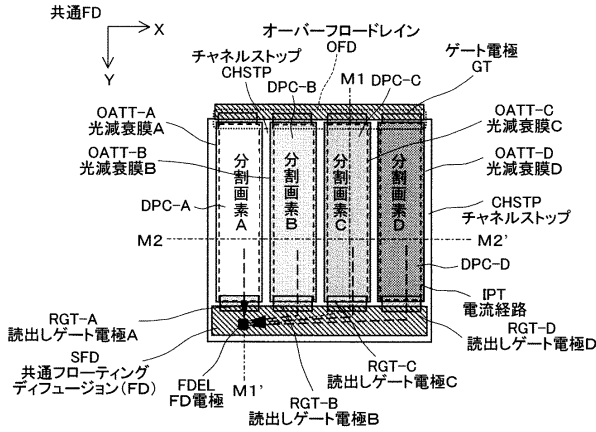
【図10】



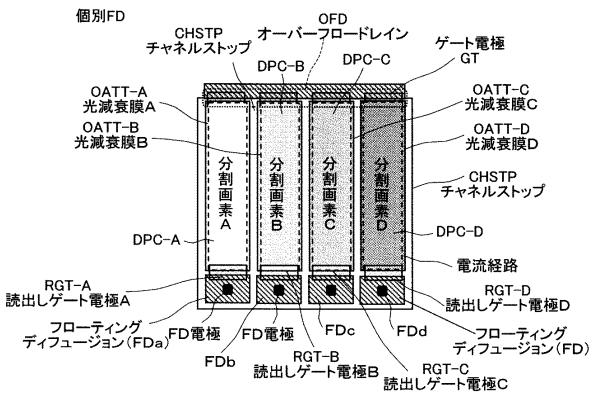
【図11】



【図12】

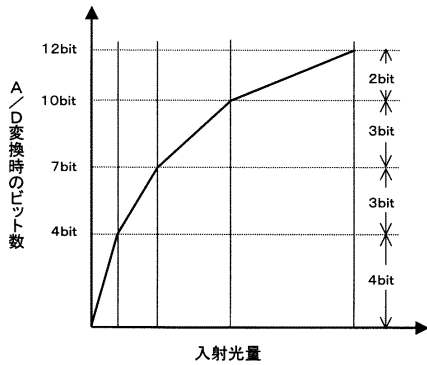


【図13】



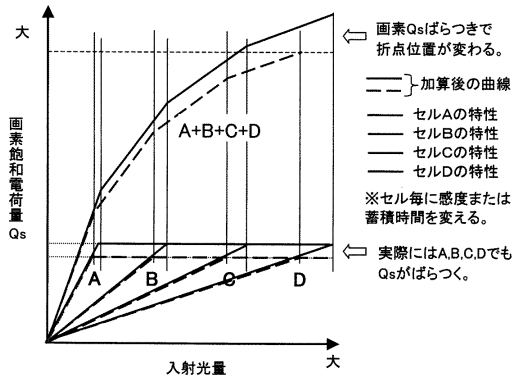
【図15】

※低光量側を高分解能、高光量側を低分解能にした場合の例

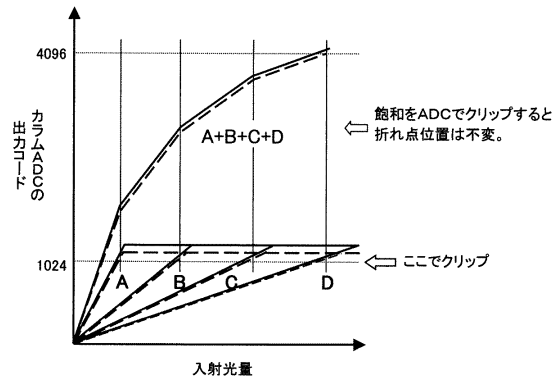


【図14】

(A) 画素への入射光量の変化を飽和電荷量の出力として見た場合



(B) 画素への入射光量の変化を飽和時のカラムADCの出力電子数で見た場合



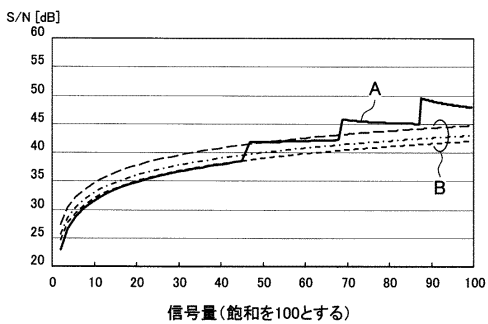
【図16】

分割画素の設定可能な分解能と全クロック数(最低分解能を1bitとする)。

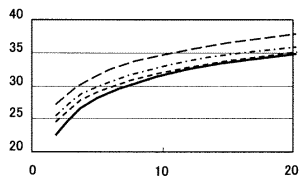
A(B, C, D) 可能なbit数	B(C, D, A) 可能なbit数	C(D, A, B) 可能なbit数	D(A, B, C) 可能なbit数	4画素分の クロック数
9	1	1	1	518
8	2	1	1	264
7	3	1	1	144
7	2	2	1	138
6	4	1	1	84
6	3	2	1	78
6	2	2	2	76
5	5	1	1	68
5	4	2	1	54
5	3	3	1	50
5	3	2	2	48
4	4	3	1	42
4	4	2	2	40
4	3	3	2	36

【図17】

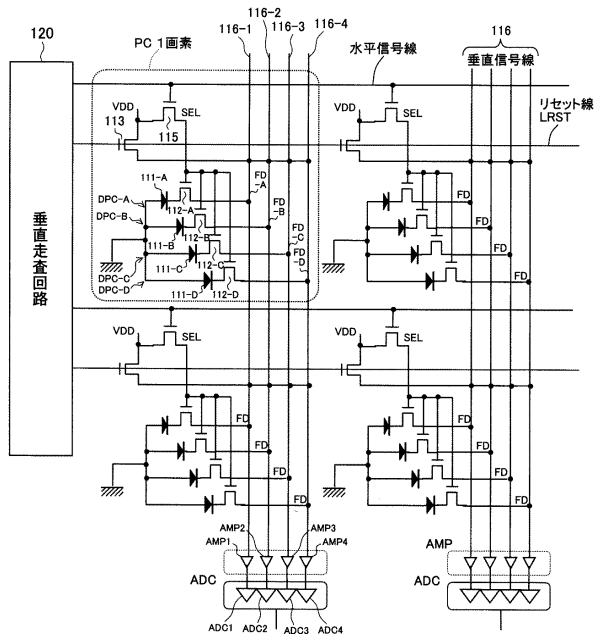
(A) 分割画素加算の場合と通常画素の感度の比較



(B)(A) の小信号量時のグラフ

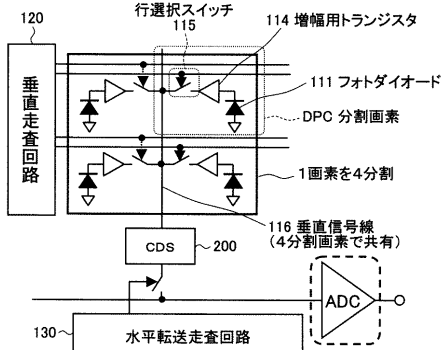


【図18】

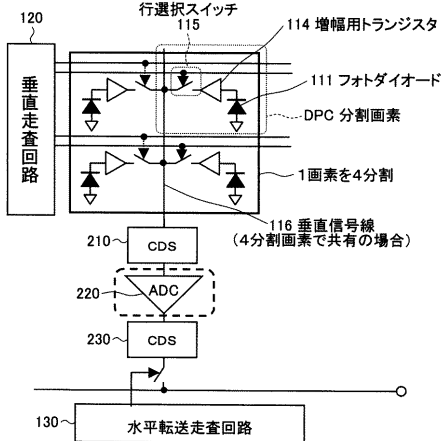


【図19】

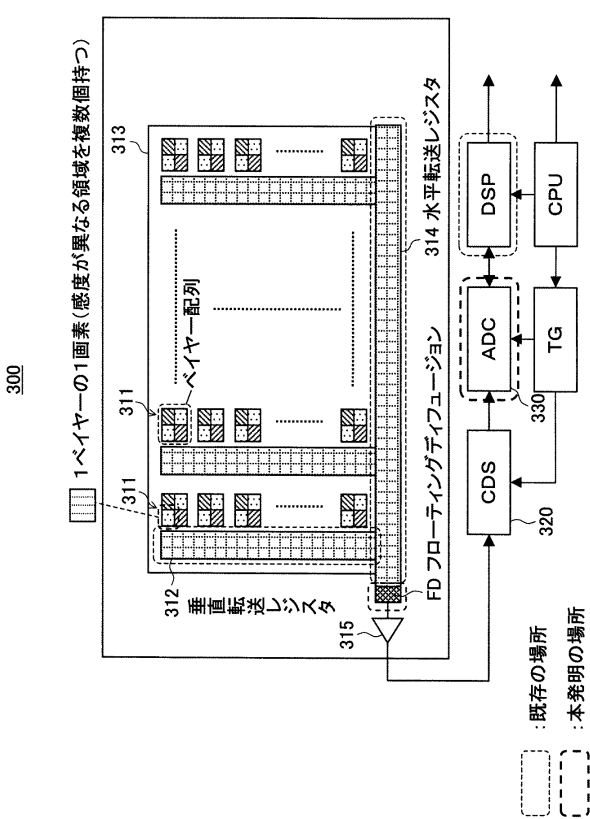
(A) 分割画素加算に係わるカラムAD変換型CMOSイメージセンサ回路の構成例



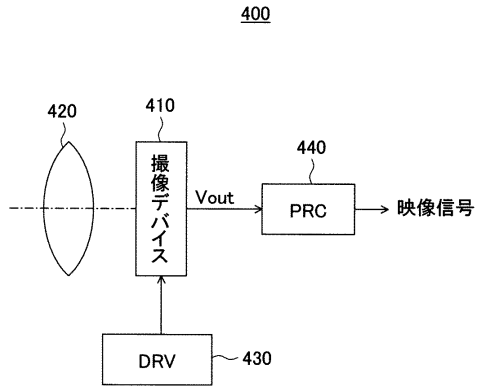
(B) 分割画素加算に係わるカラムAD変換型CMOSイメージセンサ回路の他の構成例



【図20】



【図 21】



フロントページの続き

(56)参考文献 特開平02 - 050584 (JP, A)
特開2006 - 033454 (JP, A)
特開2000 - 059687 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/335
H04N 9/07