



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UTBM

DOMANDA NUMERO	101980900000637
Data Deposito	28/07/1980
Data Pubblicazione	28/01/1982

Priorità	061723
Nazione Priorità	US
Data Deposito Priorità	30-JUL-79

Titolo

SINTETIZZATORE DI FREQUENZA DEL TIPO A CIRCUITO AGGANCIATO IN FASE
--

DOCUMENTAZIONE RILEGATA

J.S. Le Grand - 21

Descrizione dell'invenzione industriale avente per titolo:

"SINTETIZZATORE DI FREQUENZA DEL TIPO A CIRCUITO AGGANCIATO IN FASE"

della Ditta: International Standard Electric Corporation

a: New York, N.Y. (USA)

Inventore designato: Jesse Sterling Le Grand

28 LUG. 1980

Depositata il:

al n.ro: **23736 A/80**

----- *** -----

RIASSUNTO DELL'INVENZIONE

Un sintetizzatore di frequenza del tipo a circuito agganciato in fase utilizzando una sorgente di un segnale ad impulso di riferimento comprendente un oscillatore controllato in tensione ed un rivelatore di fase che riceve un segnale ad impulso di riferimento e lo confronta con il segnale di uscita dell'oscillatore controllato in tensione dopo una adeguata divisione tramite un divisore programmabile, detto rivelatore invia in uscita la tensione di controllo a detto oscillatore regolando di conseguenza la frequenza in uscita dall'oscillatore, in cui detto divisore programmabile è programmato per dividere o contare per N dove N può essere un nume-

ro di divisione che è un intero o non-intero permettendo di conseguenza un incremento della frequenza di riferimento ed una diminuzione del tempo di stabilizzazione del sistema senza la necessità d'incrementare la spaziatura del canale.

DESCRIZIONE DELL'INVENZIONE

L'invenzione riguarda i perfezionamenti dei sintetizzatori di frequenza ad alta velocità e più particolarmente dei sintetizzatori di frequenza del tipo a circuito agganciato in fase.

In un sintetizzatore di frequenza, tradizionale a circuito agganciato in fase di tipo II, come mostrato nella figura 1, la frequenza di uscita (f_o) è uguale a N volte la frequenza di riferimento (f_r). Se supponiamo che il circuito è agganciato e stabilizzato quando una variazione di frequenza (f) è introdotta nell'oscillatore controllato in tensione (VCO), il VCO si riporterà alla giusta frequenza senza scorrimento di ciclo. Ciò è provato non essere troppo grande. Questa relazione errore in frequenza-tempo dipende dalla larghezza di banda del circuito e dal fattore di smorzamento.

Nelle normali strutture, se il circuito di controreazione è aperto, e la frequenza del VCO è entro i limiti di $f_o + f$, il VCO si stabilizzerà a f_o senza scorrimento di ciclo, fintanto che esistono le giuste condizioni iniziali.

Spesso, si desidera cambiare la frequenza di uscita provvedendo al salto di frequenza (hopping). In questo sistema, viene cambiato il numero N di divisione, facendo in modo che in VCO "salti" la frequenza.

In alcuni sistemi è cambiato il tempo tra il tempo N e il tempo (tempo di

stabilizzazione) in cui la frequenza si stabilizza entro un errore specifico (f_e) è importante.

Spesso è richiesto e preferito che il tempo di stabilizzazione sia il più breve possibile.

In un circuito ottimizzato il tempo di stabilizzazione è approssimativamente inversamente proporzionale alla frequenza di riferimento, (f_r). Più grande è la frequenza di riferimento più piccolo è necessario che sia il tempo di stabilizzazione.

Aumentando o diminuendo N cambia la frequenza f_o di uscita rispetto alla f_r . Perciò il tempo di stabilizzazione sarebbe inversamente proporzionale alla spaziatura del canale. Tuttavia i presenti sistemi sono svantaggiati sino ad un certo grado fin quando, per usuale natura del divisore di frequenza, N deve essere un numero intero.

La presente invenzione riguarda il provvedere ad una modifica del tradizionale sintetizzatore di frequenza a circuito agganciato in fase, come mostrato nella figura 1, cosicchè il valore medio del numero N di divisione può essere un non-intero confrontato col valore intero attualmente in uso. Come tale la frequenza di riferimento può essere incrementata, e poichè il tempo di stabilizzazione è approssimativamente inversamente proporzionale alla frequenza di riferimento, ciò diminuisce il tempo di stabilizzazione del sistema senza la necessità di aumentare la spaziatura del canale.

Questa modifica nella circuiteria è principalmente attuabile usando un divisore programmabile che permette l'uso di un numero N di divisione che è un non-intero dividendo N/X , dove X è un numero intero minore di N

quando il numero di divisione è pari, e alternativamente tra $(N+1/X)$ e $(N-1/X)$ se il numero di divisione è dispari.

Per realizzare tutto ciò, è provvista una circuiteria complementare cosicchè tramite la programmazione del divisore., la frequenza di uscita desiderata può essere ottenuta senza una modifica della spaziatura del canale.

Quando il programma N è dispari, possono esistere attorno alla frequenza del VOC, sostanziali bande laterali a più o meno la frequenza di riferimento, e multipli di essa. Allo scopo di eliminare queste bande laterali di interferenza è previsto un attenuatore per cancellare il campione e mantenere le variazioni di uscita che risultano nella banda laterale. Un mezzo alternativo per sopprimere le bande laterali è quello di provvedere un'uscita invertita di una porta AND da applicare ad un "latch" che è selezionato mediante impulsi. Ciò risulta in una uscita "latch" che ha una onda quadra in fase con l'onda a dente di sega della frequenza di riferimento. Sommando queste due forme d'onda in un rapporto appropriato si ottiene una forma d'onda, che quando campionata, l'uscita campione e di sincronizzazione è in c.c. eliminando pertanto qualsiasi banda laterale di interferenza. Se l'ampiezza dell'onda quadra dell'uscita "latch" è inversamente proporzionale a N allora viene raggiunta una perfetta compensazione per tutti i valori di N .

Ciò può essere realizzato con un convertitore digitale-analogico (D/A) inserito a valle del "latch". Se è sufficiente avere compensazione proprio in corrispondenza del valore medio di N , allora il convertitore D/A può essere eliminato.

L'invenzione permette anche l'uso di un contatore a doppio modulo sull'uscita del VCO accoppiato con un contatore di controllo del modulo e un contatore base per implementare il sistema prima menzionato. Il contatore di controllo del modulo è regolato su un numero programmato che è diminuito ogni volta che il contatore a doppio modulo manda in uscita un impulso. Il contatore a doppio modulo divide fin quando il contatore di base raggiunge lo zero, il quale di conseguenza, manda un impulso al rivelatore di fase. Ciò azzerà anche il contatore di controllo del modulo e il contatore base al numero programmato il quale può essere o dispari o pari, iniziando un altro ciclo di conteggio.

In corrispondenza di certi valori di N è anche fornito un programma modificato per cicli alternati.

Di conseguenza, scopo dell'invenzione è di fornire un sintetizzatore di frequenza ad alta velocità che riduca al minimo il tempo di stabilizzazione del sistema durante una variazione della frequenza di uscita.

Un ulteriore scopo dell'invenzione è di fornire una riduzione al minimo del tempo di stabilizzazione senza la necessità di dover incrementare la spaziatura del canale.

Un altro scopo dell'invenzione è di fornire un tale sistema che nel frattempo compensi le bande laterali che si presentano attorno alla frequenza del VCO causando problemi di sincronizzazione e di rumore.

Questi e altri scopi sono realizzati tramite le disposizioni come qui descritto e come illustrato nei disegni allegati.

La figura 1 è uno schema a blocchi della tecnica anteriore di un tradizionale sintetizzatore di frequenza a circuito agganciato in fase del

tipo II.

La figura 2 è uno schema a blocchi del sintetizzatore di frequenza a circuito agganciato in fase del tipo II a velocità accresciuta incorporante gli insegnamenti dell'invenzione.

Le figure 3a-3c descrivono le forme d'onda di frequenza in corrispondenza dei vari punti del sistema mostrato nella figura 2.

La figura 4 è uno schema a blocchi di un sistema simile a quello mostrato in figura 2, con l'uscita del rivelatore di fase compensata contro bande laterali interferenti.

La figura 5 è uno schema a blocchi di un sintetizzatore di frequenza a circuito agganciato in fase del tipo II a velocità accresciuta, avente una disposizione a dente di sega compensata.

Le figure 6A-6F descrivono forme d'onda di frequenza in corrispondenza dei vari punti del sistema mostrato nella figura 5.

La figura 7 è uno schema a blocchi del sintetizzatore di frequenza a circuito agganciato in fase del tipo II a velocità accresciuta utilizzando una disposizione di contatore a doppio modulo avente la funzione di un divisore programmabile.

La Figura 8 è uno schema a blocchi di una disposizione simile a quella mostrata in figura 7, tuttavia, fornente valori di N selezionati.

Considerando ora la figura 1, vi è descritto, in uno schema a blocchi, un sintetizzatore 10 di frequenza a circuito agganciato in fase tipo II facente parte dello stato anteriore della tecnica.

Il circuito consiste di un rivelatore 12 di fase, il quale è ordinariamente un dispositivo di campionamento e sincronizzazione, che confron-

ta la fase di un segnale di riferimento (fr) introdotto entro il rivelatore di fase con quella di un segnale di uscita (fo) introdotto entro il rivelatore di fase tramite un circuito di controreazione. L'uscita del rivelatore di fase viene quindi applicata all'ingresso di un integratore 14 attraverso un filtro 16 passa basso la cui uscita è quindi applicata come una tensione 18 di controllo all'ingresso di un oscillatore 20 controllato in tensione (V.C.O.). La tensione 18 di controllo è derivata dal confronto di fase nel rivelatore di fase tra la frequenza del segnale di uscita del VCO, dopo adatta divisione di frequenza nel divisore 22 binario programmabile e la frequenza di riferimento. Di conseguenza, l'uscita dell'oscillatore è controreazionata attraverso il divisore 22 programmabile entro il rivelatore 12 di fase.

Il divisore 22 programmabile è programmato per dividere o contare per N dove N è un numero di divisione, secondo il programma 24 binario registrato in esso.

Naturalmente, una programmazione alternativa diversa da quella binaria può essere utilizzata come diventerà evidente.

Come prima menzionato, in un sistema a salto di frequenza (hopping), il numero N di divisione viene cambiato per soddisfare uno scopo desiderato con il risultato finale che l'oscillatore 20 "salta" una frequenza. Spesso diventa importante il tempo che intercorre tra quando N viene cambiato e quando la frequenza si stabilizza, tuttavia, nell'abituale divisore programmabile, N è un numero intero e il tempo di stabilizzazione viene solo diminuito a spese di un incremento della spaziatura del canale.

La presente disposizione come mostrato nella figura 2, fornisce

l'utilizzazione della circuiteria cosicchè il valore di N può essere un non-intero per cui l'incremento della frequenza di riferimento (f_r) e perciò la diminuzione del tempo di stabilizzazione è realizzata senza dover aumentare la spaziatura del canale. Come mostrato, la frequenza di riferimento può essere incrementata come desiderato, e il modo di operare di questo sistema è molto facilmente visibile tramite un esempio numerico.

Se si suppone che una frequenza di riferimento (f_r) sia 2 MHz, per ottenere una frequenza (f_o) di uscita di 100 MHz, il divisore 22 programmabile deve dividere per 50 che è uguale $N/2$ perciò $N = 100$. Ciò è espresso in forma binaria come 1100100.

L'ultima cifra forma il bit meno significativo (LSB) che può essere applicato ad una porta 26 AND. Questa porta 26 AND riceve anche alimentazione dall'uscita di un contatore 30 ausiliario (divisore per 2) il quale riceve una alimentazione per mezzo di una controreazione derivante dall'uscita divisore 22 programmabile. L'uscita della porta 26 AND è quindi diretta ad un addizionatore 28 la cui uscita è perciò diretta al divisore 22 programmabile.

Quando LSB è zero, l'uscita della porta AND è anche zero, e l'uscita dell'addizionatore 28 è perciò uguale al suo ingresso.

In questo esempio, l'ingresso e l'uscita dell'addizionatore è 110010 in binario che corrisponde a 50. Poichè l'uscita dell'addizionatore è uguale a 50, questo è inviato entro il divisore programmabile il quale è quindi programmato a dividere per 50, il valore desiderato.

Se N è cambiato in 101 o qualsiasi altro valore dispari per "saltare" una frequenza, l'LSB diventa un 1, il quale quindi applica l'uscita del

contatore 30 ausiliario (divisa per 2) all'addizionatore 28 tramite la porta 26 AND.

Se l'uscita del contatore ausiliario (divisore per 2) è zero, il divisore 22 programmabile dividerà per 50 come sopramenzionato. Siccome il divisore programmabile conta alla rovescia, il contatore ausiliario (divisore per 2) è quindi tirato in ballo e il divisore programmabile è ora programmato a dividere per 51. Questo quindi alterna il divisore tra 50 e 51 incorrendo in un rapporto medio di divisione di 50.5 che è uguale $N/2$. Così $N = 101$ e viene ottenuta la frequenza di uscita desiderata di 101 MHz.

Tuttavia, dovrebbe essere notato che il divisore programmabile non è limitato a $N/2$ e il denominatore X può essere qualsiasi numero intero minore di N fintanto che sono propriamente scelti la radice del contatore ausiliario e l'indirizzo.

In numerose applicazioni dei sistemi illustrati spesso volte hanno luogo delle bande laterali non desiderate.

Ciò è dovuto alle condizioni che esistono in un apparato reale piuttosto che un sistema ideale. Come sopramenzionato, il rivelatore di fase è solitamente un dispositivo di campionamento e sincronizzazione.

Il segnale campionato è un'onda a dente di sega, derivata dalla frequenza di riferimento (f_r). Il campione viene preso ogni qualvolta il divisore programmabile termina il suo conteggio. Generalmente esso viene mantenuto in un condensatore sino a che non viene preso il prossimo campione. Nel sistema ideale, dopo stabilizzazione del sistema, l'uscita di campionamento e sincronizzazione dovrebbe essere una pura corrente continua di bassa intensità senza bande laterali. In pratica, tuttavia, l'uscita conterrà di

solito energia in corrispondenza della frequenza di campionamento e sue armoniche, dovute all'alimentazione (^{Feed} feed-trough) dell'impulso di campionamento, caduta dovuta a dispersione, tempo di campionamento finto, instabilità, rumore etc. Come conseguenza di ciò, parte di questa energia passa attraverso il filtro passa basso all'oscillatore risultando perciò in bande laterali discrete sull'oscillatore.

Nella presente disposizione mostrata nella figura 2, quando il programma N è pari, il divisore 22 programmabile divide per N ciascun ciclo e tutte le bande laterali discrete dell'oscillatore sarebbero dovute ad imperfezioni di campionamento e sincronizzazione.

Queste sarebbero spostate dall'oscillatore per un ± 2 (fr) e multipli di essa togliendole in modo vantaggioso. Inoltre quando il programma N è dispari ne risultano delle forme d'onde compensative, come mostrato nelle figure 3A-3C.

Facendo ancora riferimento all'esempio precedente, la frequenza dell'onda a dente di sega descritta nella figura 3A sarebbe uguale alla frequenza di riferimento (fr) di 2 MHz.

Gli intervalli tra i campioni successivi, presi dal rivelatore di fase si alternano perchè il divisore di programma si alterna tra 50 e 51. L'uscita di campionamento e sincronizzazione presa dal rivelatore di fase è una forma d'onda rettangolare come illustrato nella figura 3B, e la sua frequenza fondamentale è (fr) che potrebbe causare sostanziali bande laterali in corrispondenza di $\pm$ fr e multipli di essa attorno alla frequenza dell'oscillatore. Tuttavia, la forma d'onda di uscita della porta 26 AND, come mostrato nella figura 3C, ha esattamente la stessa forma d'onda di

quelle dell'uscita di campionamento e sincronizzazione eccetto che è invertita. Perciò, la variazione dell'uscita di campionamento e sincronizzazione può essere cancellata sommando l'uscita della porta AND e l'uscita del rivelatore di fase, che è realizzata dal sommatore 32 come mostrato nella figura 4.

Il funzionamento del sistema mostrato nella figura 4 sarebbe lo stesso di quello precedentemente discusso con riferimento alla figura 2 con la circuiteria aggiunta per fornire la cancellazione di bande laterali indesiderate. Di conseguenza parti uguali vengono similmente numerate.

Nella più semplice implementazione per eliminare le bande laterali, viene fornito un attenuatore 34 e regolato per ottenere una perfetta cancellazione quando $N \text{ medio} = \frac{N_{\min.} + N_{\max.}}{2}$. Per esempio se $N_{\max.}/N_{\min.}$

2

= 1,2 allora si verificherà una completa cancellazione per il valore medio di N e si otterrà una cancellazione del 90% laddove $N = N_{\min.}$, e $N = N_{\max.}$. In aggiunta, un ulteriore perfezionamento per la cancellazione potrebbe essere ottenuto rendendo la tensione 36 di controreazione inversamente proporzionale ai valori di N variabili i quali allora permetterebbero il verificarsi di una perfetta cancellazione per tutti i valori di N .

Un mezzo alternativo per ottenere la compensazione nel sistema per bande laterali indesiderate, è rappresentato dallo schema a blocchi come mostrato nella figura 5. L'operazione base è uguale a quella precedentemente descritta nelle figure 2 e 4 eccetto il mezzo nel quale le variazioni di uscita di campionamento e sincronizzazione che si verificano quando N è dispari, viene rimossa in modo differente. Le forme d'onda implicate nello schema a blocchi mostrato nella figura 5 sono mostrate nelle figure 6A fino

a 6F come discusso qui di seguito. Viene fornito un tradizionale generatore 37 d'onda a dente di sega e genera un'onda a dente di sega dal treno di impulsi la cui frequenza è 2 fr. L'uscita della porta 26 AND viene applicata ad un invertitore 38 che inverte il segnale e lo applica ad un "latch" 40 che è selezionato dagli impulsi derivanti dal treno di impulsi di riferimento attraverso un ingresso 42. Questo treno di impulsi di riferimento è mostrato nella figura 6A con l'uscita della porta AND e l'uscita invertita della porta mostrate rispettivamente nelle figure 6D e 6E.

L'uscita del "latch" 40 è ora un'onda quadra in fase con l'onda a dente di sega prodotta dal generatore 37 d'onda a dente di sega. Questa forma d'onda di uscita del "latch" è mostrata nella figura 6F come la forma d'onda suddetta. Sommando queste due forme d'onda, quella di uscita del "latch" e quella del generatore d'onda a dente di sega, tramite il sommatore 32, nel corretto rapporto fornito dall'attenuatore 34, risulta nella forma d'onda come mostrato nella figura 6B. Quando una tale onda è campionata dal rivelatore di fase in corrispondenza degli intervalli di $N+1/2$ e $N-1/2$ dove N è dispari, l'uscita di campionamento e sincronizzazione è una corrente continua come mostrato nella figura 6C, che è paragonabile ad una situazione ideale. Tuttavia, per ottenere perfetta compensazione per tutti i valori di N , l'ampiezza dell'onda quadra dovrebbe essere inversamente proporzionale a N . Ciò può essere facilmente realizzato usando un convertitore 44 digitale-analogico (D/A) interposto tra l'uscita del "latch" e l'attenuatore 34. Naturalmente, se la compensazione in corrispondenza del valore medio di N è soddisfacente, non è necessario il convertitore D/A. La particolare disposizione come mostrato nella figura 6, fornisce vantag-

giosamente anche una compensazione delle frequenze della banda laterale prima della funzione di campionamento e sincronizzazione del rivelatore di fase piuttosto che dopo di essa. Così facendo, ciò riduce i problemi di temporizzazione e rumore che possono verificarsi se tale compensazione è realizzata dopo il campionamento e la sincronizzazione da parte del rivelatore di fase.

L'implementazione dei suddetti sistemi può essere realizzata secondo la disposizione dello schema a blocchi del divisore di programma mostrato nelle figure 7 e 8. Ciascuna utilizza un contatore 46 standard a doppio modulo che riceve l'uscita della frequenza (f_0) dall'oscillatore 20. Con particolare riferimento alla figura 7, certi elementi del sistema sono messi in risalto con gli elementi precedentemente citati, inclusi nel sistema dove conveniente. Il funzionamento di questa disposizione può essere meglio descritto con un esempio in cui si suppone che la frequenza di riferimento sia $f_r = 6 \text{ MHz}$ e l'uscita di frequenza sia uguale $3N$.

All'inizio del ciclo di conteggio, è fornito un contatore 48 di controllo modulo e regolato ad un numero del programma. Esso viene diminuito ogni qualvolta che il contatore a doppio modulo manda in uscita un impulso che è ricevuto al contatore di modulo. Questo impulso è inviato anche al contatore 50 base e il contatore a doppio modulo divide per 16 sin quando il contatore base raggiunge lo zero in cui esso invia un impulso al rivelatore 12 di fase. Questo impulso proveniente dal contatore base azzerà anche il contatore 48 di controllo modulo e il contatore base al numero del programma che dà luogo all'inizio ad un altro ciclo di conteggio. Naturalmente, piuttosto che diminuire il numero del programma, i contatori possono

partire in corrispondenza dello zero e terminare quando viene raggiunto il numero del programma se così desiderato.

Qui di seguito è riportata una tabella che mostra la relazione tra la frequenza f_0 di uscita, il numero di divisione N , il programma A per il contatore 48 di controllo modulo e il programma B del contatore 50 base.

TABELLA A

	N	A	B	B-A	B-A (16)	A (17)	$f = N$ Percorso	MEDIA $\frac{f}{N}$	f
PARI	480	0	15	15	240	0	240	240	1440
DISPARI	481	0	15	15	240	0	240		
PARI	482	1	15	14	224	17	241	240 1/2	1443
DISPARI	483	1	15	14	224	17	241	241	1446
		2	15	13	208	34	242	241 1/2	1449
		↓	↓	↓	↓	↓	↓	↓	↓
DISPARI	509	14	15	1	16	238	254		
PARI	510	15	15	0	0	255	255	254 1/2	1527
		15	15	0	0	255	255	255	1530
DISPARI	511	0	16	16	256	0	256	255 1/2	1533
PARI	512	0	16	16	256	0	256	256	1536
DISPARI	513	0	16	16	256	0	256		
		1	16	15	240	17	257	256 1/2	1539
		↓	↓	↓	↓	↓	↓	↓	↓
DISPARI	543	15	16	1	16	255	271		
		0	17	17	272	0	272	271 1/2	1629
		↓	↓	↓	↓	↓	↓	↓	↓
DISPARI	558	7	17	10	160	119	279	279	1664
PARI	559	7	17	10	160	119	279		
		8	17	9	144	136	280	279 1/2	1667
		↓	↓	↓	↓	↓	↓	↓	↓

Come si noterà, la prima linea della tabella A rappresenta il numero più piccolo che può essere programmato all'interno dei contatori mentre si mantiene una copertura continua durante il salto di frequenza.

Tuttavia, per certi valori di N, indicati da un asterisco, il contatore 50 base deve avere un programma differente per i cicli alternati del sistema. Ciò crea la necessità di un addizionatore che, come mostrato, riceve gli ingressi della porta 26 AND. Il programma N che è un numero di divisione binaria, avente un valore minimo di 240, con l'uscita di un addizionatore avente un ingresso a quattro "bit" entro il contatore 48 di controllo a modulo ed un ingresso entro il contatore 50 base.

La necessità di un addizionatore può essere eliminata usando, la disposizione messa in risalto come mostrato nella figura 8. Campioni selezionati della programmazione di A per il contatore 48 di controllo modulo e B il contatore 50 base in accordo ai vari valori di N, sono mostrati nella tabella B.

TABELLA B

	N	A	B	B-A	B-A (16)	A (17)	=N per ciclo	MEDIA $\div \# - N$		f ₀
PARI	512	0	16	16	256	0	256	256		1536
DISPARI	513	1	16	15	240	17	257	256	1/2	1539
PARI	542	15	16	1	16	255	271	271		1626
DISPARI	543	16	15	0	0	272	272	271	1/2	1629
PARI	544	0	17	17	272	0	272	272		1632
	↓	↓	↓	↓	↓	↓	↓	↓		↓

In questa disposizione il numero di divisione binaria è programmato entro il contatore 50 base ed anche entro un addizionatore 52 che riceve un ingresso dalla porta 26 AND mentre ha un'uscita a cinque "bit" entro il contatore 48 di controllo modulo.

Come è evidente, la differenza fondamentale tra i due schemi di programmazione diventa ovvia quando il numero di divisione $N = 511$ in cui il contatore 48 di controllo a modulo ha una capacità di 16 per la disposizione mostrata nella figura 8 in confronto a 15 per la disposizione mostrata nella figura 7. Questo conteggio di 16 è usato solo per il numero N di divisione avente un valore di 511, 543 e così via e poichè il numero di programma per il contatore 50 base deve sempre essere maggiore o uguale al numero del programma per il contatore 48 di controllo modulo, il minimo valore per il numero di divisione $N = (2) \cdot (16) \cdot (16)$ che è uguale 512 in confronto al valore minimo di 240 per la disposizione fornita dalla figura 7.

Gli schemi di programmazione sono usati come esempi e le disposizioni divulgate nella presente invenzione, non dovrebbero essere limitate a causa di ciò. Inoltre, sebbene alquanto preferite realizzazioni della presente invenzione siano state qui divulgate è sottinteso che lo scopo della presente invenzione non dovrebbe essere limitato a causa di ciò ma piuttosto lo scopo dell'invenzione dovrebbe essere determinato da quello delle rivendicazioni allegate.

RIVENDICAZIONI

1. Sintetizzatore di frequenza del tipo a circuito agganciato in fase comprendente:
 - una sorgente di segnale ad impulso di riferimento;
 - un oscillatore controllato in tensione (VCO) avente un ingresso ed una uscita;
 - un rivelatore di fase avente ingressi accoppiati a detta sorgente di segnale ad impulso di riferimento e detto ingresso del VCO;
 - detto rivelatore di fase avente un'uscita accoppiata a detto ingresso del VCO;
 - un divisore programmabile avente un ingresso accoppiato a detto VCO ed un'uscita connessa a detto rivelatore di fase per generare un numero N di divisione per il quale detta uscita del VCO è divisa; e
 - mezzi per permettere la programmazione di detto divisore programmabile cosicchè il numero N di divisione sia un non-intero.
2. Invenzione secondo la rivendicazione 1 in cui il mezzo per permettere la programmazione del divisore di programma include: un contatore ausiliario accoppiato all'uscita di detto divisore capace di dividere per X dove X è maggiore di N; un mezzo per regolare l'uscita di detto contatore ausiliario è sensibile alla programmazione di detto divisore programmabile, detto mezzo essendo accoppiato con detto divisore programmabile, in cui quando detto numero N di divisione è un numero pari il mezzo di regolazione inibisce l'uscita del contatore ausiliario e quando

il numero N di divisione è un numero dispari l'uscita del contatore ausiliario è alimentata al divisore programmabile permettendo al divisore programmabile di dividere alternativamente tra $\frac{N+1}{X}$ e $\frac{N-1}{X}$.

3. Invenzione secondo la rivendicazione 1 che include un integratore e un filtro passa basso collegati in serie tra il rivelatore di fase e il VCO.
4. Invenzione secondo la rivendicazione 2 che include inoltre un mezzo di compensazione per bande laterali indesiderate attorno all'ingresso del VCO quando il numero di divisione è dispari.
5. Invenzione secondo la rivendicazione 2 in cui il mezzo di regolazione per il divisore ausiliario comprende una porta AND che è sensibile al bit meno significativo di un programma che è collocato nel divisore di programma.
6. Invenzione secondo la rivendicazione 4 in cui il mezzo per la compensazione di bande laterali indesiderate include: mezzo sommatore accoppiato al rivelatore di fase e accoppiato al mezzo di regolazione del contatore ausiliario, detto mezzo sommatore è regolato per sommare l'onda di uscita dal mezzo di regolazione e l'onda di uscita dal rivelatore di fase che provoca una cancellazione delle bande laterali attorno alla tensione di controllo all'oscillatore.

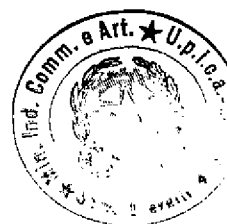
7. Invenzione secondo la rivendicazione 6 comprendente anche un attenuatore interposto tra il mezzo sommatore e il mezzo di regolazione ed ivi accoppiato fra i quali è predisposto cosicchè si verifica una cancellazione di dette bande laterali, quando il valore medio del numero N di divisione è $= \frac{N_{min.} + N_{max.}}{2}$.
8. Invenzione secondo la rivendicazione 7 che include ulteriormente un mezzo per fornire una forma d'onda di uscita dal mezzo di regolazione al mezzo sommatore che sia inversamente proporzionale al numero N di divisione provvedendo di conseguenza la cancellazione di dette bande laterali per tutti i valori di N mentre N è variato.
9. Invenzione secondo la rivendicazione 4, in cui il mezzo per compensare le bande laterali indesiderate, include:
- un generatore di impulsi ed un mezzo sommatore collegati rispettivamente in serie, detto generatore di impulsi adattato a ricevere il segnale ad impulso di riferimento e l'uscita di detto mezzo di somma;
- un invertitore e "latch" collegati rispettivamente in serie, tra l'uscita del mezzo di regolazione e il mezzo sommatore;
- detto "latch" adattato anche per ricevere il segnale ad impulso di riferimento, in cui, durante il funzionamento, la forma d'onda in uscita dal mezzo di regolazione è invertita da un invertitore e inviata al "latch" che, ricevendo anche il segnale ad impulso di riferimento nella sua uscita essendo una funzione di dette onde le quali sono in fase con l'uscita del generatore di impulsi, l'uscita risultante dal "latch" e

l'uscita del generatore di impulsi vengono unite dal mezzo sommatore la cui uscita è utilizzata dal rivelatore di fase per fornire una tensione controllata relativamente libera dall'interferenza della banda laterale.

10. Invenzione secondo la rivendicazione 9 che include inoltre un attenuatore interposto tra il mezzo sommatore e il "latch" e accoppiato allo stesso in cui detto attenuatore è regolato in modo tale che si verifichi la cancellazione delle bande laterali sul valore medio del numero N di divisione = $\frac{N_{\min} + N_{\max}}{2}$.
11. Invenzione secondo la rivendicazione 10 che include ulteriormente un convertitore digitale analogico seguente il "latch" ed interposto tra detto "latch" e detto attenuatore, detto convertitore essendo accoppiato a detto "latch" e detto attenuatore, e adattato per ricevere informazioni di programma in cui detto convertitore provvede alla compensazione di tutti i valori di N variati secondo l'informazione di programma, provvedendo una forma d'onda in uscita avente una ampiezza inversamente proporzionale a N .
12. Invenzione secondo la rivendicazione 1 in cui il divisore programmabile comprende un contatore a doppio modulo, un contatore di controllo modulo e un contatore base ciascuno essendo accoppiato fra ciò e ciascuno essendo adattato per essere programmato in modo da permettere l'uso di un numero N di divisione che è un numero non intero.

p.p. Il Mandatario Industrie FACE Standard S.p.A.

Il Procuratore alla firma:



l'Ufficiale Rogante
(Luigi Messineo)

"SINTETIZZATORE DI FREQUENZA AD ALTA VELOCITA' "

Campo Tecnologico dell'Invenzione

L'invenzione riguarda i perfezionamenti dei sintetizzatori di frequenza ad alta velocità e più particolarmente dei sintetizzatori di frequenza del tipo a circuito agganciato in fase.

Precedenti dell'Invenzione

In un sintetizzatore di frequenza, tradizionale a circuito agganciato in fase di tipo II, come mostrato nella figura 1, la frequenza di uscita (f_o) è uguale a N volte la frequenza di riferimento (f_r). Se supponiamo che il circuito è agganciato e stabilizzato quando una variazione di frequenza (f) è introdotta nell'oscillatore controllato in tensione (VCO), il VCO si riporterà alla giusta frequenza senza scorrimento di ciclo. Ciò è provato non essere troppo grande. Questa relazione errore in frequenza-tempo dipende dalla larghezza di banda del circuito e dal fattore di smorzamento.

Nelle normali strutture, se il circuito di controreazione è aperto, e la frequenza del VCO è entro i limiti di $f_o + f$, il VCO si stabilizzerà a f_o senza scorrimento di ciclo, fintanto che esistono le giuste condizioni iniziali.

Spesso, si desidera cambiare la frequenza di uscita provvedendo al salto di frequenza (hopping). In questo sistema, viene cambiato il numero N di divisione, facendo in modo che in VCO "salti" la frequenza.

In alcuni sistemi è cambiato il tempo tra il tempo N e il tempo (tempo di

stabilizzazione) in cui la frequenza si stabilizza entro un errore specifico (f_e) è importante.

Spesso è richiesto e preferito che il tempo di stabilizzazione sia il più breve possibile.

In un circuito ottimizzato il tempo di stabilizzazione è approssimativamente inversamente proporzionale alla frequenza di riferimento, (f_r). Più grande è la frequenza di riferimento più piccolo è necessario che sia il tempo di stabilizzazione.

Aumentando o diminuendo N cambia la frequenza f_o di uscita rispetto alla f_r . Perciò il tempo di stabilizzazione sarebbe inversamente proporzionale alla spaziatura del canale. Tuttavia i presenti sistemi sono svantaggiati sino ad un certo grado fin quando, per usuale natura del divisore di frequenza, N deve essere un numero intero.

Riassunto dell'Invenzione

La presente invenzione riguarda il provvedere ad una modifica del tradizionale sintetizzatore di frequenza a circuito agganciato in fase, come mostrato nella figura 1, cosicchè il valore medio del numero N di divisione può essere un non-intero confrontato col valore intero attualmente in uso. Come tale la frequenza di riferimento può essere incrementata, e poichè il tempo di stabilizzazione è approssimativamente inversamente proporzionale alla frequenza di riferimento, ciò diminuisce il tempo di stabilizzazione del sistema senza la necessità di aumentare la spaziatura del canale.

Questa modifica nella circuiteria è principalmente attuabile usando un divisore programmabile che permette l'uso di un numero N di divisione che è un non-intero dividendo N/X , dove X è un numero intero minore di N

quando il numero di divisione è pari, e alternativamente tra $(N+1/X)$ e $(N-1/X)$ se il numero di divisione è dispari.

Per realizzare tutto ciò, è provvista una circuiteria complementare cosicchè tramite la programmazione del divisore., la frequenza di uscita desiderata può essere ottenuta senza una modifica della spaziatura del canale.

Quando il programma N è dispari, possono esistere attorno alla frequenza del VOC, sostanziali bande laterali a più o meno la frequenza di riferimento, e multipli di essa. Allo scopo di eliminare queste bande laterali di interferenza è previsto un attenuatore per cancellare il campione e mantenere le variazioni di uscita che risultano nella banda laterale. Un mezzo alternativo per sopprimere le bande laterali è quello di provvedere un'uscita invertita di una porta AND da applicare ad un "latch" che è selezionato mediante impulsi. Ciò risulta in una uscita "latch" che ha una onda quadra in fase con l'onda a dente di sega della frequenza di riferimento. Sommando queste due forme d'onda in un rapporto appropriato si ottiene una forma d'onda, che quando campionata, l'uscita campione e di sincronizzazione è in c.c. eliminando pertanto qualsiasi banda laterale di interferenza. Se l'ampiezza dell'onda quadra dell'uscita "latch" è inversamente proporzionale a N allora viene raggiunta una perfetta compensazione per tutti i valori di N .

Ciò può essere realizzato con un convertitore digitale-analogico (D/A) inserito a valle del "latch". Se è sufficiente avere compensazione proprio in corrispondenza del valore medio di N , allora il convertitore D/A può essere eliminato.

L'invenzione permette anche l'uso di un contatore a doppio modulo sull'uscita del VCO accoppiato con un contatore di controllo del modulo e un contatore base per implementare il sistema prima menzionato. Il contatore di controllo del modulo è regolato su un numero programmato che è diminuito ogni volta che il contatore a doppio modulo manda in uscita un impulso. Il contatore a doppio modulo divide fin quando il contatore di base raggiunge lo zero, il quale di conseguenza, manda un impulso al rivelatore di fase. Ciò azzerà anche il contatore di controllo del modulo e il contatore base al numero programmato il quale può essere o dispari o pari, iniziando un altro ciclo di conteggio.

In corrispondenza di certi valori di N è anche fornito un programma modificato per cicli alternati.

Di conseguenza, scopo dell'invenzione è di fornire un sintetizzatore di frequenza ad alta velocità che riduca al minimo il tempo di stabilizzazione del sistema durante una variazione della frequenza di uscita.

Un ulteriore scopo dell'invenzione è di fornire una riduzione al minimo del tempo di stabilizzazione senza la necessità di dover incrementare la spaziatura del canale.

Un altro scopo dell'invenzione è di fornire un tale sistema che nel frattempo compensi le bande laterali che si presentano attorno alla frequenza del VCO causando problemi di sincronizzazione e di rumore.

Questi e altri scopi sono realizzati tramite le disposizioni come qui descritto e come illustrato nei disegni allegati.

Breve descrizione dei disegni

La figura 1 è uno schema a blocchi della tecnica anteriore di un tradizionale sintetizzatore di frequenza a circuito agganciato in fase del

tipo II.

La figura 2 è uno schema a blocchi del sintetizzatore di frequenza a circuito agganciato in fase del tipo II a velocità accresciuta incorporante gli insegnamenti dell'invenzione.

Le figure 3a-3c descrivono le forme d'onda di frequenza in corrispondenza dei vari punti del sistema mostrato nella figura 2.

La figura 4 è uno schema a blocchi di un sistema simile a quello mostrato in figura 2, con l'uscita del rivelatore di fase compensata contro bande laterali interferenti.

La figura 5 è uno schema a blocchi di un sintetizzatore di frequenza a circuito agganciato in fase del tipo II a velocità accresciuta, avente una disposizione a dente di sega compensata.

Le figure 6A-6F descrivono forme d'onda di frequenza in corrispondenza dei vari punti del sistema mostrato nella figura 5.

La figura 7 è uno schema a blocchi del sintetizzatore di frequenza a circuito agganciato in fase del tipo II a velocità accresciuta utilizzando una disposizione di contatore a doppio modulo avente la funzione di un divisore programmabile.

La Figura 8 è uno schema a blocchi di una disposizione simile a quella mostrata in figura 7, tuttavia, fornente valori di N selezionati.

Descrizione dettagliata dei disegni

Considerando ora la figura 1, vi è descritto, in uno schema a blocchi, un sintetizzatore 10 di frequenza a circuito agganciato in fase tipo II facente parte dello stato anteriore della tecnica.

Il circuito consiste di un rivelatore 12 di fase, il quale è ordinariamente un dispositivo di campionamento e sincronizzazione, che confron-

ta la fase di un segnale di riferimento (fr) introdotto entro il rivelatore di fase con quella di un segnale di uscita (fo) introdotto entro il rivelatore di fase tramite un circuito di controreazione. L'uscita del rivelatore di fase viene quindi applicata all'ingresso di un integratore 14 attraverso un filtro 16 passa basso la cui uscita è quindi applicata come una tensione 18 di controllo all'ingresso di un oscillatore 20 controllato in tensione (V.C.O.). La tensione 18 di controllo è derivata dal confronto di fase nel rivelatore di fase tra la frequenza del segnale di uscita del VCO, dopo adatta divisione di frequenza nel divisore 22 binario programmabile e la frequenza di riferimento. Di conseguenza, l'uscita dell'oscillatore è controreazionata attraverso il divisore 22 programmabile entro il rivelatore 12 di fase.

Il divisore 22 programmabile è programmato per dividere o contare per N dove N è un numero di divisione, secondo il programma 24 binario registrato in esso.

Naturalmente, una programmazione alternativa diversa da quella binaria può essere utilizzata come diventerà evidente.

Come prima menzionato, in un sistema a salto di frequenza (hopping), il numero N di divisione viene cambiato per soddisfare uno scopo desiderato con il risultato finale che l'oscillatore 20 "salta" una frequenza. Spesso diventa importante il tempo che intercorre tra quando N viene cambiato e quando la frequenza si stabilizza, tuttavia, nell'abituale divisore programmabile, N è un numero intero e il tempo di stabilizzazione viene solo diminuito a spese di un incremento della spaziatura del canale.

La presente disposizione come mostrato nella figura 2, fornisce

l'utilizzazione della circuiteria cosicchè il valore di N può essere un non-intero per cui l'incremento della frequenza di riferimento (f_r) e perciò la diminuzione del tempo di stabilizzazione è realizzata senza dover aumentare la spaziatura del canale. Come mostrato, la frequenza di riferimento può essere incrementata come desiderato, e il modo di operare di questo sistema è molto facilmente visibile tramite un esempio numerico.

Se si suppone che una frequenza di riferimento (f_r) sia 2 MHz, per ottenere una frequenza (f_o) di uscita di 100 MHz, il divisore 22 programmabile deve dividere per 50 che è uguale $N/2$ perciò $N = 100$. Ciò è espresso in forma binaria come 1100100.

L'ultima cifra forma il bit meno significativo (LSB) che può essere applicato ad una porta 26 AND. Questa porta 26 AND riceve anche alimentazione dall'uscita di un contatore 30 ausiliario (divisore per 2) il quale riceve una alimentazione per mezzo di una controreazione derivante dall'uscita divisore 22 programmabile. L'uscita della porta 26 AND è quindi diretta ad un addizionatore 28 la cui uscita è perciò diretta al divisore 22 programmabile.

Quando LSB è zero, l'uscita della porta AND è anche zero, e l'uscita dell'addizionatore 28 è perciò uguale al suo ingresso.

In questo esempio, l'ingresso e l'uscita dell'addizionatore è 110010 in binario che corrisponde a 50. Poichè l'uscita dell'addizionatore è uguale a 50, questo è inviato entro il divisore programmabile il quale è quindi programmato a dividere per 50, il valore desiderato.

Se N è cambiato in 101 o qualsiasi altro valore dispari per "saltare" una frequenza, l'LSB diventa un 1, il quale quindi applica l'uscita del

contatore 30 ausiliario (divisa per 2) all'addizionatore 28 tramite la porta 26 AND.

Se l'uscita del contatore ausiliario (divisore per 2) è zero, il divisore 22 programmabile dividerà per 50 come sopramenzionato. Siccome il divisore programmabile conta alla rovescia, il contatore ausiliario (divisore per 2) è quindi tirato in ballo e il divisore programmabile è ora programmato a dividere per 51. Questo quindi alterna il divisore tra 50 e 51 incorrendo in un rapporto medio di divisione di 50.5 che è uguale $N/2$. Così $N = 101$ e viene ottenuta la frequenza di uscita desiderata di 101 MHz.

Tuttavia, dovrebbe essere notato che il divisore programmabile non è limitato a $N/2$ e il denominatore X può essere qualsiasi numero intero minore di N fintanto che sono propriamente scelti la radice del contatore ausiliario e l'indirizzo.

In numerose applicazioni dei sistemi illustrati spesse volte hanno luogo delle bande laterali non desiderate.

Ciò è dovuto alle condizioni che esistono in un apparato reale piuttosto che un sistema ideale. Come sopramenzionato, il rivelatore di fase è solitamente un dispositivo di campionamento e sincronizzazione.

Il segnale campionato è un'onda a dente di sega, derivata dalla frequenza di riferimento (f_r). Il campione viene preso ogni qualvolta il divisore programmabile termina il suo conteggio. Generalmente esso viene mantenuto in un condensatore sino a che non viene preso il prossimo campione. Nel sistema ideale, dopo stabilizzazione del sistema, l'uscita di campionamento e sincronizzazione dovrebbe essere una pura corrente continua di bassa intensità senza bande laterali. In pratica, tuttavia, l'uscita conterrà di

solito energia in corrispondenza della frequenza di campionamento e sue armoniche, dovute all'alimentazione (feed-trough) dell'impulso di campionamento, caduta dovuta a dispersione, tempo di campionamento finto, instabilità, rumore etc. Come conseguenza di ciò, parte di questa energia passa attraverso il filtro passa basso all'oscillatore risultando perciò in bande laterali discrete sull'oscillatore.

Nella presente disposizione mostrata nella figura 2, quando il programma N è pari, il divisore 22 programmabile divide per N ciascun ciclo e tutte le bande laterali discrete dell'oscillatore sarebbero dovute ad imperfezioni di campionamento e sincronizzazione.

Queste sarebbero spostate dall'oscillatore per un ± 2 (fr) e multipli di essa togliendole in modo vantaggioso. Inoltre quando il programma N è dispari ne risultano delle forme d'onde compensative, come mostrato nelle figure 3A-3C.

Facendo ancora riferimento all'esempio precedente, la frequenza dell'onda a dente di sega descritta nella figura 3A sarebbe uguale alla frequenza di riferimento (fr) di 2 MHz.

Gli intervalli tra i campioni successivi, presi dal rivelatore di fase si alternano perchè il divisore di programma si alterna tra 50 e 51. L'uscita di campionamento e sincronizzazione presa dal rivelatore di fase è una forma d'onda rettangolare come illustrato nella figura 3B, e la sua frequenza fondamentale è (fr) che potrebbe causare sostanziali bande laterali in corrispondenza di $\pm$ fr e multipli di essa attorno alla frequenza dell'oscillatore. Tuttavia, la forma d'onda di uscita della porta 26 AND, come mostrato nella figura 3C, ha esattamente la stessa forma d'onda di

quelle dell'uscita di campionamento e sincronizzazione eccetto che è invertita. Perciò, la variazione dell'uscita di campionamento e sincronizzazione può essere cancellata sommando l'uscita della porta AND e l'uscita del rivelatore di fase, che è realizzata dal sommatore 32 come mostrato nella figura 4.

Il funzionamento del sistema mostrato nella figura 4 sarebbe lo stesso di quello precedentemente discusso con riferimento alla figura 2 con la circuiteria aggiunta per fornire la cancellazione di bande laterali indesiderate. Di conseguenza parti uguali vengono similmente numerate.

Nella più semplice implementazione per eliminare le bande laterali, viene fornito un attenuatore 34 e regolato per ottenere una perfetta cancellazione quando $N \text{ medio} = \frac{N_{\min.} + N_{\max.}}{2}$. Per esempio se $N_{\max.}/N_{\min.}$

2

= 1,2 allora si verificherà una completa cancellazione per il valore medio di N e si otterrà una cancellazione del 90% laddove $N = N_{\min.}$, e $N = N_{\max.}$. In aggiunta, un ulteriore perfezionamento per la cancellazione potrebbe essere ottenuto rendendo la tensione 36 di controreazione inversamente proporzionale ai valori di N variabili i quali allora permetterebbero il verificarsi di una perfetta cancellazione per tutti i valori di N .

Un mezzo alternativo per ottenere la compensazione nel sistema per bande laterali indesiderate, è rappresentato dallo schema a blocchi come mostrato nella figura 5. L'operazione base è uguale a quella precedentemente descritta nelle figure 2 e 4 eccetto il mezzo nel quale le variazioni di uscita di campionamento e sincronizzazione che si verificano quando N è dispari, viene rimossa in modo differente. Le forme d'onda implicate nello schema a blocchi mostrato nella figura 5 sono mostrate nelle figure 6A fino

a 6F come discusso qui di seguito. Viene fornito un tradizionale generatore 37 d'onda a dente di sega e genera un'onda a dente di sega dal treno di impulsi la cui frequenza è 2 fr. L'uscita della porta 26 AND viene applicata ad un invertitore 38 che inverte il segnale e lo applica ad un "latch" 40 che è selezionato dagli impulsi derivanti dal treno di impulsi di riferimento attraverso un ingresso 42. Questo treno di impulsi di riferimento è mostrato nella figura 6A con l'uscita della porta AND e l'uscita invertita della porta mostrate rispettivamente nelle figure 6D e 6E.

L'uscita del "latch" 40 è ora un'onda quadra in fase con l'onda a dente di sega prodotta dal generatore 37 d'onda a dente di sega. Questa forma d'onda di uscita del "latch" è mostrata nella figura 6F come la forma d'onda suddetta. Sommando queste due forme d'onda, quella di uscita del "latch" e quella del generatore d'onda a dente di sega, tramite il sommatore 32, nel corretto rapporto fornito dall'attenuatore 34, risulta nella forma d'onda come mostrato nella figura 6B. Quando una tale onda è campionata dal rivelatore di fase in corrispondenza degli intervalli di $N+1/2$ e $N-1/2$ dove N è dispari, l'uscita di campionamento e sincronizzazione è una corrente continua come mostrato nella figura 6C, che è paragonabile ad una situazione ideale. Tuttavia, per ottenere perfetta compensazione per tutti i valori di N , l'ampiezza dell'onda quadra dovrebbe essere inversamente proporzionale a N . Ciò può essere facilmente realizzato usando un convertitore 44 digitale-analogico (D/A) interposto tra l'uscita del "latch" e l'attenuatore 34. Naturalmente, se la compensazione in corrispondenza del valore medio di N è soddisfacente, non è necessario il convertitore D/A. La particolare disposizione come mostrato nella figura 6, fornisce vantag-

giosamente anche una compensazione delle frequenze della banda laterale prima della funzione di campionamento e sincronizzazione del rivelatore di fase piuttosto che dopo di essa. Così facendo, ciò riduce i problemi di temporizzazione e rumore che possono verificarsi se tale compensazione è realizzata dopo il campionamento e la sincronizzazione da parte del rivelatore di fase.

L'implementazione dei suddetti sistemi può essere realizzata secondo la disposizione dello schema a blocchi del divisore di programma mostrato nelle figure 7 e 8. Ciascuna utilizza un contatore 46 standard a doppio modulo che riceve l'uscita della frequenza (f_0) dall'oscillatore 20. Con particolare riferimento alla figura 7, certi elementi del sistema sono messi in risalto con gli elementi precedentemente citati, inclusi nel sistema dove conveniente. Il funzionamento di questa disposizione può essere meglio descritto con un esempio in cui si suppone che la frequenza di riferimento sia $f_r = 6 \text{ MHz}$ e l'uscita di frequenza sia uguale $3N$.

All'inizio del ciclo di conteggio, è fornito un contatore 48 di controllo modulo e regolato ad un numero del programma. Esso viene diminuito ogni qualvolta che il contatore a doppio modulo manda in uscita un impulso che è ricevuto al contatore di modulo. Questo impulso è inviato anche al contatore 50 base e il contatore a doppio modulo divide per 16 sin quando il contatore base raggiunge lo zero in cui esso invia un impulso al rivelatore 12 di fase. Questo impulso proveniente dal contatore base azzerava anche il contatore 48 di controllo modulo e il contatore base al numero del programma che dà luogo all'inizio ad un altro ciclo di conteggio. Naturalmente, piuttosto che diminuire il numero del programma, i contatori possono

partire in corrispondenza dello zero e terminare quando viene raggiunto il numero del programma se così desiderato.

Qui di seguito è riportata una tabella che mostra la relazione tra la frequenza f_0 di uscita, il numero di divisione N, il programma A per il contatore 48 di controllo modulo e il programma B del contatore 50 base.

TABELLA A

	N	A	B	B-A	B-A (16)	A (17)	N Perciclo	MEDIA ÷ #	f
PARI	480	0	15	15	240	0	240	240	1440
DISPARI	481	0	15	15	240	0	240		
PARI	482	1	15	14	224	17	241	240 1/2	1443
DISPARI	483	1	15	14	224	17	241	241	1446
DISPARI	483	2	15	13	208	34	242	241 1/2	1449
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
DISPARI	509	14	15	1	16	238	254		
PARI	510	15	15	0	0	255	255	254 1/2	1527
DISPARI	511	15	15	0	0	255	255	255	1530
DISPARI	511	0	16	16	256	0	256	255 1/2	1533
PARI	512	0	16	16	256	0	256	256	1536
DISPARI	513	0	16	16	256	0	256		
DISPARI	513	1	16	15	240	17	257	256 1/2	1539
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
DISPARI	543	15	16	1	16	255	271		
DISPARI	543	0	17	17	272	0	272	271 1/2	1629
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
DISPARI	558	7	17	10	160	119	279	279	1664
PARI	559	7	17	10	160	119	279		
PARI	559	8	17	9	144	136	280	279 1/2	1667
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓

Come si noterà, la prima linea della tabella A rappresenta il numero più piccolo che può essere programmato all'interno dei contatori mentre si mantiene una copertura continua durante il salto di frequenza.

Tuttavia, per certi valori di N, indicati da un asterisco, il contatore 50 base deve avere un programma differente per i cicli alternati del sistema. Ciò crea la necessità di un addizionatore che, come mostrato, riceve gli ingressi della porta 26 AND. Il programma N che è un numero di divisione binaria, avente un valore minimo di 240, con l'uscita di un addizionatore avente un ingresso a quattro "bit" entro il contatore 48 di controllo a modulo ed un ingresso entro il contatore 50 base.

La necessità di un addizionatore può essere eliminata usando, la disposizione messa in risalto come mostrato nella figura 8. Campioni selezionati della programmazione di A per il contatore 48 di controllo modulo e B il contatore 50 base in accordo ai vari valori di N, sono mostrati nella tabella B.

TABELLA B

	N	A	B	B-A	B-A (16)	A (17)	=N per ciclo	MEDIA $\frac{A+B}{2}$		fo
PARI	512	0	16	16	256	0	256	256		1536
DISPARI	513	0	16	16	256	0	256			
		1	16	15	240	17	257	256	1/2	1539
PARI	542	15	16	1	16	255	271	271		1626
		15	16	1	16	255	271			
DISPARI	543	16	15	0	0	272	272	271	1/2	1629
PARI	544	0	17	17	272	0	272	272		1632
	↓	↓	↓	↓	↓	↓	↓	↓		↓

In questa disposizione il numero di divisione binaria è programmato entro il contatore 50 base ed anche entro un addizionatore 52 che riceve un ingresso dalla porta 26 AND mentre ha un'uscita a cinque "bit" entro il contatore 48 di controllo modulo.

Come è evidente, la differenza fondamentale tra i due schemi di programmazione diventa ovvia quando il numero di divisione $N = 511$ in cui il contatore 48 di controllo a modulo ha una capacità di 16 per la disposizione mostrata nella figura 8 in confronto a 15 per la disposizione mostrata nella figura 7. Questo conteggio di 16 è usato solo per il numero N di divisione avente un valore di 511, 543 e così via e poichè il numero di programma per il contatore 50 base deve sempre essere maggiore o uguale al numero del programma per il contatore 48 di controllo modulo, il minimo valore per il numero di divisione $N = (2) \cdot (16) \cdot (16)$ che è uguale 512 in confronto al valore minimo di 240 per la disposizione fornita dalla figura 7.

Gli schemi di programmazione sono usati come esempi e le disposizioni divulgate nella presente invenzione, non dovrebbero essere limitate a causa di ciò. Inoltre, sebbene alquanto preferite realizzazioni della presente invenzione siano state qui divulgate è sottinteso che lo scopo della presente invenzione non dovrebbe essere limitato a causa di ciò ma piuttosto lo scopo dell'invenzione dovrebbe essere determinato da quello delle rivendicazioni allegate.

RIVENDICAZIONI

1. Sintetizzatore di frequenza del tipo a circuito agganciato in fase comprendente:
 - una sorgente di segnale ad impulso di riferimento;
 - un oscillatore controllato in tensione (VCO) avente un ingresso ed una uscita;
 - un rivelatore di fase avente ingressi accoppiati a detta sorgente di segnale ad impulso di riferimento e detto ingresso del VCO;
 - detto rivelatore di fase avente un'uscita accoppiata a detto ingresso del VCO;
 - un divisore programmabile avente un ingresso accoppiato a detto VCO ed un'uscita connessa a detto rivelatore di fase per generare un numero N di divisione per il quale detta uscita del VCO è divisa; e
 - mezzi per permettere la programmazione di detto divisore programmabile cosicchè il numero N di divisione sia un non-intero.
2. Invenzione secondo la rivendicazione 1 in cui il mezzo per permettere la programmazione del divisore di programma include: un contatore ausiliario accoppiato all'uscita di detto divisore capace di dividere per X dove X è maggiore di N ; un mezzo per regolare l'uscita di detto contatore ausiliario è sensibile alla programmazione di detto divisore programmabile, detto mezzo essendo accoppiato con detto divisore programmabile, in cui quando detto numero N di divisione è un numero pari il mezzo di regolazione inibisce l'uscita del contatore ausiliario e quando

il numero N di divisione è un numero dispari l'uscita del contatore ausiliario è alimentata al divisore programmabile permettendo al divisore programmabile di dividere alternativamente tra $\frac{N+1}{X}$ e $\frac{N-1}{X}$.

3. Invenzione secondo la rivendicazione 1 che include un integratore e un filtro passa basso collegati in serie tra il rivelatore di fase e il VCO.
4. Invenzione secondo la rivendicazione 2 che include inoltre un mezzo di compensazione per bande laterali indesiderate attorno all'ingresso del VCO quando il numero di divisione è dispari.
5. Invenzione secondo la rivendicazione 2 in cui il mezzo di regolazione per il divisore ausiliario comprende una porta AND che è sensibile al bit meno significativo di un programma che è collocato nel divisore di programma.
6. Invenzione secondo la rivendicazione 4 in cui il mezzo per la compensazione di bande laterali indesiderate include: mezzo sommatore accoppiato al rivelatore di fase e accoppiato al mezzo di regolazione del contatore ausiliario, detto mezzo sommatore è regolato per sommare l'onda di uscita dal mezzo di regolazione e l'onda di uscita dal rivelatore di fase che provoca una cancellazione delle bande laterali attorno alla tensione di controllo all'oscillatore.

7. Invenzione secondo la rivendicazione 6 comprendente anche un attenuatore interposto tra il mezzo sommatore e il mezzo di regolazione ed ivi ac= coppiato fra i quali è predisposto cosicchè si verifica una cancellazione di dette bande laterali, quando il valore medio del numero N di divisione è $= \frac{N_{min.} + N_{max.}}{2}$.
8. Invenzione secondo la rivendicazione 7 che include ulteriormente un mezzo per fornire una forma d'onda di uscita dal mezzo di regolazione al mezzo sommatore che sia inversamente proporzionale al numero N di divisione provvedendo di conseguenza la cancellazione di dette bande laterali per tutti i valori di N mentre N è variato.
9. Invenzione secondo la rivendicazione 4, in cui il mezzo per compensare le bande laterali indesiderate, include:
- un generatore di impulsi ed un mezzo sommatore collegati rispettivamente in serie, detto generatore di impulsi adattato a ricevere il segnale ad impulso di riferimento e l'uscita di detto mezzo di somma;
- un invertitore e "latch" collegati rispettivamente in serie, tra l'uscita del mezzo di regolazione e il mezzo sommatore;
- detto "latch" adattato anche per ricevere il segnale ad impulso di riferimento, in cui, durante il funzionamento, la forma d'onda in uscita dal mezzo di regolazione è invertita da un invertitore e inviata al "latch" che, ricevendo anche il segnale ad impulso di riferimento nella sua uscita essendo una funzione di dette onde le quali sono in fase con l'uscita del generatore di impulsi, l'uscita risultante dal "latch" e

l'uscita del generatore di impulsi vengono unite dal mezzo sommatore la cui uscita è utilizzata dal rivelatore di fase per fornire una tensione controllata relativamente libera dall'interferenza della banda laterale.

10. Invenzione secondo la rivendicazione 9 che include inoltre un attenuatore interposto tra il mezzo sommatore e il "latch" e accoppiato allo stesso in cui detto attenuatore è regolato in modo tale che si verifichi la cancellazione delle bande laterali sul valore medio del numero N di divisione = $\frac{N_{min} + N_{max}}{2}$.

2

11. Invenzione secondo la rivendicazione 10 che include ulteriormente un convertitore digitale analogico seguente il "latch" ed interposto tra detto "latch" e detto attenuatore, detto convertitore essendo accoppiato a detto "latch" e detto attenuatore, e adattato per ricevere informazioni di programma in cui detto convertitore provvede alla compensazione di tutti i valori di N variati secondo l'informazione di programma, provvedendo una forma d'onda in uscita avente una ampiezza inversamente proporzionale a N .

12. Invenzione secondo la rivendicazione 1 in cui il divisore programmabile comprende un contatore a doppio modulo, un contatore di controllo modulo e un contatore base ciascuno essendo accoppiato fra ciò e ciascuno essendo adattato per essere programmato in modo da permettere l'uso di un numero N di divisione che è un numero non intero.

23736 A/80

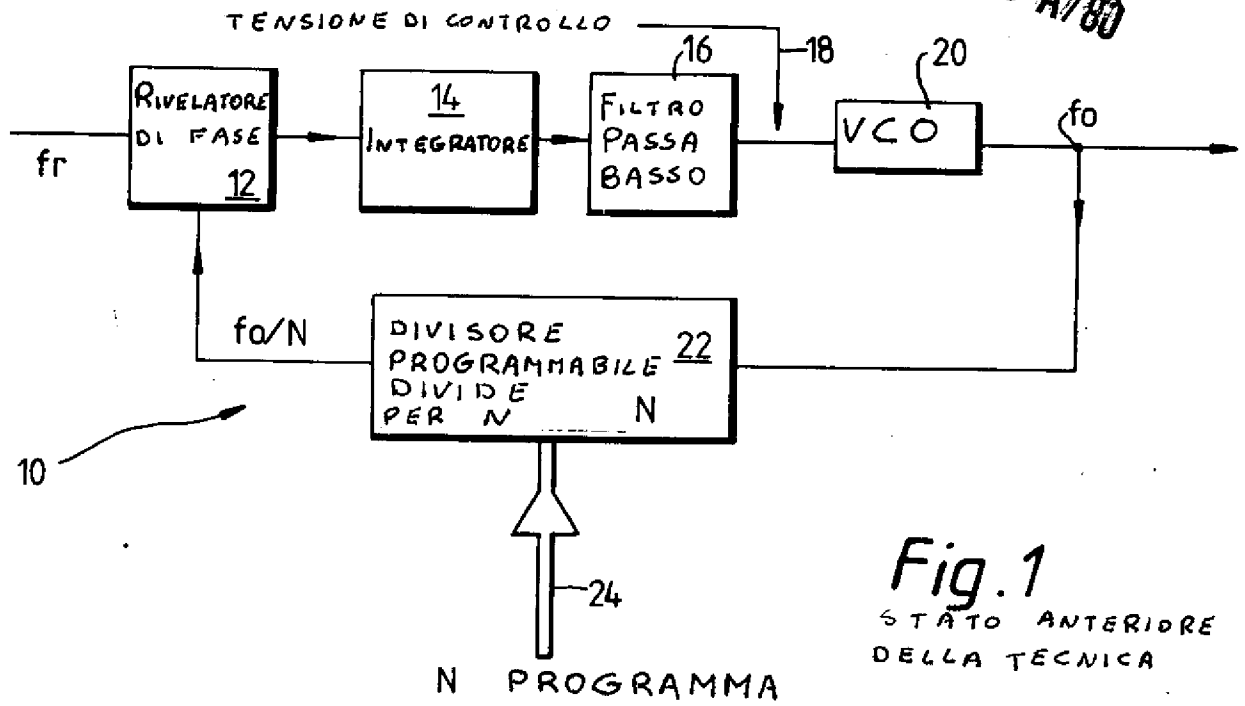


Fig. 1
STATO ANTERIORE
DELLA TECNICA

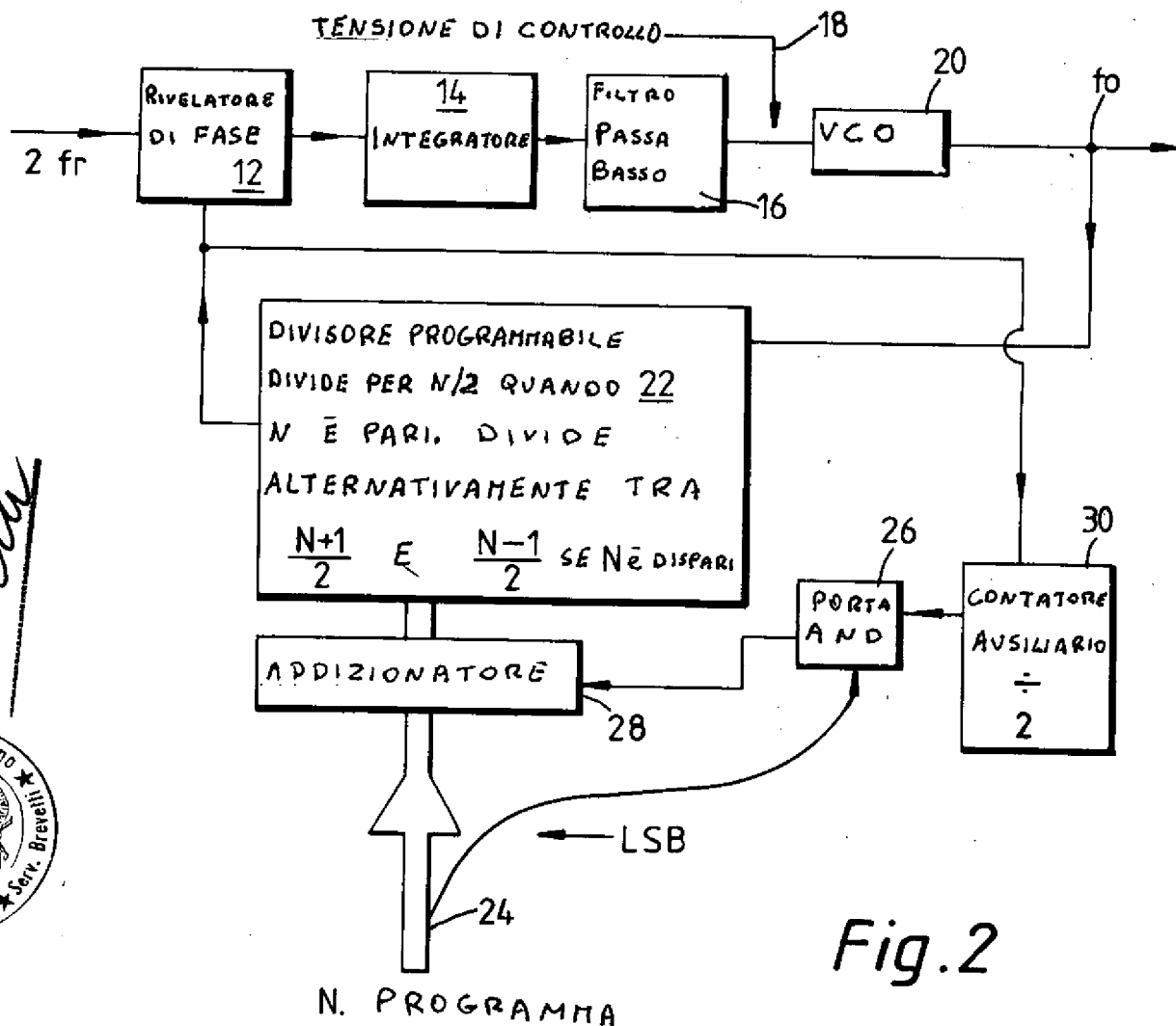


Fig. 2

Ufficiale Rogante
(Piero Meschini)



23736 A/80

23736 A/80

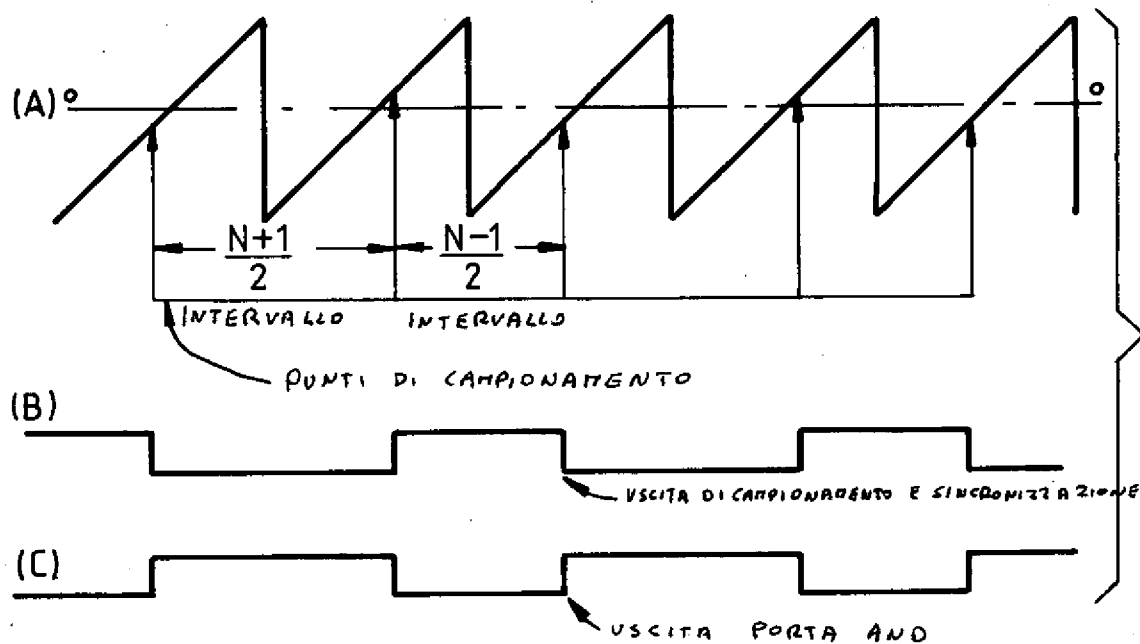


Fig.3

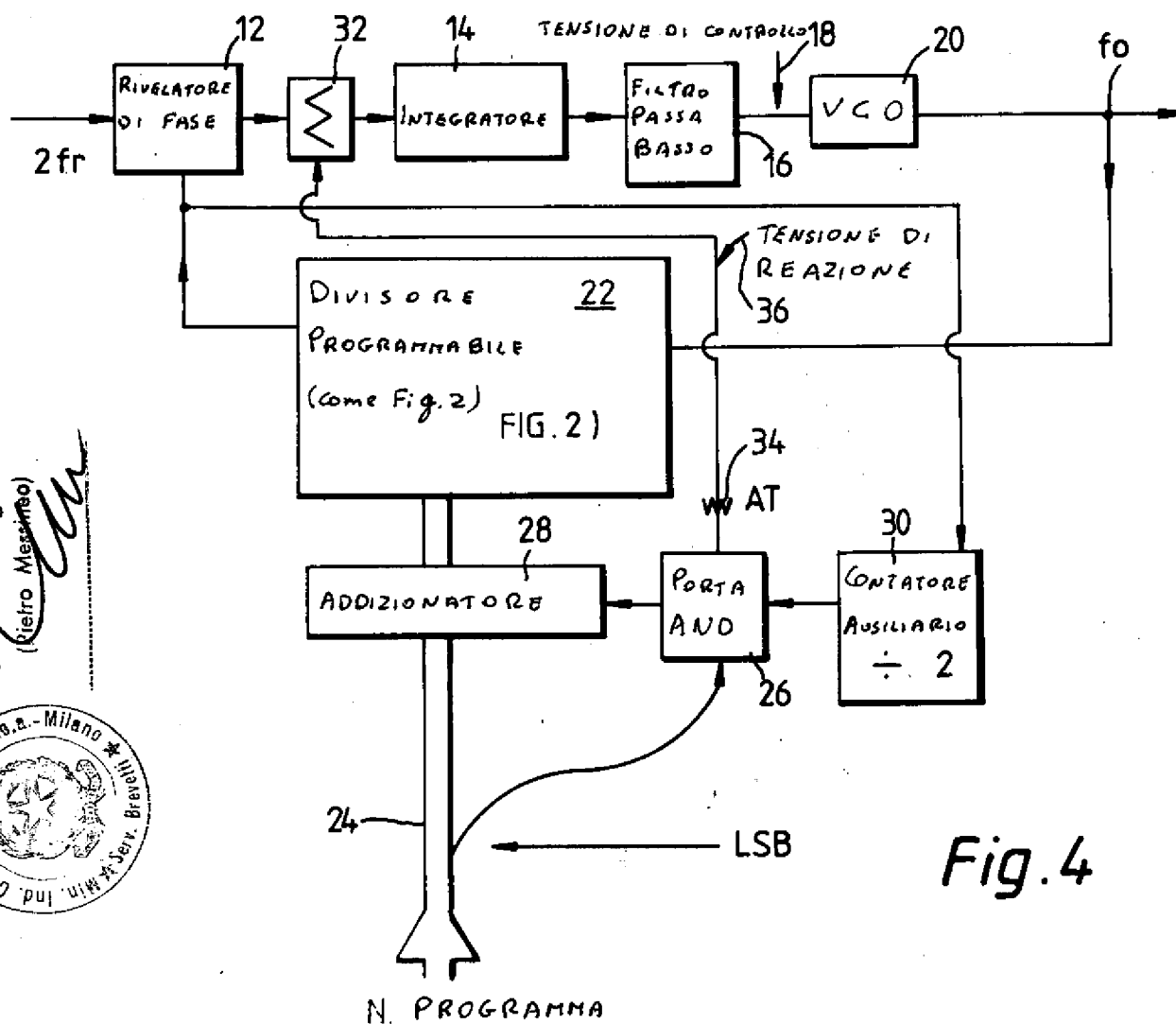


Fig.4

Ufficiale Rogante
(Retro Messaggio)



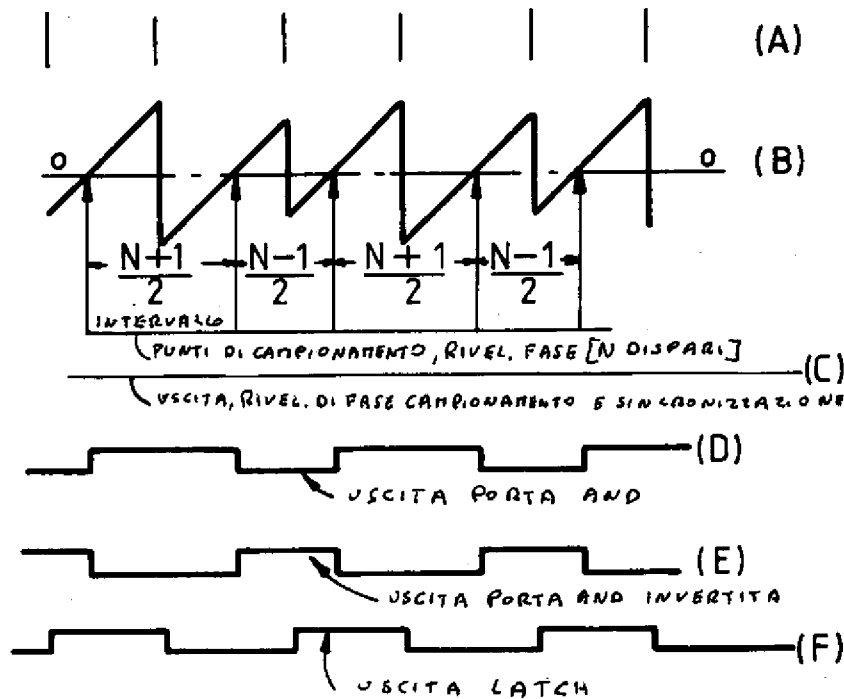


Fig. 6

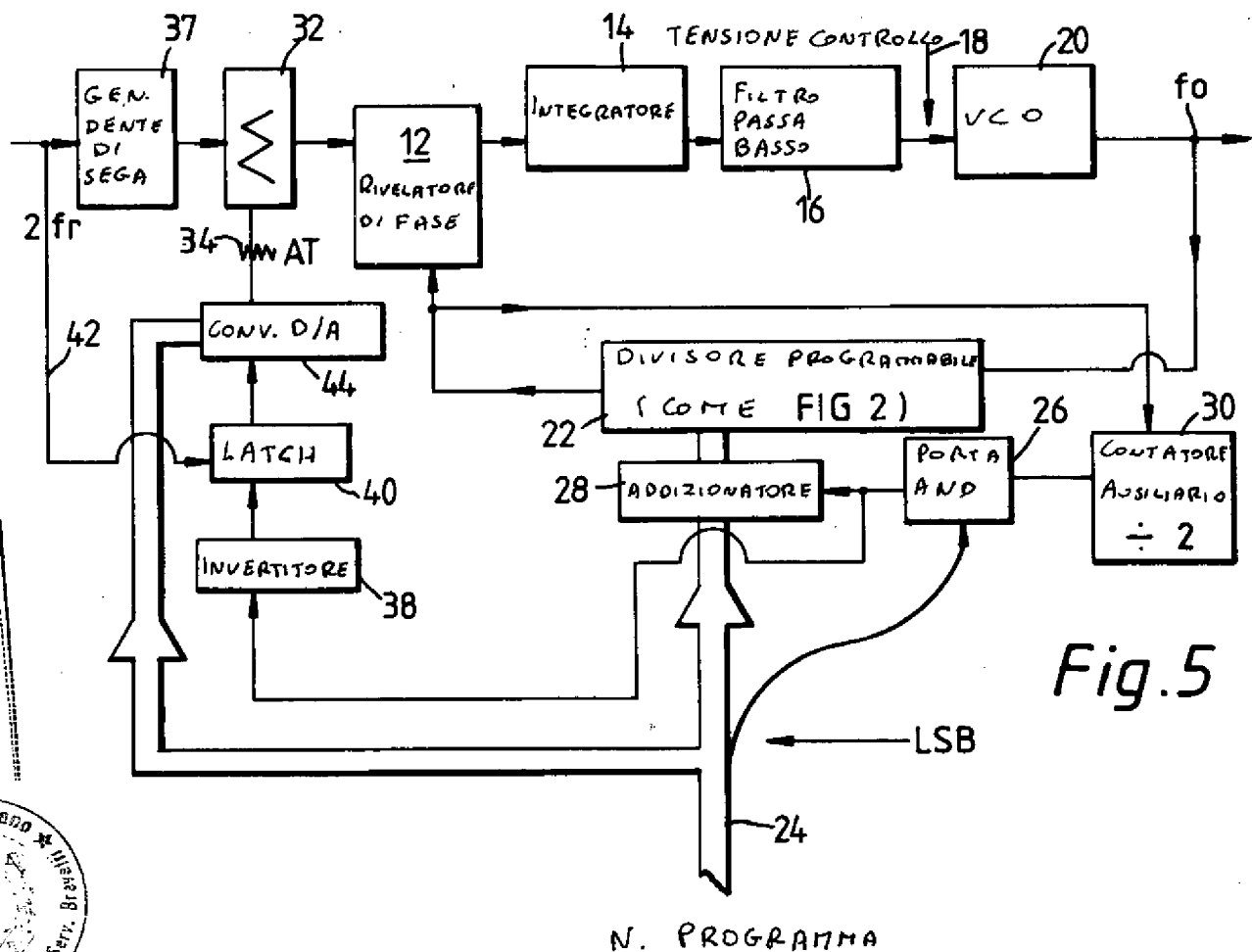


Fig. 5

Ufficio Rogante
(Pietro Messinico)



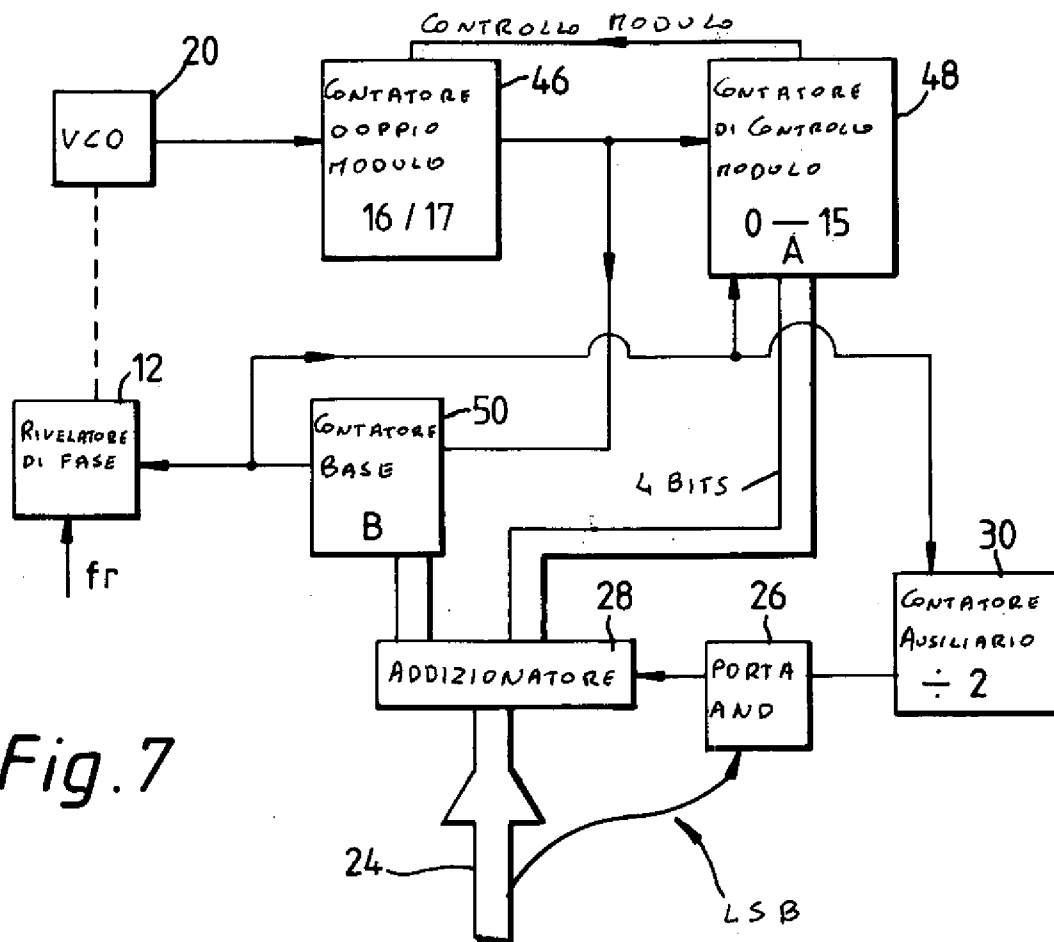


Fig. 7

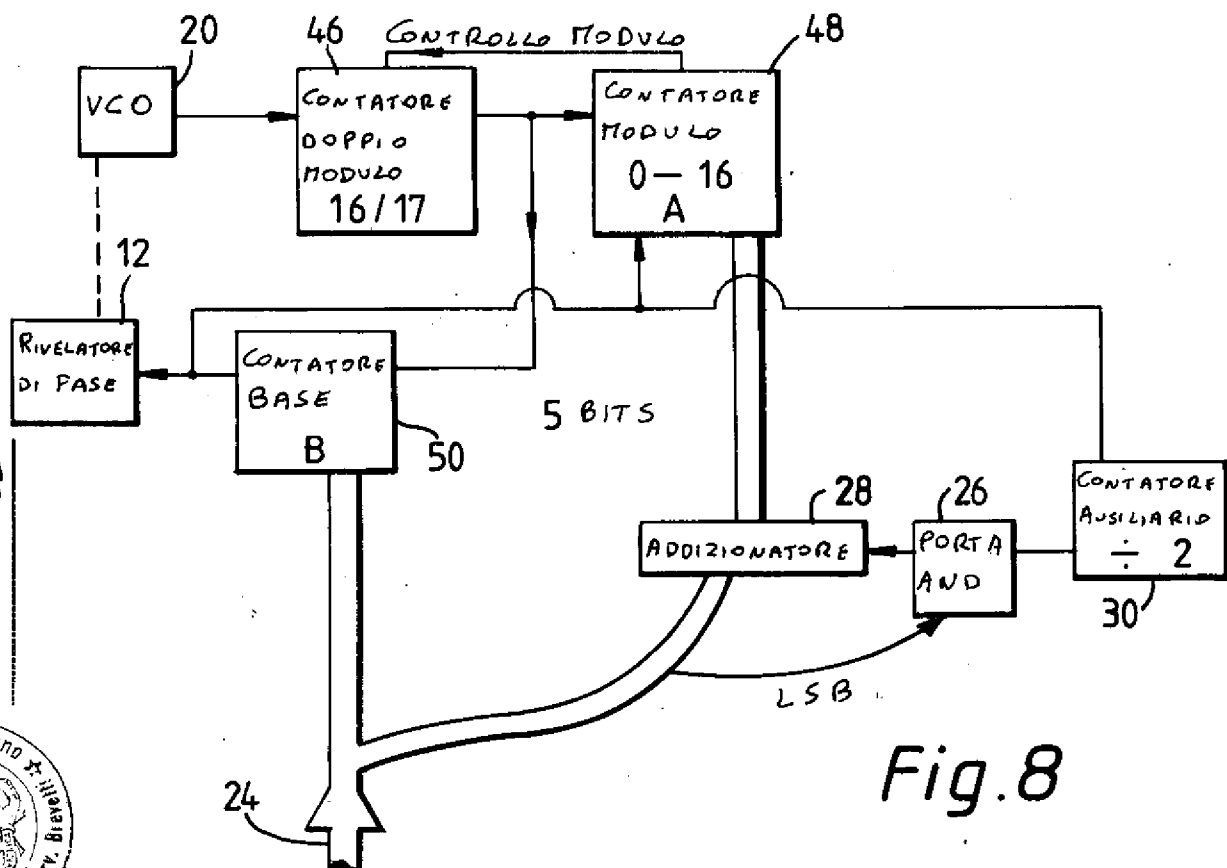


Fig. 8

