



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2012년10월09일
 (11) 등록번호 10-1189273
 (24) 등록일자 2012년10월02일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)

G02F 1/13 (2006.01)

(21) 출원번호 10-2005-0083039

(22) 출원일자 2005년09월07일

심사청구일자 2010년09월07일

(65) 공개번호 10-2007-0028744

(43) 공개일자 2007년03월13일

(56) 선행기술조사문헌

KR1020050000105 A*

KR1020050047744 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김성만

서울특별시 송파구 신천로 45, 장미아파트 30동
508호 (신천동)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 20 항

심사관 : 이성현

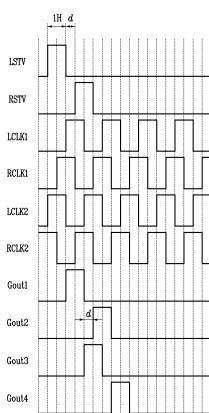
(54) 발명의 명칭 표시 장치의 구동 장치 및 이를 포함하는 표시 장치

(57) 요 약

본 발명은 표시 장치의 구동 장치 및 이를 포함하는 표시 장치에 관한 것이다. 이러한 표시 장치의 구동 장치는 게이트 신호를 전달하는 복수의 게이트선, 그리고 상기 게이트선 중 홀수 번째 및 짝수 번째 게이트선에 각각 연결되어 있으며 복수의 클록 신호에 기초하여 상기 게이트 신호를 생성하는 제1 및 제2 게이트 구동부를 포함하며, 상기 복수의 클록 신호 중 인접한 두 클록 신호의 위상차는 180° 이상 360° 미만이다.

이와 같이, 인접한 두 클록 신호의 소정의 시간 간격을 두어 킥백 전압으로 인한 전압 감소를 한 번만 발생시켜 정극성과 부극성의 데이터 전압을 같게 하여 플리커 또는 얼룩 등의 문제를 해결할 수 있다.

대 표 도 - 도6a



특허청구의 범위

청구항 1

게이트 신호를 전달하는 복수의 게이트선, 그리고 상기 게이트선 중 홀수 번째 및 짝수 번째 게이트선에 각각 연결되어 있으며 복수의 클록 신호에 기초하여 상기 게이트 신호를 생성하는 제1 및 제2 게이트 구동부를 포함하는 표시 장치의 구동 장치로서,

상기 복수의 클록 신호의 인접한 두 클록 신호 중 상기 제1 게이트 구동부에 입력되는 클록 신호와 상기 제2 게이트 구동부에 입력되는 클록 신호의 위상차는 180° 이상 360° 미만인

표시 장치의 구동 장치.

청구항 2

제1항에서,

상기 복수의 클록 신호 중 인접하지 않는 두 신호의 위상차는 180° 인 표시 장치의 구동 장치.

청구항 3

제2항에서,

상기 복수의 클록 신호의 듀티비는 50%인 표시 장치의 구동 장치.

청구항 4

제1항에서,

상기 복수의 클록 신호는 제1 내지 제4 클록 신호를 포함하며,

상기 제1 클록 신호와 상기 제2 클록 신호의 위상차 또는 상기 제3 클록 신호와 상기 제4 클록 신호의 위상차는 180° 이상 360° 미만인

표시 장치의 구동 장치.

청구항 5

제4항에서,

상기 제1 클록 신호와 상기 제3 클록 신호의 위상차 또는 상기 제2 클록 신호와 상기 제4 클록 신호의 위상차는 180° 인 표시 장치의 구동 장치.

청구항 6

제5항에서,

상기 제1 및 제3 클록 신호는 상기 제1 게이트 구동부에 입력되고, 상기 제2 및 제4 클록 신호는 상기 제2 게이트 구동부에 입력되는 표시 장치의 구동 장치.

청구항 7

제6항에서,

상기 제1 및 제2 게이트 구동부에는 제1 및 제2 출력 시작 신호가 각각 입력되는 표시 장치의 구동 장치.

청구항 8

제7항에서,

상기 제1 및 제2 출력 시작 신호의 위상차는 180° 이상 360° 미만인 표시 장치의 구동 장치.

청구항 9

행렬 형태로 배열되어 있는 복수의 화소,

상기 화소에 게이트 신호를 전달하는 복수의 게이트선,

상기 화소에 데이터 신호를 전달하는 복수의 데이터선, 그리고

상기 게이트선 중 홀수 번째 및 짝수 번째 게이트선에 각각 연결되어 있으며 복수의 클록 신호에 기초하여 상기 게이트 신호를 생성하는 제1 및 제2 게이트 구동부

를 포함하며,

상기 복수의 클록 신호의 인접한 두 클록 신호 중 상기 제1 게이트 구동부에 입력되는 클록 신호와 상기 제2 게이트 구동부에 입력되는 클록 신호의 위상차는 180° 이상 360° 미만인

표시 장치.

청구항 10

제9항에서,

상기 복수의 클록 신호 중 인접하지 않는 두 신호의 위상차는 180° 인 표시 장치.

청구항 11

제10항에서,

상기 복수의 클록 신호의 듀티비는 50%인 표시 장치.

청구항 12

제9항에서,

상기 복수의 클록 신호는 제1 내지 제4 클록 신호를 포함하며,

상기 제1 클록 신호와 상기 제2 클록 신호의 위상차 또는 상기 제3 클록 신호와 상기 제4 클록 신호의 위상차는 180° 이상 360° 미만인

표시 장치.

청구항 13

제12항에서,

상기 제1 클록 신호와 상기 제3 클록 신호의 위상차 또는 상기 제2 클록 신호와 상기 제4 클록 신호의 위상차는 180° 인 표시 장치.

청구항 14

제13항에서,

상기 제1 및 제3 클록 신호는 상기 제1 게이트 구동부에 입력되고, 상기 제2 및 제4 클록 신호는 상기 제2 게이트 구동부에 입력되는 표시 장치.

청구항 15

제14항에서,

상기 제1 및 제2 게이트 구동부에는 제1 및 제2 출력 시작 신호가 각각 입력되는 표시 장치.

청구항 16

제15항에서,

상기 제1 및 제2 출력 시작 신호의 위상차는 180° 이상 360° 미만인 표시 장치.

청구항 17

제16항에서,

상기 화소 중 인접한 두 데이터선 사이에 행방향으로 배열되어 있는 두 화소("화소쌍")는 동일한 데이터선에 연결되어 있는 표시 장치.

청구항 18

제17항에서,

상기 화소쌍의 두 화소는 서로 다른 게이트선에 연결되어 있는 표시 장치.

청구항 19

제18항에서,

상기 표시 장치는 상기 데이터 신호를 생성하는 데이터 구동부를 더 포함하며,

상기 데이터 구동부는 상기 화소가 열방향으로 배열되어 있는 복수의 화소행 중에서 첫 번째 화소행에 위치한 상기 화소쌍의 두 화소 중 먼저 상기 게이트 신호를 인가받는 화소에는 나머지 화소보다 긴 시간동안 상기 데이터 신호를 인가하는

표시 장치.

청구항 20

제9항에서,

상기 제1 및 제2 게이트 구동부는 상기 표시 장치에 접속되어 있는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0028] 본 발명은 표시 장치의 구동 장치 및 이를 포함하는 표시 장치에 관한 것이다.

[0029] 일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다. 화소 전극과 공통 전극 및 그 사이의 액정층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.

[0030] 이러한 액정 표시 장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이때, 액정층에 한 방향의 전계가 오랫동안 인가됨으로써 발생하는 열화 현상을 방지하기 위하여 프레임별로, 행별로, 또는 화소별로 공통 전압에 대한 데이터 전압의 극성을 반전시킨다.

[0031] 이러한 액정 표시 장치는 게이트선에 게이트 신호를 내보내어 화소의 스위칭 소자를 터온/오프시키는 게이트 구동부, 복수의 계조 전압을 생성하는 계조 전압 생성부, 계조 전압 중 영상 데이터에 해당하는 전압을 데이터 전압으로 선택하여 표시 신호선 중 데이터선에 데이터 전압을 인가하는 데이터 구동부, 그리고 이들을 제어하는 신호 제어부를 포함한다.

[0032] 이 때, 게이트 구동부를 화소의 스위칭 소자와 동일한 공정으로 형성하여 표시판에 접속하는 한편, 게이트선의

수효를 두 배로 늘리는 대신 데이터선의 수효를 절반으로 하여 동일한 해상도를 구현하면서도 원가를 절감한다. 또한, 게이트 구동부를 표시판의 좌우에 두어 게이트 신호를 인가하는 데, 한 프레임동안의 시간에 게이트 신호를 인가하기 위하여 게이트 신호를 인가한 후 일정 시간 후에 다음 게이트 신호를 이전 게이트 신호와 중첩시켜내보낸다.

발명이 이루고자 하는 기술적 과제

[0033] 그런데, 화소에는 신호선의 중첩으로 인하여 기생 용량이 존재하는 데, 데이터 전압이 인가된 후 게이트 전압이 하강 에지에서 기생 용량으로 인한 킥백 전압(kickback voltage) 때문에 데이터 전압이 약간 감소하고 이어 다음 게이트 신호의 하강 에지에서 킥백 전압으로 인해 한 번 더 감소한다. 이로 인해, 정극성과 부극성의 화소 전압이 차이가 생겨 플리커를 유발하는 한편 화면에 얼룩이 생기기도 한다.

[0034] 따라서, 본 발명이 이루고자 하는 기술적 과제는 플리커 또는 화면의 얼룩을 제거할 수 있는 표시 장치의 구동 장치 및 이를 포함하는 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

[0035] 이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따라, 게이트 신호를 전달하는 복수의 게이트선, 그리고 상기 게이트선 중 홀수 번째 및 짝수 번째 게이트선에 각각 연결되어 있으며 복수의 클록 신호에 기초하여 상기 게이트 신호를 생성하는 제1 및 제2 게이트 구동부를 포함하는 표시 장치의 구동 장치에서, 상기 복수의 클록 신호 중 인접한 두 클록 신호의 위상차는 180° 이상 360° 미만이다.

[0036] 또한, 상기 복수의 클록 신호 중 인접하지 않는 두 신호의 위상차는 180° 일 수 있다.

[0037] 또한, 상기 복수의 클록 신호의 듀티비는 50%일 수 있다.

[0038] 한편, 상기 복수의 클록 신호는 제1 내지 제4 클록 신호를 포함하며, 상기 제1 클록 신호와 상기 제2 클록 신호의 위상차 또는 상기 제3 클록 신호와 상기 제4 클록 신호의 위상차는 180° 이상 360° 미만일 수 있다.

[0039] 또한, 상기 제1 클록 신호와 상기 제3 클록 신호의 위상차 또는 상기 제2 클록 신호와 상기 제4 클록 신호의 위상차는 180° 일 수 있다.

[0040] 상기 제1 및 제3 클록 신호는 상기 제1 게이트 구동부에 입력되고, 상기 제2 및 제4 클록 신호는 상기 제2 게이트 구동부에 입력될 수 있으며, 상기 제1 및 제2 게이트 구동부에는 제1 및 제2 출력 시작 신호가 각각 입력될 수 있는데, 상기 제1 및 제2 출력 시작 신호의 위상차는 180° 이상 360° 미만일 수 있다.

[0041] 한편, 본 발명의 한 실시예에 따른 표시 장치는, 행렬 형태로 배열되어 있는 복수의 화소, 상기 화소에 게이트 신호를 전달하는 복수의 게이트선, 상기 화소에 데이터 신호를 전달하는 복수의 데이터선, 그리고 상기 게이트선 중 홀수 번째 및 짝수 번째 게이트선에 각각 연결되어 있으며 복수의 클록 신호에 기초하여 상기 게이트 신호를 생성하는 제1 및 제2 게이트 구동부를 포함하며, 상기 복수의 클록 신호 중 인접한 두 클록 신호의 위상차는 180° 이상 360° 미만이다.

[0042] 또한, 상기 복수의 클록 신호 중 인접하지 않는 두 신호의 위상차는 180° 일 수 있다.

[0043] 또한, 상기 복수의 클록 신호의 듀티비는 50%일 수 있다.

[0044] 한편, 상기 복수의 클록 신호는 제1 내지 제4 클록 신호를 포함하며, 상기 제1 클록 신호와 상기 제2 클록 신호의 위상차 또는 상기 제3 클록 신호와 상기 제4 클록 신호의 위상차는 180° 이상 360° 미만일 수 있다.

[0045] 여기서, 상기 제1 클록 신호와 상기 제3 클록 신호의 위상차 또는 상기 제2 클록 신호와 상기 제4 클록 신호의 위상차는 180° 일 수 있다.

[0046] 이 때, 상기 제1 및 제3 클록 신호는 상기 제1 게이트 구동부에 입력되고, 상기 제2 및 제4 클록 신호는 상기 제2 게이트 구동부에 입력될 수 있다.

[0047] 상기 제1 및 제2 게이트 구동부에는 제1 및 제2 출력 시작 신호가 각각 입력될 수 있으며, 상기 제1 및 제2 출력 시작 신호의 위상차는 180° 이상 360° 미만일 수 있다.

[0048] 또한, 상기 화소 중 인접한 두 데이터선 사이에 행방향으로 배열되어 있는 두 화소("화소쌍")는 동일한 데이터선에 연결되어 있을 수 있고, 상기 화소쌍의 두 화소는 서로 다른 게이트선에 연결되어 있을 수 있다.

- [0049] 또한, 상기 표시 장치는 상기 데이터 신호를 생성하는 데이터 구동부를 더 포함하며, 상기 데이터 구동부는 상기 화소가 열방향으로 배열되어 있는 복수의 화소행 중에서 첫 번째 화소행에 위치한 상기 화소쌍의 두 화소 중 먼저 상기 게이트 신호를 인가받는 화소에는 나머지 화소보다 긴 시간동안 상기 데이터 신호를 인가할 수 있다.
- [0050] 한편, 상기 제1 및 제2 게이트 구동부는 상기 표시 장치에 접적되어 있을 수 있다.
- [0051] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0052] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0053] 먼저, 도 1 내지 도 3을 참고하여 본 발명의 한 실시예에 따른 표시 장치에 대하여 상세하게 설명하며, 액정 표시 장치를 한 예로 설명한다.
- [0054] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다. 또한 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 구조도이다.
- [0055] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400L, 400R)와 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- [0056] 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선(G_1-G_{2n} , D_1-D_m , $L1, L2$)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.
- [0057] 신호선(G_1-G_{2n} , D_1-D_m , $L1, L2$)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_{2n})과 데이터 신호를 전달하는 데이터선(D_1-D_m) 및 더미선($L1, L2$)을 포함한다. 게이트선(G_1-G_{2n})은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_m)과 더미선($L1, L2$)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0058] 도 3에 도시한 바와 같이, 게이트선(G_1-G_{2n}), 데이터선(D_1-D_m) 및 더미선($L1, L2$)이 구비된 액정 표시판 조립체(300)의 위쪽에는 액정 표시 장치를 구동하기 위한 신호 제어부(600), 구동 전압 생성부(700) 및 계조 전압 생성부(800) 따위의 회로 요소가 구비되어 있는 인쇄 회로 기판(printed circuit board, PCB)(550)이 위치하고 있다. 더미선($L1$)은 액정 표시판 조립체(300)의 최좌측 가장자리 부근에, 또한 더미선($L2$)은 액정 표시판 조립체(300)의 최우측 부근에 대략 행 방향으로 뻗어 있으며 데이터선(D_1-D_m)과 거의 평행하다.
- [0059] 액정 표시판 조립체(300)와 PCB(550)는 가요성 회로(flexible printed circuit, FPC) 기판(510)을 통하여 서로 전기적 물리적으로 연결되어 있다.
- [0060] 이 가요성 회로 기판(510)에는 데이터 구동부(500)를 이루는 데이터 구동 접적 회로 칩(540)이 장착되어 있고, 복수의 데이터 전달선(521)이 형성되어 있다. 이 데이터 전달선(521)은 접촉부(C1)를 통해 액정 표시판 조립체(300) 상에 형성된 복수의 데이터선(D_1-D_m)에 각각 연결되어 해당하는 데이터 전압을 전달한다.
- [0061] 가장 왼쪽과 가장 오른쪽에 위치한 FPC 기판(510)에는 신호 전달선(522a, 522b, 523a, 523b)이 형성되어 있다. 신호 전달선(522a, 522b, 523a, 523b)은 접촉부(C3)를 통해 PCB(550)에 형성된 신호 전달선(551a, 551b)에 연결된다.
- [0062] 가장 왼쪽의 FPC 기판(510)에 형성된 신호 전달선(522a)은 접촉부(C2)를 통해 가장 왼쪽에 위치한 데이터선(D_1)에 연결되어 있고, 또한 접촉부(C3)를 통해 신호 전달선(551a, 523a)에 연결되어 접촉부(C1)를 통해 더미선($L2$)에 연결되어 있다.
- [0063] 또한 가장 오른쪽의 FPC 기판(510)에 형성된 신호 전달선(523b)은 가장 오른쪽에 위치한 데이터선(D_m)에 접촉부(C2)를 통해 연결되어 있고, 또한 접촉부(C3)를 통해 신호 전달선(551b, 523b)에 연결되어 접촉부(C1)를 통해

더미선(L1)에 연결되어 있다.

[0064] 각 화소(PX)는 표시 신호선(G_1-G_{2n} , D_1-D_m) 및 더미선(L1, L2)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.

[0065] 박막 트랜지스터 등 스위칭 소자(Q)는 박막 트랜지스터 표시판인 하부 표시판(100)에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선(G_1-G_{2n}), 데이터선(D_1-D_m) 및 더미선(L1, L2)에 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)에 연결되어 있다.

[0066] 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 공통 전극 표시판인 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(V_{com})을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

[0067] 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(V_{com}) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

[0068] 도 3에 도시한 바와 같이, 한 쌍의 게이트선(G_1 및 G_2 , G_3 및 G_4 , ...)은 한 행의 화소 전극(191) 위아래에 배치되어 있다. 또한 데이터선(D_1-D_m)은 두 열의 화소 전극(191) 사이에 하나씩 배치되어 있다. 즉, 한 쌍의 화소열 사이에 하나의 데이터선이 배치되어 있다. 이들 게이트선(G_1-G_{2n}) 및 데이터선(D_1-D_m)과 화소 전극(191) 간의 연결을 좀더 자세히 설명한다.

[0069] 화소 전극(191)의 위쪽과 아래쪽에 연결된 복수 쌍의 게이트선(G_1-G_{2n})은 각 화소 전극(191)의 위쪽 또는 아래쪽에 배치된 스위칭 소자(Q)를 통해 해당 화소 전극(191)에 연결된다.

[0070] 즉, 홀수 번째 화소행에서, 데이터선(D_1-D_m)을 중심으로 좌측에 위치한 스위칭 소자(Q)는 위쪽에 위치한 게이트선(G_1 , G_5 , G_9 , ...)에 연결되어 있고, 데이터선(D_1-D_m)을 중심으로 우측에 위치한 스위칭 소자(Q)는 아래쪽에 위치한 게이트선(G_2 , G_6 , G_{10} , ...)에 연결되어 있다. 반면에 짝수 번째 화소행에서 위치한 위쪽 게이트선(G_3 , G_7 , G_{11} , ...) 및 아래쪽 게이트선(G_4 , G_8 , G_{12} , ...)과 스위칭 소자(Q)와의 연결은 홀수 번째 화소행과 반대이다. 즉, 데이터선(D_1-D_m)을 중심으로 우측에 위치한 스위칭 소자(Q)는 위쪽에 위치한 게이트선(G_3 , G_7 , G_{11} , ...)에 연결되어 있고, 데이터선(D_1-D_m)을 중심으로 좌측에 위치한 스위칭 소자(Q)는 아래쪽에 위치한 게이트선(G_4 , G_8 , G_{12} , ...)에 연결되어 있다.

[0071] 홀수 번째 행의 화소 전극(191) 중 데이터선(D_1-D_m)을 중심으로 좌측에 위치한 화소 전극(191)은 스위칭 소자(Q)를 통해 바로 인접한 데이터선(D_1-D_m)에 연결되어 있고, 데이터선(D_1-D_m)을 중심으로 우측에 위치한 화소 전극(191)은 스위칭 소자(Q)를 통해 차인접한 데이터선에 연결되어 있다. 짝수 번째 행의 화소 전극(191) 중 데이터선(D_1-D_m)을 중심으로 좌측에 위치한 화소 전극(191)은 스위칭 소자(Q)를 통해 바로 이전의 데이터선에 연결되어 있고, 데이터선(D_1-D_m)을 중심으로 우측에 위치한 화소 전극(191)은 스위칭 소자(Q)를 통해 바로 인접한 데이터선에 연결되어 있다. 또한 첫 번째 열 짝수 번째 행의 화소 전극(191)은 마지막 데이터선(D_m)에 연결된 더미선(L1)에 연결되어 있고, 마지막 열 홀수 번째 행의 화소 전극(191)은 첫 번째 데이터선(D_1)에 연결된 연결선(L2)에 연결되어 있다.

[0072] 이미 설명한 것처럼, 각 화소(PX)에 형성된 스위칭 소자(Q)는 연결된 데이터선(D_1-D_m)이나 더미선(L1, L2)에 좀 더 쉽게 연결될 수 있게, 즉, 연결 길이를 가능한 한 짧게 할 수 있는 위치에 형성된다. 따라서 도 3에 도시한 배치에서 스위칭 소자(Q)의 위치는 매 화소행마다 바뀐다. 즉, 홀수 번째 행에 위치한 화소쌍 중 데이터선(D_1-D_m)의 왼쪽에 위치한 화소(PX)에는 우측 상단부에 스위칭 소자(Q)가 형성되어 있고, 데이터선(D_1-D_m)의 오른쪽에

위치한 화소(PX)에는 우측 하단부에 스위칭 소자(Q)가 형성되어 있다.

[0073] 반면에 짹수 번째 행에 위치한 화소(PX)의 스위칭 소자(Q)의 형성 위치는 인접한 화소행의 형성 위치와 정반대이다. 즉, 짹수 번째 행에 위치한 화소쌍 중 데이터선(D₁-D_m)의 왼쪽에 위치한 화소(PX)에는 좌측 하단부에 스위칭 소자(Q)가 형성되어 있고, 데이터선(D₁-D_m)의 오른쪽에 위치한 화소(PX)에는 좌측 상단부에 스위칭 소자(Q)가 형성되어 있다.

[0074] 도 3에 도시한 화소 전극(191)과 데이터선(D₁-D_m)의 연결을 정리하면, 각 화소행에서, 인접한 두 데이터선 사이에 위치한 두 화소(PX)의 스위칭 소자(Q)는 동일한 데이터선에 연결되어 있다. 즉, 홀수 번째 화소행에서 두 데이터선 사이에 형성된 두 화소(PX)의 스위칭 소자(Q)는 오른쪽에 위치한 데이터선에 연결되어 있고, 짹수 번째 화소행에서 두 데이터선 사이에 형성된 두 화소(PX)의 스위칭 소자(Q)는 왼쪽에 위치한 데이터선에 연결되어 있다.

[0075] 도 3에 도시한 배치는 단지 하나의 예이고, 홀수 번째 행과 짹수 번째 행의 화소 전극(191)과 데이터선(D₁-D_m) 및 게이트선(G₁-G_{2n})의 연결은 서로 바뀔 수 있으며, 또한 다른 연결 관계를 가질 수 있다.

[0076] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 삼원색 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 삼원색을 표시하게(시간 분할) 하여 이를 삼원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 영역에 적색, 녹색, 또는 청색의 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.

[0077] 도 3은 색필터(230)가 행 방향으로는 적색, 녹색, 청색의 순서로 배열되고 각 화소열은 한 색상의 색필터(230)만을 포함하는 스트라이프 배열을 이루고 있다.

[0078] 액정 표시판 조립체(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착되어 있다.

[0079] 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 별의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 별 중 한 별은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.

[0080] 한 쌍의 게이트 구동부(400L, 400R)는 각각 표시판부(300)의 좌측과 우측에 배치되고 홀수 번째 게이트선(G₁, G₃, ..., G_{2n-1})과 짹수 번째 게이트선(G₂, G₄, ..., G_{2n})에 각각 연결되어 외부로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선(G₁-G_{2n})에 인가한다. 이러한 게이트 구동부(400L, 400R)는 실질적으로 시프트 레지스터로서 일렬로 배열된 복수의 스테이지(stage)를 포함하며, 화소(PX)의 스위칭 소자(Q)와 동일한 공정으로 형성되어 집적되어 있다. 그러나 집적 회로(IC)의 형태로 실장될 수도 있다.

[0081] 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D₁-D_m)에 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선(D₁-D_m)에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.

[0082] 신호 제어부(600)는 게이트 구동부(400L, 400R) 및 데이터 구동부(500) 등을 제어한다.

[0083] 이러한 구동 장치(500, 600, 800) 각각은 적어도 하나의 접적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이를 구동 장치(500, 600, 800)가 신호 선(G₁-G_{2n}, D₁-D_m) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 접적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 접적될 수 있으며, 이 경우 이를 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

- [0084] 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.
- [0085] 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- [0086] 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- [0087] 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클록 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.
- [0088] 데이터 제어 신호(CONT2)는 한 행[묶음]의 화소(PX)에 대한 영상 데이터의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D₁-D_m)에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 신호의 전압 극성을(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.
- [0089] 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행[묶음]의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호로 변환한 다음, 이를 해당 데이터선(D₁-D_m)에 인가한다.
- [0090] 게이트 구동부(400L, 400R)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G₁-G_{2n})에 인가하여 이 게이트선(G₁-G_{2n})에 연결된 스위칭 소자(Q)를 턴온시킨다. 그러면, 데이터선(D₁-D_m)에 인가된 데이터 신호가 턴온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.
- [0091] 화소(PX)에 인가된 데이터 신호의 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C1c)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.
- [0092] 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G₁-G_{2n})에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.
- [0093] 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이 때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- [0094] 그러면 본 발명의 한 실시예에 따른 게이트 구동부에 대하여 도 4 내지 도 6을 참고로 하여 설명한다.
- [0095] 도 4는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이고, 도 5는 본 발명의 한 실시예에 따른 게이트 구동부용 시프트 레지스터의 j번째 스테이지의 회로도이며, 도 6은 도 4에 도시한 게이트 구동부의 신호 패형도이다.
- [0096] 도 4에 도시한 시프트 레지스터(400L, 400R)에는 제1 및 제2 주사 시작 신호(LSTV, RSTV), 제1 내지 제4 클록 신호(LCLK1, RCLK1, LCLK2, RCLK2)가 입력된다. 각 시프트 레지스터(400L, 400R)는 각각 일렬로 배열되어 있으며 게이트선에 각각 연결되어 있는 복수의 스테이지(400L, 400R)를 포함한다.
- [0097] 도 6에 도시한 바와 같이, 왼쪽 시프트 레지스터(400L)에 입력되는 제1 주사 시작 신호(LSTV)와 오른쪽 시프트 레지스터(400R)에 입력되는 제2 주사 시작 신호(RSTV)는 폭이 1H인 복수의 필스를 1 프레임에 1개 포함하는 1 프레임 주기의 신호이며, 제2 주사 시작 신호(RSTV)는 제1 주사 시작 신호(LSTV)에 비하여 소정 시간(d)만큼 지

연된 신호이다. 제1 내지 제4 클록 신호(LCLK1, RCLK1, LCLK2, RCLK2)는 둑티비(duty ratio)가 50%이고 2H의 주기를 가지며 제1 클록 신호(LCLK1)와 제2 클록 신호(RCLK1)는 180° 이상의 위상차를 가지며 제3 클록 신호(RCLK1)와 제4 클록 신호(RCLK2) 역시 180° 이상의 위상차를 가진다. 다만, 제1 클록 신호(LCLK1)와 제3 클록 신호(RCLK1), 제2 클록 신호(LCLK2)와 제4 클록 신호(RCLK2)는 각각 180° 의 위상차를 가진다.

[0098] 왼쪽 시프트 레지스터(400L)의 첫 번째 스테이지(410L)에 입력되는 제1 수직 동기 시작 신호(LSTV)의 하이 구간은 제1 클록 신호(LCLK1)의 로우 구간에 위치하고 제1 클록 신호(LCLK1)가 하이가 됨과 동시에 로우가 되며, 오른쪽 시프트 레지스터(400R)의 첫 번째 스테이지(410R)에 입력되는 제2 수직 동기 시작 신호(RSTV)의 하이 구간 역시 제2 클록 신호(RCLK1)의 로우 구간에 위치하고 제2 클록 신호(RCLK1)가 하이가 됨과 동시에 로우가 된다.

[0099] 각 시프트 레지스터(400L, 400R)에서 인접한 두 스테이지(410L, 410R)에는 서로 다른 클록 신호(LCLK1, RCLK1, LCLK2, RCLK2)가 입력된다. 예를 들면, 왼쪽 시프트 레지스터(400L)의 첫 번째 스테이지에는 제1 클록 신호(LCLK1), 두 번째 스테이지에는 제3 클록 신호(LCLK2)가 입력되며, 오른쪽 시프트 레지스터(400R)의 첫 번째 스테이지에는 제2 클록 신호(RCLK1), 두 번째 스테이지에는 제4 클록 신호(RCLK2)가 입력된다.

[0100] 각 클록 신호(LCLK1, RCLK1, LCLK2, RCLK2) 역시 화소의 스위칭 소자(Q)를 구동할 수 있도록 하이인 경우는 게이트 온 전압(V_{on})이고 로우인 경우는 게이트 오프 전압(V_{off})인 것이 바람직하다.

[0101] 각 스테이지(410L, 410R)는 세트 단자(S), 게이트 전압 단자(GV), 한 쌍의 클록 단자(CK1, CK2), 리세트 단자(R), 프레임 리세트 단자(FR), 그리고 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있다.

[0102] 각 스테이지, 예를 들면 j번째 스테이지(STj)의 세트 단자(S)에는 전단 스테이지[ST(j-2)]의 캐리 출력, 즉 전단 캐리 출력[Cout(j-2)]이, 리세트 단자(R)에는 후단 스테이지[ST(j+2)]의 게이트 출력, 즉 후단 게이트 출력[Gout(j+2)]이 입력되고, 클록 단자(CK1, CK2)에는 클록 신호(LCLK1, LCLK2)가 입력되며, 게이트 전압 단자(GV)에는 게이트 오프 전압(V_{off})이 입력된다. 게이트 출력 단자(OUT1)는 게이트 출력[Gout(j)]을 내보내고 캐리 출력 단자(OUT2)는 캐리 출력[Cout(j)]을 내보낸다.

[0103] 단, 각 시프트 레지스터(400L, 400R)의 첫 번째 스테이지에는 전단 캐리 출력 대신 주사 시작 신호(LSTV, RSTV)가 입력된다. 또한, j 번째 스테이지(STj)의 클록 단자(CK1)에 클록 신호(LCLK1)가, 클록 단자(CK2)에 클록 신호(LCLK2)가 입력되는 경우, 이에 인접한 (j-2)번째 및 (j+2)번째 스테이지[ST(j-2), ST(j+2)]의 클록 단자(CK1)에는 클록 신호(LCLK2)가, 클록 단자(CK2)에는 클록 신호(LCLK1)가 입력된다.

[0104] 도 5를 참고하면, 본 발명의 한 실시예에 따른 게이트 구동부(400)의 각 스테이지, 예를 들면 j번째 스테이지는, 입력부(420), 풀업 구동부(430), 풀다운 구동부(440) 및 출력부(450)를 포함한다. 이들은 적어도 하나의 NMOS 트랜지스터(T1-T14)를 포함하며, 풀업 구동부(430)와 출력부(450)는 축전기(C1-C3)를 더 포함한다. 그러나 NMOS 트랜지스터 대신 PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(C1-C3)는 실제로, 공정시에 형성되는 게이트와 드레인/소스간 기생 용량(parasitic capacitance)일 수 있다.

[0105] 입력부(420)는 세트 단자(S)와 게이트 전압 단자(GV)에 차례로 직렬로 연결되어 있는 세 개의 트랜지스터(T11, T10, T5)를 포함한다. 트랜지스터(T11, T5)의 게이트는 클록 단자(CK2)에 연결되어 있으며 트랜지스터(T10)의 게이트는 클록 단자(CK1)에 연결되어 있다. 트랜지스터(T11)와 트랜지스터(T10) 사이의 접점은 접점(J1)에 연결되어 있고, 트랜지스터(T10)와 트랜지스터(T5) 사이의 접점은 접점(J2)에 연결되어 있다.

[0106] 풀업 구동부(430)는 세트 단자(S)와 접점(J1) 사이에 연결되어 있는 트랜지스터(T4)와 클록 단자(CK1)와 접점(J3) 사이에 연결되어 있는 트랜지스터(T12), 그리고 클록 단자(CK1)와 접점(J4) 사이에 연결되어 있는 트랜지스터(T7)를 포함한다. 트랜지스터(T4)의 게이트와 드레인은 세트 단자(S)에 공통으로 연결되어 있으며 소스는 접점(J1)에 연결되어 있고, 트랜지스터(T12)의 게이트와 드레인은 클록 단자(CK1)에 공통으로 연결되어 있고 소스는 접점(J3)에 연결되어 있다. 트랜지스터(T7)의 게이트는 접점(J3)에 연결됨과 동시에 축전기(C1)를 통하여 클록 단자(CK1)에 연결되어 있고, 드레인은 클록 단자(CK1)에, 소스는 접점(J4)에 연결되어 있으며, 접점(J3)과 접점(J4) 사이에 축전기(C2)가 연결되어 있다.

[0107] 풀다운 구동부(440)는 소스를 통하여 게이트 오프 전압(V_{off})을 입력받아 드레인을 통하여 접점(J1, J2, J3, J4)으로 출력하는 복수의 트랜지스터(T6, T9, T13, T8, T3, T2)를 포함한다. 트랜지스터(T6)의 게이트는 프레임 리세트 단자(FR)에, 드레인은 접점(J1)에 연결되어 있고, 트랜지스터(T9)의 게이트는 리세트 단자(R)에, 드레인은 접점(J1)에 연결되어 있으며, 트랜지스터(T13, T8)의 게이트는 접점(J2)에 공통으로 연결되어 있고, 드레인은 각각 접점(J3, J4)에 연결되어 있다. 트랜지스터(T3)의 게이트는 접점(J4)에, 트랜지스터(T2)의 게이트는

리세트 단자(R)에 연결되어 있으며, 두 트랜지스터(T3, T2)의 드레인은 접점(J2)에 연결되어 있다.

[0108] 출력부(450)는 드레인과 소스가 각각 클록 단자(CK1)와 출력 단자(OUT1, OUT2) 사이에 연결되어 있고 게이트가 접점(J1)에 연결되어 있는 한 쌍의 트랜지스터(T1, T14)와 트랜지스터(T1)의 게이트와 드레인 사이, 즉 접점(J1)과 접점(J2) 사이에 연결되어 있는 축전기(C3)를 포함한다. 트랜지스터(T1)의 소스는 또한 접점(J2)에 연결되어 있다.

[0109] 그러면 이러한 스테이지의 동작에 대하여 설명한다.

[0110] 설명의 편의를 위하여 클록 신호(LCLK1, LCLK2, RCLK1, RCLK2)의 하이 레벨에 해당하는 전압을 고전압이라 하고, 클록 신호(LCLK1, LCLK2, RCLK1, RCLK2)의 로우 레벨에 해당하는 전압의 크기는 게이트 오프 전압(V_{off})과 동일하고 이를 저전압이라 한다.

[0111] 먼저, 클록 신호(LCLK2) 및 전단 캐리 출력[Cout(j-2)]이 하이가 되면, 트랜지스터(T11, T5)와 트랜지스터(T4)가 턴온된다. 그러면 두 트랜지스터(T11, T4)는 고전압을 접점(J1)으로 전달하고, 트랜지스터(T5)는 저전압을 접점(J2)으로 전달한다. 이로 인해, 트랜지스터(T1, T14)가 턴온되어 클록 신호(CLK1)가 출력단(OUT1, OUT2)으로 출력되는데, 이 때 접점(J2)의 전압과 클록 신호(LCLK1)가 모두 저전압이므로, 출력 전압[Gout(j), Cout(j)]은 저전압이 된다. 이와 동시에, 축전기(C3)는 고전압과 저전압의 차에 해당하는 크기의 전압을 충전한다.

[0112] 이 때, 클록 신호(LCLK1) 및 후단 게이트 출력[Gout(j+2)]은 로우이고 접점(J2) 또한 로우이므로, 이에 게이트가 연결되어 있는 트랜지스터(T10, T9, T12, T13, T8, T2)는 모두 오프 상태이다.

[0113] 이어, 클록 신호(LCLK2)가 로우가 되면 트랜지스터(T11, T5)가 턴오프되고, 이와 동시에 클록 신호(LCLK1)가 하이가 되면 트랜지스터(T1)의 출력 전압 및 접점(J2)의 전압이 고전압이 된다. 이 때, 트랜지스터(T10)의 게이트에는 고전압이 인가되지만 접점(J2)에 연결되어 있는 소스의 전위가 또한 동일한 고전압이므로, 게이트 소스 간 전위차가 0이 되어 트랜지스터(T10)는 턴오프 상태를 유지한다. 따라서, 접점(J1)은 부유 상태가 되고 이에 따라 축전기(C3)에 의하여 고전압만큼 전위가 더 상승한다.

[0114] 한편, 클록 신호(LCLK1) 및 접점(J2)의 전위가 고전압이므로 트랜지스터(T12, T13, T8)가 턴온된다. 이 상태에서 트랜지스터(T12)와 트랜지스터(T13)가 고전압과 저전압 사이에서 직렬로 연결되며, 이에 따라 접점(J3)의 전위는 두 트랜지스터(T12, T13)의 턴온시 저항 상태의 저항값에 의하여 분압된 전압값을 가진다. 그런데, 두 트랜지스터(T13)의 턴온시 저항 상태의 저항값이 트랜지스터(T12)의 턴온시 저항 상태의 저항값에 비하여 매우 크게, 이를테면 약 10,000배 정도로 설정되어 있다고 하면 접점(J3)의 전압은 고전압과 거의 동일하다. 따라서, 트랜지스터(T7)가 턴온되어 트랜지스터(T8)와 직렬로 연결되고, 이에 따라 접점(J4)의 전위는 두 트랜지스터(T7, T8)의 저항 상태의 저항값에 의하여 분압된 전압값을 갖는다. 이 때, 두 트랜지스터(T7, T8)의 저항 상태의 저항값이 거의 동일하게 설정되어 있으면, 접점(J4)의 전위는 고전압과 저전압의 중간값을 가지고 이에 따라 트랜지스터(T3)는 턴오프 상태를 유지한다. 이 때, 후단 게이트 출력[Gout(j+2)]이 여전히 로우이므로 트랜지스터(T9, T2) 또한 턴오프 상태를 유지한다. 따라서, 출력단(OUT1, OUT2)은 클록 신호(CLK1)에만 연결되고 저전압과는 차단되어 고전압을 내보낸다.

[0115] 한편, 축전기(C1)와 축전기(C2)는 양단의 전위차에 해당하는 전압을 각각 충전하는데, 접점(J3)의 전압이 접점(J5)의 전압보다 낮다.

[0116] 이어, 후단 게이트 출력[Gout(j+1)] 및 클록 신호(CLK2)가 하이가 되고 클록 신호(CLK1)가 로우가 되면, 트랜지스터(T9, T2)가 턴온되어 접점(J1, J2)으로 저전압을 전달한다. 이 때, 접점(J1)의 전압은 축전기(C3)가 방전하면서 저전압으로 떨어지는데, 축전기(C3)의 방전 시간으로 인하여 저전압으로 완전히 내려가는 데는 어느 정도 시간을 필요로 한다. 따라서, 두 트랜지스터(T1, T14)는 후단 게이트 출력[Gout(j+1)]이 하이가 되고도 잠시동안 턴온 상태를 유지하게 되고 이에 따라 출력단(OUT1, OUT2)이 클록 신호(CLK1)와 연결되어 저전압을 내보낸다. 이어, 축전기(C3)가 완전히 방전되어 접점(J1)의 전위가 저전압에 이르면 트랜지스터(T14)가 턴오프되어 출력단(OUT2)이 클록 신호(CLK1)와 차단되므로, 캐리 출력[Cout(j)]은 부유 상태가 되어 저전압을 유지한다. 이와 동시에, 출력단(OUT1)은 트랜지스터(T1)가 턴오프되더라도 트랜지스터(T2)를 통하여 저전압과 연결되므로 계속해서 저전압을 내보낸다.

[0117] 한편, 트랜지스터(T12, T13)가 턴오프되므로, 접점(J3)이 부유 상태가 된다. 또한 접점(J5)의 전압이 접점(J4)의 전압보다 낮아지는데 축전기(C1)에 의하여 접점(J3)의 전압이 접점(J5)의 전압보다 낮은 상태를 유지하므

로 트랜지스터(T7)는 턴오프된다. 이와 동시에 트랜지스터(T8)도 턴오프 상태가 되므로 접점(J4)의 전압도 그 만큼 낮아져 트랜지스터(T3) 또한 턴오프 상태를 유지한다. 또한, 트랜지스터(T10)는 게이트가 클록 신호(CLK1)의 저전압에 연결되고 접점(J2)의 전압도 로우이므로 턴오프 상태를 유지한다.

[0118] 다음, 클록 신호(CLK1)가 하이가 되면, 트랜지스터(T12, T7)가 턴온되고, 접점(J4)의 전압이 상승하여 트랜지스터(T3)를 턴온시켜 저전압을 접점(J2)으로 전달하므로 출력단(OUT1)은 계속해서 저전압을 내보낸다. 즉, 비록 후단 게이트 출력[Gout(j+1)]이 출력이 로우라 하더라도 접점(J2)의 전압이 저전압이 될 수 있도록 한다.

[0119] 한편, 트랜지스터(T10)의 게이트가 클록 신호(CLK1)의 고전압에 연결되고 접점(J2)의 전압이 저전압이므로 턴온되어 접점(J2)의 저전압을 접점(J1)으로 전달한다. 한편, 두 트랜지스터(T1, T14)의 드레인에는 클록 단자(CK1)가 연결되어 있어 클록 신호(CLK1)가 계속해서 인가된다. 특히, 트랜지스터(T1)는 나머지 트랜지스터들에 비하여 상대적으로 크게 만드는데, 이로 인해 게이트 드레인간 기생 용량이 커서 드레인의 전압 변화가 게이트 전압에 영향을 미칠 수 있다. 따라서, 클록 신호(CLK1)가 하이가 될 때 게이트 드레인간 기생 용량 때문에 게이트 전압이 올라가 트랜지스터(T1)가 턴온될 수도 있다. 따라서, 접점(J2)의 저전압을 접점(J1)으로 전달함으로써 트랜지스터(T1)의 게이트 전압을 저전압으로 유지하여 트랜지스터(T1)가 턴온되는 것을 방지한다.

[0120] 이후에는 전단 캐리 출력[Cout(j-2)]이 하이가 될 때까지 접점(J1)의 전압은 저전압을 유지하며, 접점(J2)의 전압은 클록 신호(CLK1)가 하이이고 클록 신호(CLK2)가 로우일 때는 트랜지스터(T3)를 통하여 저전압이 되고, 그 반대의 경우에는 트랜지스터(T5)를 통하여 저전압을 유지한다.

[0121] 한편, 트랜지스터(T6)는 마지막 더미 스테이지(도시하지 않음)에서 발생되는 초기화 신호(INT)를 입력받아 게이트 오프 전압(V_{off})을 접점(J1)으로 전달하여 접점(J1)의 전압을 한번 더 저전압으로 설정한다.

[0122] 이러한 방식으로, 스테이지(410)는 전단 캐리 신호[Cout(j-2)] 및 후단 게이트 신호[Gout(j+2)]에 기초하고 클록 신호(LCLK1, LCLK2)에 동기하여 캐리 신호[Cout(j)] 및 게이트 신호[Gout(j)]를 생성한다.

[0123] 한편, 도 7a는 본 발명의 한 실시예에 따른 게이트 신호와 데이터 전압의 파형이고 도 7b는 종래 기술에 따른 게이트 신호와 데이터 전압의 파형이다.

[0124] 게이트 신호는 도 3에 도시한 것처럼 동일한 화소행에 위치하면서 동일한 데이터선(D_1-D_m)에 연결되어 있는 한 화소 집합(a, b)에 인가되는 j 번째 출력[Gout(j)]과 (j+1)번째 출력[Gout(j+1)]을 나타내었고, 데이터 전압은 각 화소 집합(a, b)에 인가되는 정극성과 부극성의 데이터 전압(V_{da} , V_{db})을 모두 나타내었다.

[0125] 도 7a를 보면, 앞서 설명한 것처럼, 제1 클록 신호(LCLK1)와 제2 클록 신호(RCLK1)는 소정 시간(d)만큼 서로 떨어져 있는데, 이 소정 시간(d)은 0 이상 1H 미만일 수 있으며, 이를 위상차의 관점에서 보면, 180° 이상 360° 미만일 수 있다. 도면에는 한 예로 1H/2만큼, 즉 270만큼 떨어진 것을 나타내었다.

[0126] 화소 집합(a, b)에서 나중에 게이트 신호가 인가되는 화소(b)의 데이터 전압은 기생 용량으로 인한 영향이 거의 없으며 이는 도 7b의 경우에도 마찬가지이다. 하지만, 먼저 게이트 신호가 인가되는 화소(a)의 데이터 전압은 킥백 전압의 영향으로 증가 또는 감소한다.

[0127] 즉, 화소(a)에 인가되는 데이터 전압(V_{da})은, 게이트 신호[Gout(j)]가 로우에서 하이로 바뀔 때 사전 충전(precharge)을 위한 전압이 먼저 인가된 후, 게이트 신호[Gout(j)]의 하이 구간의 전반부인 1H/2가 지난 시점에서 목표 전압(target voltage)이 인가되어 본 충전(main charge)이 이루어진다.

[0128] 이어, 게이트 신호[Gout(j)]가 하이에서 로우로 바뀔 때, 배선 사이의 기생 용량으로 인한 킥백 전압이 영향을 미쳐 화소 전압이 감소한다. 그런데, 시간(d)이 흐른 뒤에 후단 게이트 전압[Gout(j+1)]이 로우에서 하이로 바뀌면, 이 번에는 지점(P1)에서 발생한 킥백 전압이 화소 전압을 끌어올리고(양의 킥백 전압), 후단 게이트 전압[Gout(j+1)]이 로우가 될 때 지점(P2)에서 발생한 킥백 전압은 화소 전압을 감소시켜(음의 킥백 전압) 상승하기 이전의 화소 전압의 값으로 되돌린다. 그러면, 도시한 것처럼 정극성의 화소 전압(V_{ap})과 부극성의 화소 전압(V_{an})은 거의 동일하게 되어 플리커 또는 얼룩을 방지한다. 이 때, 공통 전압(V_{com})은 한 번 정도의 킥백 전압으로 인한 전압 감소를 고려하여 미리 정해지므로 정극성과 부극성의 화소 전압(V_{ap} , V_{an})은 거의 동일해진다.

[0129] 또한, 시간(d)이 0인 경우, 즉 게이트 신호[Gout(j)]의 하강 에지와 게이트 신호[Gout(j+1)]의 상승 에지가 일치하는 경우에는 상승과 하강으로 인해 양의 킥백 전압과 음의 킥백 전압을 서로 상쇄하여 데이터 전압의 증감이 없으며, 게이트 신호[Gout(j+1)]의 하강 에지에서만 음의 킥백 전압이 발생하여 데이터 전압을 한 번만 감소시키므로 소정 시간 간격(d)을 갖는 경우와 결과는 동일하다.

[0130] 한편, 도 7b를 보면, 두 게이트 신호[Gout(j), Gout(j+1)]의 일부가 중첩되어 있는 형태이다. 따라서, 도시한 것처럼 게이트 전압[Gout(j)]이 하강할 때와 후단 게이트 전압[Gout(j+1)]이 하강하는 지점(P3)에서 한 번 더 전압이 감소하여 모두 두 번 감소하면서 정극성의 화소 전압(Vap)과 부극성의 화소 전압(Van)의 차이는 도 7a에 도시한 것과는 달리 더욱 커지게 되며, 이로 인해 플리커 등이 유발됨을 알 수 있다.

[0131] 한편, 도 8에는 첫 번째부터 여덟 번째 게이트 신호(Gout1-Gout8)를 나타내었다.

[0132] 도 8을 참조하면, 두 번째 게이트 신호(Gout2)는 세 번째 게이트 전압(Gout3)과 다섯 번째 게이트 신호(Gout5)와 중첩하고, 또한, 네 번째 게이트 신호(Gout4)는 다섯 번째 게이트 신호(Gout5)와 일곱 번째 게이트 신호(Gout7)와 일부 중첩한다. 따라서, 두 번째 게이트 신호(Gout2)가 인가되는 화소는 세 번째 게이트 전압(Gout3)이 인가된 화소에 데이터 전압이 인가될 때 사전 충전되며, 다섯 번째 게이트 전압(Gout5)이 인가되는 화소는 두 번째 게이트 신호(Gout2)가 인가된 화소에 데이터 전압이 인가될 때 사전 충전된다. 마찬가지로, 네 번째와 다섯 번째 게이트 신호(Gout4, Gout7)도 동일한 방식으로 사전 충전된다.

[0133] 그런데, 첫 번째 게이트 신호(Gout1)는 중첩하는 신호가 없으며, 세 번째 게이트 신호(Gout3)는 하이 구간의 전반부(1H/2)와 중첩하는 신호가 존재하지 않으므로, 이 경우에는 이 게이트 신호(Gout1, Gout3)를 인가받는 화소에 사전 충전이 이루어지지 않는다. 이를 해결하기 위하여 첫 번째 화소행에는 1H 이상, 예를 들어 3H/2 동안 인가하면 첫 번째 화소행의 화소는 자신의 화소에 인가되는 데이터 전압으로 사전 충전되고, 세 번째 화소행의 화소는 첫 번째 화소행의 화소에 인가되는 데이터 전압으로 사전 충전될 수 있다.

발명의 효과

[0134] 이와 같이, 한 화소 집합(a, b)에 인가되는 게이트 신호를 각각 소정 시간 분리하여 인가하면 기생 용량으로 인한 전압 강하를 한 번으로 줄여 정극성과 부극성의 화소 전압을 동일하게 만듦으로써 플리커 또는 얼룩이 생기는 현상을 방지할 수 있다.

[0135] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

[0001] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 상세하게 설명함으로써 본 발명을 분명하게 하고자 한다.

[0002] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

[0003] 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

[0004] 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 구조도이다.

[0005] 도 4는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.

[0006] 도 5는 도 3에 도시한 게이트 구동부용 시프트 레지스터의 j 번째 스테이지의 회로도의 한 예이다.

[0007] 도 6a 및 도 6b는 도 4에 도시한 게이트 구동부의 신호 파형도이다.

[0008] 도 7a 및 도 7b는 본 발명의 한 실시예에 따른 게이트 구동부의 게이트 신호 출력 파형과 종래 기술에 따른 게이트 구동부의 게이트 신호 출력 파형을 각각 나타내는 도면이다.

[0009] 도 8은 본 발명의 한 실시예에 따른 게이트 구동부의 게이트 신호 출력 파형 중 일부를 나타낸 도면이다.

[0010] <도면 부호에 대한 설명>

[0011] 3: 액정층 100: 하부 표시판

[0012] 191: 화소 전극 200: 상부 표시판

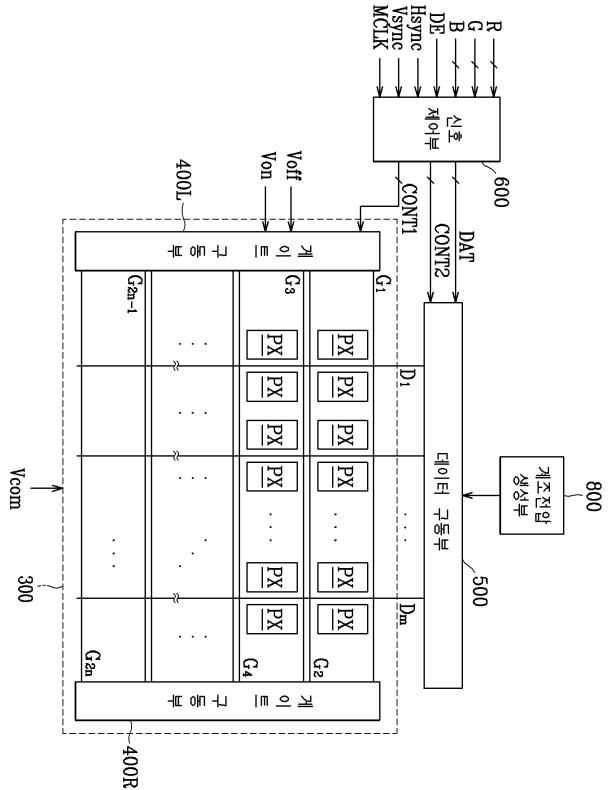
[0013] 230: 색 필터 270: 공통 전극

[0014] 300: 액정 표시판 조립체 400L, 400R: 게이트 구동부

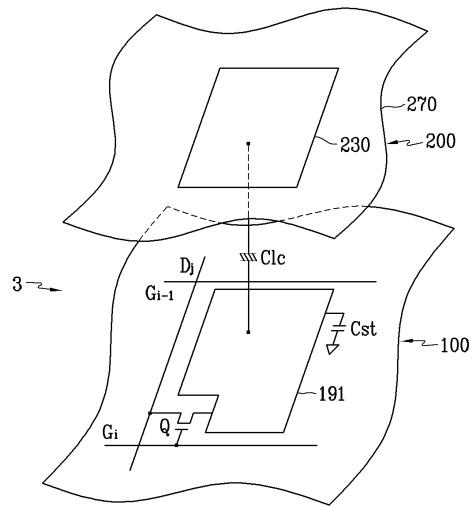
- [0015] 410L, 410R: 스테이지
- [0016] 500: 데이터 구동부 510: FPC 기판
- [0017] 521: 데이터 전달선 522a, 522b, 523a, 523b: 신호 전달선
- [0018] 540: 데이터 구동 회로 칩 551a, 551b: 신호 전달선
- [0019] 600: 신호 제어부
- [0020] 800: 계조 전압 생성부 LSTV, RSTV: 주사시작신호
- [0021] R,G,B: 입력 영상 데이터 DE: 데이터 인에이블 신호
- [0022] MCLK: 메인 클록 Hsync: 수평 동기 신호
- [0023] Vsync: 수직 동기 신호 CONT1: 게이트 제어 신호
- [0024] CONT2: 데이터 제어 신호 DAT: 디지털 영상 신호
- [0025] C1c: 액정 축전기 Cst: 유지 축전기
- [0026] Q: 스위칭 소자 L1, L2: 더미선
- [0027] LCLK1, RCLK1, LCLK2, RCLK2: 제1 내지 제4 클록 신호

도면

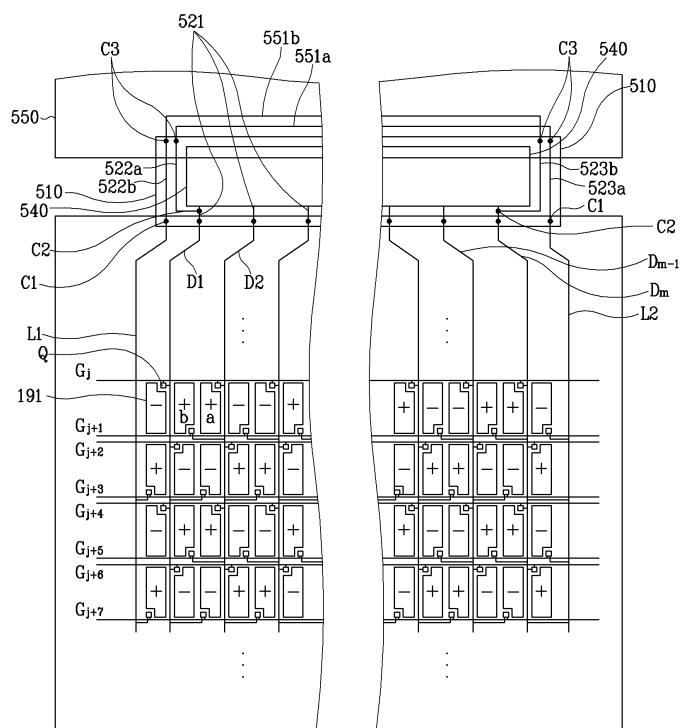
도면1



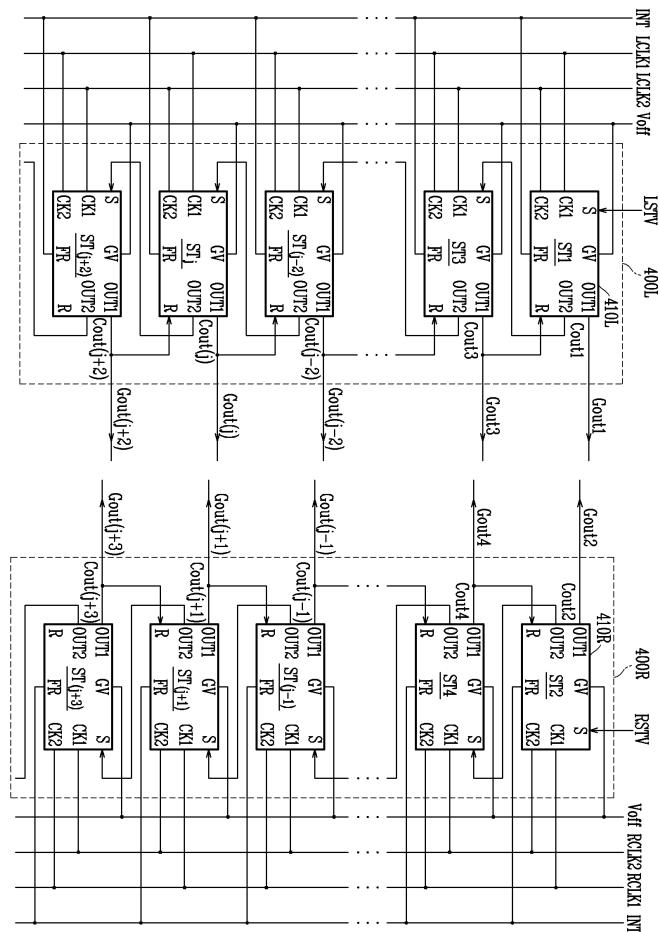
도면2



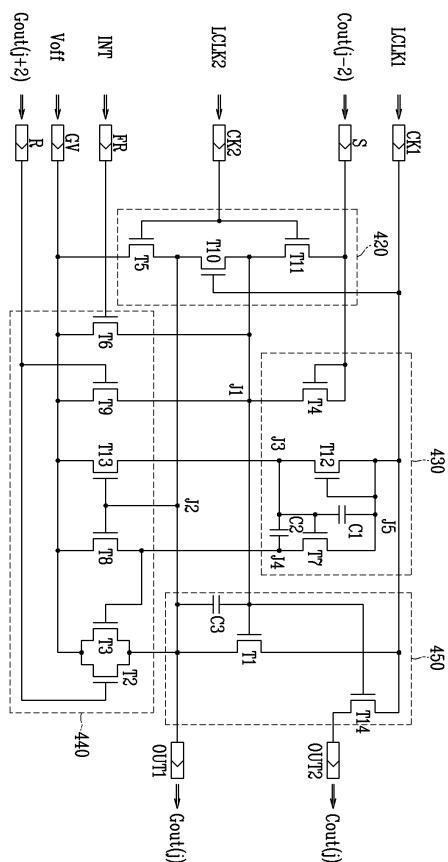
도면3



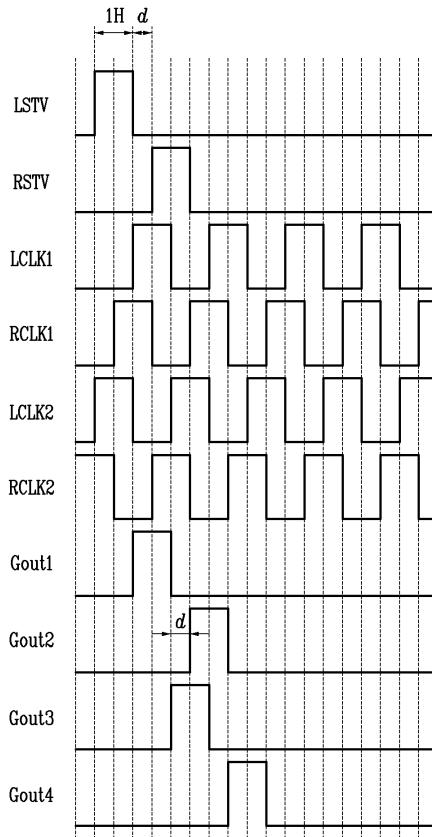
도면4



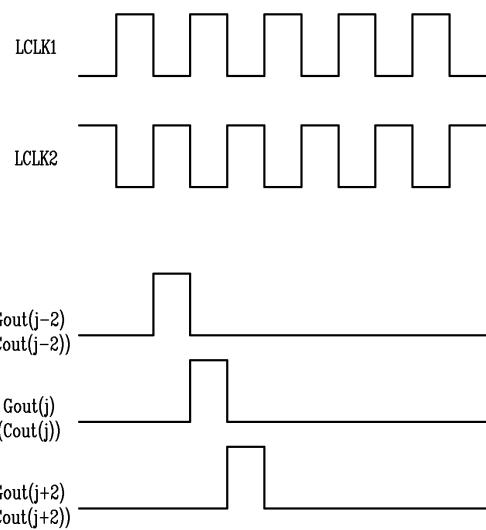
ડોમન5



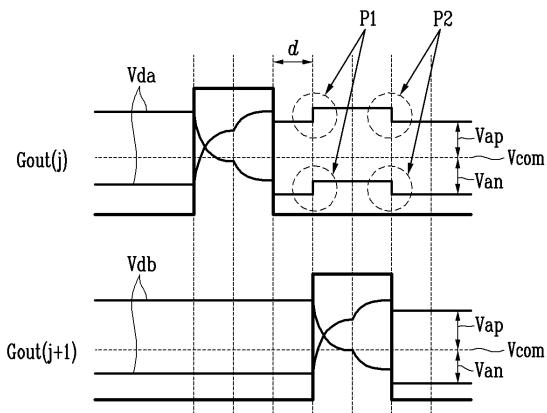
도면6a



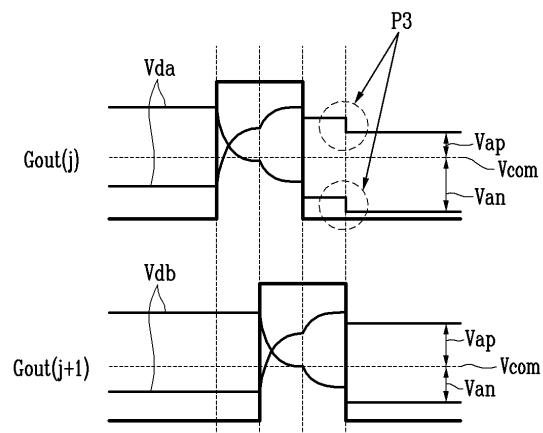
도면6b



도면7a



도면7b



도면8