(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년09월14일
(11) 등록번호 10-2579125
(24) 등록일자 2023년09월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G09G 3/3233* (2016.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2020-7014340
(22) 출원일자(국제) 2018년11월01일
심사청구일자 2021년10월13일
(85) 번역문제출일자 2020년05월19일
(65) 공개번호 10-2020-0078550
(43) 공개일자 2020년07월01일
(86) 국제출원번호 PCT/IB2018/058573
(87) 국제공개번호 WO 2019/092558
국제공개일자 2019년05월16일
(30) 우선권주장
JP-P-2017-216389 2017년11월09일 일본(JP)
JP-P-2018-028368 2018년02월21일 일본(JP)
(56) 선행기술조사문헌
KR1020160033605 A*
US06563480 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
가와시마 스스무
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
구스노키 고지
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

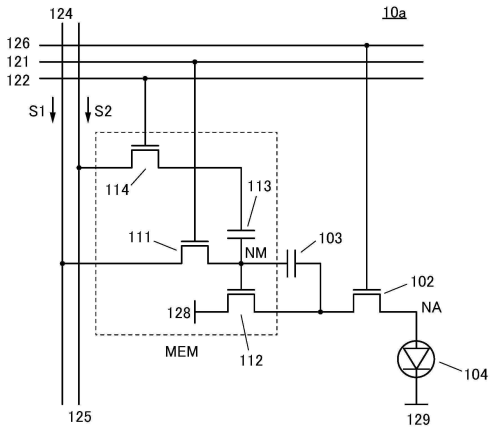
전체 청구항 수 : 총 12 항 심사관 : 김민수

(54) 발명의 명칭 **표시 장치, 그 동작 방법, 및 전자 기기**

(57) 요 약

고휘도 화상을 표시할 수 있는 표시 장치를 제공한다. 표시 장치는 표시 소자, 그리고 제 1 배선 및 제 2 배선에 전기적으로 접속되는 메모리 회로를 포함한다. 우선, 참조 전위는 제 1 배선에 공급된다. 다음으로, 제 1 화상 신호는 제 2 배선을 통하여 메모리 회로에 공급된다. 그리고, 제 2 화상 신호는, 제 1 배선을 통하여 메모리 회로에 제 2 화상 신호를 공급함으로써 제 1 화상 신호에 부가된다. 그 후, 제 1 화상 신호에 대응하는 화상과 제 2 화상 신호에 대응하는 화상을 서로 겹침으로써 얻어진 화상이 표시 소자에 의하여 표시된다.

대 표 도 - 도1



(72) 발명자

와타나베 가즈노리

일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

도요타카 고우헤이

일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

다카하시 게이

일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

하야시 겐타로

일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

야마자키 슌페이

일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

명 세 서

청구범위

청구항 1

표시 장치로서,

화소; 및

회로를 포함하고,

상기 화소는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 1 용량 소자, 제 2 용량 소자, 및 표시 소자를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 한쪽 전극에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 다른 쪽 전극에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 제 2 배선에 전기적으로 접속되고,

상기 제 1 용량 소자의 상기 한쪽 전극은 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 게이트는 상기 제 2 용량 소자의 한쪽 전극에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 용량 소자의 다른 쪽 전극에 전기적으로 접속되고,

상기 제 2 용량 소자의 다른 쪽 전극은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 상기 표시 소자의 한쪽 전극에 전기적으로 접속되고,

상기 회로는 상기 제 1 배선 및 상기 제 2 배선에 전기적으로 접속되고,

상기 회로는 제 1 화상 신호를 상기 제 1 배선에 공급하고,

상기 회로는 참조 전위를 상기 제 2 배선에 공급하고,

상기 회로는 제 2 화상 신호를 상기 제 2 배선에 공급하는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 참조 전위는 외광의 조도에 대응하는 값을 가지는 전위인, 표시 장치.

청구항 3

제 2 항에 있어서,

상기 참조 전위는 상기 외광의 상기 조도가 높을수록 낮아지는, 표시 장치.

청구항 4

제 2 항 또는 제 3 항에 있어서,

상기 참조 전위는 음의 전위인, 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 용량 소자의 용량값은 상기 제 2 용량 소자의 용량값보다 큰, 표시 장치.

청구항 6

제 1 항에 있어서,

상기 표시 소자는 유기 EL 소자인, 표시 장치.

청구항 7

제 1 항에 있어서,

상기 제 1 트랜지스터는 상기 제 1 트랜지스터의 채널 형성 영역에 금속 산화물을 포함하고,

상기 금속 산화물은 In, Zn, 및 *M*을 포함하고,

*M*은 Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf인, 표시 장치.

청구항 8

전자 기기로서,

제 1 항에 따른 표시 장치; 및

카메라를 포함하는, 전자 기기.

청구항 9

표시 소자, 그리고 제 1 배선 및 제 2 배선에 전기적으로 접속되는 메모리 회로를 포함한 화소를 포함하는 표시 장치의 동작 방법으로서,

상기 제 1 배선에 참조 전위를 공급하는 단계;

상기 제 2 배선을 통하여 상기 메모리 회로에 제 1 화상 신호를 저장하는 단계;

상기 제 1 배선을 통하여 상기 메모리 회로에 제 2 화상 신호를 공급함으로써 상기 제 1 화상 신호에 상기 제 2 화상 신호를 부가하는 단계; 및

상기 제 1 화상 신호에 대응하는 화상과 상기 제 2 화상 신호에 대응하는 화상을 서로 겹침으로써 얻어진 화상을 표시 소자에 의하여 표시하는 단계를 포함하는, 표시 장치의 동작 방법.

청구항 10

제 9 항에 있어서,

상기 참조 전위는 외광의 조도에 대응하는 값을 가지는 전위인, 표시 장치의 동작 방법.

청구항 11

제 10 항에 있어서,

상기 참조 전위는 상기 외광의 상기 조도가 높을수록 낮아지는, 표시 장치의 동작 방법.

청구항 12

제 10 항 또는 제 11 항에 있어서,

상기 참조 전위는 음의 전위인, 표시 장치의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 표시 장치, 그 동작 방법, 및 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다. 본 명세서 등에 개시(開示)되는 발명의 일 형태의 기술분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 또한 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 구체적으로는, 본 명세서에 개시되는 본 발명의 일 형태의 기술분야의 예에는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 촬상 장치, 이들 중 임의의 것의 동작 방법, 및 이들 중 임의의 것의 제작 방법이 포함된다.

[0003] 본 명세서 등에서 반도체 장치는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미한다. 트랜지스터 및 반도체 회로는 반도체 장치의 일 형태이다. 기억 장치, 표시 장치, 촬상 장치, 또는 전자 기기는 반도체 장치를 포함하는 경우가 있다.

배 경 기 술

[0004] 기판 위에 형성된 금속 산화물을 사용하여 트랜지스터를 형성하는 기술이 주목을 받고 있다. 예를 들어, 특허문헌 1 및 특허문헌 2에는, 산화 아연 또는 In-Ga-Zn계 산화물을 포함하는 트랜지스터를 표시 장치의 화소의 스위칭 소자 등으로서 사용하는 기술이 각각 개시되어 있다.

[0005] 특허문헌 3에는 오프 상태 전류가 매우 낮은 트랜지스터를 메모리 셀에 사용한 기억 장치가 개시되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 특개2007-123861호

(특허문헌 0002) 일본 공개특허공보 특개2007-096055호

(특허문헌 0003) 일본 공개특허공보 특개2011-119674호

발명의 내용

해결하려는 과제

[0007] EL(electroluminescent) 소자 등을 포함하는 표시 장치에 고휘도 화상을 표시하는 경우, 소스 드라이버는 고전위의 화상 신호를 생성하고, EL 소자 등을 포함하는 화소에 이 고전위의 화상 신호를 공급할 필요가 있다. 그러나, 소스 드라이버의 내전압 등 때문에, 소스 드라이버에 의하여 생성할 수 있는 화상 신호의 전위의 높이에는 상한이 있다. 또한 소스 드라이버가 고전위의 화상 신호를 생성하면 표시 장치의 소비전력이 증가한다.

[0008] 본 발명의 일 형태의 과제는 소스 드라이버로부터 출력될 수 있는 전위보다 전위가 높은 화상 신호에 대응하는 화상을 표시할 수 있는 표시 장치를 제공하는 것이다. 다른 과제는 고휘도 화상을 표시할 수 있는 표시 장치를 제공하는 것이다. 다른 과제는 다이내믹 레인지가 높은 표시 장치를 제공하는 것이다. 다른 과제는 소비전력이 낮은 표시 장치를 제공하는 것이다. 다른 과제는 휘도가 외광의 조도에 대응하는 화상을 표시할 수 있는 표시 장치를 제공하는 것이다. 다른 과제는 시인성이 높은 화상을 표시할 수 있는 표시 장치를 제공하는 것이다. 다른 과제는 신뢰성이 높은 표시 장치를 제공하는 것이다. 다른 과제는 신규 표시 장치 등을 제공하는 것이다. 다른 과제는 상기 표시 장치의 동작 방법을 제공하는 것이다. 다른 과제는 신규 반도체 장치 등을 제공하는 것이다.

[0009] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 이들 과제 모두를 달성할 필요는 없다. 다른 과제는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이며 추출될 수 있다.

과제의 해결 수단

[0010] 본 발명의 일 형태는 화소 및 회로를 포함하는 표시 장치이다. 화소는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 1 용량 소자, 제 2 용량 소자, 및 표시 소자를 포함한다. 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 한쪽 전극에 전기적으로 접속된다. 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 배선에 전기적으로 접속된다. 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용

량 소자의 다른 쪽 전극에 전기적으로 접속된다. 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 배선에 전기적으로 접속된다. 제 1 용량 소자의 한쪽 전극은 제 3 트랜지스터의 게이트에 전기적으로 접속된다. 제 3 트랜지스터의 게이트는 제 2 용량 소자의 한쪽 전극에 전기적으로 접속된다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 용량 소자의 다른 쪽 전극에 전기적으로 접속된다. 제 2 용량 소자의 다른 쪽 전극은 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 표시 소자의 한쪽 전극에 전기적으로 접속된다. 회로는 제 1 배선 및 제 2 배선에 전기적으로 접속된다. 회로는 제 1 화상 신호를 제 1 배선에 공급하는 기능을 가진다. 회로는 참조 전위를 제 2 배선에 공급하는 기능을 가진다. 회로는 제 2 화상 신호를 제 2 배선에 공급하는 기능을 가진다.

[0011] 상기 형태에서, 참조 전위는 외광의 조도에 대응하는 값을 가지는 전위이어도 좋다.

[0012] 상기 형태에서, 참조 전위는 외광의 조도가 높을수록 낮아져도 좋다.

[0013] 상기 형태에서, 참조 전위는 음의 전위이어도 좋다.

[0014] 상기 형태에서, 제 1 용량 소자의 용량값은 제 2 용량 소자의 용량값보다 커도 좋다.

[0015] 상기 형태에서, 표시 소자는 유기 EL 소자이어도 좋다.

[0016] 상기 형태에서, 제 1 트랜지스터는 그 채널 형성 영역에 금속 산화물을 포함하여도 좋고, 상기 금속 산화물은 In, Zn, 및 *M*(*M*은 Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 포함하여도 좋다.

[0017] 본 발명의 다른 형태는 본 발명의 일 형태의 표시 장치 및 카메라를 포함하는 전자 기기이다.

[0018] 본 발명의 다른 형태는, 표시 소자, 그리고 제 1 배선 및 제 2 배선에 전기적으로 접속되는 메모리 회로를 포함한 화소를 포함하는 표시 장치의 동작 방법이다. 참조 전위는 제 1 배선에 공급된다. 제 1 화상 신호는 제 2 배선을 통하여 메모리 회로에 저장된다. 제 2 화상 신호는, 제 1 배선을 통하여 메모리 회로에 제 2 화상 신호를 공급함으로써 제 1 화상 신호에 부가된다. 제 1 화상 신호에 대응하는 화상과 제 2 화상 신호에 대응하는 화상을 서로 겹침으로써 얻어진 화상을 표시 소자에 의하여 표시한다.

[0019] 상기 형태에서, 참조 전위는 외광의 조도에 대응하는 값을 가지는 전위이어도 좋다.

[0020] 상기 형태에서, 참조 전위는 외광의 조도가 높을수록 낮아져도 좋다.

[0021] 상기 형태에서, 참조 전위는 음의 전위이어도 좋다.

발명의 효과

[0022] 본 발명의 일 형태에 따르면, 소스 드라이버로부터 출력될 수 있는 전위보다 전위가 높은 화상 신호에 대응하는 화상을 표시할 수 있는 표시 장치를 제공할 수 있다. 또는 고휘도 화상을 표시할 수 있는 표시 장치를 제공할 수 있다. 또는 다이내믹 레인지가 높은 표시 장치를 제공할 수 있다. 또는 소비전력이 낮은 표시 장치를 제공할 수 있다. 또는 휘도가 외광의 조도에 대응하는 화상을 표시할 수 있는 표시 장치를 제공할 수 있다. 또는 시인성이 높은 화상을 표시할 수 있는 표시 장치를 제공할 수 있다. 또는 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는 신규 표시 장치 등을 제공할 수 있다. 또는 상기 표시 장치의 동작 방법을 제공할 수 있다. 또는 신규 반도체 장치 등을 제공할 수 있다.

도면의 간단한 설명

[0023] 도 1은 화소 회로의 구성예를 도시한 것이다.

도 2의 (A) 및 (B)는 각각, 화소 회로의 동작예를 나타낸 타이밍 차트이다.

도 3의 (A1), (A2), (B1), 및 (B2)는 화소 회로의 동작예를 도시한 것이다.

도 4는 표시 장치의 동작예를 도시한 것이다.

도 5는 표시 장치의 구조예를 도시한 블록도이다.

도 6의 (A) 내지 (E)는 각각 화소를 도시한 것이다.

도 7의 (A) 및 (B)는 각각, 화소 회로의 구성예를 도시한 것이다.

도 8은 화소 회로의 구성예를 도시한 것이다.

도 9의 (A) 및 (B)는 각각, 표시 장치의 구조예를 도시한 것이다.

도 10의 (A) 및 (B)는 터치 패널의 구조예를 도시한 것이다.

도 11의 (A) 및 (B)는 각각, 표시 장치의 구조예를 도시한 것이다.

도 12의 (A1), (A2), (B1), (B2), (C1), 및 (C2)는 각각, 트랜지스터의 구조예를 도시한 것이다.

도 13의 (A1) 내지 (A3), (B1), (B2), (C1), 및 (C2)는 각각, 트랜지스터의 구조예를 도시한 것이다.

도 14의 (A) 내지 (F)는 각각, 전자 기기의 예를 도시한 것이다.

도 15는 DOSRAM의 구조예를 도시한 단면도이다.

도 16은 γ와 계조의 관계를 나타낸 그래프이다.

도 17은 표시 결과를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0024] 실시형태에 대하여 도면을 참조하여 자세히 설명한다. 본 발명의 취지 및 범위에서 벗어나지 않고 본 발명의 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자에 의하여 쉽게 이해된다. 따라서, 본 발명은 이하의 실시형태의 설명에 한정되어 해석되지 말아야 한다. 이하에 설명하는 발명의 구조에서는, 같은 부분 또는 유사한 기능을 가지는 부분은 상이한 도면에서 같은 부호로 나타내어지고, 그 설명을 반복하지 않는 경우가 있다. 같은 구성 요소가 상이한 도면에서 상이한 해칭 패턴으로 나타내어지거나, 해칭 패턴이 생략되는 경우가 있다.

[0025] 본 명세서 등에서, "제 1", "제 2", 및 "제 3" 등의 서수는 구성 요소들 사이의 혼동을 피하기 위하여 사용되는 경우가 있고, 이들 용어는 구성 요소를 수적으로 한정하거나 또는 순서를 한정하지 않는다.

[0026] 또한 본 명세서 등에서, "전기적으로 접속"이라는 용어는 구성 요소들이 "어떠한 전기적 작용을 가지는 물체"를 통하여 접속되는 경우를 포함한다. 여기서, "어떠한 전기적 작용을 가지는 물체"는 이 물체를 통하여 접속되는 구성 요소들 사이에서 전기 신호를 송수신할 수 있기만 하면, 특별히 한정되지 않는다. "어떠한 전기적 작용을 가지는 물체"의 예에는 전극 및 배선에 더하여, 트랜지스터 등의 스위칭 소자, 저항 소자, 코일, 용량 소자, 및 다양한 기능을 가지는 소자가 있다.

[0027] (실시형태 1)

[0028] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치에 대하여 도면을 참조하여 설명한다.

[0029] 본 발명의 일 형태는 화소에 제 1 화상 신호를 공급하고 상기 제 1 화상 신호에 제 2 화상 신호를 부가하는 기능을 가지는 표시 장치이다. 또한 제 1 화상 신호 및 제 2 화상 신호는 소스 드라이버 등, 화소의 외부에 제공되는 회로에 의하여 생성될 수 있다. 각 화소에는 제 1 화상 신호가 유지되는 메모리 회로가 제공된다.

[0030] 그 후, 제 1 화상 신호가 유지되는 메모리 회로에 제 2 화상 신호가 부가되고, 그 조합된 화상 신호가 표시 소자에 공급된다. 그러므로 표시 소자에 의하여, 제 1 화상 신호에 대응하는 화상과, 제 2 화상 신호에 대응하는 화상을 서로 겹쳐 표시시킬 수 있다. 따라서, 표시 장치는, 소스 드라이버 등에 의하여 생성할 수 있는 전위보다 전위가 높은 화상 신호에 대응하는 화상을 표시할 수 있다. 이에 의하여 표시 장치는, 다른 화상 신호의 부가 없이 하나의 화상 신호에만 대응하는 화상을 표시하는 경우에 비하여, 고휘도 화상을 표시할 수 있기 때문에, 표시 장치의 다이내믹 레인지를 높일 수 있다. 또한 소스 드라이버 등에 의하여 생성되는 화상 신호의 전위를 낮출 수 있기 때문에, 표시 장치의 소비전력을 저감시킬 수 있다.

[0031] 본 명세서 등에서, "제 1 화상 신호" 및 "제 2 화상 신호"라는 용어는 필요에 따라, 또는 적절히 서로 바꿀 수 있다.

[0032] [화소 회로의 구성예]

[0033] 도 1은 본 발명의 일 형태의 표시 장치에 사용할 수 있는 화소(10a)를 도시한 것이다. 화소(10a)는 트랜지스터(102), 트랜지스터(111), 트랜지스터(112), 트랜지스터(114), 용량 소자(103), 용량 소자(113), 및 EL 소자(104)를 포함한다.

[0034] 트랜지스터(111)의 소스 및 드레인 중 한쪽은 용량 소자(113)의 한쪽 전극에 전기적으로 접속된다. 트랜지스터

(114)의 소스 및 드레인 중 한쪽은 용량 소자(113)의 다른 쪽 전극에 전기적으로 접속된다. 용량 소자(113)의 한쪽 전극은 트랜지스터(112)의 게이트에 전기적으로 접속된다. 트랜지스터(112)의 게이트는 용량 소자(103)의 한쪽 전극에 전기적으로 접속된다. 트랜지스터(112)의 소스 및 드레인 중 한쪽은 용량 소자(103)의 다른 쪽 전극에 전기적으로 접속된다. 용량 소자(103)의 다른 쪽 전극은 트랜지스터(102)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(102)의 소스 및 드레인 중 다른 쪽은 EL 소자(104)의 한쪽 전극에 전기적으로 접속된다.

[0035] 여기서 트랜지스터(111)의 소스 및 드레인 중 한쪽, 용량 소자(113)의 한쪽 전극, 트랜지스터(112)의 게이트, 그리고 용량 소자(103)의 한쪽 전극이 접속되는 배선을 노드(NM)라고 한다. 트랜지스터(102)의 소스 및 드레인 중 다른 쪽, 그리고 EL 소자(104)의 한쪽 전극이 접속되는 배선을 노드(NA)라고 한다.

[0036] 트랜지스터(111)의 게이트는 배선(121)에 전기적으로 접속된다. 트랜지스터(114)의 게이트는 배선(122)에 전기적으로 접속된다. 트랜지스터(102)의 게이트는 배선(126)에 전기적으로 접속된다. 트랜지스터(111)의 소스 및 드레인 중 다른 쪽은 배선(124)에 전기적으로 접속된다. 트랜지스터(114)의 소스 및 드레인 중 다른 쪽은 배선(125)에 전기적으로 접속된다.

[0037] 트랜지스터(112)의 소스 및 드레인 중 다른 쪽은 전원선(128)(고전위)에 전기적으로 접속된다. EL 소자(104)의 다른 쪽 전극은 공통 배선(129)에 전기적으로 접속된다. 또한 공통 배선(129)에는 임의의 전위를 공급할 수 있다.

[0038] 배선(121, 122, 및 126)은 각각, 대응하는 트랜지스터의 동작을 제어하기 위한 주사선의 기능을 가진다. 배선(124)은 화상 신호(S1)를 공급하기 위한 신호선의 기능을 가진다. 배선(125)은 화상 신호(S2)를 공급하기 위한 신호선의 기능을 가진다. 또한 화상 신호(S1 및 S2)는 소스 드라이버 등, 화소(10a)의 외부에 제공된 회로(도1에 도시하지 않았음)에 의하여 생성할 수 있다.

[0039] 트랜지스터(111), 트랜지스터(112), 용량 소자(113), 및 트랜지스터(114)는 메모리 회로(MEM)를 형성한다. 또한 트랜지스터(114)는 메모리 회로(MEM)에 반드시 포함될 필요는 없다.

[0040] 노드(NM)는 기억 노드이고, 트랜지스터(111)를 온으로 하면, 배선(124)에 공급된 신호를 노드(NM)에 기록할 수 있다. 트랜지스터(111)로서 오프 상태 전류가 매우 낮은 트랜지스터를 사용함으로써, 노드(NM)의 전위를 오랫동안 유지할 수 있다. 상기 트랜지스터로서는, 예를 들어 금속 산화물을 그 채널 형성 영역에 사용한 트랜지스터(이하 OS 트랜지스터라고 함)를 사용할 수 있다.

[0041] 또한 트랜지스터(111)뿐만 아니라 화소에 포함되는 다른 트랜지스터로서도 OS 트랜지스터를 사용하여도 좋다. 또한 트랜지스터(111)로서는 채널 형성 영역에 Si를 포함하는 트랜지스터(이하 Si 트랜지스터라고 함)를 사용하여도 좋다. 또는 화소에 포함되는 트랜지스터의 일부로서 OS 트랜지스터를 사용하여도 좋고, 다른 트랜지스터로서 Si 트랜지스터를 사용하여도 좋다. Si 트랜지스터의 예에는 비정질 실리콘을 포함하는 트랜지스터, 결정성 실리콘(대표적으로는 저온 폴리실리콘), 및 단결정 실리콘을 포함한 트랜지스터가 포함된다.

[0042] 표시 소자로서 EL 소자를 사용하는 경우에는 실리콘 기판을 사용할 수 있고, Si 트랜지스터 및 OS 트랜지스터가 서로 중첩되는 영역을 가지도록 상기 트랜지스터들을 형성할 수 있다. 따라서, 트랜지스터의 개수가 비교적 많아도, 화소 밀도를 높일 수 있다.

[0043] OS 트랜지스터에 사용하는 반도체 재료로서는, 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상인 금속 산화물을 사용할 수 있다. 대표적인 예로서는 인듐을 포함한 산화물 반도체가 있고, 예를 들어 나중에 설명하는 CAAC-OS 또는 CAC-OS를 사용할 수 있다. CAAC-OS는 안정적인 원자로 형성된 결정 구조를 가지기 때문에, 높은 신뢰성이 요구되는 트랜지스터 등에 적합하다. 또한 CAC-OS는 높은 이동도 특성을 나타내기 때문에, 고속으로 구동하는 트랜지스터 등에 적합하다.

[0044] OS 트랜지스터는 에너지 갭이 크기 때문에, 매우 낮은 오프 상태 전류 특성을 나타낸다. 또한 OS 트랜지스터는 충격 이온화(impact ionization), 애벌란시 항복(avalanche breakdown), 및 단채널 효과 등이 발생하지 않는다는, Si 트랜지스터와는 다른 특징을 가진다. 따라서 OS 트랜지스터에 의하여, 신뢰성이 높은 회로를 형성할 수 있다.

[0045] OS 트랜지스터에 포함되는 반도체층은 예를 들어, 인듐, 아연, 및 *M*(알루미늄, 타이타늄, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 세륨, 주석, 네오디뮴, 또는 하프늄 등의 금속)을 포함한 In-*M*-Zn으로 나타내어지는 산화물막으로 할 수 있다.

[0046] 반도체층에 포함되는 산화물 반도체가 In-*M*-Zn계 산화물인 경우, In-*M*-Zn계 산화물을 퇴적하기 위하여 사용되는 스퍼터링 타깃의 금속 원소 중의 원자수비는 In≥*M* 및 Zn≥*M*을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소 중의 원자수비는 예를 들어, In:*M*:Zn=1:1:1, In:*M*:Zn=1:1:1.2, In:*M*:Zn=3:1:2, In:*M*:Zn=4:2:3, In:*M*:Zn=4:2:4.1, In:*M*:Zn=5:1:6, In:*M*:Zn=5:1:7, 또는 In:*M*:Zn=5:1:8인 것이 바람직하다. 또한 형성되는 반도체층의 금속 원소 중의 원자수비는 상술한 스퍼터링 타깃의 금속 원소 중의 원자수비로부터 ±40%의 범위 내에서 변동된다.

[0047] 반도체층에는 캐리어 밀도가 낮은 산화물 반도체를 사용한다. 예를 들어, 반도체층은 캐리어 밀도가 $1\times10^{17}/cm^3$ 이하, 바람직하게는 $1\times10^{15}/cm^3$ 이하, 더 바람직하게는 $1\times10^{13}/cm^3$ 이하, 더욱 바람직하게는 $1\times10^{11}/cm^3$ 이하, 더욱더 바람직하게는 $1\times10^{10}/cm^3$ 미만이고, $1\times10^{-9}/cm^3$ 이상인 산화물 반도체를 사용하여 형성할 수 있다. 이러한 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 한다. 상기 산화물 반도체는 결함 준위 밀도가 낮기 때문에 안정적인 특성을 가지는 것으로 간주할 수 있다.

[0048] 또한 상술한 조성 및 재료에 한정되지 않고, 요구되는 트랜지스터의 반도체 특성 및 전기 특성(예를 들어, 전계 효과 이동도 및 문턱 전압)에 따라 적절한 조성의 재료를 사용할 수 있다. 또한 요구되는 트랜지스터의 반도체 특성을 얻기 위하여, 반도체층의 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자 간 거리, 및 밀도 등을 적절한 값으로 설정하는 것이 바람직하다.

[0049] 반도체층에 포함되는 산화물 반도체가 14족에 속하는 원소 중 하나인 실리콘 또는 탄소를 포함하는 경우, 반도체층에서 산소 결손의 수가 증가하고, 반도체층이 n형이 된다. 그러므로 반도체층에서의 실리콘 또는 탄소의 농도(이차 이온 질량 분석법에 의하여 측정됨)는 $2\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{17}atoms/cm^3$ 이하로 한다.

[0050] 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되면 캐리어를 생성하는 경우가 있고, 이 경우 트랜지스터의 오프 상태 전류가 증가될 수 있다. 이러한 이유로, 반도체층에서의 알칼리 금속 또는 알칼리 토금속의 농도(이차 이온 질량 분석법에 의하여 측정됨)를 $1\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{16}atoms/cm^3$ 이하로 한다.

[0051] 반도체층에 포함되는 산화물 반도체가 질소를 포함하는 경우, 캐리어로서 기능하는 전자가 생성되고 캐리어 밀도가 증가되므로 반도체층이 n형이 되기 쉽다. 그 결과, 질소를 포함하는 산화물 반도체를 포함한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 반도체층에서의 질소의 농도(이차 이온 질량 분석법에 의하여 측정됨)를 $5\times10^{18}atoms/cm^3$ 이하로 하는 것이 바람직하다.

[0052] 반도체층은 예를 들어 비단결정 구조를 가져도 좋다. 비단결정 구조에는 예를 들어 c축 배향된 결정을 포함한 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 구조, 미결정 구조, 또는 비정질 구조가 포함된다. 비단결정 구조 중, 비정질 구조는 결함 준위 밀도가 가장 높고, CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0053] 비정질 구조를 가지는 산화물 반도체막은 예를 들어, 원자 배열이 무질서하고 결정 성분을 가지지 않는다. 비정질 구조를 가지는 산화물막은 예를 들어, 완전한 비정질 구조를 가지고, 결정부를 가지지 않는다.

[0054] 또한 반도체층은 비정질 구조를 가지는 영역, 미결정 구조를 가지는 영역, 다결정 구조를 가지는 영역, CAAC-OS의 영역, 및 단결정 구조를 가지는 영역 중 2개 이상을 포함한 혼합막이어도 좋다. 혼합막은 예를 들어, 상술한 영역 중 2개 이상을 포함한 단층 구조 또는 적층 구조를 가지는 경우가 있다.

[0055] 이하에서는, 비단결정 반도체층의 일 형태인 CAC-OS(cloud-aligned composite oxide semiconductor)의 구조에 대하여 설명한다.

[0056] CAC-OS는 예를 들어 산화물 반도체에 포함되는 원소가 고르지 않게 분포된 구성을 가진다. 고르지 않게 분포된 원소를 포함하는 각 재료는 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 이와 비슷한 크기를 가진다. 또한 이하에서 설명하는 산화물 반도체에서, 하나 이상의 금속 원소가 고르지 않게 분포되고 이 금속 원소(들)를 포함하는 영역이 혼합된 상태를 모자이크 패턴 또는 패치상 패턴이라고 한다. 영역은 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 이와 비슷한 크기를 가진다.

[0057] 또한 산화물 반도체는 적어도 인듐을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직

하다. 또한 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중 하나 이상이 포함되어도 좋다.

[0058] 예를 들어 CAC-OS 중, CAC 구성을 가지는 In-Ga-Zn 산화물(이러한 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 하여도 좋음)은 인듐 산화물(InO_{X1}, 여기서 $X1$은 0보다 큰 실수(實數)) 또는 인듐 아연 산화물($In_{X2}Zn_{Y2}O_{Z2}$, 여기서 $X2$, $Y2$, 및 $Z2$는 0보다 큰 실수)과, 갈륨 산화물(GaO_{X3}, 여기서 $X3$은 0보다 큰 실수) 또는 갈륨 아연 산화물($Ga_{X4}Zn_{Y4}O_{Z4}$, 여기서 $X4$, $Y4$, 및 $Z4$는 0보다 큰 실수)로 재료가 분리되어 모자이크 패턴이 형성되는 구성을 가진다. 그리고 모자이크 패턴을 형성하는 InO_{X1} 또는 $In_{X2}Zn_{Y2}O_{Z2}$가 막 내에 고르게 분포되어 있다. 이 구성을 클라우드상(cloud-like) 구성이라고도 한다.

[0059] 즉 CAC-OS는 GaO_{X3}을 주성분으로 포함하는 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역이 혼합된 구성을 가지는 복합 산화물 반도체이다. 또한 본 명세서에서, 예를 들어 제 1 영역에서의 원소 M에 대한 In의 원자수비가 제 2 영역에서의 원소 M에 대한 In의 원자수비보다 클 때, 제 1 영역은 제 2 영역보다 In의 농도가 높다.

[0060] 또한 IGZO로서는 In, Ga, Zn, 및 O를 포함한 화합물도 알려져 있다. IGZO의 대표적인 예에는 $InGaO_3(ZnO)_{m1}$($m1$은 자연수)로 나타내어지는 결정성 화합물 및 $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$($-1 \leq x0 \leq 1$, $m0$은 임의의 수)으로 나타내어지는 결정성 화합물이 포함된다.

[0061] 상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC 구조를 가진다. 또한 CAAC 구조는 복수의 IGZO 나노 결정이 c축 배향을 가지고 a-b면 방향에서는 배향하지 않고 연결된 결정 구조이다.

[0062] 한편, CAC-OS는 산화물 반도체의 재료 구성에 관한 것이다. In, Ga, Zn, 및 O를 포함하는 CAC-OS의 재료 구성에서는, Ga를 주성분으로 포함하는 나노 입자 영역이 CAC-OS의 일부에 관찰되고, In을 주성분으로 포함하는 나노 입자 영역이 다른 일부에 관찰된다. 이들 나노 입자 영역은 무작위로 분산되어 모자이크 패턴을 형성한다. 그러므로 이 결정 구조는 CAC-OS에서 부차적인 요소이다.

[0063] 또한 CAC-OS에, 조성이 상이한 2개 이상의 막을 포함하는 적층 구조는 포함되지 않는다. 예를 들어, In을 주성분으로 포함하는 막과 Ga를 주성분으로 포함하는 막의 2층 구조는 포함되지 않는다.

[0064] 또한 GaO_{X3}을 주성분으로 포함하는 영역과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역의 경계가 명확하게 관찰되지 않는 경우가 있다.

[0065] CAC-OS에서 갈륨 대신에, 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등에서 선택된 1종류 이상의 원소가 포함되는 경우, CAC-OS의 일부에 선택된 금속 원소(들)를 주성분으로 포함하는 나노 입자 영역이 관찰되고, 다른 일부에 In을 주성분으로 포함하는 나노 입자 영역이 관찰되고, 이들 나노 입자 영역은 CAC-OS에서 무작위로 분산되어 모자이크 패턴을 형성한다.

[0066] CAC-OS는 예를 들어, 기판에 의도적으로 가열을 수행하지 않는 조건하에서 스퍼터링법에 의하여 형성할 수 있다. 스퍼터링법에 의하여 CAC-OS를 형성하는 경우, 퇴적 가스로서, 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스 중에서 선택된 하나 이상을 사용하여도 좋다. 퇴적 시의 퇴적 가스의 총유량에 대한 산소 가스의 유량비는 가능한 한 낮은 것이 바람직하고, 예를 들어 산소 가스의 유량비는 0% 이상 30% 미만인 것이 바람직하고, 0% 이상 10% 이하인 것이 더 바람직하다.

[0067] CAC-OS는 X선 회절(XRD) 측정법인, out-of-plane법에 의한 $\theta/2\theta$ 스캔을 사용한 측정에서 명확한 피크가 관찰되지 않는다는 특징을 가진다. 즉 X선 회절 측정은 측정 영역에서 a-b면 방향 및 c축 방향의 배향을 나타내지 않는다.

[0068] 프로브 직경 1nm의 전자 빔(나노미터 크기의 전자 빔이라고도 함)을 조사함으로써 얻어지는 CAC-OS의 전자 회절 패턴에서는, 휘도가 높은 링 형상의 영역, 및 이 링 형성의 영역에 복수의 휘점이 관찰된다. 그러므로 전자 회절 패턴은 CAC-OS의 결정 구조가, 평면 방향 및 단면 방향에서 배향성이 없는 나노 결정(nc) 구조를 포함하는 것을 가리킨다.

[0069] 예를 들어 에너지 분산형 X선 분광법(EDX)의 매핑 화상으로부터, CAC 구성을 가지는 In-Ga-Zn 산화물은 GaO_{X3}을 주성분으로 포함하는 영역 및 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역이 고르지 않게 분포되고 혼합되어 있는 구조를 가지는 것이 확인된다.

[0070] CAC-OS는 금속 원소가 고르게 분포된 IGZO 화합물과는 다른 구조를 가지고, IGZO 화합물과는 다른 성질을 가진다. 즉 CAC-OS에서, GaO_{X3} 등을 주성분으로 포함하는 영역 및 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역은 분리되어 모자이크 패턴을 형성한다.

[0071] 여기서 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역의 도전성은, GaO_{X3} 등을 주성분으로 포함하는 영역의 도전성보다 높다. 바꿔 말하면 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역을 캐리어가 흐를 때, 산화물 반도체의 도전성이 발현된다. 따라서 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역이 산화물 반도체에서 클라우드상으로 분포되는 경우, 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0072] 한편, GaO_{X3} 등을 주성분으로 포함하는 영역의 절연성은 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역의 절연성보다 높다. 바꿔 말하면, GaO_{X3} 등을 주성분으로 포함하는 영역이 산화물 반도체에 분포되면, 누설 전류를 억제할 수 있고 양호한 스위칭 동작을 실현할 수 있다.

[0073] 따라서 CAC-OS를 반도체 소자에 사용한 경우, GaO_{X3} 등에서 유래하는 절연성과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}에서 유래하는 도전성이 서로를 보완함으로써, 높은 온 상태 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0074] 또한 CAC-OS를 사용한 반도체 소자는 신뢰성이 높다. 따라서 CAC-OS는 다양한 표시 장치 등의 재료로서 적합하게 사용된다.

[0075] 화소(10a)에서, 노드(NM)에 기록된 화상 신호(S1)는 배선(125)으로부터 공급되는 화상 신호(S2)와 용량 결합되고, 용량 결합된 화상 신호는 노드(NA)에 출력될 수 있다. 또한 트랜지스터(114)는 화소를 선택하는 기능을 가진다. 트랜지스터(102)는 EL 소자(104)로부터의 발광을 제어하는 스위치로서 기능한다.

[0076] 예를 들어, 화상 신호(S1)의 전위가 트랜지스터(112)의 문턱 전압(V_{th})보다 높은 경우, 화상 신호(S2)가 기록되기 전에 트랜지스터(112)가 온이 되므로 EL 소자(104)가 광을 방출한다. 이러한 이유로, 트랜지스터(102)를 제공하고, 이를 노드(NM)의 전위가 고정된 후에 온으로 함으로써, EL 소자(104)가 광을 방출하는 것이 바람직하다.

[0077] 즉, 화상 신호(S1)를 노드(NM)에 저장하면, 화상 신호(S2)를 화상 신호(S1)에 부가할 수 있다. 화상 신호를 생성하는 소스 드라이버의 문턱 전압 등 때문에, 화상 신호의 전위의 높이에는 상한이 있다. 이러한 관점에서, 2개의 화상 신호를 조합함으로써, 표시 장치는, 소스 드라이버 등으로부터 출력될 수 있는 전위보다 전위가 높은 화상 신호에 대응하는 화상을 표시할 수 있다. 이에 의하여 표시 장치는, 다른 화상 신호의 부가 없이 하나의 화상 신호에만 대응하는 화상을 표시하는 경우에 비하여, 고휘도 화상을 표시할 수 있기 때문에, 표시 장치의 다이내믹 레인지를 높일 수 있다. 또한 소스 드라이버 등에 의하여 생성되는 화상 신호의 전위를 낮출 수 있기 때문에, 표시 장치의 소비전력을 저감시킬 수 있다.

[0078] [화소 회로의 동작예]

[0079] 화소(10a)의 동작예에 대하여, 도 2의 (A) 및 (B)에 나타낸 타이밍 차트를 참조하여 자세히 설명한다. 이하의 설명에서, 전위(VDD)는 고전위를 나타내고, 전위(VSS)는 저전위를 나타낸다. 여기서, 전위(VSS)를 예를 들어 접지 전위로 할 수 있다. 배선(124)에 공급되는 화상 신호(S1)의 전위(V_{S1})를 양 또는 음의 임의의 전위로 할 수 있지만, 여기서는 전위(V_{S1})가 전위(VSS)보다 높은 경우에 대하여 설명한다.

[0080] 우선, 화상 신호(S1)를 노드(NM)에 기록하는 동작에 대하여, 도 2의 (A)를 참조하여 설명한다.

[0081] 시각(T1)에서, 배선(121, 122, 및 126)의 전위를 전위(VSS)로 한다. 배선(125)의 전위를 전위(VSS)보다 낮은 전위(V_{o1})로 한다. 전위(V_{o1})는 예를 들어 음의 전위로 할 수 있다. 또한 본 명세서 등에서, 전위(V_{o1})를 참조 전위라고 하는 경우가 있다.

[0082] 시각(T2)에서, 배선(122)의 전위를 전위(VDD)로 한다. 이에 의하여, 트랜지스터(114)가 온이 되어, 용량 소자

(113)의 다른 쪽 전극의 전위는 전위(V_{ol})가 된다. 또한 노드(NM)의 전위는 전위(V_{ol})에 대응하는 전위(V_{ol}')가 된다. 여기서, 전위(V_{ol}')는, 용량 소자(113)의 용량값과 용량 소자(103)의 용량값의 비율에 따라 변화한다.

[0083] 시각(T3)에서, 배선(121)의 전위를 전위(VDD)로 한다. 이에 의하여, 트랜지스터(111)가 온이 되어, 배선(124)의 전위(V_{S1})가 노드(NM)에 기록된다.

[0084] 시각(T4)에서, 배선(121)의 전위를 전위(VSS)로 한다. 이에 의하여, 트랜지스터(111)가 오프가 되어, 전위(V_{S1})가 노드(NM)에 유지된다.

[0085] 시각(T5)에서, 배선(122)의 전위를 전위(VSS)로 한다. 이에 의하여, 트랜지스터(114)는 오프가 된다. 이로써, 화상 신호(S1)를 기록하는 동작이 완료된다.

[0086] 다음으로, 화상 신호(S2)를 부가하는 동작 및 EL 소자(104)를 발광시키는 동작에 대하여, 도 2의 (B)를 참조하여 설명한다. 또한 화상 신호(S2)의 전위를 전위(V_{S2})라고 한다. 배선(125)에 공급되는 화상 신호(S2)의 전위(V_{S2})를 양 또는 음의 임의의 전위로 할 수 있지만, 여기서는 전위(V_{S2})가 전위(VSS)보다 높은 경우에 대하여 설명한다.

[0087] 시각(T11)에서, 배선(122)의 전위를 전위(VDD)로 한다. 이에 의하여, 트랜지스터(114)가 온이 되어, 노드(NM)의 전위(V_{NM})가 이하의 식으로 나타내어지는 값이 된다. 여기서, C_1은 용량 소자(113)의 용량값을 나타내고, C_2는 용량 소자(103)의 용량값을 나타낸다.

[0088] [식 1]

[0089] $$V_{NM} = \frac{C_1(V_{S1}+V_{S2}-V_{ol})+C_2V_{S1}}{C_1+C_2} \quad (1)$$

[0090] 즉, 전위(V_{NM})는 용량값(C_1)과 용량값(C_2)의 비율(C_1C_2)에 의존하고, 용량값(C_1) 및 용량값(C_2) 자체에 의존하지 않는다. 여기서, 전위(V_{ol})가 음의 전위인 경우, 식 1은 다음과 같이 변형할 수 있다.

[0091] [식 2]

[0092] $$V_{NM} = \frac{C_1(V_{S1}+V_{S2}+|V_{ol}|)+C_2V_{S1}}{C_1+C_2} \quad (2)$$

[0093] 그러므로, 비율(C_1C_2)이 커질수록, 전위(V_{NM})가 높아진다. 용량값(C_2)이 용량값(C_1)에 비하여, 무시할 수 있을 정도로 작은 경우, 전위(V_{NM})는 이하의 식으로 나타내어진다. 또한 이 경우, 전위(V_{ol}')는 전위(V_{ol})와 동등하다.

[0094] [식 3]

[0095] $$V_{NM} = V_{s1} + V_{s2} - V_{ol} \quad (3)$$

[0096] 바꿔 말하면, 전위(V_{NM})는 전위(V_{S1})와 전위(V_{S2})의 합에 대응한다. 그러므로, 비율(C_1C_2)은 큰 것이 바람직하다. 예를 들어, 비율(C_1C_2)은 1보다 큰 것이 바람직하고, 2 이상이 더 바람직하고, 3 이상이 더욱 바람직하다. 그러나, 비율(C_1C_2)이 지나치게 큰 경우, 화소(10a)의 화소 면적에 대한 용량값(C_2)이 작아, 충분한 용량값(C_2)을 얻을 수 없으므로, 비율(C_1C_2)은 10 이하가 바람직하고, 5 이하가 더 바람직하다.

[0097] 또한 트랜지스터(112)의 게이트 용량 등에 기인하는 기생 용량의 영향으로 인하여, 전위(V_{NM})는 상기 식 1 내지 식 3에 따라 계산되는 값보다 낮은 경우가 있다.

[0098] 시각(T12)에서, 배선(122)의 전위를 전위(VSS)로 한다. 이에 의하여, 트랜지스터(114)가 오프가 되어, 노드(NM)의 전위가 결정된다.

[0099] 시각(T13)에서, 배선(126)의 전위를 전위(VDD)로 함으로써, 트랜지스터(102)가 온이 되기 때문에, 노드(NA)의 전위가 노드(NM)의 전위에 대응하는 전위가 되어 EL 소자(104)가 광을 방출한다.

[0100] 이상이 화소(10a)의 동작예이다. 상술한 바와 같이, 본 발명의 일 형태는, 배선(125)의 전위를 참조 전위인 전

위(V_{o1})로 한 후에, 화상 신호(S1)를 노드(NM)에 기록하고 나서, 화상 신호(S2)를 화상 신호(S1)에 부가함으로써 EL 소자(104)가 광을 방출하는 표시 장치의 동작 방법이다.

[0101] 또한 도 2의 (A)에 나타낸 동작 및 도 2의 (B)에 나타낸 동작을 교대로 수행할 수 있지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 트랜지스터(111)가 OS 트랜지스터이면 노드(NM)의 전위를 장시간 유지할 수 있고, 이 경우, 도 2의 (A)에 나타낸 동작을 한 번 수행한 후에, 도 2의 (B)에 나타낸 동작을 여러 번 수행하여도 좋다.

[0102] 여기서, 화상 신호(S2)가 부가된 시각(T11)(도 2의 (B)에 나타냄)에서의 노드(NM)의 전위는 식 1 등에 나타낸 바와 같이 전위(V_{o1})에 의존한다. 전위(V_{NM})는 전위(V_{o1})가 낮아질수록 높아지기 때문에, EL 소자(104)의 휘도도 높아진다. 즉, 본 발명의 일 형태의 표시 장치는 전위(V_{o1})가 낮아질수록 휘도가 더 높은 화상을 표시할 수 있다. 그러므로, 예를 들어 전위(V_{o1})는 외광의 조도에 따라 변화하는 것이 바람직하다. 예를 들어, 본 발명의 일 형태의 표시 장치에는 조도 센서를 제공하여 외광의 조도를 측정하는 것이 바람직하다.

[0103] 도 3의 (A1)은 맑은 날의 낮의 야외 풍경을 도시한 것이고, 도 3의 (B1)은 밤의 야외 풍경을 도시한 것이다. 도 3의 (A1) 및 (B1)에 도시된 표시 장치(200)는 본 발명의 일 형태의 표시 장치이다.

[0104] 도 3의 (A2)는, 도 3의 (A1)에 도시된 환경에서의 표시 장치(200)의 배선(125)의 전위를 도 2의 (A)에 나타낸 시각(T1)부터 시각(T2)까지 나타낸 것이다. 도 3의 (B2)는, 도 3의 (B1)에 도시된 환경에서의 표시 장치(200)의 배선(125)의 전위를 도 2의 (A)에 나타낸 시각(T1)부터 시각(T2)까지 나타낸 것이다. 여기서, 도 3의 (A2)에 나타낸 전위(V_{o1})를 전위($V_{o1}[1]$)라고 하고, 도 3의 (B2)에 나타낸 전위(V_{o1})를 전위($V_{o1}[2]$)라고 한다.

[0105] 도 3의 (A1)에 도시된 환경에서의 외광의 조도는, 도 3의 (B1)에 도시된 환경에서의 외광의 조도보다 높다. 따라서, 도 3의 (A1)에 도시된 환경에서는, 전위(V_{o1})를 도 3의 (B1)에 도시된 환경보다 낮게 하여, 휘도가 더 높은 화상을 표시 장치(200)에 표시하는 것이 바람직하다. 이에 의하여, 표시 장치(200)에 표시된 화상의 시인성을 높일 수 있다. 또한 도 3의 (B1)에 도시된 환경에서, 표시 장치(200)에 표시된 화상의 휘도를 낮게 함으로써, 표시 장치(200)의 소비전력을 저감시킬 수 있다.

[0106] 또한 화상 신호(S1)에 대응하는 화상과 화상 신호(S2)에 대응하는 화상은 상이하여도 좋다. 도 4는, 화상 신호(S1)에 대응하는 화상(P1)이 그림 및 문자를 포함하고, 화상 신호(S2)에 대응하는 화상(P2)은 문자만을 포함하는 경우를 나타낸 것이다. 이 경우, 화상(P1)과 화상(P2)을 서로 겹치면 문자의 휘도를 높일 수 있어, 예를 들어 문자를 강조할 수 있다. 도 2의 (A) 및 (B)에 나타낸 바와 같이, 화상 신호(S1)의 전위(V_{S1})를 재기록하는 경우, 화상 신호(S2)의 전위(V_{S2})도 재기록할 필요가 있다. 한편, 화상 신호(S2)의 전위(V_{S2})를 재기록하는 경우, 시각(T3)(도 2의 (A)에 나타냄)에서 노드(NM)에 기록된 전하가 트랜지스터(111) 등을 통하여 누설되지 않고 노드(NM)에 유지되기만 하면, 화상 신호(S1)의 전위(V_{S1})를 재기록할 필요가 없다. 그러므로, 도 4에 도시된 경우에, 전위(V_{S2})의 값을 조정함으로써 문자의 휘도를 제어할 수 있다.

[0107] 여기서, 상술한 바와 같이, 화상 신호(S1)의 전위(V_{S1})를 재기록하는 경우, 화상 신호(S2)의 전위(V_{S2})도 재기록할 필요가 있지만, 화상 신호(S2)의 전위(V_{S2})를 재기록하는 경우에는 화상 신호(S1)의 전위(V_{S1})를 재기록할 필요가 없다. 그러므로, 화상(P1)은 화상(P2)보다 낮은 빈도로 재기록되는 것이 바람직하다. 또한 화상(P1)은 그림 및 문자를 포함하는 화상에 한정되지 않고, 화상(P2)은 문자만을 포함하는 화상에 한정되지 않는다.

[0108] [표시 장치의 구조예]

[0109] 도 5는, 본 발명의 일 형태의 표시 장치의 구조예를 도시한 블록도이다. 상기 표시 장치는, 화소(10)가 매트릭스로 배열된 화소 어레이, 게이트 드라이버(12), 소스 드라이버(13), 조도 센서(14), 및 디멀티플렉서(15)를 포함한다. 화소(10)로서, 상술한 화소(10a)를 사용할 수 있다. 또한 디멀티플렉서(15)의 수는 예를 들어, 화소 어레이에 배열된 화소(10)의 열과 같은 수로 할 수 있다. 또한 소스 드라이버(13) 및 디멀티플렉서(15)를 통틀어 소스 드라이버라고 하여도 좋다. 바꿔 말하면, 디멀티플렉서(15)는 소스 드라이버에 포함되어도 좋다.

[0110] 게이트 드라이버(12) 및 소스 드라이버(13)에는, 예를 들어 시프트 레지스터 회로를 사용할 수 있다. 게이트 드라이버(12)는 배선(121, 122, 및 126)을 통하여 화소(10)에 전기적으로 접속된다. 조도 센서(14)는 소스 드라이버(13)에 전기적으로 접속된다. 소스 드라이버(13)는 디멀티플렉서(15)의 입력 단자에 전기적으로 접속된

다. 디멀티플렉서(15)의 제 1 출력 단자는 배선(124)을 통하여 화소(10)에 전기적으로 접속된다. 디멀티플렉서(15)의 제 2 출력 단자는 배선(125)을 통하여 화소(10)에 전기적으로 접속된다.

[0111] 게이트 드라이버(12)는, 화소(10)에 포함되는 트랜지스터의 동작을 제어하는 신호를 생성하는 기능을 가진다. 소스 드라이버(13)는 화상 신호(S1 및 S2)를 생성하는 기능을 가진다. 또한, 소스 드라이버(13)는, 참조 전위인 전위(V_{ol})를 생성하는 기능을 가진다. 또한 전위(V_{ol})는 소스 드라이버 외의 회로에 의하여 생성되어도 좋다.

[0112] 디멀티플렉서(15)는 화상 신호(S1) 및 화상 신호(S2)를 각각 배선(124) 및 배선(125)에 공급하는 기능을 가진다. 또한 소스 드라이버(13)가 전위(V_{ol})를 생성하는 기능을 가지는 경우, 디멀티플렉서(15)는 배선(125)에 전위(V_{ol})를 공급하는 기능을 가진다.

[0113] 조도 센서(14)는 외광의 조도를 측정하는 기능을 가진다. 상술한 바와 같이, 본 발명의 일 형태의 표시 장치에서, 전위(V_{ol})는 외광의 조도에 따라 조정할 수 있다. 따라서, 조도 센서(14)가 외광의 조도를 측정하고, 측정된 조도에 대한 정보를 소스 드라이버(13)에 공급함으로써, 소스 드라이버(13)는 외광의 조도에 대응하는 전위(V_{ol})를 생성할 수 있다. 또한 소스 드라이버(13)가 전위(V_{ol})를 생성하는 기능을 가지지 않는 경우, 조도 센서(14)가 소스 드라이버(13)에 전기적으로 접속되지 않은 구조를 채용할 수 있다.

[0114] 또한 조도 센서(14)는 광전 변환 소자를 포함할 수 있다. 광전 변환 소자로서, 예를 들어 광전 변환층에 실리콘을 포함하는 광전 변환 소자 또는 광전 변환층에 셀레늄계 재료를 포함하는 광전 변환 소자를 사용할 수 있다.

[0115] 셀레늄계 재료를 포함한 광전 변환 소자는 가시광에 대한 외부 양자 효율이 높다. 이러한 광전 변환 소자에서는, 애벌란시 증배에 의하여 입사광의 양에 대한 전자의 증폭량을 크게 할 수 있다. 셀레늄계 재료는 광 흡수 계수가 높기 때문에, 예를 들어 얇은 광전 변환층을 형성할 수 있어, 셀레늄계 재료의 사용은 생산에 있어서 이점이 있다. 셀레늄계 재료의 박막은 진공 증착법 또는 스퍼터링법 등에 의하여 형성할 수 있다.

[0116] 셀레늄계 재료로서, 단결정 셀레늄 및 다결정 셀레늄 등의 결정 셀레늄, 비정질 셀레늄, 구리, 인듐, 및 셀레늄의 화합물(CIS), 또는 구리, 인듐, 갈륨, 및 셀레늄의 화합물(CIGS) 등을 사용할 수 있다.

[0117] 도 6의 (A) 내지 (E)는 본 발명의 일 형태의 표시 장치에 제공된 화소(10)에 의하여 나타내어진 색을 나타낸 것이다. 도 6의 (A)에 도시된 바와 같이, 적색(R)을 나타내는 화소(10), 녹색(G)을 나타내는 화소(10), 및 청색(B)을 나타내는 화소(10)를 본 발명의 일 형태의 표시 장치에 제공할 수 있다. 또는 도 6의 (B)에 도시된 바와 같이, 시안(C)을 나타내는 화소(10), 마젠타(M)를 나타내는 화소(10), 및 황색(Y)을 나타내는 화소(10)를 본 발명의 일 형태의 표시 장치에 제공하여도 좋다.

[0118] 또는 도 6의 (C)에 도시된 바와 같이, 적색(R)을 나타내는 화소(10), 녹색(G)을 나타내는 화소(10), 청색(B)을 나타내는 화소(10), 및 백색(W)을 나타내는 화소(10)를 본 발명의 일 형태의 표시 장치에 제공하여도 좋다. 또는 도 6의 (D)에 도시된 바와 같이, 적색(R)을 나타내는 화소(10), 녹색(G)을 나타내는 화소(10), 청색(B)을 나타내는 화소(10), 및 황색(Y)을 나타내는 화소(10)를 본 발명의 일 형태의 표시 장치에 제공하여도 좋다. 또는 도 6의 (E)에 도시된 바와 같이, 시안(C)을 나타내는 화소(10), 마젠타(M)를 나타내는 화소(10), 황색(Y)을 나타내는 화소(10), 및 백색(W)을 나타내는 화소(10)를 본 발명의 일 형태의 표시 장치에 제공하여도 좋다.

[0119] 도 6의 (C) 및 (E)에 도시된 바와 같이, 백색(W)을 나타내는 화소(10)를 본 발명의 일 형태의 표시 장치에 제공하면, 표시되는 화상의 휘도를 높일 수 있다. 또한 도 6의 (D) 등에 도시된 바와 같이, 화소(10)에 의하여 나타내어지는 색의 수를 증가시키면, 중간색의 재현성을 높일 수 있어, 표시 품질을 향상시킬 수 있다.

[0120] [화소 회로의 변형예]

[0121] 다음으로, 화소(10)의 변형예에 대하여 설명한다. 화소(10)를 도 7의 (A)에 나타낸 화소(10b)의 구성으로 할 수 있다. 화소(10b)는 화소(10a)에서 트랜지스터(102)가 생략된 구성을 가진다.

[0122] 상술한 바와 같이, 트랜지스터(102)는 노드(NM)에 기록되는 신호의 전위가 트랜지스터(112)의 문턱 전압(V_{th}) 이상인 경우에 발생하는 기능 불량을 해결하기 위하여 제공된다. 또한 노드(NM)에 기록되는 신호를 V_{th}보다 낮게 한 경우에는, 트랜지스터(102)를 생략할 수 있다.

[0123] 또는 화소(10)는 도 7의 (B)에 도시된 화소(10c)의 구성을 가질 수 있다. 화소(10c)는 각 트랜지스터에 백 게

이트가 제공되는 구성을 가진다. 상기 백 게이트는 대응하는 프런트 게이트에 전기적으로 접속되기 때문에, 온 상태 전류를 높이는 효과가 있다. 또는 백 게이트 및 프런트 게이트에는 상이한 전위를 공급하여도 좋다. 이러한 구성에 의하여, 트랜지스터의 문턱 전압을 제어할 수 있다. 도 7의 (B)에서는 모든 트랜지스터가 백 게이트를 가지지만, 백 게이트가 제공되지 않은 트랜지스터도 포함되어도 좋다. 백 게이트를 포함하는 트랜지스터는 본 실시형태에서의 다른 화소 회로에도 유효하다.

[0124] 또는 화소(10)는 도 8에 나타낸 화소(10d)의 구성을 가져도 좋다. 화소(10d)는 화소(10a)의 구성 요소에 더하여 트랜지스터(105) 및 배선(130)을 포함한다.

[0125] 트랜지스터(105)의 소스 및 드레인 중 한쪽은 트랜지스터(112)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(105)의 소스 및 드레인 중 다른 쪽은 배선(130)에 전기적으로 접속된다. 트랜지스터(105)의 게이트는 배선(122)에 전기적으로 접속된다.

[0126] 배선(130)은 전원선의 기능을 가진다. 화상 신호(S1)가 화소(10d)에 기록되는 동안 및 화상 신호(S2)가 화소(10d)에 기록되는 동안, 트랜지스터(105)를 통하여 배선(130)으로부터 용량 소자(103)의 다른 쪽 전극에 저전위 등의 소정의 전위를 공급함으로써, 화상 신호의 기록을 안정적으로 수행할 수 있다.

[0127] 본 실시형태는 다른 실시형태 등에서 설명한 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0128] (실시형태 2)

[0129] 본 실시형태에서는, EL 소자를 포함한 표시 장치의 구조예에 대하여 설명한다.

[0130] 도 9의 (A)에서는, 제 1 기판(4001) 위에 제공된 표시부(215)를 둘러싸도록 실재(4005)가 제공되고, 표시부(215)가 실재(4005) 및 제 2 기판(4006)으로 밀봉되어 있다.

[0131] 표시부(215)에는 실시형태 1에서 설명한 화소를 포함한 화소 어레이가 제공된다.

[0132] 도 9의 (A)에서, 주사선 구동 회로(221), 신호선 구동 회로(231), 신호선 구동 회로(232), 및 공통선(common line) 구동 회로(241)는 각각 인쇄 회로 기판(4041) 위에 제공된 복수의 집적 회로(4042)를 포함한다. 집적 회로(4042)는 각각 단결정 반도체 또는 다결정 반도체를 사용하여 형성되어 있다. 신호선 구동 회로(231) 및 신호선 구동 회로(232)는 각각 실시형태 1에서 설명한 소스 드라이버의 기능을 가진다. 주사선 구동 회로(221)는 실시형태 1에서 설명한 게이트 드라이버의 기능을 가진다. 공통선 구동 회로(241)는 실시형태 1에서 설명한 공통 배선에 소정의 전위를 공급하는 기능을 가진다.

[0133] 주사선 구동 회로(221), 공통선 구동 회로(241), 신호선 구동 회로(231), 및 신호선 구동 회로(232)에는 FPC(flexible printed circuit)(4018)를 통하여 신호 및 전위가 공급된다.

[0134] 주사선 구동 회로(221)에 포함되는 집적 회로(4042) 및 공통선 구동 회로(241)에 포함되는 집적 회로(4042)는 각각 표시부(215)에 선택 신호를 공급하는 기능을 가진다. 신호선 구동 회로(231)에 포함되는 집적 회로(4042) 및 신호선 구동 회로(232)에 포함되는 집적 회로(4042)는 각각 표시부(215)에 화상 신호를 공급하는 기능을 가진다. 집적 회로(4042)는 제 1 기판(4001) 위의 실재(4005)로 둘러싸인 영역과는 상이한 영역에 실장되어 있다.

[0135] 또한 집적 회로(4042)의 접속 방법은 특별히 한정되지 않고, 와이어 본딩법, COG(chip on glass)법, TCP(tape carrier package)법, 또는 COF(chip on film)법 등을 사용할 수 있다.

[0136] 도 9의 (B)는 신호선 구동 회로(231) 및 신호선 구동 회로(232)에 포함되는 집적 회로(4042)를 COG법에 의하여 실장하는 예를 나타낸 것이다. 또한 구동 회로의 일부 또는 모두를 표시부(215)가 형성되는 기판 위에 형성함으로써, 시스템 온 패널(system-on-panel)을 얻을 수 있다.

[0137] 도 9의 (B)에 나타낸 예에서는, 표시부(215)가 형성되는 기판 위에 주사선 구동 회로(221) 및 공통선 구동 회로(241)가 형성되어 있다. 구동 회로를 표시부(215) 내의 화소 회로와 동시에 형성하면, 부품의 개수를 줄일 수 있다. 이에 의하여, 생산성을 높일 수 있다.

[0138] 도 9의 (B)에서는, 제 1 기판(4001) 위에 제공되는 표시부(215), 주사선 구동 회로(221), 및 공통선 구동 회로(241)를 둘러싸도록 실재(4005)가 제공되어 있다. 표시부(215), 주사선 구동 회로(221), 및 공통선 구동 회로(241) 위에 제 2 기판(4006)이 제공되어 있다. 따라서 표시부(215), 주사선 구동 회로(221), 및 공통선 구동 회로(241)는 제 1 기판(4001), 실재(4005), 및 제 2 기판(4006)에 의하여 표시 소자와 함께 밀봉되어 있다.

[0139] 도 9의 (B)에 나타낸 예에서는 신호선 구동 회로(231) 및 신호선 구동 회로(232)가 별도로 형성되고 제 1 기판(4001)에 실장되어 있지만, 본 발명의 일 형태는 이 구조에 한정되지 않는다. 주사선 구동 회로를 별도로 형성한 다음 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부를 별도로 형성한 다음 실장하여도 좋다.

[0140] 표시 장치는 표시 소자가 밀봉된 패널, 및 상기 패널에 컨트롤러를 포함한 IC 등이 실장된 모듈을 포함하는 경우가 있다.

[0141] 제 1 기판 위의 표시부 및 주사선 구동 회로는 각각 복수의 트랜지스터를 포함한다. 상기 트랜지스터로서, 예를 들어 이하에서 설명하는 트랜지스터를 사용할 수 있다.

[0142] 주변 구동 회로에 포함되는 트랜지스터 및 표시부의 화소 회로에 포함되는 트랜지스터는 같은 구조를 가져도 좋고 다른 구조를 가져도 좋다. 주변 구동 회로에 포함되는 트랜지스터는 같은 구조를 가져도 좋고 2종류 이상의 구조의 조합을 가져도 좋다. 마찬가지로, 화소 회로에 포함되는 트랜지스터는 같은 구조를 가져도 좋고, 또는 2종류 이상의 구조의 조합을 채용하여도 좋다.

[0143] 제 2 기판(4006) 위에는 입력 장치(4200)를 제공할 수 있다. 도 9의 (A) 및 (B)에 도시되며, 입력 장치(4200)가 제공된 표시 장치는 각각 터치 패널로서 기능할 수 있다.

[0144] 본 발명의 일 형태의 터치 패널에 포함되는 검지 소자(센싱 소자라고도 함)에 특별한 한정은 없다. 손가락 또는 스타일러스 등의 물체의 근접 또는 접촉을 검지할 수 있는 다양한 센서를 검지 소자로서 사용할 수 있다.

[0145] 예를 들어 센서에는 정전 용량 방식, 저항막 방식, 표면 탄성파 방식, 적외선 방식, 광학 방식, 및 감압 방식 등 다양한 방식을 사용할 수 있다.

[0146] 본 실시형태에서는 정전 용량 방식의 검지 소자를 포함한 터치 패널을 예로서 설명한다.

[0147] 정전 용량 방식의 검지 소자의 예에는 표면형 정전 용량 방식의 검지 소자 및 투영형 정전 용량 방식의 검지 소자 등이 포함된다. 투영형 정전 용량 방식의 검지 소자의 예에는 자기 용량 방식의 검지 소자 및 상호 용량 방식의 검지 소자가 포함된다. 상호 용량 방식의 검지 소자를 사용하면 여러 지점을 동시에 검지할 수 있으므로 바람직하다.

[0148] 본 발명의 일 형태에 따른 터치 패널은, 따로따로 제작된 표시 장치와 검지 소자를 서로 접착하는 구조, 및 표시 소자를 지지하는 기판 및 대향 기판 중 한쪽 또는 양쪽 모두에, 검지 소자에 포함되는 전극 등을 제공하는 구조를 포함한 다양한 구조 중 임의의 것을 가질 수 있다.

[0149] 도 10의 (A) 및 (B)는 터치 패널의 예를 도시한 것이다. 도 10의 (A)는 터치 패널(4210)의 사시도이다. 도 10의 (B)는 입력 장치(4200)의 사시 개략도이다. 또한 명료화를 위하여 도 10의 (A) 및 (B)에는 주요한 구성 요소만을 도시하였다.

[0150] 터치 패널(4210)은 따로따로 제작된 표시 장치와 검지 소자를 서로 접착시킨 구조를 가진다.

[0151] 터치 패널(4210)은 서로 중첩하여 제공된 입력 장치(4200) 및 표시 장치를 포함한다.

[0152] 입력 장치(4200)는 기판(4263), 전극(4227), 전극(4228), 복수의 배선(4237), 복수의 배선(4238), 및 복수의 배선(4239)을 포함한다. 예를 들어, 전극(4227)은 배선(4237) 또는 배선(4239)에 전기적으로 접속될 수 있다. 또한 전극(4228)은 배선(4238)에 전기적으로 접속될 수 있다. FPC(4272)는 복수의 배선(4237), 복수의 배선(4238), 및 복수의 배선(4239)의 각각에 전기적으로 접속된다. FPC(4272)에는 IC(4273)를 실장할 수 있다.

[0153] 또는 표시 장치의 제 1 기판(4001)과 제 2 기판(4006) 사이에 터치 센서를 제공하여도 좋다. 제 1 기판(4001)과 제 2 기판(4006) 사이에 터치 센서를 제공하는 경우에는, 정전 용량 방식의 터치 센서 외에 광전 변환 소자를 포함한 광학 터치 센서를 사용하여도 좋다.

[0154] 도 11의 (A)는, 도 9의 (B)의 점선 N1-N2를 따라 취한 단면도이고, 톱 이미션 구조를 가지며 컬러 필터 방식을 채용한 발광 표시 장치의 구조예를 도시한 것이다. 도 11의 (A)에 도시된 표시 장치는 전극(4015)을 포함하고, 전극(4015)은 FPC(4018)에 포함되는 단자에 이방성 도전층(4019)을 통하여 전기적으로 접속되어 있다. 도 11의 (A)에서, 전극(4015)은 절연층(4112, 4111, 및 4110)에 형성된 개구에서 배선(4014)에 전기적으로 접속되어 있다.

[0155] 전극(4015)은 제 1 전극층(4030)과 같은 도전층으로 형성되고, 배선(4014)은 트랜지스터(4010 및 4011)의 소스

전극 및 드레인 전극과 같은 도전층으로 형성되어 있다.

[0156] 제 1 기판(4001) 위에 제공된 표시부(215) 및 주사선 구동 회로(221)는 각각 복수의 트랜지스터를 포함한다. 도 11의 (A)에는, 표시부(215)에 포함되는 트랜지스터(4010) 및 주사선 구동 회로(221)에 포함되는 트랜지스터(4011)를 예로서 나타내었다. 도 11의 (A)에 나타낸 예에서, 트랜지스터(4010 및 4011)는 보텀 게이트 트랜지스터이지만 톱 게이트 트랜지스터이어도 좋다.

[0157] 도 11의 (A)에서는, 트랜지스터(4010 및 4011) 위에 절연층(4112)이 제공되어 있다. 절연층(4112) 위에는 격벽(4510)이 제공되어 있다.

[0158] 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4102) 위에 제공되어 있다. 트랜지스터(4010 및 4011)는 각각 절연층(4111) 위에 형성된 전극(4017)을 포함한다. 전극(4017)은 백 게이트 전극으로서 기능할 수 있다.

[0159] 도 11의 (A)에 도시된 표시 장치는 용량 소자(4020)를 포함한다. 용량 소자(4020)는 트랜지스터(4010)의 게이트 전극과 같은 단계에서 형성된 전극(4021), 및 트랜지스터(4010)의 소스 전극 및 드레인 전극과 같은 단계에서 형성된 전극을 포함한다. 이들 전극은 절연층(4103)을 개재(介在)하여 서로 중첩되어 있다.

[0160] 일반적으로, 표시 장치의 화소부에 제공되는 용량 소자의 용량은, 화소부에 제공되는 트랜지스터의 누설 전류 등을 고려하여, 전하를 소정의 기간 유지할 수 있도록 설정된다. 용량 소자의 용량은 트랜지스터의 오프 상태 전류 등을 고려하여 설정할 수 있다.

[0161] 표시부(215)에 포함되는 트랜지스터(4010)는 표시 소자에 전기적으로 접속된다.

[0162] 도 11의 (A)에 도시된 표시 장치에서, 절연층(4111 및 4103) 각각으로서, 불순물을 투과시키기 어려운 절연층을 사용한다. 절연층들(4111 및 4103) 사이에 트랜지스터의 반도체층을 끼움으로써, 외부로부터의 불순물의 침입을 방지할 수 있다.

[0163] 표시 장치에 포함되는 표시 소자로서, 일렉트로루미네선스를 이용하는 발광 소자(EL 소자)를 사용할 수 있다. EL 소자는 한 쌍의 전극 사이에 발광성 화합물을 포함한 층("EL층"이라고도 함)을 포함한다. 한 쌍의 전극 사이에서 EL 소자의 문턱 전압보다 큰 전위차를 발생시키면, EL층에 양극 측으로부터 정공이 주입되고, EL층에 음극 측으로부터 전자가 주입된다. 주입된 전자와 정공은 EL층에서 재결합되고, EL층에 포함되는 발광 물질이 광을 방출한다.

[0164] EL 소자는 발광 재료가 유기 화합물인지 아니면 무기 화합물인지에 따라 분류된다. 일반적으로, 전자(前者)의 EL 소자를 유기 EL 소자라고 하고, 후자의 EL 소자를 무기 EL 소자라고 한다.

[0165] 유기 EL 소자에서는, 전압을 인가함으로써, 한쪽 전극으로부터 EL층에 전자가 주입되고, 다른 쪽 전극으로부터 EL층에 정공이 주입된다. 다음으로, 캐리어(전자 및 정공)가 재결합됨으로써, 발광성 유기 화합물이 여기된다. 발광성 유기 화합물은 여기 상태로부터 기저 상태로 되돌아감으로써 광을 방출한다. 이러한 메커니즘 때문에, 이 발광 소자를 전류 여기형 발광 소자라고 한다.

[0166] 발광성 화합물에 더하여, EL층은 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블로킹 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 및 바이폴러성을 가지는 물질(전자 수송성 및 정공 수송성이 높은 물질) 등 중 임의의 것을 더 포함하여도 좋다.

[0167] EL층은 증착법(진공 증착법을 포함함), 전사법(transfer method), 인쇄법, 잉크젯법, 또는 도포법 등에 의하여 형성할 수 있다.

[0168] 무기 EL 소자는 그 소자 구조에 따라, 분산형 무기 EL 소자 및 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 내로 분산시킨 발광층을 포함하고, 그 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층들 사이에 끼우고, 이들을 전극들 사이에 더 끼운 구조를 가지고, 그 발광 메커니즘은 금속 이온의 내각(inner-shell) 전자 전이(electron transition)를 이용하는 국재(局在)형 발광이다. 또한, 여기서는 발광 소자로서 유기 EL 소자를 사용하는 경우에 대하여 설명한다.

[0169] 발광 소자로부터 방출되는 광을 추출하기 위해서는, 한 쌍의 전극 중 적어도 한쪽이 투명할 필요가 있다. 트랜지스터와 함께 기판 위에 형성된 발광 소자는, 상기 기판과는 반대쪽의 면을 통하여 발광을 추출하는 톱 이미션 구조, 기판 측의 면을 통하여 발광을 추출하는 보텀 이미션 구조, 및 양측으로부터 발광을 추출하는 듀얼 이미션 구조 중 임의의 것을 가질 수 있다.

[0170] 도 11의 (A)는 표시 소자로서 발광 소자를 사용한 발광 표시 장치("EL 표시 장치"라고도 함)의 예를 나타낸 것이다. 표시 소자인 발광 소자(4513)는 표시부(215)에 제공된 트랜지스터(4010)에 전기적으로 접속되어 있다. 발광 소자(4513)를 백색광을 방출하는 소자로 할 수 있다. 발광 소자(4513)의 구조는 제 1 전극층(4030), 발광층(4511), 및 제 2 전극층(4031)의 적층 구조이지만, 본 발명의 일 형태는 이 구조에 한정되지 않는다. 발광 소자(4513)로부터 광을 추출하는 방향 등에 따라 발광 소자(4513)의 구조를 적절히 변경할 수 있다.

[0171] 격벽(4510)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성된다. 격벽(4510)은 감광성 수지 재료를 사용하여 제 1 전극층(4030) 위에 개구를 가지도록 형성되어, 그 개구의 측면이 연속한 곡률을 가지고 경사지는 것이 특히 바람직하다.

[0172] 발광층(4511)은 하나의 층 및 적층된 복수의 층 중 어느 하나를 사용하여 형성되어도 좋다.

[0173] 또한 발광층(4511)은 퀀텀닷(quantum dot) 등의 무기 화합물을 포함하여도 좋다. 예를 들어, 퀀텀닷은 발광층에 사용되면 발광 재료로서 기능할 수 있다.

[0174] 발광 소자(4513) 내에 산소, 수소, 수분, 또는 이산화 탄소 등이 들어가는 것을 방지하기 위하여, 제 2 전극층(4031) 위에 보호층을 형성하여도 좋다. 보호층에는 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 또는 DLC(diamond like carbon) 등을 사용할 수 있다. 또한 제 1 기판(4001), 제 2 기판(4006), 및 실재(4005)에 의하여 둘러싸인 공간에는 밀봉을 위하여 충전재(4514)가 제공되어 있다. 이러한 식으로, 발광 소자가 외기에 노출되지 않도록, 기밀성이 높고 탈가스가 적은 보호 필름(래미네이트 필름 또는 자외선 경화 수지 필름 등) 또는 커버 부재를 사용하여 발광 소자가 패키징(밀봉)되는 것이 바람직하다.

[0175] 충전재(4514)로서는, 질소 또는 아르곤 등의 불활성 가스 외에, 자외선 경화 수지 또는 열경화성 수지를 사용할 수 있고, 예를 들어 폴리바이닐클로라이드(PVC), 아크릴 수지, 폴리이미드 수지, 에폭시계 수지, 실리콘(silicone)계 수지, 폴리바이닐뷰티랄(PVB), 또는 에틸렌바이닐아세테이트(EVA) 등을 사용할 수 있다. 충전재(4514)에는 건조제가 포함되어도 좋다.

[0176] 실재(4005)에는 유리 프릿 등의 유리 재료, 또는 실온에서 경화될 수 있는 수지(예를 들어, 2성분 혼합형 수지), 광경화성 수지, 또는 열경화성 수지 등의 수지 재료를 사용할 수 있다. 실재(4005)에는 건조제가 포함되어도 좋다.

[0177] 도 11의 (A)에 도시된 표시 장치는 착색층(4301) 및 차광층(4302)을 포함한다. 착색층(4301)은 충전재(4514)를 개재하여 발광 소자(4513)와 중첩되는 영역을 가지고, 차광층(4302)은 충전재(4514)를 개재하여 격벽(4510)과 중첩되는 영역을 가진다.

[0178] 착색층(4301)은 특정한 파장 범위의 광을 투과시키는 유색층(colored layer)이다. 예를 들어, 적색, 녹색, 청색, 시안, 마젠타, 또는 황색의 광을 투과시키기 위한 컬러 필터를 사용할 수 있다. 착색층(4301)에 사용할 수 있는 재료의 예에는 금속 재료, 수지 재료, 및 안료 또는 염료를 포함한 수지 재료가 포함된다.

[0179] 착색층(4301)은 인접한 차광층들(4302) 사이에 제공된다. 차광층(4302)은 발광 소자(4513)로부터 방출되는 광을 차단하고, 인접한 발광 소자들(4513) 사이에서의 혼색을 억제하는 기능을 가진다. 여기서는, 착색층(4301)은 그 단부가 차광층(4302)과 중첩되도록 제공됨으로써, 광 누설을 저감시킬 수 있다. 차광층(4302)에는 발광 소자(4513)로부터의 광을 차단하는 재료를 사용할 수 있고, 예를 들어 금속 재료, 또는 안료 또는 염료를 포함하는 수지 재료를 사용하여 블랙 매트릭스를 형성할 수 있다.

[0180] 또한 필요하면, 발광 소자의 발광면에 편광판, 원 편광판(타원 편광판을 포함함), 또는 위상차판(1/4 파장판 또는 1/2 파장판)을 적절히 제공하여도 좋다. 또한 편광판 또는 원 편광판에 반사 방지막을 제공하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산시켜 눈부심을 저감할 수 있는 눈부심 방지(anti-glare) 처리를 수행할 수 있다.

[0181] 발광 소자가 마이크로캐비티 구조를 가지면, 색 순도가 높은 광을 추출할 수 있다.

[0182] 표시 소자에 전압을 인가하는 제 1 전극층(화소 전극이라고도 함) 및 제 2 전극층(공통 전극층 또는 상대 전극층 등이라고도 함)은 각각, 광을 추출하는 방향, 전극층이 제공되는 위치, 및 전극층의 패턴 구조에 따라, 투광성 및 광 반사성 중 어느 쪽을 가진다.

[0183] 제 1 전극층(4030) 및 제 2 전극층(4031)은 각각, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하

는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 인듐 주석 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성의 도전성 재료를 사용하여 형성할 수 있다.

[0184] 제 1 전극층(4030) 및 제 2 전극층(4031)은 각각, 텅스텐(W), 몰리브데넘(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 나이오븀(Nb), 탄탈럼(Ta), 크로뮴(Cr), 코발트(Co), 니켈(Ni), 타이타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 및 은(Ag) 등의 금속, 이들의 합금, 및 이들의 질화물에서 선택된 1종류 이상을 사용하여 형성할 수도 있다.

[0185] 제 1 전극층(4030) 및 제 2 전극층(4031)에는 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용할 수 있다. 도전성 고분자로서는, 소위 π전자 공액 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 및 그 유도체, 폴리피롤 및 그 유도체, 폴리싸이오펜 및 그 유도체, 그리고 아닐린, 피롤, 및 싸이오펜 중 2개 이상으로 이루어진 공중합체 및 그 유도체를 들 수 있다.

[0186] 트랜지스터는 정전기 등에 의하여 파괴되기 쉽기 때문에, 구동 회로를 보호하기 위한 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 형성되는 것이 바람직하다.

[0187] 도 11의 (A)에 도시된 바와 같이, 백색광을 방출하는 발광 소자(4513)와 착색층을 조합하는 컬러 필터 방식을 채용함으로써, 본 발명의 일 형태의 표시 장치의 생산성을 높일 수 있다.

[0188] 도 11의 (B)는, 도 9의 (B)에서 점선 N1-N2를 따라 취한 단면도이고, 도 11의 (B)에서의 표시 장치는, 컬러 필터를 포함하지 않고 개별 착색 방식(separate coloring method)을 채용한 점에서, 도 11의 (A)에 도시된 구조를 가지는 표시 장치와 상이하다. 개별 착색 방식을 채용한 표시 장치에서, 발광 소자(4513)의 발광색은 발광층(4511)의 재료에 따라 백색, 적색, 녹색, 청색, 시안, 마젠타, 또는 황색 등으로 할 수 있다.

[0189] 도 11의 (B)에 도시된 바와 같이, 개별 착색 방식을 채용하면, 색 순도가 높은 광을 추출할 수 있다. 또한 개별 착색 방식을 채용한 표시 장치에 컬러 필터를 제공하면, 색 순도가 더 높은 광을 추출할 수 있다.

[0190] 또한 색 변환 방식 또는 퀀텀닷 방식 등을 본 발명의 일 형태의 표시 장치에 채용하여도 좋다.

[0191] 본 실시형태는 다른 실시형태 등에서 설명한 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0192] (실시형태 3)

[0193] 본 실시형태에서는, 상기 실시형태에서 설명한 트랜지스터로서 사용할 수 있는 트랜지스터의 예에 대하여 도면을 참조하여 설명한다.

[0194] 본 발명의 일 형태의 표시 장치는, 보텀 게이트 트랜지스터 또는 톱 게이트 트랜지스터 등 다양한 구조 중 임의의 것을 가지는 트랜지스터를 사용하여 제작할 수 있다. 그러므로 기존의 생산 라인에 따라 반도체층의 재료 또는 트랜지스터의 구조를 쉽게 변경할 수 있다.

[0195] [보텀 게이트 트랜지스터]

[0196] 도 12의 (A1)은 보텀 게이트 트랜지스터의 일종인 채널 보호 트랜지스터(810)의 단면도이다. 도 12의 (A1)에서 트랜지스터(810)는 기판(771) 위에 형성되어 있다. 트랜지스터(810)는 절연층(772)을 개재하여 기판(771) 위에 전극(746)을 포함한다. 트랜지스터(810)는 절연층(726)을 개재하여 전극(746) 위에 반도체층(742)도 포함한다. 전극(746)은 게이트 전극의 기능을 가진다. 절연층(726)은 게이트 절연층의 기능을 가진다.

[0197] 트랜지스터(810)는 반도체층(742)의 채널 형성 영역 위에 절연층(741)을 포함한다. 트랜지스터(810)는, 반도체층(742)의 일부와 접하고 절연층(726) 위에 있는 전극(744a) 및 전극(744b)을 포함한다. 전극(744a)은 소스 전극 및 드레인 전극 중 한쪽의 기능을 가진다. 전극(744b)은 소스 전극 및 드레인 전극 중 다른 쪽의 기능을 가진다. 전극(744a)의 일부 및 전극(744b)의 일부는 절연층(741) 위에 형성된다.

[0198] 절연층(741)은 채널 보호층의 기능을 가진다. 채널 형성 영역 위에 절연층(741)을 제공하면, 전극(744a 및 744b)을 형성할 때 반도체층(742)이 노출되는 것을 방지할 수 있다. 그러므로 전극(744a 및 744b)을 형성할 때 반도체층(742)의 채널 형성 영역이 에칭되는 것을 방지할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 제공할 수 있다.

[0199] 트랜지스터(810)는 전극(744a), 전극(744b), 및 절연층(741) 위에 절연층(728)을 포함하고, 절연층(728) 위에 절연층(729)을 더 포함한다.

[0200] 반도체층(742)에 산화물 반도체를 사용하는 경우에는, 전극(744a 및 744b)에서 적어도 반도체층(742)과 접하는 영역에, 반도체층(742)의 일부로부터 산소를 제거하여 산소 결손을 발생시킬 수 있는 재료를 사용하는 것이 바람직하다. 반도체층(742)에서 산소 결손이 발생한 영역의 캐리어 농도가 증가되므로, 상기 영역은 n형 영역(n^+층)이 된다. 이에 의하여, 상기 영역은 소스 영역 및 드레인 영역으로서 기능할 수 있다. 반도체층(742)에 산화물 반도체를 사용하는 경우, 반도체층(742)으로부터 산소를 제거하여 산소 결손을 발생시킬 수 있는 재료의 예에는 텅스텐 및 타이타늄이 포함된다.

[0201] 반도체층(742)에 소스 영역 및 드레인 영역을 형성함으로써, 반도체층(742)과 각각의 전극(744a 및 744b) 사이의 접촉 저항을 저감할 수 있다. 이에 의하여, 전계 효과 이동도 및 문턱 전압 등의 트랜지스터의 전기 특성을 양호하게 할 수 있다.

[0202] 반도체층(742)에 실리콘 등의 반도체를 사용하는 경우에는, 반도체층(742)과 각각의 전극(744a 및 744b) 사이에 n형 반도체 또는 p형 반도체로서 기능하는 층을 제공하는 것이 바람직하다. n형 반도체 또는 p형 반도체로서 기능하는 층은 트랜지스터의 소스 영역 또는 드레인 영역으로서 기능할 수 있다.

[0203] 절연층(729)은, 외부로부터 트랜지스터로 불순물이 확산되는 것을 방지하거나, 또는 저감하는 기능을 가지는 재료를 사용하여 형성되는 것이 바람직하다. 절연층(729)은 필요에 따라 생략할 수 있다.

[0204] 도 12의 (A2)에 도시된 트랜지스터(811)는, 백 게이트 전극의 기능을 가지는 전극(723)을 절연층(729) 위에 포함하는 점에서 트랜지스터(810)와 상이하다. 전극(723)은 전극(746)과 비슷한 재료 및 방법을 사용하여 형성할 수 있다.

[0205] 일반적으로, 백 게이트 전극은 도전층을 사용하여 형성되고, 반도체층의 채널 형성 영역이 게이트 전극과 백 게이트 전극 사이에 끼워지도록 배치된다. 그러므로 백 게이트 전극은 게이트 전극과 비슷한 식으로 기능할 수 있다. 백 게이트 전극의 전위는 게이트 전극과 같게 하여도 좋고, 접지(GND) 전위 또는 소정의 전위로 하여도 좋다. 백 게이트 전극의 전위를 게이트 전극의 전위와는 독립적으로 변화시킴으로써, 트랜지스터의 문턱 전압을 변화시킬 수 있다.

[0206] 전극(746) 및 전극(723)은 각각 게이트 전극으로서 기능할 수 있다. 따라서 절연층(726, 741, 728, 및 729)은 각각 게이트 절연층으로서 기능할 수 있다. 전극(723)을 절연층들(728 및 729) 사이에 제공하여도 좋다.

[0207] 전극(746 및 723) 중 한쪽을 "게이트 전극"이라고 하는 경우, 다른 쪽을 "백 게이트 전극"이라고 한다. 예를 들어, 트랜지스터(811)에서 전극(723)을 "게이트 전극"이라고 하는 경우, 전극(746)을 "백 게이트 전극"이라고 한다. 전극(723)을 "게이트 전극"으로서 사용하는 경우, 트랜지스터(811)를 톱 게이트 트랜지스터의 일종으로 간주할 수 있다. 또는 전극(746 및 723) 중 한쪽을 "제 1 게이트 전극"이라고 하고, 다른 쪽을 "제 2 게이트 전극"이라고 하는 경우가 있다.

[0208] 반도체층(742)을 개재하여 전극(746 및 723)을 제공하고, 전극(746 및 723)을 같은 전위로 하면, 반도체층(742)에서 캐리어가 흐르는 영역이 막 두께 방향에서 확대되기 때문에, 이동하는 캐리어의 수가 증가된다. 이 결과, 트랜지스터(811)의 온 상태 전류 및 전계 효과 이동도가 높아진다.

[0209] 그러므로 트랜지스터(811)의 온 상태 전류는 그 면적에 비하여 높다. 즉, 요구되는 온 상태 전류에 대하여 트랜지스터(811)의 면적을 축소할 수 있다. 본 발명의 일 형태에 따르면, 트랜지스터의 면적을 축소할 수 있다.

[0210] 게이트 전극 및 백 게이트 전극은 도전층을 사용하여 형성되기 때문에, 트랜지스터의 외부에서 발생하는 전계가, 채널이 형성되는 반도체층에 영향을 미치는 것을 방지하는 기능(특히, 정전기 등에 대한 전계 차폐 기능)을 각각 가진다. 백 게이트 전극을 반도체층보다 크게 형성하여 반도체층을 덮으면, 전계 차폐 기능을 높일 수 있다.

[0211] 차광성 도전막을 사용하여 백 게이트 전극을 형성하면, 백 게이트 전극 측으로부터 반도체층에 광이 들어가는 것을 방지할 수 있다. 그러므로 반도체층의 광 열화를 방지하고, 문턱 전압이 변동되는 등의 트랜지스터의 전기 특성의 저하를 방지할 수 있다.

[0212] 본 발명의 일 형태에 따르면, 신뢰성이 높은 트랜지스터를 제공할 수 있다. 또한 신뢰성이 높은 표시 장치 등을 제공할 수 있다.

[0213] 도 12의 (B1)은 보텀 게이트 트랜지스터인 채널 보호 트랜지스터(820)의 단면도이다. 트랜지스터(820)는 트랜지스터(810)와 대략 같은 구조를 가지지만, 절연층(741)이 반도체층(742)의 단부를 덮는 점에서 트랜지스터

(810)와 상이하다. 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거함으로써 형성된 개구를 통하여 반도체층(742)이 전극(744a)에 전기적으로 접속되어 있다. 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거함으로써 형성된 다른 개구를 통하여 반도체층(742)이 전극(744b)에 전기적으로 접속되어 있다. 절연층(741)에서 채널 형성 영역과 중첩되는 영역은 채널 보호층의 기능을 가진다.

[0214] 도 12의 (B2)에 도시된 트랜지스터(821)는, 백 게이트 전극의 기능을 가지는 전극(723)을 절연층(729) 위에 포함하는 점에서 트랜지스터(820)와 상이하다.

[0215] 절연층(729)에 의하여, 전극(744a 및 744b)을 형성할 때 반도체층(742)이 노출되는 것을 방지할 수 있다. 그러므로 전극(744a 및 744b)을 형성할 때 반도체층(742)의 두께가 얇아지는 것을 방지할 수 있다.

[0216] 트랜지스터(820 및 821)에서는 전극(746)과 전극(744a) 사이의 거리 및 전극(746)과 전극(744b) 사이의 거리가 트랜지스터(810 및 811)에서보다 길다. 따라서, 전극(744a)과 전극(746) 사이에 발생하는 기생 용량을 저감할 수 있다. 전극(744b)과 전극(746) 사이에서 발생하는 기생 용량도 저감할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 제공할 수 있다.

[0217] 도 12의 (C1)에 도시된 트랜지스터(825)는 보텀 게이트 트랜지스터인 채널 에치 트랜지스터(channel-etched transistor)이다. 트랜지스터(825)에서는, 절연층(741)을 제공하지 않고 전극(744a 및 744b)을 형성한다. 그러므로 전극(744a 및 744b)을 형성할 때 노출되는 반도체층(742)의 일부가 에칭되는 경우가 있다. 그러나 절연층(741)을 제공하지 않기 때문에, 트랜지스터의 생산성을 높일 수 있다.

[0218] 도 12의 (C2)에 도시된 트랜지스터(826)는, 백 게이트 전극의 기능을 가지는 전극(723)을 절연층(729) 위에 포함하는 점에서 트랜지스터(825)와 상이하다.

[0219] [톱 게이트 트랜지스터]

[0220] 도 13의 (A1)에 도시된 트랜지스터(842)는 톱 게이트 트랜지스터이다. 트랜지스터(842)에서는, 절연층(729)의 형성 후에 전극(744a 및 744b)을 형성한다. 전극(744a 및 744b)은 절연층(728 및 729)에 형성된 개구를 통하여 반도체층(742)에 전기적으로 접속된다.

[0221] 전극(746)과 중첩되지 않는 절연층(726)의 일부를 제거하고, 도 13의 (A3)에 도시된 바와 같이, 전극(746), 및 절연층(726)의 잔존한 부분을 마스크로서 사용하여 불순물(755)을 반도체층(742)에 도입하면, 반도체층(742) 내에 자기 정합(self-aligned)적으로 불순물 영역을 형성할 수 있다. 트랜지스터(842)는 절연층(726)이 전극(746)의 단부를 넘어 연장되는 영역을 포함한다. 반도체층(742)에서 절연층(726)을 통하여 불순물(755)이 도입되는 영역의 불순물 농도는, 반도체층(742)에서 절연층(726)을 통하지 않고 불순물(755)이 도입되는 영역에서보다 낮다. 반도체층(742)에서 전극(746)과 중첩되지 않는 영역에 LDD(lightly doped drain) 영역이 형성된다.

[0222] 도 13의 (A2)에 도시된 트랜지스터(843)는 기판(771) 위에 형성된 전극(723)을 포함하는 점에서 트랜지스터(842)와 상이하다. 전극(723)은 절연층(772)을 개재하여 반도체층(742)과 중첩되는 영역을 포함한다. 전극(723)은 백 게이트 전극으로서 기능할 수 있다.

[0223] 도 13의 (B1)에 도시된 트랜지스터(844) 및 도 13의 (B2)에 도시된 트랜지스터(845)에서와 같이, 전극(746)과 중첩되지 않는 영역의 절연층(726)을 완전히 제거하여도 좋다. 또는 도 13의 (C1)에 도시된 트랜지스터(846) 및 도 13의 (C2)에 도시된 트랜지스터(847)에서와 같이, 절연층(726)을 남겨도 좋다.

[0224] 트랜지스터(843 내지 847)에서는, 전극(746)을 형성한 후에 전극(746)을 마스크로서 사용하여 반도체층(742)에 불순물(755)을 도입함으로써, 반도체층(742)에 불순물 영역을 자기 정합적으로 형성할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 제공할 수 있다.

[0225] 본 실시형태는 다른 실시형태 등에서 설명한 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0226] (실시형태 4)

[0227] 본 발명의 일 형태의 표시 장치를 사용할 수 있는 전자 기기의 예에는, 디스플레이, 퍼스널 컴퓨터, 기록 매체가 제공된 화상 기억 장치 또는 화상 재생 장치, 휴대 전화기, 게임기(휴대용 게임기를 포함함), 휴대 정보 단말기, 전자책 리더, 비디오 카메라 및 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운티드 디스플레이), 내비게이션 시스템, 음향 재생 장치(예를 들어 카 오디오 플레이어 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 및 자동 판매기가 포함된다. 도 14의 (A) 내지 (F)는 이들 전자 기기의 구체적인 예를 도시한 것이다.

[0228] 도 14의 (A)는 하우징(971), 표시부(973), 조작 키(974), 스피커(975), 통신용 접속 단자(976), 및 광 센서(977) 등을 포함하는 텔레비전을 도시한 것이다. 표시부(973)는 입력 조작이 가능한 터치 센서를 포함하여도 좋다. 본 발명의 일 형태의 표시 장치를 표시부(973)에 사용하면, 표시부(973)에 고휘도 화상을 표시할 수 있고 다이내믹 레인지를 높일 수 있다.

[0229] 도 14의 (B)는 하우징(901), 표시부(902), 표시부(903), 및 센서(904) 등을 포함하는 정보 처리 단말기를 도시한 것이다. 표시부(902 및 903)는 하나의 표시 패널을 사용하여 형성되고 가요성을 가진다. 하우징(901)도 가요성을 가지기 때문에, 도 14의 (B)에 도시된 바와 같이 구부러진 상태로 정보 처리 단말기를 사용할 수 있으며, 태블릿 단말기와 같이 평판 형상으로 사용할 수도 있다. 센서(904)는 하우징(901)의 형상을 감지할 수 있고, 예를 들어 하우징(901)이 구부러진 경우에 표시부(902 및 903)의 표시를 전환할 수 있다. 본 발명의 일 형태의 표시 장치를 표시부(902 및 903)에 사용하면, 표시부(902 및 903)에 고휘도 화상을 표시할 수 있고 다이내믹 레인지를 높일 수 있다.

[0230] 도 14의 (C)는 하우징(951), 표시부(952), 조작 버튼(953), 외부 접속 포트(954), 스피커(955), 마이크로폰(956), 및 카메라(957) 등을 포함하는 휴대 전화기의 예를 도시한 것이다. 이 휴대 전화기의 표시부(952)는 터치 센서를 포함한다. 손가락 또는 스타일러스 등으로 표시부(952)를 터치함으로써, 전화 걸기 및 문자 입력 등의 조작을 수행할 수 있다. 하우징(951) 및 표시부(952)는 가요성을 가지기 때문에, 도 14의 (C)에 도시된 바와 같이 구부러진 상태로 휴대 전화기를 사용할 수 있다. 본 발명의 일 형태의 표시 장치를 표시부(952)에 사용하면, 표시부(952)에 고휘도 화상을 표시할 수 있고 다이내믹 레인지를 높일 수 있다.

[0231] 도 14의 (D)는 하우징(911), 표시부(912), 스피커(913), 및 카메라(919) 등을 포함하는 휴대 정보 단말기를 도시한 것이다. 표시부(912)의 터치 패널 기능에 의하여 정보의 입출력을 할 수 있다. 본 발명의 일 형태의 표시 장치를 표시부(912)에 사용하면, 표시부(912)에 고휘도 화상을 표시할 수 있고 다이내믹 레인지를 높일 수 있다.

[0232] 도 14의 (E)는 하우징(961), 셔터 버튼(962), 마이크로폰(963), 표시부(965), 조작 키(966), 스피커(967), 줌 레버(968), 및 렌즈(969) 등을 포함하는 디지털 카메라를 도시한 것이다. 본 발명의 일 형태의 표시 장치를 표시부(965)에 사용하면, 표시부(965)에 고휘도 화상을 표시할 수 있고 다이내믹 레인지를 높일 수 있다.

[0233] 도 14의 (F)는, 대형 표시부(922)가 기둥(921)의 측면에 설치된 디지털 사이니지를 도시한 것이다. 본 발명의 일 형태의 표시 장치를 표시부(922)에 사용하면, 표시부(922)에 고휘도 화상을 표시할 수 있고 다이내믹 레인지를 높일 수 있다.

[0234] 본 실시형태는 다른 실시형태 등에서 설명한 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0235] (실시형태 5)

[0236] 본 실시형태에서는, 상기 실시형태에서 예로서 든, 화상 기억 장치 등의 기억 장치에 사용할 수 있는 반도체 장치에 대하여 설명한다.

[0237] 본 실시형태에서는, 산화물 반도체를 사용한 기억 장치의 예로서, DOSRAM(등록 상표)에 대하여 설명한다. 또한 DOSRAM은 dynamic oxide semiconductor random access memory를 의미한다. DOSRAM은, 기록 트랜지스터에 산화물 반도체를 사용한, 1T1C(one-transistor one-capacitor) 메모리 셀로 구성된 기억 장치이다.

[0238] 도 15를 참조하여 DOSRAM(1000)의 적층 구조의 예에 대하여 설명한다. DOSRAM(1000)에서는, 데이터를 판독하는 센스 앰프 유닛(sense amplifier unit)(1002)과 데이터를 저장하는 셀 어레이 유닛(1003)이 적층되어 있다.

[0239] 도 15에 도시된 바와 같이, 비트선(BL) 및 Si 트랜지스터(Ta10 및 Ta11)를 센스 앰프 유닛(1002)에 제공한다. Si 트랜지스터(Ta10 및 Ta11)는 각각, 단결정 실리콘 웨이퍼에 반도체층을 가진다. Si 트랜지스터(Ta10 및 Ta11)는 센스 앰프에 포함되고 비트선(BL)에 전기적으로 접속되어 있다.

[0240] 셀 어레이 유닛(1003)은 복수의 메모리 셀(1001)을 포함한다. 메모리 셀(1001)은 트랜지스터(Tw1) 및 용량 소자(C1)를 포함한다. 셀 어레이 유닛(1003)에서, 2개의 트랜지스터(Tw1)는 반도체층을 공유한다. 반도체층은 도 15에 도시되지 않은 도전체를 통하여 비트선(BL)에 전기적으로 접속되어 있다.

[0241] 도 15에 도시된 적층 구조는 트랜지스터군을 각각 포함한 복수의 회로를 적층하여 형성된 다양한 반도체 장치에 적용할 수 있다.

[0242] 도 15에서의 금속 산화물, 절연체, 및 도전체 등은 각각, 단층 구조이어도 좋고, 또는 적층 구조이어도 좋다.

이들은 스퍼터링법, MBE(molecular beam epitaxy)법, PLA(pulsed laser ablation)법, CVD(chemical vapor deposition)법, 및 ALD(atomic layer deposition)법 등의 다양한 퇴적법 중 임의의 것에 의하여 형성할 수 있다. CVD법의 예에는 플라스마 CVD법, 열 CVD법, 및 유기 금속 CVD법이 포함된다.

[0243] 여기서, 트랜지스터(Tw1)의 반도체층은 금속 산화물(산화물 반도체)을 사용하여 형성된다. 여기서 도시된 예에서는, 반도체층이 3개의 금속 산화물층을 사용하여 형성된다. 반도체층은 In, Ga, 및 Zn을 포함한 금속 산화물을 사용하여 형성되는 것이 바람직하다.

[0244] 또한 산소 결손을 형성하는 원소 또는 산소 결손에 결합될 수 있는 원소를 금속 산화물에 첨가하면, 금속 산화물의 캐리어 밀도가 높아지고 저항이 저감되는 경우가 있다. 예를 들어, 금속 산화물을 포함하는 반도체층의 저항을 선택적으로 저감시키면, 반도체층에 소스 영역 및 드레인 영역을 제공할 수 있다.

[0245] 금속 산화물의 저항을 저감시킬 수 있는 원소의 대표적인 예에는, 붕소 및 인이 있다. 또한 수소, 탄소, 질소, 플루오린, 황, 염소, 타이타늄, 또는 희가스 등을 사용하여도 좋다. 희가스의 대표적인 예에는 헬륨, 네온, 아르곤, 크립톤, 및 제논이 포함된다. 이러한 원소의 농도는 SIMS(secondary ion mass spectrometry) 등에 의하여 측정할 수 있다.

[0246] 붕소 또는 인을 사용하면, 비정질 실리콘 또는 저온 폴리실리콘의 제조 라인에서 사용하는 장치를 사용할 수 있기 때문에 특히 바람직하다. 기존의 설비를 사용할 수 있기 때문에, 설비 투자를 삭감할 수 있는 경우가 있다.

[0247] 선택적으로 저항을 저감시킨 반도체층을 포함한 트랜지스터는, 예를 들어 더미 게이트를 사용하여 형성될 수 있다. 구체적으로는, 반도체층 위에 더미 게이트를 제공하고, 상기 더미 게이트를 마스크로서 사용하여 상기 반도체층의 저항을 저감시킬 수 있는 원소를 상기 반도체층에 첨가한다. 따라서, 반도체층에서 더미 게이트와 중첩되지 않는 영역에 상기 원소가 첨가되므로, 저저항 영역이 형성된다. 상기 원소의 첨가에는 이온화된 원료 가스를 질량 분리한 다음 첨가하는 이온 주입법, 이온화된 원료 가스를 질량 분리하지 않고 첨가하는 이온 도핑법, 또는 플라스마 잠입 이온 주입법 등을 사용할 수 있다.

[0248] 도전체에 사용되는 도전성 재료의 예에는, 인 등의 불순물 원소가 도핑된 다결정 실리콘으로 대표되는 반도체, 니켈 실리사이드 등의 실리사이드, 몰리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 및 스칸듐 등의 금속, 및 상기 금속 중 임의의 것을 성분으로서 포함한 금속 질화물(질화 탄탈럼, 질화 타이타늄, 질화 몰리브데넘, 및 질화 텅스텐)이 포함된다. 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 도전성 재료를 사용할 수도 있다.

[0249] 절연체에 사용되는 절연 재료의 예에는 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄, 산화 마그네슘, 질화 실리콘, 산화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼, 및 알루미늄 실리케이트가 포함된다. 또한 본 명세서 등에서는, 산화 질화물이란, 잘소 함유량보다 산소 함유량이 많은 화합물을 말하고, 질화 산화물이란, 산소 함유량보다 질소 함유량이 많은 화합물을 말한다.

[0250] 본 실시형태는 다른 실시형태 등에서 설명한 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0251] (실시예 1)

[0252] 본 실시예에서는, 본 발명의 일 형태의 표시 장치에 포함되는 EL 소자의 발광 휘도의 측정 결과, 및 γ와 계조의 관계의 측정 결과에 대하여 설명한다.

[0253] 본 실시예에서는, 도 8에 나타낸 구성을 가지는 화소(10d)를 포함하는 표시 장치에서의 EL 소자(104)의 발광 휘도를 측정하였다. 구체적으로는, 화소(10d)에 화상 신호(S1)만이 공급되는 경우(조건 1)의 EL 소자(104)의 발광 휘도, 그리고 화소(10d)에 화상 신호(S1 및 S2)가 공급되는 경우(조건 2)의 EL 소자(104)의 발광 휘도를 측정하였다. 여기서는, 용량 소자(113)의 용량값(C_1)과 용량 소자(103)의 용량값(C_2)의 비율(C_1/C_2)을 4/1로 하고, 전위(V_{o1})를 0V로 하고, 배선(130)의 전위를 0V로 하고, 전원선(128)의 전위를 12V로 하고, 그리고 공통 배선(129)의 전위를 -2V로 하였다. 조건 1에 있어서, 화상 신호(S1)의 전위(V_{S1})를 5V로 하고, 조건 2에 있어서, 화상 신호(S1)의 전위(V_{S1}) 및 화상 신호(S2)의 전위(V_{S2})를 각각 5V로 하였다.

[0254] 표 1에는, 실시형태 1에 나타낸 식 1을 사용하여 계산된, 조건 1 및 조건 2에 있어서의 노드(NM)의 전위(V_{NM})의 값을 나타내었다. 조건 1 및 조건 2에 있어서의 EL 소자(104)의 발광 휘도의 측정 결과도 나타내었다.

[0255] [표 1]

[0256]

	조건 1	조건 2
전위(V_{NM})	5V	9V
휘도	612cd/m^2	1329cd/m^2

[0257] 표 1에 나타낸 바와 같이, 화소(10d)에 화상 신호(S1 및 S2)가 공급되는 경우에는, 화소(10d)에 화상 신호(S1)만이 공급되는 경우에 비하여, EL 소자(104)의 발광 휘도가 높은 것으로 확인되었다.

[0258] 또한, 도 8에 나타낸 구성을 가지는 화소(10d)를 포함하는 표시 장치에서의 γ와 계조의 관계를 측정하였다. 구체적으로는, 화소(10d)에 화상 신호(S1)만이 공급되는 경우(조건 3)의 γ와 계조의 관계, 그리고 화소(10d)에 화상 신호(S1 및 S2)가 공급되는 경우(조건 4)의 γ와 계조의 관계를 측정하였다. 여기서, 상술한 조건 1 및 조건 2와 같이, 비율(C_1/C_2)을 4/1로 하고, 전위(V_{o1})를 0V로 하고, 배선(130)의 전위를 0V로 하고, 전원선(128)의 전위를 12V로 하고, 그리고 공통 배선(129)의 전위를 -2V로 하였다. 전위(V_{S1})는 전위(V_{S2})와 동등하고, 계조가 0이면 전위(V_{S1} 및 V_{S2})를 1V로 하고, 계조가 255이면 전위(V_{S1} 및 V_{S2})를 5V로 하였다.

[0259] 도 16에는, 조건 3 및 조건 4에 있어서의 γ와 계조의 관계의 측정 결과를 나타내었다. 도 16에 나타낸 바와 같이, 측정을 수행한 각 계조에서는, 화소(10d)에 화상 신호(S1 및 S2)가 공급되는 경우(조건 4)에는, 화소(10d)에 화상 신호(S1)만이 공급되는 경우(조건 3)보다 γ가 높아지는 것으로 확인되었다.

[0260] (실시예 2)

[0261] 본 실시예에서는, 본 발명의 일 형태의 표시 장치를 사용하여 화상을 표시하는 경우의 표시 결과에 대하여 설명한다.

[0262] 본 실시예에서는, 도 8에 나타낸 구성을 가지는 화소(10d)를 포함하는 표시 장치를 사용하여 화상을 표시하였다. 구체적으로는, 화상 신호(S1)에 대응하는 화상(P1), 화상 신호(S2)에 대응하는 화상(P2), 그리고 화상(P1)과 화상(P2)을 서로 겹침으로써 얻어진 화상을 표시하였다. 또한 용량 소자(113)의 용량값(C_1)과 용량 소자(103)의 용량값(C_2)의 비율(C_1/C_2)을 4/1로 하고, 전위(V_{o1})를 0V로 하고, 배선(130)의 전위를 0V로 하고, 전원선(128)의 전위를 10V로 하고, 그리고 공통 배선(129)의 전위를 -2V로 하였다.

[0263] 도 17에 나타낸 바와 같이, 화상(P1)과 화상(P2)을 서로 겹치는 경우에는, 화상(P1)만 또는 화상(P2)만을 표시하는 경우에 비하여, 고휘도 화상이 표시되는 것으로 확인되었다.

부호의 설명

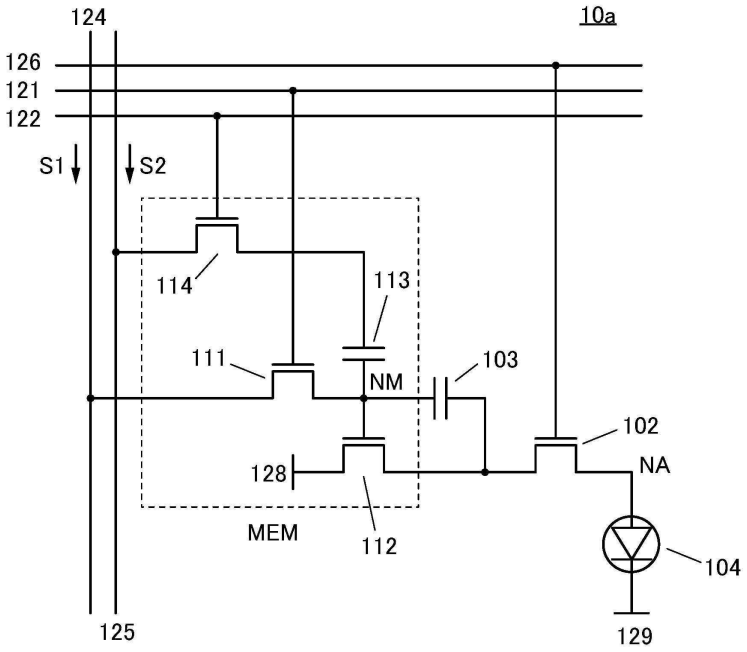
[0264] 10: 화소, 10a: 화소, 10b: 화소, 10c: 화소, 10d: 화소, 12: 게이트 드라이버, 13: 소스 드라이버, 14: 조도 센서, 15: 디멀티플렉서, 102: 트랜지스터, 103: 용량 소자, 104: EL 소자, 105: 트랜지스터, 111: 트랜지스터, 112: 트랜지스터, 113: 용량 소자, 114: 트랜지스터, 121: 배선, 122: 배선, 124: 배선, 125: 배선, 126: 배선, 128: 전원선, 129: 공통 배선, 130: 배선, 200: 표시 장치, 215: 표시부, 221: 주사선 구동 회로, 231: 신호선 구동 회로, 232: 신호선 구동 회로, 241: 공통선 구동 회로, 723: 전극, 726: 절연층, 728: 절연층, 729: 절연층, 741: 절연층, 742: 반도체층, 744a: 전극, 744b: 전극, 746: 전극, 755: 불순물, 771: 기판, 772: 절연층, 810: 트랜지스터, 811: 트랜지스터, 820: 트랜지스터, 821: 트랜지스터, 825: 트랜지스터, 826: 트랜지스터, 842: 트랜지스터, 843: 트랜지스터, 844: 트랜지스터, 845: 트랜지스터, 846: 트랜지스터, 847: 트랜지스터, 901: 하우징, 902: 표시부, 903: 표시부, 904: 센서, 911: 하우징, 912: 표시부, 913: 스피커, 919: 카메라, 921: 기둥, 922: 표시부, 951: 하우징, 952: 표시부, 953: 조작 버튼, 954: 외부 접속 포트, 955: 스피커, 956: 마이크로폰, 957: 카메라, 961: 하우징, 962: 셔터 버튼, 963: 마이크로폰, 965: 표시부, 966: 조작 키, 967: 스피커, 968: 줌 레버, 969: 렌즈, 971: 하우징, 973: 표시부, 974: 조작 키, 975: 스피커, 976: 통신용 접속 단자, 977: 광 센서, 1000: DOSRAM, 1001: 메모리 셀, 1002: 센스 앰프 유닛, 1003: 셀 어레이 유닛, 4001: 기판, 4005: 실재, 4006: 기판, 4010: 트랜지스터, 4011: 트랜지스터, 4014: 배선, 4015: 전극, 4017: 전극, 4018: FPC, 4019: 이방성 도전층, 4020: 용량 소자, 4021: 전극, 4030: 전극층, 4031: 전극층, 4041: 인쇄 회로 기판, 4042: 집적 회로, 4102: 절연층, 4103: 절연층, 4110: 절연층, 4111: 절

연층, 4112: 절연층, 4200: 입력 장치, 4210: 터치 패널, 4227: 전극, 4228: 전극, 4237: 배선, 4238: 배선, 4239: 배선, 4263: 기판, 4272: FPC, 4273: IC, 4301: 착색층, 4302: 차광층, 4510: 격벽, 4511: 발광층, 4513: 발광 소자, 및 4514: 충전재.

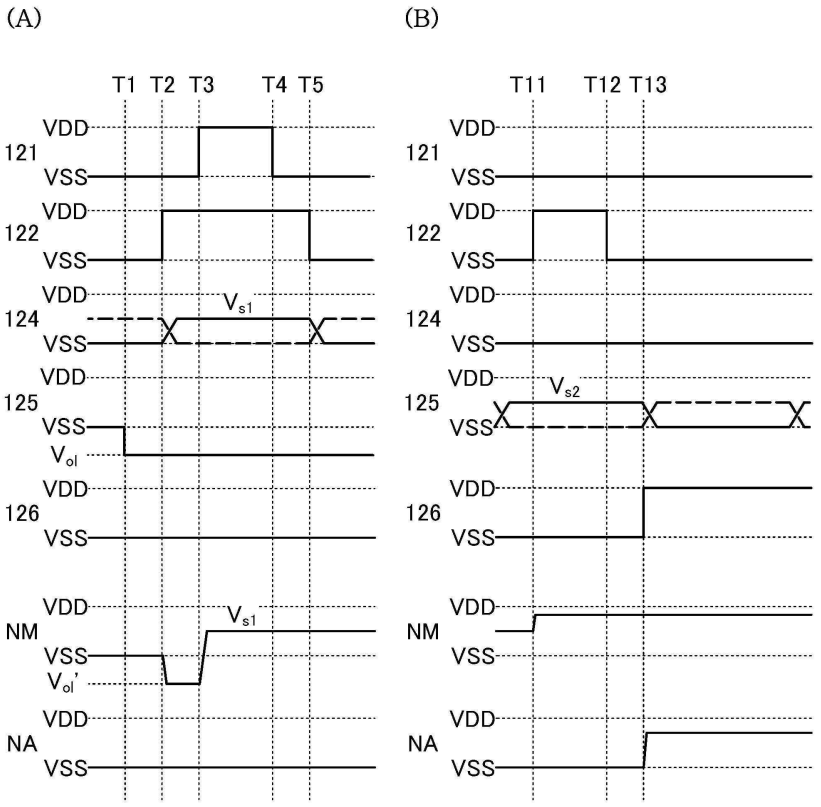
본 출원은 2017년 11월 9일에 일본 특허청에 출원된 일련 번호 2017-216389의 일본 특허 출원 및 2018년 2월 21일에 일본 특허청에 출원된 일련 번호 2018-028368의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

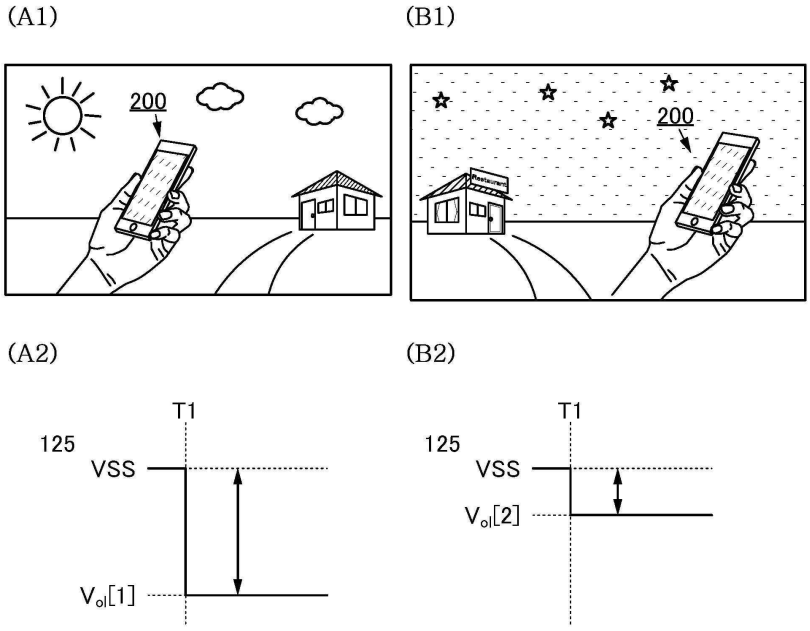
도면1



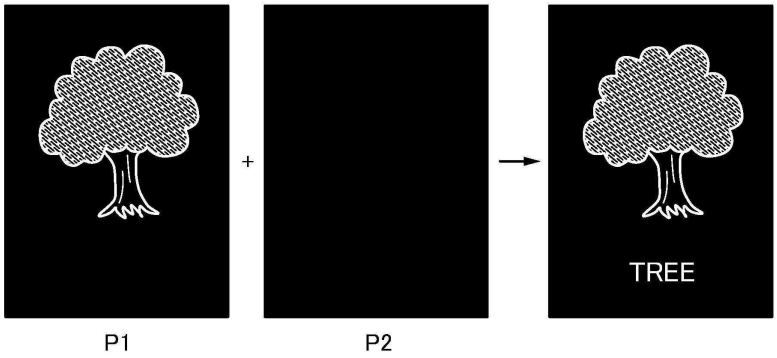
도면2


(A)
(B)
T1 T2 T3 T4 T5
T11 T12 T13
121
122
124
125
126
NM
NA
VDD
VSS
V_{s1}
V_{s2}
V_{ol}
V_{ol}'

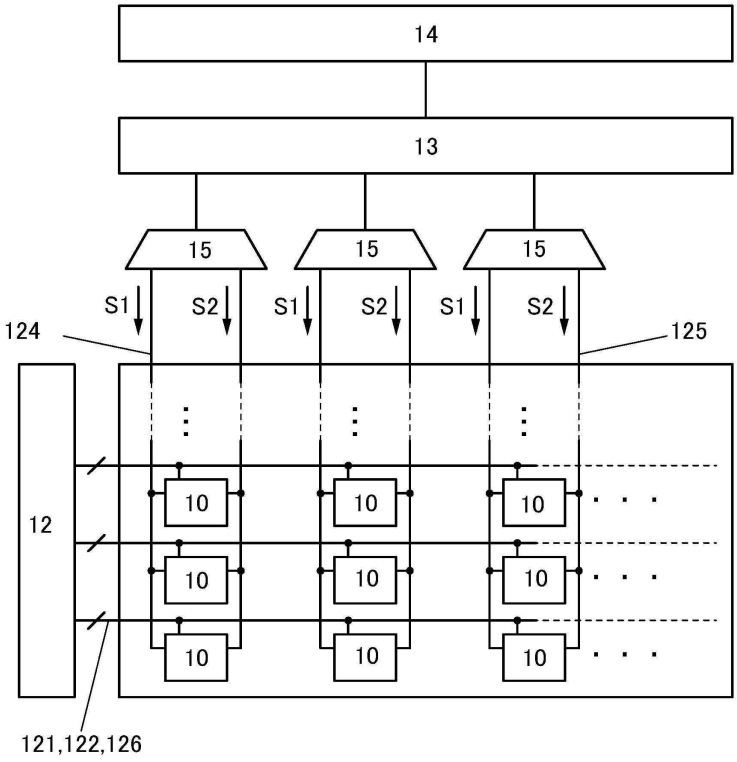
도면3


(A1)
(B1)
200
(A2)
(B2)
T1
125
VSS
$V_{ol}[1]$
$V_{ol}[2]$

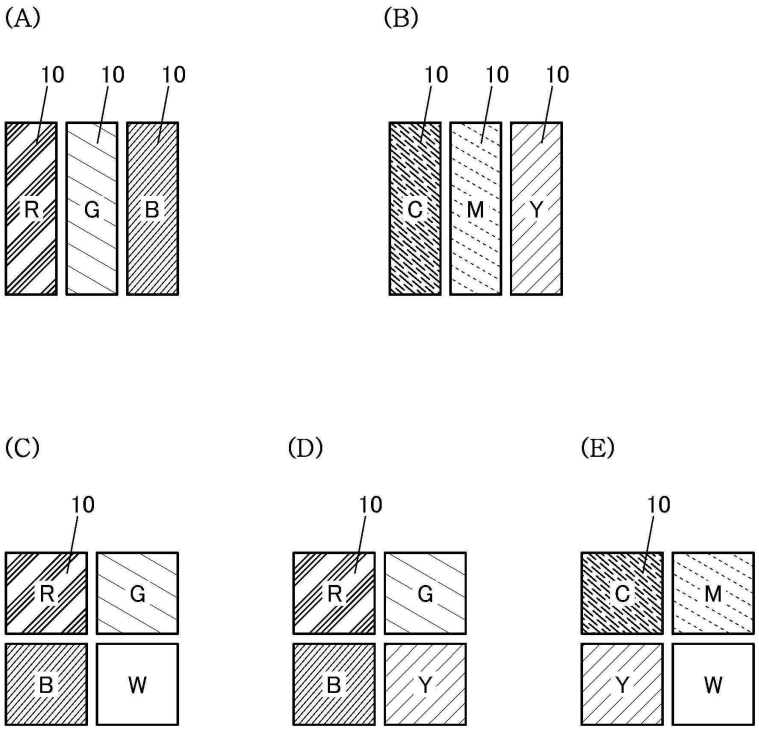
도면4



도면5

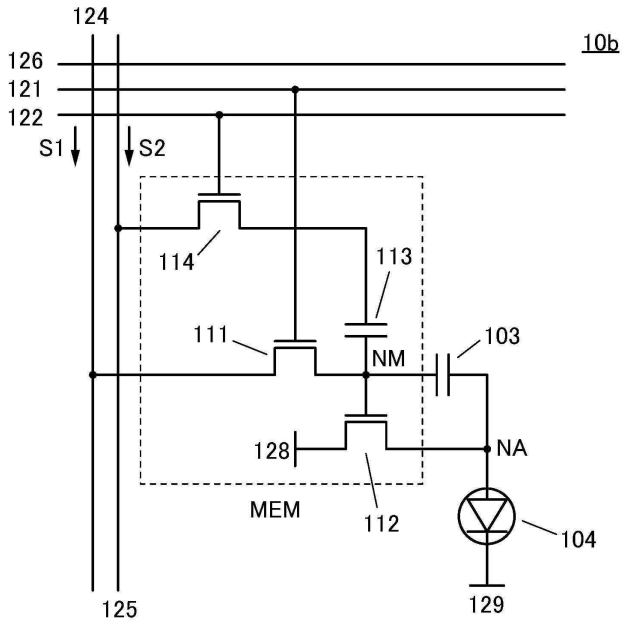


도면6

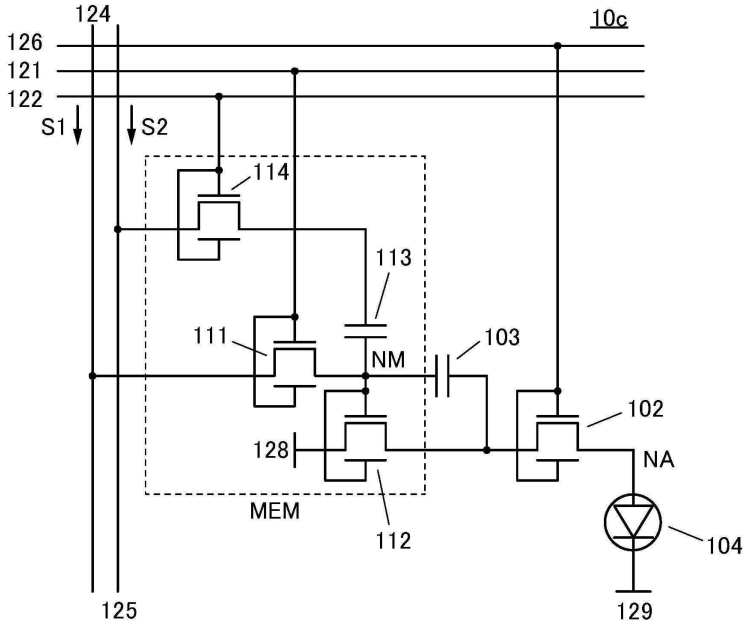


도면7

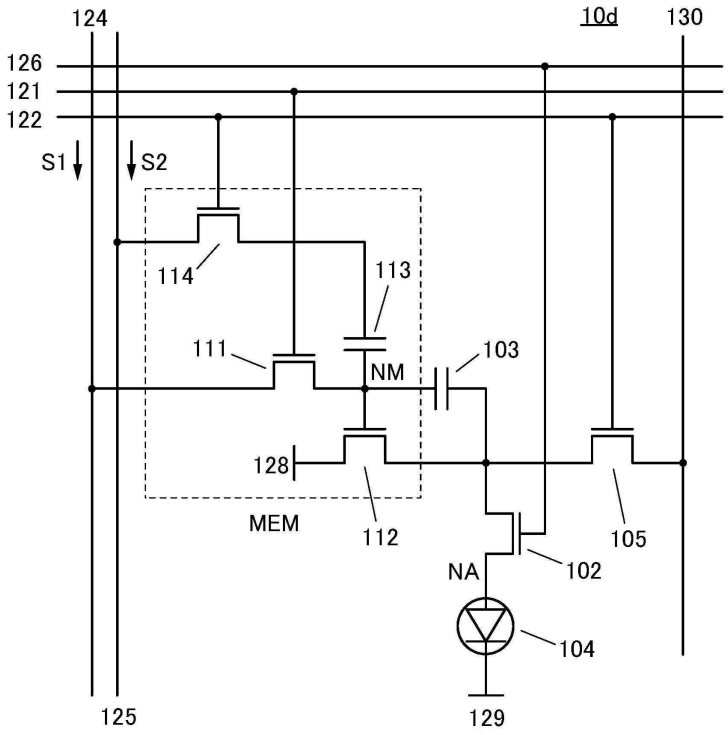
(A)


124
126
121
122
S1
S2
10b
114
113
111
NM
103
128
NA
MEM
112
104
129
125

(B)

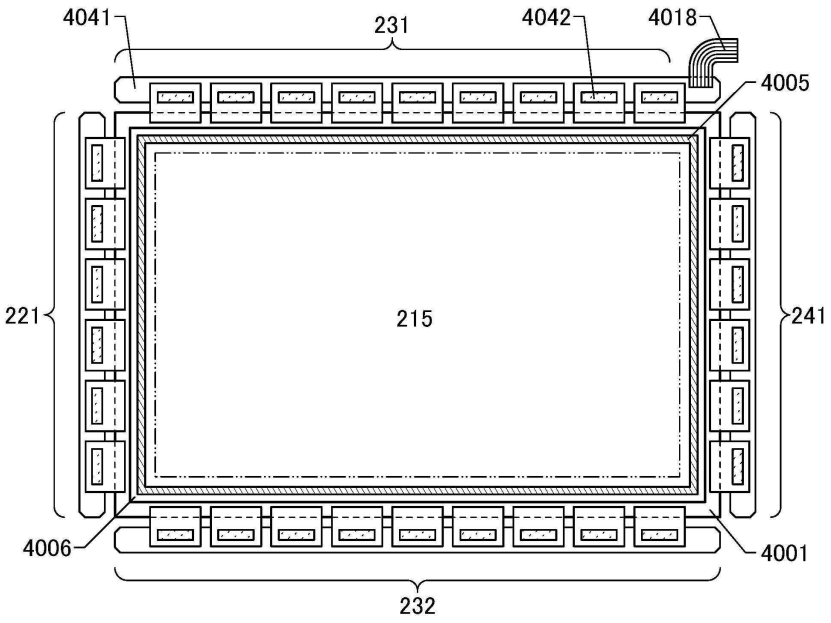

124
126
121
122
S1
S2
10c
114
113
111
NM
103
102
128
NA
MEM
112
104
129
125

도면8

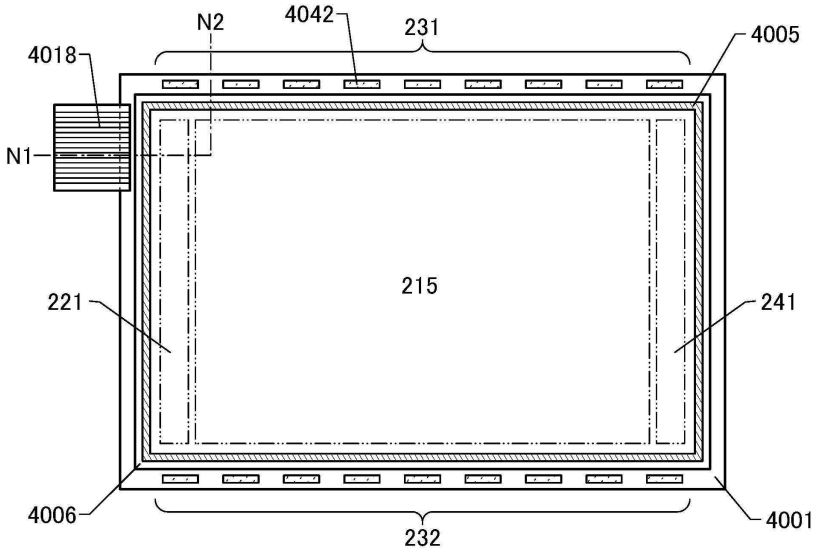

124
10d
130
126
121
122
S1
S2
114
113
111
NM
103
128
MEM
112
105
NA
102
104
125
129

도면9

(A)

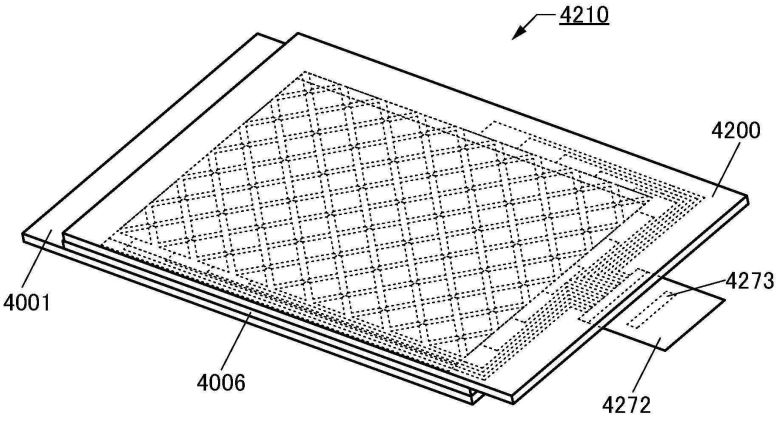

4041
231
4042
4018
4005
221
215
241
4006
4001
232

(B)

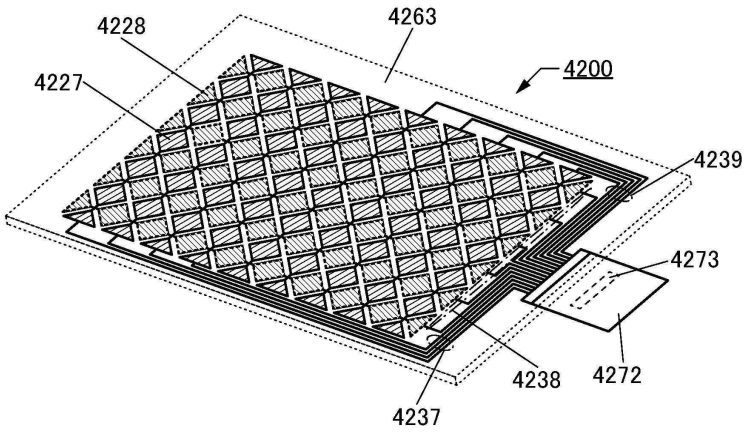

N2
4042
231
4018
4005
N1
215
221
241
4006
4001
232

도면10

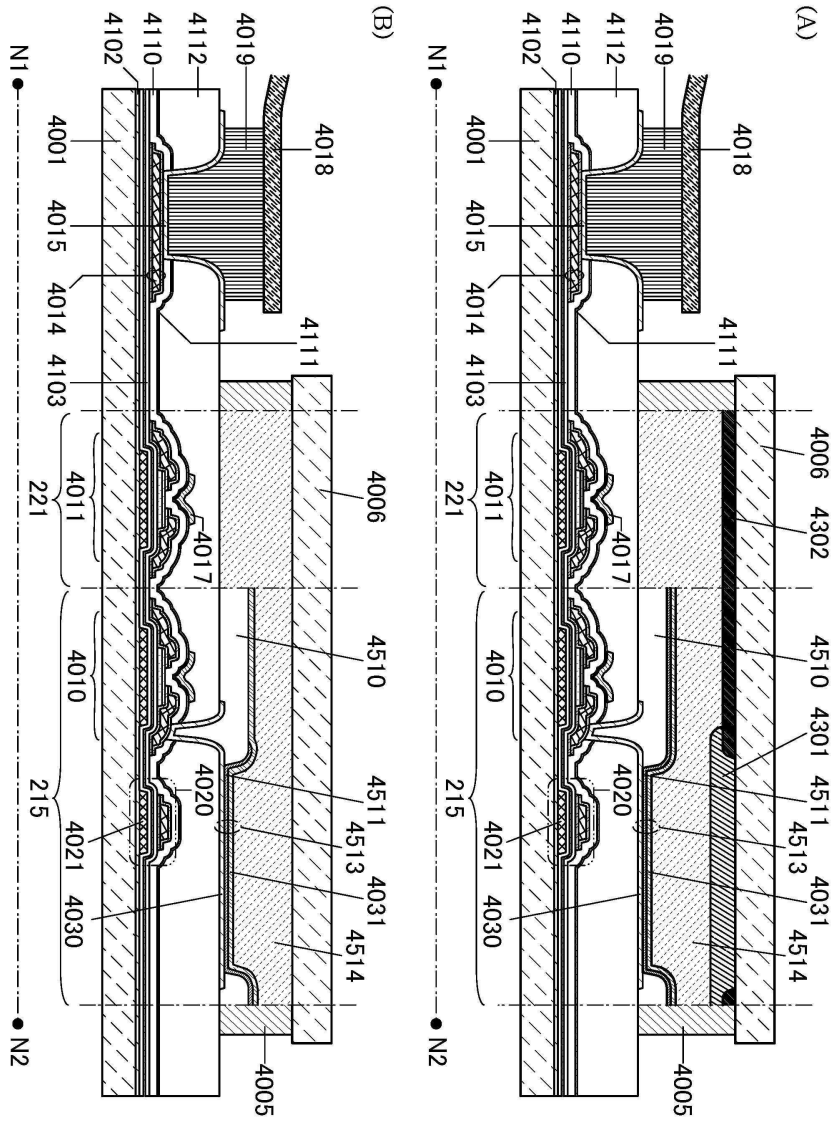
(A)


4210
4200
4273
4001
4006
4272

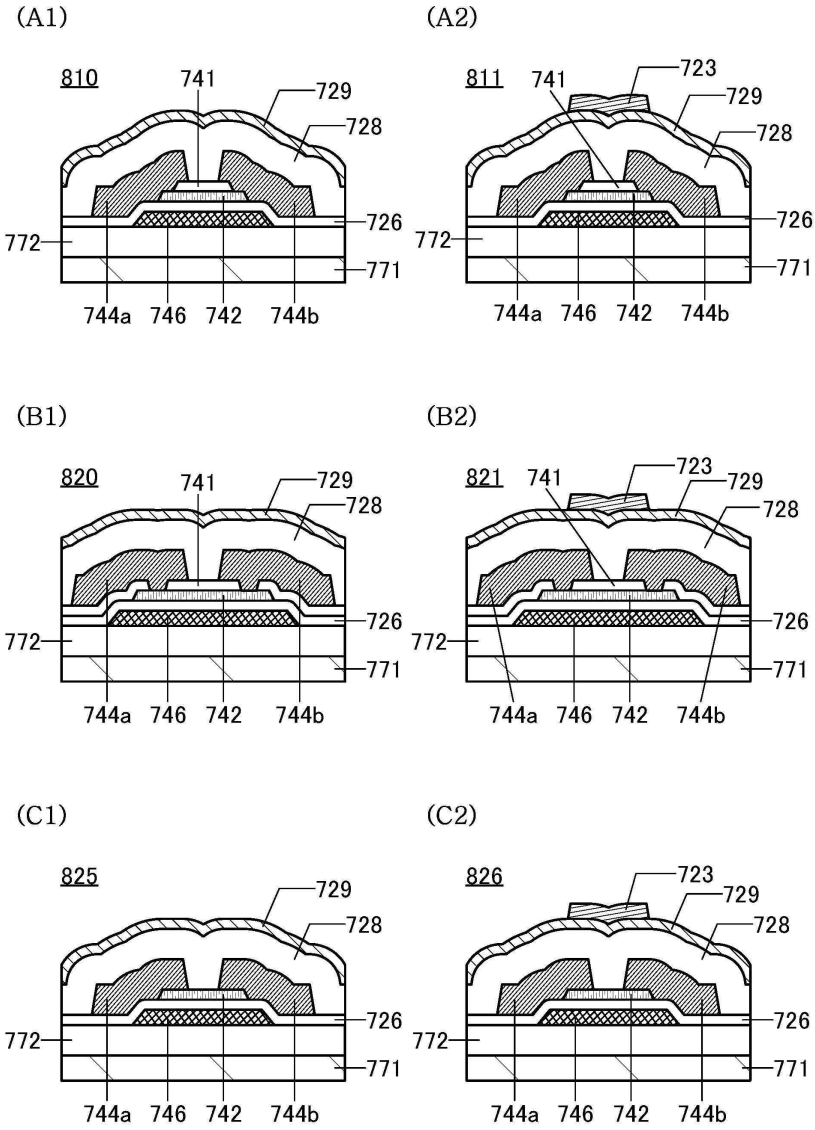
(B)


4228
4263
4227
4200
4239
4273
4238
4272
4237

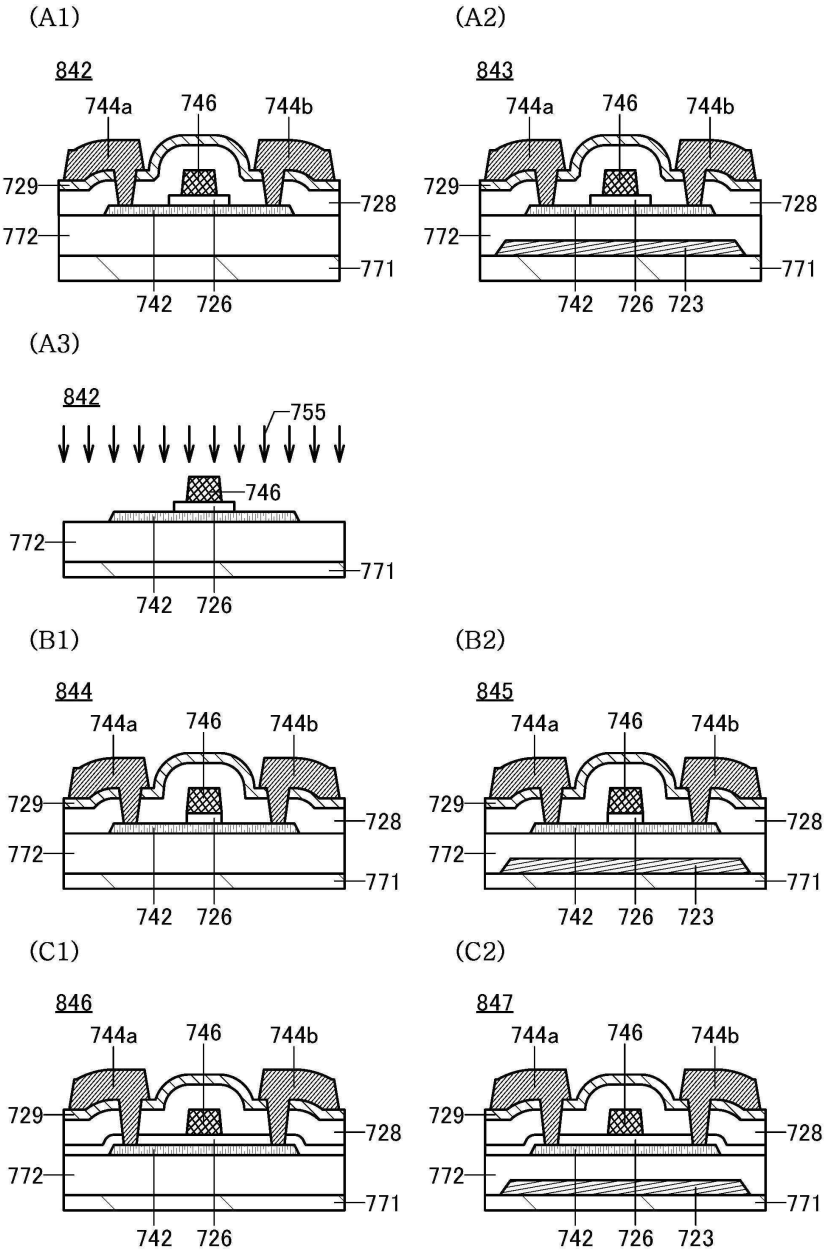
도면11


(A)
(B)
N1
N2
4019
4018
4112
4110
4102
4001
4015
4014
4111
4103
4011
221
4017
4010
215
4020
4021
4030
4006
4302
4510
4301
4511
4513
4031
4514
4005

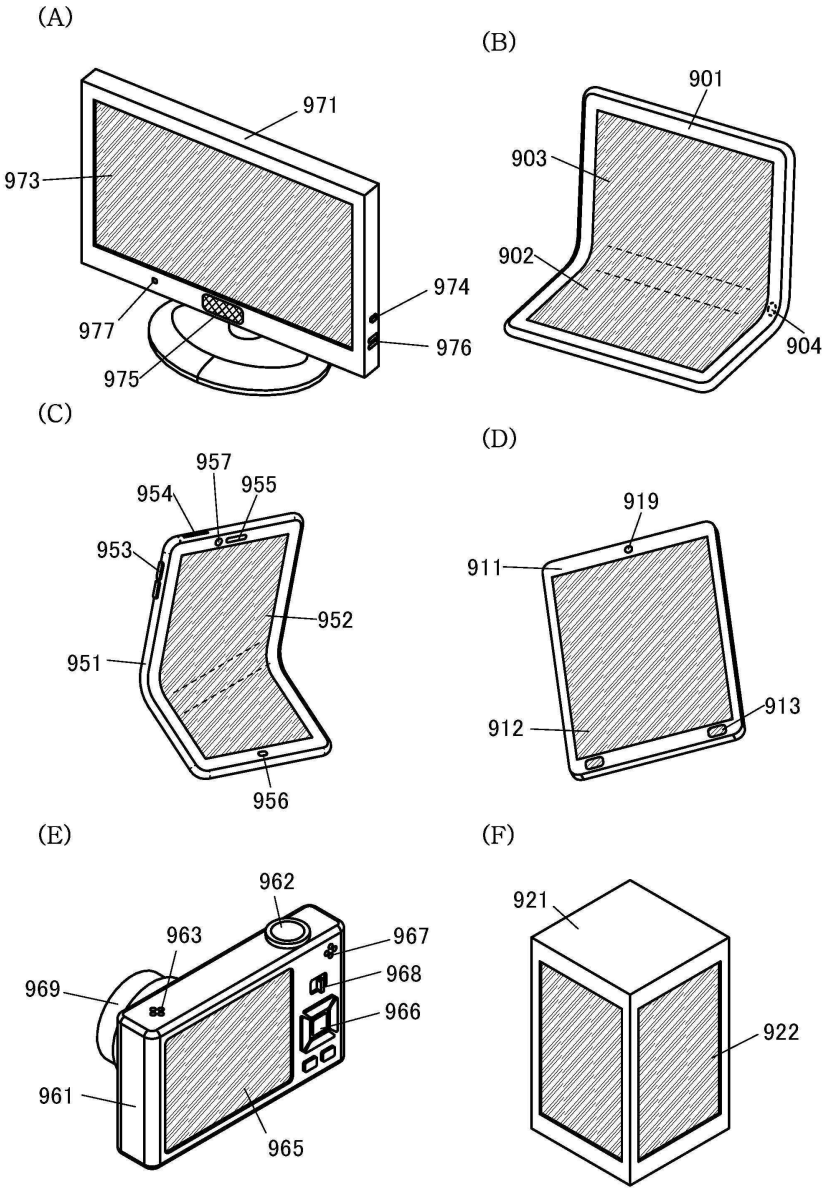
도면12


(A1)
810
741
729
728
726
772
771
744a
746
742
744b
(A2)
811
741
723
729
728
726
772
771
744a
746
742
744b
(B1)
820
741
729
728
726
772
771
744a
746
742
744b
(B2)
821
741
723
729
728
726
772
771
744a
746
742
744b
(C1)
825
729
728
726
772
771
744a
746
742
744b
(C2)
826
723
729
728
726
772
771
744a
746
742
744b

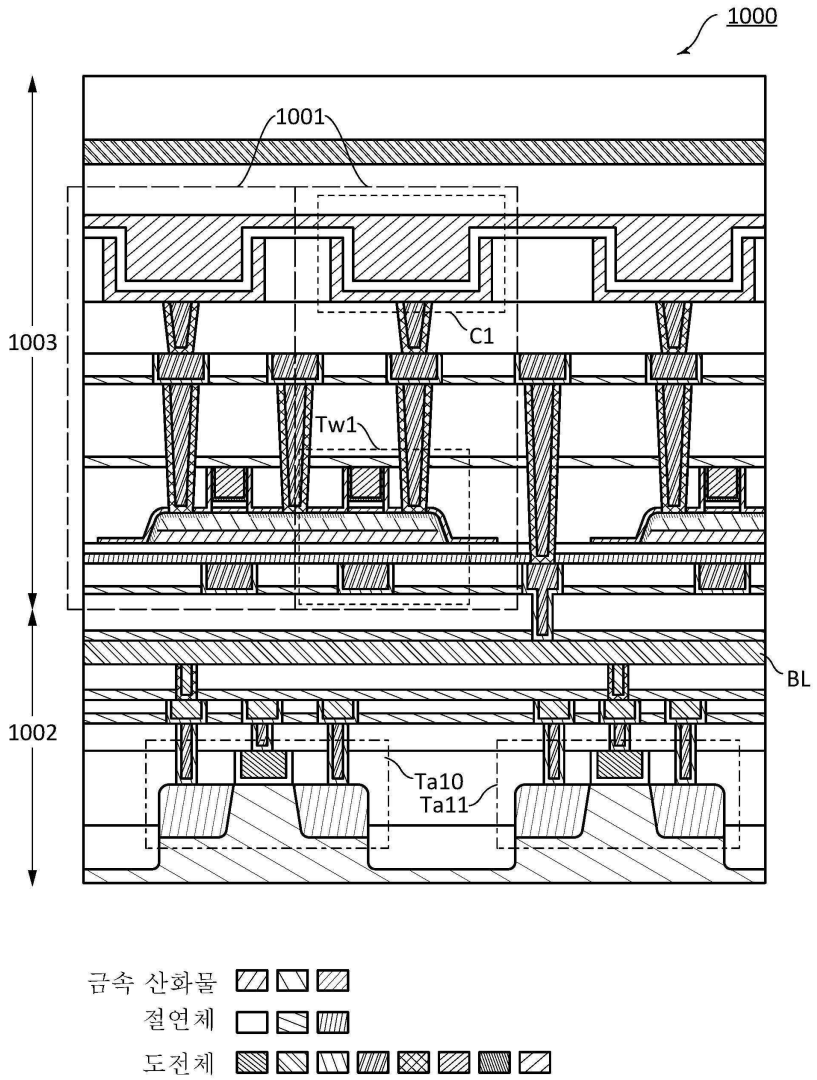
도면13


(A1)
842
744a
746
744b
729
728
772
771
742
726
(A2)
843
744a
746
744b
729
728
772
771
742
726
723
(A3)
842
755
746
772
771
742
726
(B1)
844
744a
746
744b
729
728
772
771
742
726
(B2)
845
744a
746
744b
729
728
772
771
742
726
723
(C1)
846
744a
746
744b
729
728
772
771
742
726
(C2)
847
744a
746
744b
729
728
772
771
742
726
723

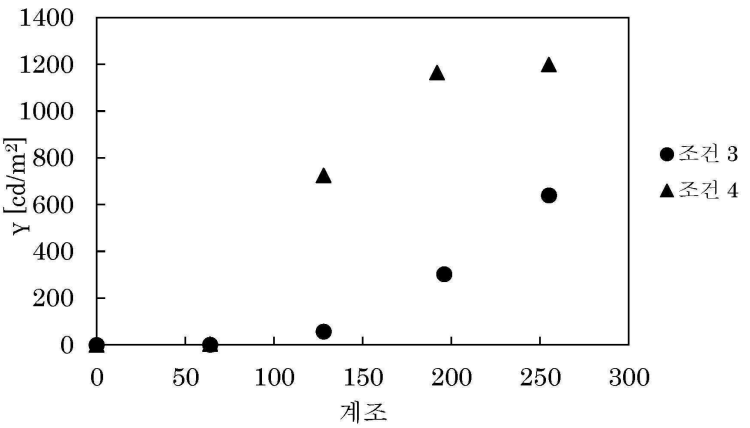
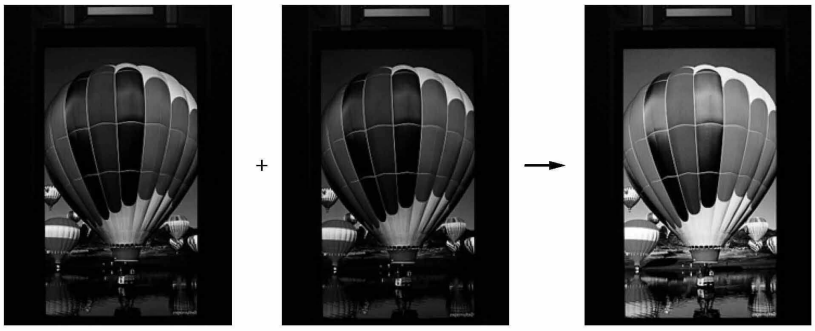
도면14


(A)
971
973
974
976
977
975
(B)
901
903
902
904
(C)
957
954
955
953
952
951
956
(D)
919
911
913
912
(E)
962
963
967
969
968
966
961
965
(F)
921
922

도면15


1000
1001
1003
C1
Tw1
BL
1002
Ta10
Ta11
금속 산화물
절연체
도전체

도면16


1400
1200
1000
800
600
400
200
0
y [cd/m²]
0
50
100
150
200
250
300
계조
조건 3
조건 4

도면17