



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I584443 B

(45) 公告日：中華民國 106 (2017) 年 05 月 21 日

(21) 申請案號：105111410

(22) 申請日：中華民國 105 (2016) 年 04 月 12 日

(51) Int. Cl. : **H01L23/528 (2006.01)**(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹科學工業園區力行路 16 號

(72) 發明人：林志曜 LIN, CHIH-YAO (TW)

(74) 代理人：葉璟宗

(56) 參考文獻：

TW 201507107A

TW 201517250A

TW 201543651A

審查人員：吳松屏

申請專利範圍項數：6 項 圖式數：5 共 19 頁

(54) 名稱

接觸墊結構

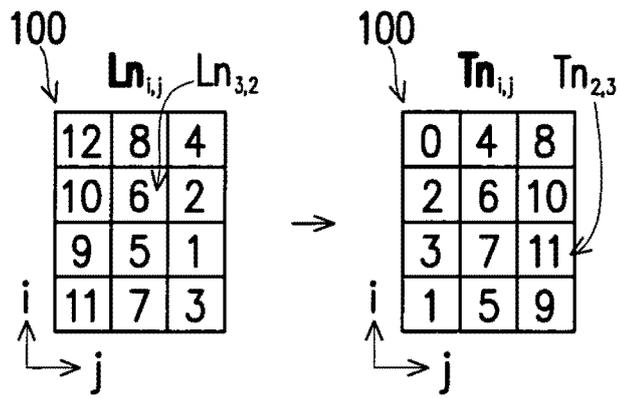
CONTACT PAD STRUCTURE

(57) 摘要

一種接觸墊結構，包括交替堆疊的 N 層 (N^36) 絕緣層及 N 層導電層，且具有排成二維陣列的 N 個區域露出各導電層。當該些導電層由下至上編號為第 1 至第 N 導電層時，同列的區域中露出之導電層的編號 L_n 朝一行方向遞減，相鄰兩列的區域之間的 L_n 值差異固定，同行的區域中 L_n 由兩端向中央漸減，且相鄰兩行的區域之間的 L_n 值差異固定。

A contact pad structure includes alternately stacked N insulating layers (N^36) and N conductive layers, and has N regions arranged in a 2D array exposing the respective conductive layers. When the conductive layers are numbered as first to N-th from bottom to top, the number (L_n) of exposed conductive layer decreases in a column direction in the regions of any row, the difference in L_n is fixed between two neighboring rows of regions, L_n decreases from the two ends toward the center in the regions of any column, and the difference in L_n is fixed between two neighboring columns of regions.

指定代表圖：



【圖1B】

符號簡單說明：

100 . . . 接觸墊

$L_{n_{i,j}}/L_{n_{3,2}}$. . . 區域
(i,j)/(3,2)暴露出之導電
層的編號

$T_{n_{i,j}}/T_{n_{2,3}}$. . . 區域
(i,j)/(2,3)須去除之導電
層的層數



申請日: 105. 4. 12

IPC分類: H01L 23/528 (2006.1)

【發明摘要】**【中文發明名稱】** 接觸墊結構**公告本****【英文發明名稱】** CONTACT PAD STRUCTURE

【中文】 一種接觸墊結構，包括交替堆疊的N層 ($N \geq 6$) 絕緣層及N層導電層，且具有排成二維陣列的N個區域露出各導電層。當這些導電層由下至上編號為第1至第N導電層時，同列的區域中露出之導電層的編號 L_n 朝一行方向遞減，相鄰兩列的區域之間的 L_n 值差異固定，同行的區域中 L_n 由兩端向中央漸減，且相鄰兩行的區域之間的 L_n 值差異固定。

【英文】 A contact pad structure includes alternately stacked N insulating layers ($N \geq 6$) and N conductive layers, and has N regions arranged in a 2D array exposing the respective conductive layers. When the conductive layers are numbered as first to N-th from bottom to top, the number (L_n) of exposed conductive layer decreases in a column direction in the regions of any row, the difference in L_n is fixed between two neighboring rows of regions, L_n decreases from the two ends toward the center in the regions of any column, and the difference in L_n is fixed between two neighboring columns of regions.

【指定代表圖】 圖1B。

【代表圖之符號簡單說明】

100：接觸墊

$L_{n_{i,j}}/L_{n_{3,2}}$ ：區域(i, j)/(3, 2)暴露出之導電層的編號

$T_{n_{i,j}}/T_{n_{2,3}}$ ：區域(i, j)/(2, 3)須去除之導電層的層數

【特徵化學式】無

【發明說明書】

【中文發明名稱】接觸墊結構

【英文發明名稱】CONTACT PAD STRUCTURE

【技術領域】

【0001】 本發明是有關於一種適用於積體電路的結構，特別是有關於一種用於多層導電層之電性連接的接觸墊結構。

【先前技術】

【0002】 三維（3D）元件陣列，例如 3D 記憶體的各層元件的導線皆需要電性連接，所以接觸區中各層導電層皆需露出以供電性連接，從而形成階梯狀的接觸墊結構。

【0003】 為了形成 N 層元件的階梯狀接觸墊結構，先前技術使用 N-1 個光罩進行 N-1 次微影蝕刻製程，以分別去除接觸區中的 N-1 個區域中的不同層數的導電層。然而，這種方式非常繁瑣，而且因為間距（pitch）小而需要很精確的製程控制，從而提高了製造成本及製程難度。

【發明內容】

【0004】 本發明提供一種接觸墊結構，其在元件有 N 層的情況下可使用遠少於 N-1 次的微影蝕刻製程來形成。

【0005】 本發明的接觸墊結構包括交替堆疊的 N 層（ $N \geq 6$ ）絕緣

層及N層導電層，且具有N個區域暴露出各個導電層。該些區域排列成 $P \times Q$ 的二維陣列（ $P \geq 3$ 、 $Q \geq 2$ ）。當該些導電層由下至上編號為第1至第N導電層且區域 (i, j) （ $i=1 \sim P, j=1 \sim Q$ ）暴露出之導電層為第 $L_{n_{i,j}}$ 導電層時，

在第 i 列的 Q 個區域中， $L_{n_{i,j}}$ 隨 j 值增加而遞減，即 $L_{n_{i,1}} > L_{n_{i,2}} > \dots > L_{n_{i,Q}}$ ，

第 i 列的 Q 個區域及第 $i+1$ 列的 Q 個區域之間的 L_n 值差異固定，即 $L_{n_{i,1}} - L_{n_{i+1,1}} = L_{n_{i,2}} - L_{n_{i+1,2}} = \dots = L_{n_{i,Q}} - L_{n_{i+1,Q}}$ ，

在第 j 行的 P 個區域中， $L_{n_{i,j}}$ 由兩端向中央漸減，即 $L_{n_{1,j}} > L_{n_{2,j}} > \dots > L_{n_{P-1,j}} > \dots$ ，並且

第 j 行的 P 個區域及第 $j+1$ 行的 P 個區域之間的 L_n 值差異固定，即 $L_{n_{1,j}} - L_{n_{1,j+1}} = L_{n_{2,j}} - L_{n_{2,j+1}} = \dots = L_{n_{P,j}} - L_{n_{P,j+1}}$ 。

【0006】 在第一實施例中，在各該區域 (i, j) 中不存在高於第 $L_{n_{i,j}}$ 導電層的絕緣層或導電層。

【0007】 在第二實施例中，在暴露出第N導電層之區域以外的各該區域 (i, j) 中，第 $L_{n_{i,j}}$ 導電層暴露於形成在上層之絕緣層及導電層中的接觸窗開口中。各接觸窗開口的側壁可配置有間隙壁。

【0008】 在一實施例中， $P \geq 3$ 且 $Q \geq 2$ 。

【0009】 在一實施例中，上述接觸墊結構配置於3D記憶體中。

【0010】 由於本發明之 N 層導電層的接觸墊結構可使用遠少於 $N-1$ 次的微影蝕刻製程來形成，故其製程可大幅簡化，製程控制也比較容易。

【0011】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0012】

圖 1A 為本發明第一實施方式之一例之接觸墊結構的立體圖。

圖 1B 為圖 1A 之接觸墊結構的上視圖，其中標示各區域暴露出之導電層的編號 $L_{n_{i,j}}$ 及須去除之導電層層數 $T_{n_{i,j}}$ 。

圖 2 繪示可達成圖 1B 之導電層去除層數分佈的光罩圖案/蝕刻層數組合的一個例子。

圖 3A 為本發明第一實施方式之另一例之接觸墊結構的立體圖。

圖 3B 為圖 3A 之接觸墊結構的上視圖，其中標示各區域暴露出之導電層的編號 $L_{n_{i,j}}$ 及須去除之導電層層數 $T_{n_{i,j}}$ 。

圖 4 繪示可達成圖 3B 之導電層去除層數分佈的光罩圖案/蝕刻層數組合的一個例子。

圖 5A 為本發明第二實施方式之一例之接觸墊結構的上視圖，其中標示各區域中須部分去除之導電層的層數 $T_{n_{i,j}}$ 。

圖 5B 為圖 5A 之接觸墊結構的 B-B'剖面圖。

【實施方式】

【0013】 以下將藉由實施方式對本發明作進一步說明，但該等實

施方式僅為例示說明之用，而非用以限制本發明之範圍。

【0014】 圖 1A 為本發明第一實施方式之一例之接觸墊結構的立體圖。圖 1B 為圖 1A 之接觸墊結構的上視圖，其中標示各區域暴露出之導電層的編號 $Ln_{i,j}$ 及須去除之導電層層數 $Tn_{i,j}$ 。在本發明的第一實施例中，在各該區域 (i, j) 中不存在高於第 $Ln_{i,j}$ 導電層的絕緣層或導電層。

【0015】 請參照圖 1A 及圖 1B，此例之接觸墊結構 100 中有 12 層絕緣層 102 及 12 層導電層 104 交替堆疊，且暴露出各導電層 104 的 12 個區域排成 4×3 的二維陣列。此即對應 $N=12$ 、 $P=4$ 且 $Q=3$ 之情況。圖中行方向標為 i 方向、列方向標為 j 方向，但此 i 、 j 方向不一定表示晶圓的 x 、 y 方向或 y 、 x 方向。該些導電層 104 由下至上編號為第 1 至第 12 ($=N$) 導電層。各區域 (i, j) ($i=1\sim 4$, $j=1\sim 3$) 暴露出之導電層的編號 $Ln_{i,j}$ 如圖 1B 左半所示，例如，區域 $(3, 2)$ 暴露出之導電層的編號 $Ln_{3,2}=6$ 。在第 i 列的 3 ($=Q$) 個區域中， $Ln_{i,j}$ 隨 j 值增加而遞減，即 $Ln_{i,1} > Ln_{i,2} > Ln_{i,3}$ 。第 i 列的 3 ($=Q$) 個區域及第 $i+1$ 列的 3 ($=Q$) 個區域之間的 Ln 值差異固定，即 $Ln_{i,1} - Ln_{i+1,1} = Ln_{i,2} - Ln_{i+1,2} = Ln_{i,3} - Ln_{i+1,3}$ 。在第 j 行的 4 ($=P$) 個區域中， $Ln_{i,j}$ 由兩端向中央漸減，即 $Ln_{1,j}, Ln_{4,j} > Ln_{2,j}, Ln_{3,j}$ 。並且，第 j 行的 4 ($=P$) 個區域及第 $j+1$ 行的 4 ($=P$) 個區域之間的 Ln 值差異固定，即 $Ln_{1,j} - Ln_{1,j+1} = Ln_{2,j} - Ln_{2,j+1} = Ln_{3,j} - Ln_{3,j+1} = Ln_{4,j} - Ln_{4,j+1}$ 。

【0016】 為達成此 $Ln_{i,j}$ 分佈及各該區域 (i, j) 中不存在高於第 $Ln_{i,j}$ 導電層的絕緣層或導電層的狀態，須自各區域 (i, j) 完全去除特定

層數 $T_{n_{i,j}}$ ($=N-L_{n_{i,j}}=12-L_{n_{i,j}}$) 的導電層，其值如圖 1B 右半所示，例如，區域(2, 3)須去除其全區 11 層導電層而露出第 1 層導電層，即 $T_{n_{2,3}}=11$ 。此 T_n 值分佈可藉由使用數目遠小於 $N-1$ (11) 個的光罩進行同數目的微影蝕刻製程，以特定的光罩圖案/蝕刻層數組合來達成，其一例如圖 2 所示。

【0017】 請參照圖 2，此例使用 4 個光罩 ($M=4$ 的情況)，其分別在對應區域具有光罩圖案 21、22、23、24，且其使用順序可以任意選擇。

【0018】 光罩圖案 21 包含以圖示方式分佈之對應導電層去除區的區域 212 及對應非去除區的區域 214，且在使用光罩圖案 21 的微影蝕刻製程中，導電層蝕刻去除層數 $En_{k=1}$ 為 1 層，對應區域 212 之導電層去除區的去除層數 $An_{i,j,k=1}$ 為 $En_{k=1}(1)$ ，且對應區域 214 之非去除區的去除層數 $An_{i,j,k=1}$ 為 0。

【0019】 光罩圖案 22 包含以圖示方式分佈之對應導電層去除區的區域 222 及對應非去除區的區域 224，且在使用光罩圖案 22 的微影蝕刻製程中，去除層數 $En_{k=2}$ 為 2 層，對應區域 222 之導電層去除區的去除層數 $An_{i,j,k=2}$ 為 $En_{k=2}(2)$ ，且對應區域 224 之非去除區的去除層數 $An_{i,j,k=2}$ 為 0。

【0020】 光罩圖案 23 包含以圖示方式分佈之對應導電層去除區的區域 232 及對應非去除區的區域 234，且在使用光罩圖案 23 的微影蝕刻製程中，去除層數 $En_{k=3}$ 為 4 層，對應區域 232 之導電層去除區的去除層數 $An_{i,j,k=3}$ 為 $En_{k=3}(4)$ ，且對應區域 234 之非去除

區的去除層數 $An_{i,j,k=3}$ 為 0。

【0021】 光罩圖案 24 包含以圖示方式分佈之對應導電層去除區的區域 242 及對應非去除區的區域 244，且在使用光罩圖案 24 的微影蝕刻製程中，去除層數 $En_{k=4}$ 為 4 層，對應區域 242 之導電層去除區的去除層數 $An_{i,j,k=4}$ 為 $En_{k=4}$ (4)，且對應區域 244 之非去除區的去除層數 $An_{i,j,k=4}$ 為 0。

【0022】 各微影蝕刻製程之去除層數的總和為 $N-1$ (11)，即 $En_{k=1}$ 、 $En_{k=2}$ 、 $En_{k=3}$ 與 $En_{k=M=4}$ 之和為 $N-1$ (11)。接觸墊之各區域(i, j)在該 M 次微影蝕刻製程之後累計的導電層去除層數達到前述之須去除層數 $Tn_{i,j}$ ，即 $An_{i,j,k=1}$ 、 $An_{i,j,k=2}$ 、 $An_{i,j,k=3}$ 與 $An_{i,j,k=M=4}$ 之和為 $Tn_{i,j}$ 。例如，區域(2, 2)對應光罩圖案 21 中對應去除區的區域 212、光罩圖案 22 中對應去除區的區域 222、光罩圖案 23 中對應去除區的區域 232 及光罩圖案 24 中對應非去除區的區域 244，即 $An_{2,2,k=1}=En_{k=1}=1$ 、 $An_{2,2,k=2}=En_{k=2}=2$ 、 $An_{2,2,k=3}=En_{k=3}=4$ 且 $An_{2,2,k=M=4}=0$ ，四者之和為 $Tn_{2,2}=7$ (圖 1B)。

【0023】 另外，各層導電層 104 的材料例如是金屬材料、N 摻雜複晶矽、P 摻雜複晶矽，或其組合，各層絕緣層 102 的材料包含氧化矽、氮化矽、氮氧化矽等。

【0024】 在各導電層 104 皆暴露出之接觸墊結構 100 形成之後，即可於其上形成絕緣層 (未繪示)，再於此絕緣層中形成深度不同的多個接觸插塞 (未繪示) 來電性連接各導電層 104。

【0025】 圖 3A 為本發明第一實施方式之另一例之接觸墊結構的

立體圖。圖 3B 為圖 3A 之接觸墊結構的上視圖，其中標示各區域暴露出之導電層的編號 $Ln_{i,j}$ 及須去除之導電層層數 $Tn_{i,j}$ 。

【0026】請參照圖 3A、3B，此例之接觸墊結構 300 同樣有 12 層導電層，但暴露出各導電層的 12 個區域排成 6×2 的二維陣列。此即對應 $N=12$ 、 $P=6$ 且 $Q=2$ 之情況。圖中 i 方向、 j 方向定義如前。

【0027】各區域 (i, j) ($i=1 \sim 6, j=1 \sim 2$) 暴露出之導電層的編號 $Ln_{i,j}$ 如圖 3B 左半所示。在第 i 列的 $2(Q)$ 個區域中， $Ln_{i,j}$ 隨 j 值增加而遞減，即 $Ln_{i,1} > Ln_{i,2}$ 。第 i 列的 $2(Q)$ 個區域及第 $i+1$ 列的 $2(Q)$ 個區域之間的 Ln 值差異固定，即 $Ln_{i,1} - Ln_{i+1,1} = Ln_{i,2} - Ln_{i+1,2}$ 。在第 j 行的 $6(P)$ 個區域中， $Ln_{i,j}$ 由兩端向中央漸減，即 $Ln_{1,j}, Ln_{6,j} > Ln_{2,j}, Ln_{5,j} > Ln_{3,j}, Ln_{4,j}$ 。並且，第 1 行的 $6(P)$ 個區域及第 2 行的 $6(P)$ 個區域之間的 Ln 值差異固定，即 $Ln_{1,1} - Ln_{1,2} = Ln_{2,1} - Ln_{2,2} = Ln_{3,1} - Ln_{3,2} = Ln_{4,1} - Ln_{4,2} = Ln_{5,1} - Ln_{5,2} = Ln_{6,1} - Ln_{6,2}$ 。

【0028】為達成此 $Ln_{i,j}$ 分佈及各該區域 (i, j) 中不存在高於第 $Ln_{i,j}$ 導電層的絕緣層或導電層的狀態而須自各區域 (i, j) 去除之導電層層數 $Tn_{i,j}$ ($=N - Ln_{i,j} = 12 - Ln_{i,j}$) 如圖 3B 右半所示。此 Tn 值分佈可藉由使用數目 (M) 遠小於 $N-1$ (11) 個的光罩進行同數目的微影蝕刻製程，以特定的光罩圖案/蝕刻層數組合來達成，其一例如圖 4 所示。

【0029】如圖 4 所示，此例使用 4 個光罩 ($M=4$ 的情況)，其分別在對應區域具有光罩圖案 31、32、33、34，且其使用順序可以任

意選擇。

【0030】 光罩圖案 31 包含以圖示方式分佈之對應導電層去除區的區域 312 及對應非去除區的區域 314，且在使用光罩圖案 31 的微影蝕刻製程中，去除層數 $En_{k=1}$ 為 1 層，對應區域 312 之去除區的去除層數 $An_{i,j,k=1}$ 為 $En_{k=1}(1)$ ，且對應區域 314 之非去除區的去除層數 $An_{i,j,k=1}$ 為 0。

【0031】 光罩圖案 32 包含以圖示方式分佈之對應導電層去除區的區域 322 及對應非去除區的區域 324，且在使用光罩圖案 32 的微影蝕刻製程中，去除層數 $En_{k=2}$ 為 2 層，對應區域 322 之去除區的去除層數 $An_{i,j,k=2}$ 為 $En_{k=2}(2)$ ，且對應區域 324 之非去除區的去除層數 $An_{i,j,k=2}$ 為 0。

【0032】 光罩圖案 33 包含以圖示方式分佈之對應導電層去除區的區域 332 及對應非去除區的區域 334，且在使用光罩圖案 33 的微影蝕刻製程中，去除層數 $En_{k=3}$ 為 4 層，對應區域 332 之去除區的去除層數 $An_{i,j,k=3}$ 為 $En_{k=3}(4)$ ，且對應區域 334 之非去除區的去除層數 $An_{i,j,k=3}$ 為 0。

【0033】 光罩圖案 34 包含以圖示方式分佈之對應導電層去除區的區域 342 及對應非去除區的區域 344，且在使用光罩圖案 34 的微影蝕刻製程中，去除層數 $En_{k=4}$ 為 4 層，對應區域 342 之去除區的去除層數 $An_{i,j,k=4}$ 為 $En_{k=4}(4)$ ，且對應區域 344 之非去除區的去除層數 $An_{i,j,k=4}$ 為 0。

【0034】 各微影蝕刻製程之去除層數的總和為 $N-1(11)$ ，即

$En_{k=1}$ 、 $En_{k=2}$ 、 $En_{k=3}$ 與 $En_{k=M=4}$ 之和為 $N-1$ (11)。接觸墊之各區域 (i, j) 在該 M 次微影蝕刻製程之後累計的導電層去除層數達到前述之須去除層數 $Tn_{i,j}$ ，即 $An_{i,j,k=1}$ 、 $An_{i,j,k=2}$ 、 $An_{i,j,k=3}$ 與 $An_{i,j,k=M=4}$ 之和為 $Tn_{i,j}$ 。例如，區域 $(2, 2)$ 對應光罩圖案 31 中對應去除區的區域 312、光罩圖案 32 中對應非去除區的區域 324、光罩圖案 33 中對應去除區的區域 332 及光罩圖案 34 中對應非去除區的區域 344，即 $An_{2,2,k=1}=En_{k=1}=1$ 、 $An_{2,2,k=2}=0$ 、 $An_{2,2,k=3}=En_{k=3}=4$ 且 $An_{2,2,k=M=4}=0$ ，四者之和為 $Tn_{2,2}=5$ 。

【0035】圖 5A 為本發明第二實施方式之一例之接觸墊結構的上視圖，其中標示各區域中須部分去除之導電層的層數 $Tn_{i,j}$ 。圖 5B 為圖 5A 之接觸墊結構的 B-B' 剖面圖。

【0036】請參照圖 5A、5B，此例之接觸墊結構 500 的須去除導電層層數 $Tn_{i,j}$ 分佈與圖 1B 所示者相同，且光罩圖案分佈/蝕刻層數組合可以與圖 2 所示者相同，但在暴露出最上方之第 N 導電層之區域以外的各該區域 (i, j) 中，第 $Ln_{i,j}$ 導電層上方的各絕緣層 102 及各導電層 104 在該 M 次微影蝕刻製程中皆僅被部分去除，從而在第 $Ln_{i,j}$ 導電層上層之絕緣層 102 及導電層 104 中形成接觸窗開口 106，第 $Ln_{i,j}$ 導電層即暴露於此接觸窗開口 106 中。

【0037】在該 M 次微影蝕刻製程之後，可於各接觸窗開口 106 的側壁形成間隙壁 108，以使稍後將形成於區域 (i, j) 中之接觸窗開口 106 中之第 $Ln_{i,j}$ 導電層的接觸窗與第 $Ln_{i,j}$ 導電層上方的導電層 104 隔離。間隙壁 108 的材質為絕緣材質，例如為氧化矽、氮化矽、

氮氧化矽等。

【0038】 上述各實施方式之接觸墊結構 100、300 或 500 例如是配置於 3D 記憶體中。

【0039】 由於本發明之 N（例如為 12）層導電層的接觸墊結構可使用遠少於 N-1 次的微影蝕刻製程（例如 4 次）來形成，故其製程可大幅簡化，製程控制也比較容易。

【0040】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0041】

100、300、500：接觸墊

102：絕緣層

104：導電層

106：接觸窗開口

108：間隙壁

21、22、23、24、31、32、33、34：光罩圖案

212、222、232、242、312、322、332、342：對應導電層去除區的區域

214、224、234、244、314、324、334、344：對應非去除區的

區域

$A_{n_{i,j,k}}$ ：區域(i, j)於第 k 次微影蝕刻製程中的導電層去除層數

E_{n_k} ：第 k 次微影蝕刻製程中導電層去除區的去除層數

$L_{n_{i,j}/L_{n_{3,2}}}$ ：區域(i, j)/(3, 2)暴露出之導電層的編號

$T_{n_{i,j}/T_{n_{2,3}}}$ ：區域(i, j)/(2, 3)須去除之導電層的層數

【發明申請專利範圍】

【第1項】一種接觸墊結構，包括交替堆疊的N層（ $N \geq 6$ ）絕緣層及N層導電層，且具有N個區域暴露出各個導電層，其中該些區域排列成 $P \times Q$ 的二維陣列（ $P \geq 3$ 、 $Q \geq 2$ ），當該些導電層由下至上編號為第1至第N導電層且區域 (i, j) （ $i=1 \sim P, j=1 \sim Q$ ）暴露出之導電層為第 $Ln_{i,j}$ 導電層時，

在第i列的Q個區域中， $Ln_{i,j}$ 隨j值增加而遞減，即 $Ln_{i,1} > Ln_{i,2} > \dots > Ln_{i,Q}$ ，

第i列的Q個區域及第i+1列的Q個區域之間的Ln值差異固定，即 $Ln_{i,1} - Ln_{i+1,1} = Ln_{i,2} - Ln_{i+1,2} = \dots = Ln_{i,Q} - Ln_{i+1,Q}$ ，

在第j行的P個區域中， $Ln_{i,j}$ 由兩端向中央漸減，即 $Ln_{1,j}, Ln_{P,j} > Ln_{2,j}, Ln_{P-1,j} > \dots$ ，並且

第j行的P個區域及第j+1行的P個區域之間的Ln值差異固定，即 $Ln_{1,j} - Ln_{1,j+1} = Ln_{2,j} - Ln_{2,j+1} = \dots = Ln_{P,j} - Ln_{P,j+1}$ 。

【第2項】如申請專利範圍第1項所述的接觸墊結構，其中在各該區域 (i, j) 中不存在高於第 $Ln_{i,j}$ 導電層的絕緣層或導電層。

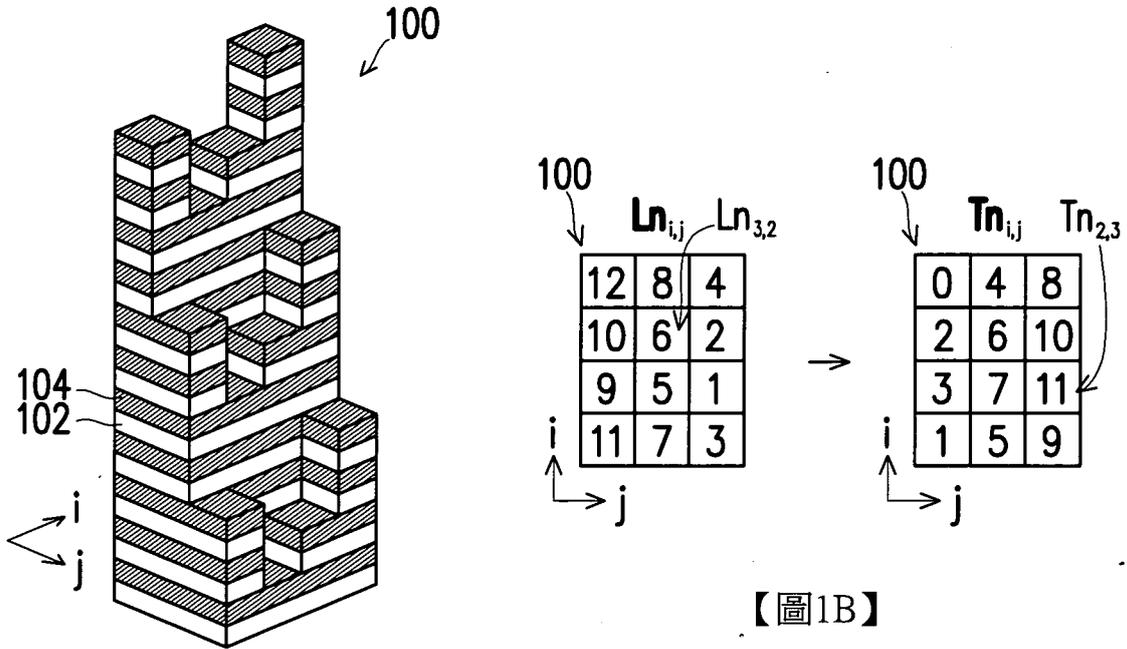
【第3項】如申請專利範圍第1項所述的接觸墊結構，其中在暴露出第N導電層之區域以外的各該區域 (i, j) 中，第 $Ln_{i,j}$ 導電層暴露於形成在上層之絕緣層及導電層中的接觸窗開口中。

【第4項】如申請專利範圍第3項所述的接觸墊結構，其中在各該接觸窗開口的側壁配置有間隙壁。

【第5項】如申請專利範圍第1項所述的接觸墊結構，其中 $P \geq 3$ 且 $Q \geq 2$ 。

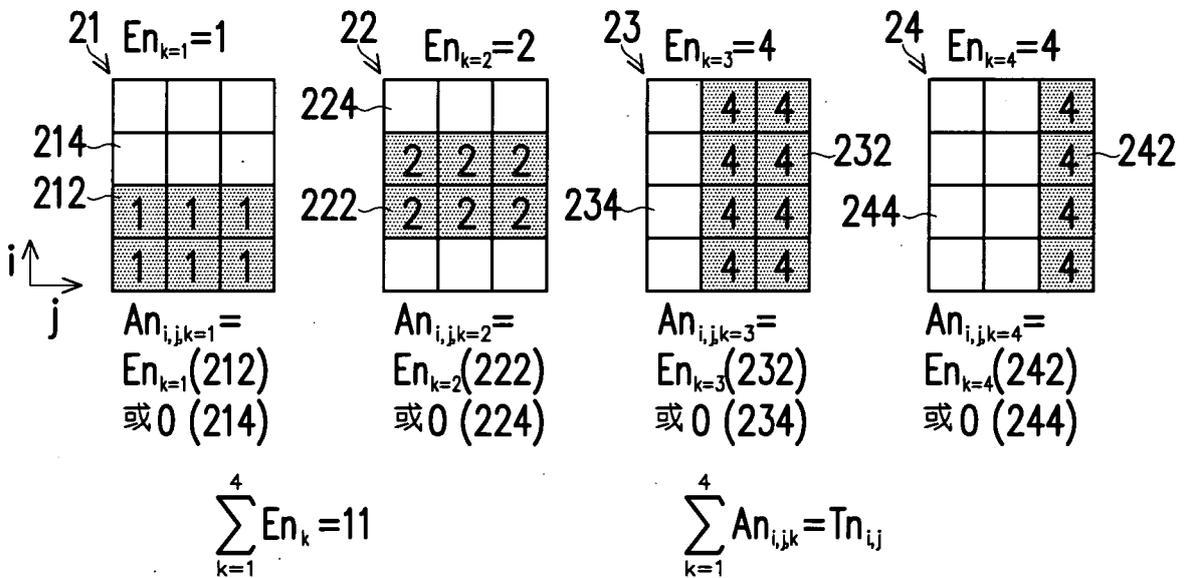
【第6項】如申請專利範圍第1項所述的接觸墊結構，其配置於3D
記憶體中。

【發明圖式】

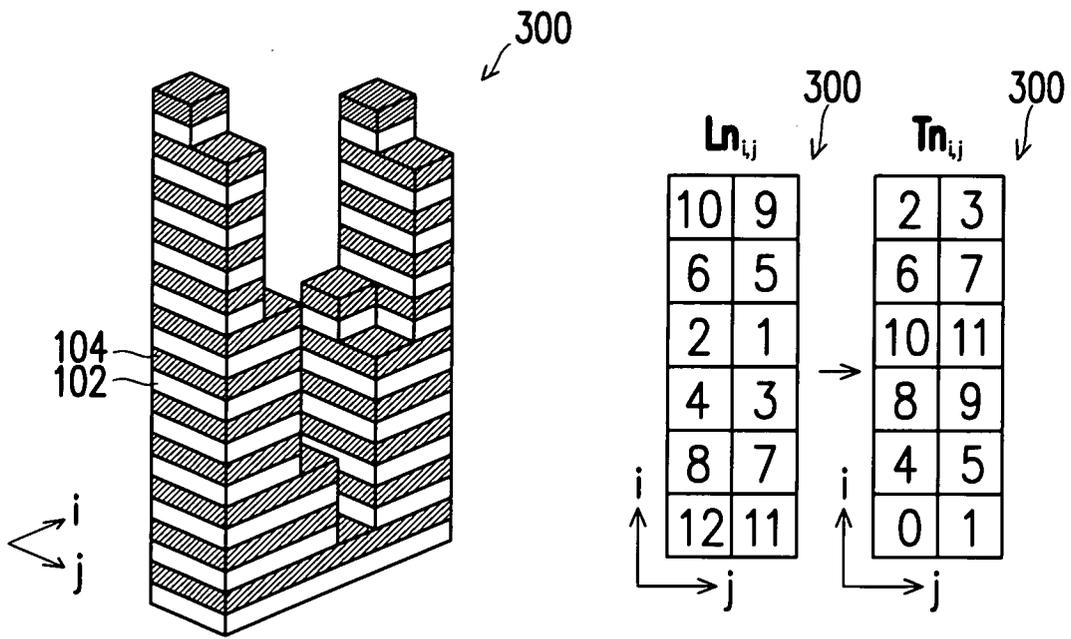


【圖1A】

【圖1B】

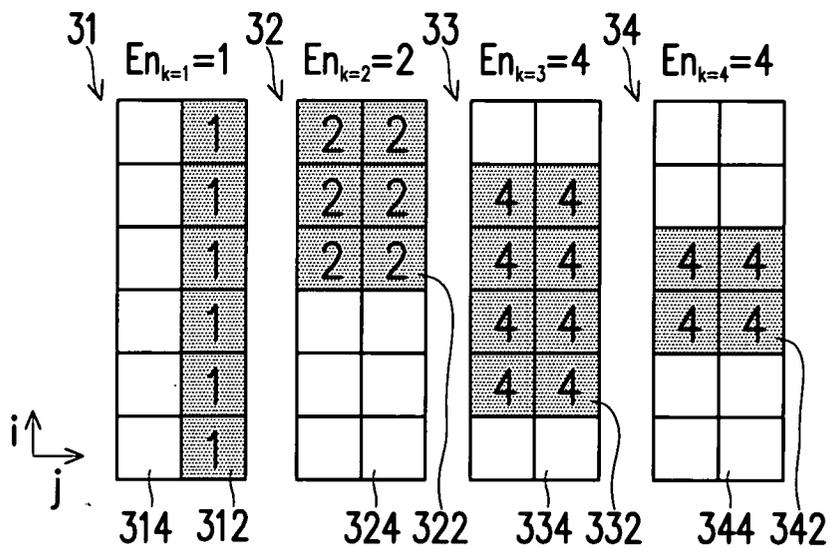


【圖2】



【圖3A】

【圖3B】

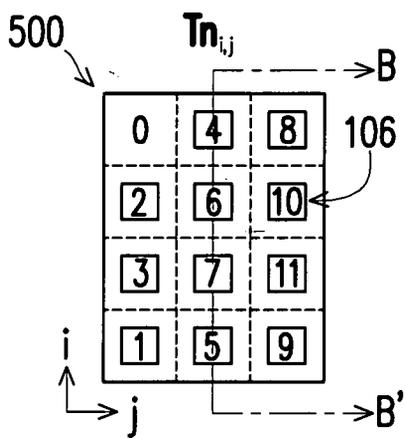


$$\begin{array}{cccc}
 An_{i,j,k=1} = & An_{i,j,k=2} = & An_{i,j,k=3} = & An_{i,j,k=4} = \\
 En_{k=1}(312) & En_{k=2}(322) & En_{k=3}(332) & En_{k=2}(342) \\
 \text{或 } 0(314) & \text{或 } 0(324) & \text{或 } 0(334) & \text{或 } 0(344)
 \end{array}$$

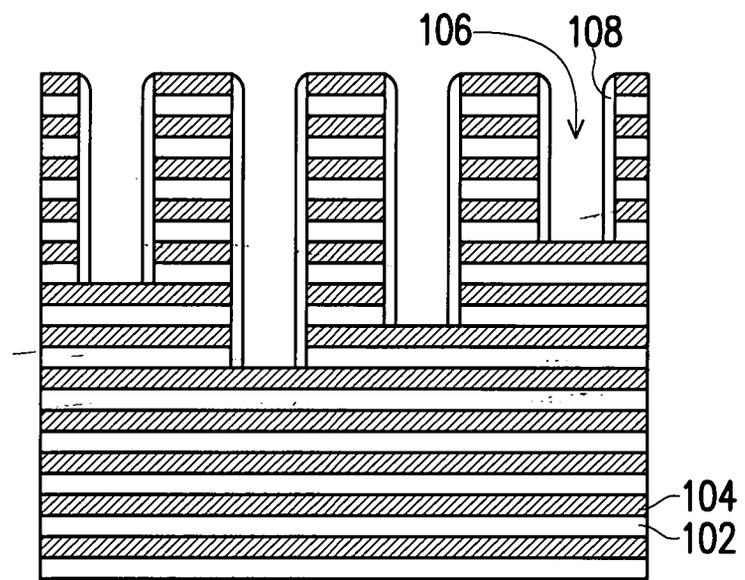
$$\sum_{k=1}^4 En_k = 11$$

$$\sum_{k=1}^4 An_{i,j,k} = Tn_{i,j}$$

【圖4】



【圖5A】



【圖5B】