



(12) 发明专利申请

(10) 申请公布号 CN 105452153 A

(43) 申请公布日 2016. 03. 30

(21) 申请号 201480036001. X

(74) 专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

(22) 申请日 2014. 06. 24

代理人 欧阳帆

(30) 优先权数据

13/926, 384 2013. 06. 25 US

(51) Int. Cl.

B81C 1/00(2006. 01)

(85) PCT国际申请进入国家阶段日

2015. 12. 24

(86) PCT国际申请的申请数据

PCT/US2014/043791 2014. 06. 24

(87) PCT国际申请的公布数据

W02014/209953 EN 2014. 12. 31

(71) 申请人 美国亚德诺半导体公司

地址 美国马萨诸塞州

(72) 发明人 陈立 T·K·努南 杨光隆

J·A·格雷戈里

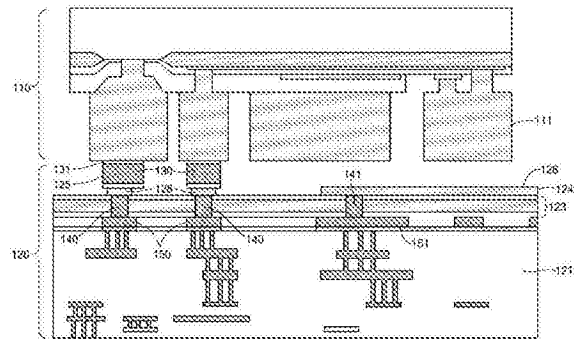
权利要求书2页 说明书5页 附图5页

(54) 发明名称

使用有源电路封装的 MEMS 器件中用于屏蔽与偏置的装置和方法

(57) 摘要

在标准 ASIC 晶片顶部金属层中形成一个或多个导电屏蔽板, 例如, 用于阻止来自 MEMS 晶片上 MEMS 器件到 ASIC 晶片上的电路的串扰, 在晶片级芯片尺寸封装中当直接使用 ASIC 晶片加盖 MEMS 器件时。一般而言, 屏蔽板应该比它屏蔽的 MEMS 器件结构稍大 (例如, 可移动 MEMS 结构诸如加速度计摆片质量或陀螺仪谐振器), 并且在晶片接合器件或之后屏蔽板不能与 MEMS 器件结构接触。因此, 就形成凹部以确保有足够的远离 MEMS 器件结构的顶部表面的空腔间隔。屏蔽板式导电的并且可以偏置, 例如与对面 MEMS 器件结构相同的电压以维持 MEMS 器件结构和遮蔽板之间的零静电吸引力。



1. 一种用于在ASIC晶片上形成导电屏蔽板的方法,所述ASIC晶片包括顶部电路层,所述方法包括:

在所述顶部电路层上形成钝化层;

在所述钝化层上形成TiN层;和

选择性地刻蚀所述TiN层以形成至少一个导电屏蔽板。

2. 如权利要求1所述的方法,其中至少其中之一:

形成所述钝化层包括形成底部氧化物层、中间氮化物层和顶部氧化物层;或

选择性地刻蚀所述TiN层进一步形成多个定位器管底。

3. 如权利要求1所述的方法,还包括:

形成配置为在至少一个导电屏蔽板上放置电势的电路。

4. 如权利要求1所述的方法,还包括:

其中选择性地刻蚀所述TiN层形成至少两个彼此电连接的导电屏蔽板,并且其中所述方法还包括形成配置为在电连接的导电屏蔽板上放置电势的电路;或

其中选择性地刻蚀所述TiN层形成至少两个彼此电隔离的导电屏蔽板,并且其中所述方法还包括形成能够在彼此电隔离的导电屏蔽板上放置不同电势的电路。

5. 如权利要求1所述的方法,还包括:

形成多个定位器。

6. 如权利要求1所述的方法,其中选择性地刻蚀所述TiN层进一步形成至少一个用于传递电信号到MEMS器件的电极。

7. 如权利要求6所述的方法,还包括:

在电极上形成用于传递所述电信号到所述MEMS器件的电缆管。

8. 一种ASIC晶片,包括:

顶部电路层;

在所述顶部电路层上的钝化层;和

在所述钝化层上的TiN层,所述TiN层配置为包括至少一个导电屏蔽板。

9. 如权利要求8所述的ASIC晶片,其中至少其中之一:

所述钝化层包括底部氧化物层、中间氮化物层和顶部氧化物层;

所述TiN层进一步配置为包括多个定位器管底;或

所述ASIC晶片包括多个定位器。

10. 如权利要求8所述的ASIC晶片,其中所述ASIC晶片包括配置为在至少一个导电屏蔽板上放置电势的电路。

11. 如权利要求8所述的ASIC晶片,其中:

至少两个导电屏蔽板彼此电连接并且所述ASIC晶片包括配置为在所述导电屏蔽板上放置电势的电路;或

至少两个导电屏蔽板彼此电隔离并且所述ASIC晶片包括能够在电隔离导电屏蔽板上放置不同电势的电路。

12. 如权利要求8所述的ASIC晶片,其中所述TiN层进一步配置为包括至少一个用于传递电信号到MEMS器件的电极。

13. 如权利要求12所述的ASIC晶片,还包括电极上用于传递所述电信号到所述MEMS器

件的电缆管。

14. 一种集成的晶片级芯片尺寸封装器件,包括耦合到MEMS器件的ASIC晶片,其中所述MEMS器件包括至少一个MEMS结构并且其中所述ASIC晶片包括:

顶部电路层;

在所述顶部电路层上的钝化层;和

在所述钝化层上的TiN层,所述TiN层配置为包括至少一个导电屏蔽板。

15. 如权利要求14所述的集成的晶片级芯片尺寸封装器件,其中至少其中之一:

所述钝化层包括底部氧化物层、中间氮化物层和顶部氧化物层;

所述TiN层进一步配置为包括多个定位器;或

所述器件包括多个定位器。

16. 如权利要求14所述的集成的晶片级芯片尺寸封装器件,其中所述器件包括配置为在至少一个导电屏蔽板上放置电势的电路。

17. 如权利要求14所述的集成的晶片级芯片尺寸封装器件,其中:

至少两个导电屏蔽板彼此电连接并且所述器件包括配置为在电连接的导电屏蔽板上放置电势的电路;或

至少两个导电屏蔽板彼此电隔离并且所述器件包括能够在电隔离的导电屏蔽板上放置不同电势的电路。

18. 如权利要求14所述的集成的晶片级芯片尺寸封装器件,其中所述TiN层进一步配置为包括至少一个用于传递电信号到MEMS器件的电极。

19. 如权利要求18所述的集成的晶片级芯片尺寸封装器件还包括电极上用于传递所述电信号到所述MEMS器件的电缆管。

## 使用有源电路封装的MEMS器件中用于屏蔽与偏置的装置和方法

[0001] 相关申请的交叉引用

[0002] 本PCT申请要求声明来自于2013年6月25日提交的美国专利申请号13/926,384,在此其通过引用并入本文。

### 技术领域

[0003] 本发明通常涉及到使用有源电路封装的MEMS器件的屏蔽和偏置。

### 背景技术

[0004] 现已知将ASIC晶片接合到MEMS器件晶片以形成晶片级芯片尺寸封装。在这种集成的晶片级芯片尺寸封装中,ASIC晶片是有效的盖晶片。根据接合密封材料厚度或有图案定位器深度,这种器件往往具有约2-4微米(在本文中缩写“um”)的量级的空腔深度。在这种器件中,MEMS器件结构到ASIC电路的紧密的接近度可能导致MEMS器件结构促成到ASIC晶片上仅隔开几微米远的电路、随时间变化的寄生电容和阻抗串扰。

### 发明内容

[0005] 在第一实施例中,提供了在具有顶部电路层的ASIC晶片上形成导电屏蔽板的方法。该方法包括在顶部电路层上形成钝化层,在钝化层上形成TiN层,以及选择性地蚀刻TiN层以形成至少一个导电屏蔽板。

[0006] 在各种替代实施例中,形成钝化层可以包括形成底部氧化物层、中间氮化物层和顶部氧化物层。选择性地蚀刻TiN层可以形成多个定位器管底。该方法还可以包括形成配置为在至少一个导电屏蔽板上放置电势的电路。选择性地蚀刻TiN层可以形成至少两个彼此电连接的导电屏蔽板,在这种情况下,该方法可以还包括形成配置为在电连接导电屏蔽板上放置电势的电路。选择性地蚀刻TiN层可以形成至少两个彼此电隔离的导电遮蔽板,在这种情况下该方法可以还包括形成能够在电隔离导电屏蔽板上放置不同电势的电路。该方法还可以包括形成多个定位器。选择性地蚀刻TiN层可以形成至少一个用于传递电信号到MEMS器件的电极。该方法还可以包括在电极上形成用于传递电信号到MEMS器件的电缆管。

[0007] 在另一个实施例中,提供了ASIC晶片,其包括顶部电路层、顶部电路层上的钝化层以及钝化层上的TiN层,TiN层配置为包括至少一个导电屏蔽板。

[0008] 在各种替代实施例中,钝化层可以包括底部氧化物层、中间氮化物层和顶部氧化物层。TiN层可以进一步配置为包括多个定位器管底。ASIC晶片可以包括多个定位器。ASIC晶片可以包括配置为在至少一个导电屏蔽板上放置电势的电路。至少两个导电屏蔽板可以彼此电连接并且ASIC晶片可以包括配置为在导电屏蔽板上放置电势的电路。另外或可选地,至少两个导电屏蔽板可以彼此电隔离并且ASIC晶片可以包括能够在电隔离导电屏蔽板上放置不同电势的电路。TiN层可以进一步配置为至少包括一个用于传递电信号到MEMS器件的电极。该器件可以包括在电极上、用于传递电信号到MEMS器件的电缆管。

[0009] 在另一个实施例中,提供了包括耦合到MEMS器件的ASIC晶片的集成的晶片级芯片尺寸封装器件,其中MEMS器件包括至少一个MEMS结构并且其中ASIC晶片包括顶部电路层、顶部电路层上的钝化层和钝化层上的TiN层,TiN层配置为包括至少一个导电屏蔽板。

[0010] 在各种替代实施例中,钝化层可以包括底部氧化物层、中间氮化物层和顶部氧化物层。TiN层可以进一步配置为包括多个定位器管底。器件可以包括多个定位器。该器件可以包括配置为在至少一个导电屏蔽板上放置电势的电路。至少两个导电屏蔽板可以彼此电连接并且器件可以包括配置为在导电屏蔽板上放置电势的电路。另外或可选地,至少两个导电屏蔽板可以彼此电隔离,并且该器件可以包括能够在电隔离导电屏蔽板上放置不同电势的电路。TiN层可以进一步配置为包括至少一个用于传递电信号到MEMS器件的电极。器件可以包括在电极上、用于向MEMS器件传递电信号的电缆管。

[0011] 附加的实施例可以被公开并且要求保护。

## 附图说明

[0012] 实施例的上述特征将通过参考下面的详细描述,参考附图,更容易理解,其中:

[0013] 图1是根据本发明的一个示例性的实施例,示出晶片级芯片尺寸封装的横截面的示意性框图;

[0014] 图2,包括图2A-2F,根据一个示例性实施例,示意性地示出了用于形成导电屏蔽板和其他结构的示例性制造工艺的相关步骤;

[0015] 图3是根据图2中所示的示例性实施例,示出ASIC的制造工艺中相关步骤的逻辑流程图;

[0016] 图4是示出当ASIC晶片接合到MEMS器件时,包括两个配置为在相应MEMS器件结构的对面放置的导电屏蔽板的ASIC晶片的示意图;和

[0017] 图5是根据一个示例性实施例,示出配置为允许对每个导电屏蔽板施加不同电势的多个导电屏蔽板的示意图。

[0018] 应当注意的是,前述附图和其中所绘的元件不必按比例一致或按任何比例。除非上下文另有说明,相同的元件用相同的标号表示。

## 具体实施方式

[0019] 在本发明示例性的实施例中,在标准ASIC晶片顶部金属层中形成一个或多个导电遮蔽板用于阻止来自MEMS晶片上MEMS器件结构(多个)到ASIC晶片上的电路的串扰,当在晶片级芯片尺寸封装中MEMS器件直接由ASIC晶片加盖时。一般来说,遮蔽板应该至少比它屏蔽的MEMS器件结构稍大(例如,可移动的MEMS结构例如加速度计摆片质量或陀螺仪谐振器),并且在晶片接合期间或之后屏蔽板不能与MEMS器件结构接触。因此,就形成了一个凹部以确保有足够的、远离MEMS器件结构的顶部表面的空腔间距。屏蔽板是导电的并且可以偏置,例如,与相对的MEMS器件结构相同的电压以维持MEMS器件结构和遮蔽板之间的零静电吸引力。

[0020] 图1是根据本发明的一个示例性实施例,示出晶片级芯片尺寸封装100的横截面的示意性框图。具有MEMS结构111的MEMS晶片110经由接合材料131接合到CMOSASIC晶片120。如下面更充分讨论,ASIC晶片120形成为分层结构,包括,在其他东西间,具有各种金属接合

焊盘150和151的顶部电路层121、电路层121上的钝化层123、钝化层123上形成的TiN层124,从中形成导电屏蔽板126以及各个电极128用于形成到MEMS晶片110的电连接,以及金属层125其中形成定位器结构(为方便起见没在图1中示出)以及用于延伸电连接到MEMS晶片110的电缆管130。

[0021] 在本示例性实施例中,钝化层由三个子层组成,特别是薄的底部氧化物层(例如,二氧化硅或SiO<sub>2</sub>)、薄的中间氮化物层(例如,氮化硅或SiN)以及较厚的顶部氧化物(OX)层(例如,二氧化硅或SiO<sub>2</sub>)。替代实施例可以使用其它钝化材料。在本示例性实施例中,各个导电通孔140和141将TiN层124中的结构耦合到电路层121中相应的金属焊盘150和151,例如,以允许电信号放置在导电屏蔽板126上并且通过电极128和电缆管130穿到MEMS晶片110。

[0022] 如下面更充分讨论,导电屏蔽板126在MEMS结构111的对面、ASIC晶片顶部金属镀膜层中形成。应当指出的是,虽然本示例性实施例示出了一个导电屏蔽板126,替代实施例可以具有多个导电屏蔽板,例如用于若干MEMS结构的每一个的一个导电屏蔽板。

[0023] 用于形成导电屏蔽板126和其它结构的示例性制造工艺的相关步骤现参考图2进行描述。

[0024] 图2A示出了ASIC晶片的示例性顶部电路层121的横截面。在这个例子中,顶部电路层121包括用于传递电信号到MEMS晶片110的金属接合焊盘150并且包括用于传递电信号到导电屏蔽板126的金属接合焊盘151。金属接合焊盘150和151可以是由金属制成,例如AlCu。金属接合焊盘150和151耦合到相应的下层电路并且彼此电绝缘,由氧化物材料(例如,高密度等离子氧化物或HDP-OX)。

[0025] 如图2B所示,钝化层123在顶部电路层121上形成。如上所述,在本示例性实施例中,钝化层123包括三个子层,特别是薄的底部氧化物层(例如,二氧化硅)、薄的中间氮化物层(例如,氮化硅)以及较厚的顶部氧化物层(例如,二氧化硅)。氧化物-氮化物-氧化物(O-N-O)钝化层123通常在0.25-0.3 $\mu$ m数量级的厚度。在某些示例性实施例中,在低于摄氏约450度的温度下,使用等离子体增强化学气相沉积(PECVD)形成钝化层123的氧化物子层和氮化物子层。

[0026] 如图2C中所示,TiN层124在钝化层123上形成。TiN层124通常是约50-100nm(纳米)的数量级上厚,优选接近50纳米。

[0027] 如图2D中所示,在形成TiN层124后,选择性地蚀刻TiN层124以形成各种结构,包括电极128、导电屏蔽板126以及定位器管底213和215(在某些实施例中它们可以被省略)。应当指出的是,图2D在适当位置示出了通孔140和141,虽然为了简单起见省略了用于形成导电通孔140和141的制造步骤,因为导电通孔的形成通常已为本领域所知。一般而言,通孔140和141的制造包括各种蚀刻和沉积步骤以在TiN层124形成之前蚀穿钝化层123以便形成从钝化层123的顶部延伸到电极150和151的开口并且使用导电材料(例如,W或钨金属)填充开口;当TiN层124形成时,TiN层124将与导电通孔140和141接触。

[0028] 如图2E中所示,金属层125(可选地包括一个或多个中间层,为方便起见未示出)在TiN层124上形成。在某些示例性实施例中,金属层125由AlCu组成并且通常在约2-4 $\mu$ m的数量级厚。在某些替代的实施例,其中省略了定位器管底213和215,金属层125(以及任何中间层(多个))可以在钝化层123上直接形成。

[0029] 如图2F中所示,金属层125(以及任何中间层(多个))进行化学蚀刻以形成定位器214和216以及电缆管130。定位器214和216形成用于将ASIC晶片接合到MEMS晶片110的接合表面并且还用于提供ASIC晶片120和MEMS晶片110之间的最小间隔。

[0030] 图3是根据图2中示出的示例性实施例,示出ASIC的制造工艺有关的步骤的逻辑流程图。在框302中,钝化层在ASIC电路层上形成。在框304中,TiN层在钝化层上形成。在框306中,TiN层进行选择性地蚀刻形成至少一个导电屏蔽板和可选地至少一个电极。在框308中,金属层在TiN层上形成。在框310中,金属层进行选择性地蚀刻以形成定位器和可选地至少一个耦合到TiN层中电极的电缆管。在框312中,ASIC晶片接合到MEMS器件。

[0031] 应当指出的是,示例性的ASIC的制造工艺涉及HDP-0X、PECVDSiO<sub>2</sub>、PECVDSiN、TiN和AlCu层是典型的ASIC的制造工艺并且因此使用现有的ASIC制造机械,本发明示例性的实施例花费很少或者无需支付额外费用进行制造。

[0032] 在具有使用ASIC晶片直接加盖MEMS器件的集成器件操作期间,固定或可变的电势通常放置在导电屏蔽板126从金属接合焊盘151通过导电通孔141,并且相应的电势通常放置在相应的MEMS器件结构从金属接合焊盘150通过导电通孔140、电极128和电缆管130。导电屏蔽板126上放置的电势可以与相应MEMS器件结构上放置的电势相同或者与相应MEMS器件结构上放置的电势不同。例如,导电屏蔽板126可以接地,而固定或可变电信号被施加到MEMS器件结构。

[0033] 应当注意的是,导电屏蔽板126可以用于特定应用所需或期望的几乎任何尺寸和/或形状进行制造。同样,如以上所讨论的,多个导电屏蔽板可以使用上述工艺制造,例如,若干MEMS结构的每一个相对放置一个导电屏蔽板。在具有多个导电屏蔽板的实施例中,ASIC晶片可以配置为允许不同的电势放置在不同的导电屏蔽板,例如,以适应不同特征的不同偏置。

[0034] 图4示出包括两个配置为当ASIC晶片接合到MEMS器件时,放置在相应MEMS结构的对面的导电屏蔽板402和404的ASIC晶片120的示意图。

[0035] 图5是根据一个示例性实施例,示出配置为允许施加不同电势到每个导电屏蔽板的多个导电屏蔽板的示意图。在本实施例中,有两个导电屏蔽板126a和126b,分别在两个MEMS结构111a和111b的对面放置。导电屏蔽板彼此电绝缘。每个导电屏蔽板126a和126b通过各自导电通孔141a和141b电连接到各自的电极151a和151b。ASIC晶片可以配置以向两个导电屏蔽板施加相同的电势或者可以配置以施加不同的电势到两个导电屏蔽板。

[0036] 应当指出,MEMS器件可以是具有几乎任何类型(多个)MEMS结构(多个)的几乎任何MEMS器件类型。例如,MEMS设备可以包括具有一个或多个可移动摆片质量的加速度计、具有一个或多个谐振摆片质量的陀螺仪、具有一个或多个隔膜的麦克风或者具有其它类型的可移动MEMS结构的其他类型的MEMS器件。MEMS陀螺仪,尤其是,通常空腔内部包括多个传感器元件(例如,2-4个传感器元件),用于二维或三维轴感测。多个导电屏蔽板(例如,2-4个或更多)可以用于创建单独的区域(例如,每个传感器元件上方)以各自地个别偏置使得改进的性能,例如,为了防止ASIC晶片盖使传感器失衡。和其中整个盖在共同电位不同,通过把帽分成多个彼此电隔离的区域,这些区域可以用于选择性地施加调谐或校准信号到传感器的不同区域或多个传感器相同的空腔中。例如,多轴陀螺仪可以具有施加在影响一个轴的一个电压和施加到另一个轴的单独的偏置电压。于是这些电压可以各自地微调陀螺仪谐振频

率。单独的可能的用途是注入可以用于检测传感器中不期望的运动的载波信号,如果载波信号从盖均匀注入到整个结构中,它可能被拒绝。对于许多封盖工序,盖的位置和离传感器的距离并不像其他尺寸进行精确地控制。正因为如此,盖信号可以与将调节偏置电压以除去误差信号的控制环结合使用,或者调节在从盖上注入的载波信号偏置的其他控制使得注入的载波信号被抵消。

[0037] 本发明可以以其他特定形式来体现而不脱离本发明的真正范围,并且基于本文的教导许多变化和修改对于本领域技术人员将是显而易见的。“本发明”的任何引用都意在指本发明的示例性实施例,并且不应该被解释为对本发明的所有实施例,除非上下文另有要求。所述实施例在所有方面仅是说明性的而不是限制性加以考虑。



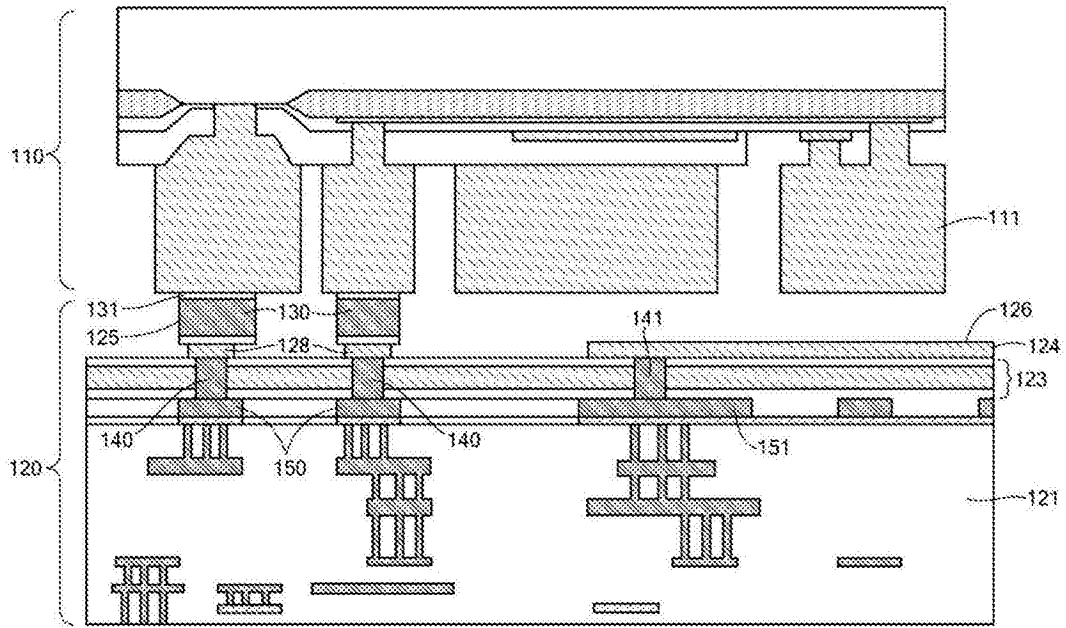


图1

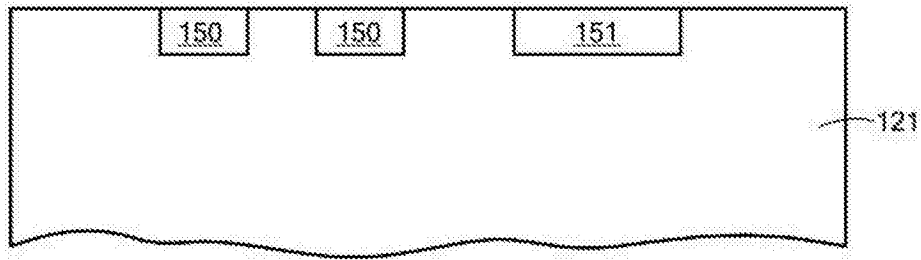


图2A

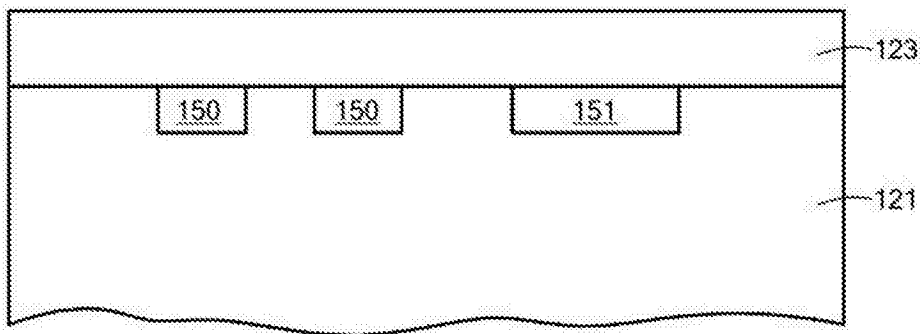


图2B

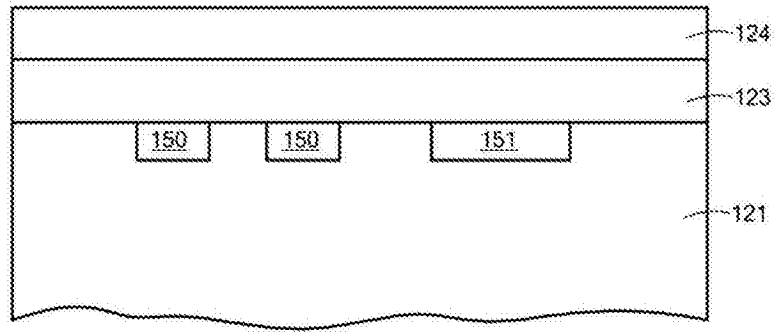


图2C

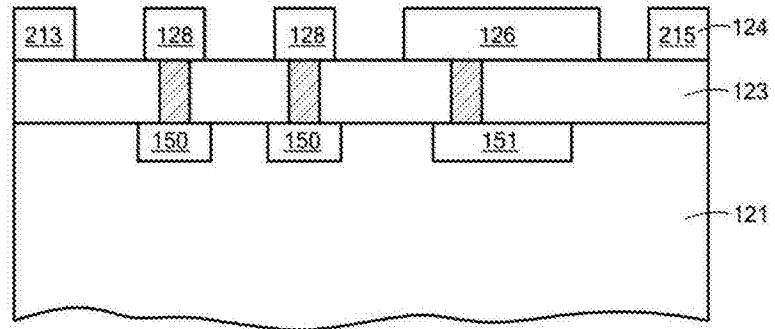


图2D

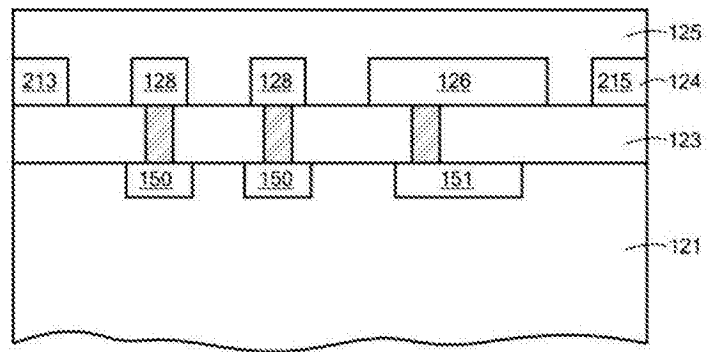


图2E

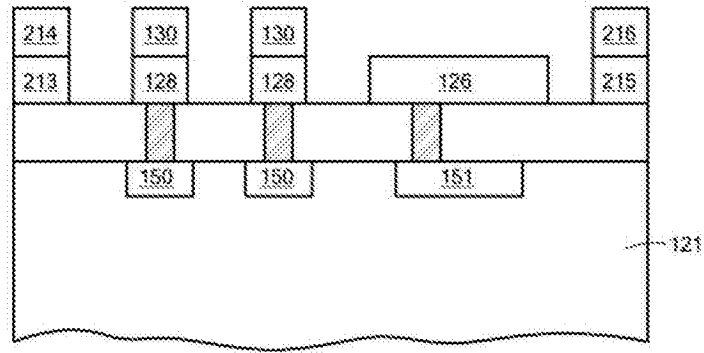


图2F



图3

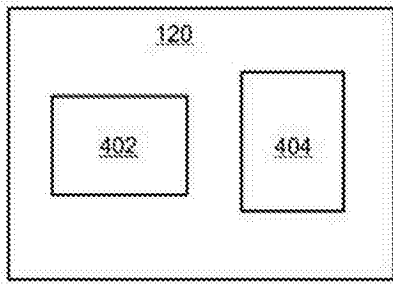


图4

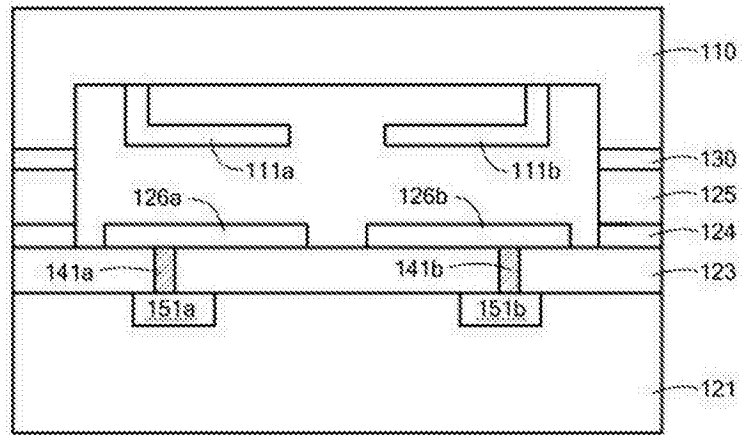


图5