



(12)发明专利

(10)授权公告号 CN 104124244 B

(45)授权公告日 2017.07.25

(21)申请号 201410100511.0

(22)申请日 2014.03.18

(65)同一申请的已公布的文献号
申请公布号 CN 104124244 A

(43)申请公布日 2014.10.29

(30)优先权数据
2013-093681 2013.04.26 JP

(73)专利权人 三菱电机株式会社
地址 日本东京

(72)发明人 佐藤公敏

(74)专利代理机构 北京天昊联合知识产权代理
有限公司 11112
代理人 何立波 张天舒

(51)Int.Cl.

H01L 27/06(2006.01)

H01L 21/8234(2006.01)

G01L 1/14(2006.01)

G01L 9/12(2006.01)

(56)对比文件

US 6472243 B2, 2002.10.29,

US 5789297 A, 1998.08.04,

US 2010/0327883 A1, 2010.12.30,

审查员 瞿晓雷

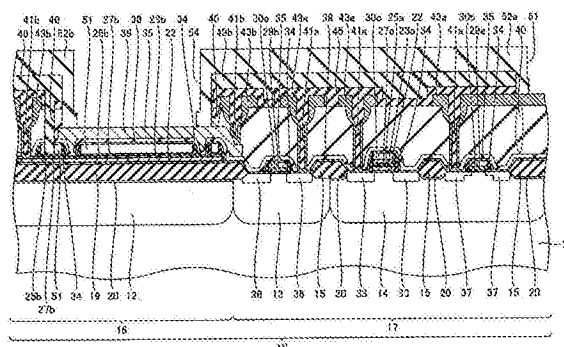
权利要求书4页 说明书17页 附图30页

(54)发明名称

半导体压力传感器及其制造方法

(57)摘要

在压力传感器区域(16)形成压力传感器,该压力传感器包含固定电极(23b)、真空室(51)以及可动电极(39),在CMOS区域(17)形成有存储器单元晶体管和场效应型晶体管。与真空室(51)连通的蚀刻孔(46)由第1封装膜(49)等闭塞。真空室(51)通过将由与存储器单元晶体管的栅极电极(30c)相同的膜构成的部分去除而形成。



1. 一种半导体压力传感器,其具有:

第1区域及第2区域,它们是在半导体衬底的表面规定出的;

压力传感器,其形成在所述第1区域,包含固定电极、空隙及可动电极,在所述固定电极的上方配置有所述空隙,在所述空隙的上方配置有所述可动电极;

存储器单元晶体管,其形成在所述第2区域,包含第1电极以及配置在所述第1电极上方的第2电极作为栅极电极;

层间绝缘膜,其以覆盖所述压力传感器及所述存储器单元晶体管的方式形成;

孔,其形成在所述层间绝缘膜上,与所述空隙连通;

封装部,其对所述空隙进行封装;以及

开口部,其形成在所述层间绝缘膜上,使所述可动电极露出,

所述固定电极利用由与成为所述第1电极的导电膜相同的膜构成的部分形成,

所述空隙是通过将由与成为所述第2电极的其他导电膜相同的膜构成的部分去除而形成的,使得所述空隙的厚度与所述第2电极的厚度相同,

所述孔在俯视时不与所述可动电极重叠,并且所述孔没有与所述可动电极直接接触。

2. 根据权利要求1所述的半导体压力传感器,其具有:

第1保护膜,其覆盖所述固定电极的上表面;

第2保护膜,其覆盖所述可动电极的下表面;

第1绝缘膜,其存在于所述第1电极和所述第2电极之间;以及

第2绝缘膜,其以覆盖所述第2电极的方式,形成在所述第2电极和所述层间绝缘膜之间,

所述第1保护膜利用由与成为所述第1绝缘膜的膜相同的膜构成的部分形成,

所述第2保护膜利用由与成为所述第2绝缘膜的膜相同的膜构成的部分形成。

3. 根据权利要求1所述的半导体压力传感器,其具有:

第3绝缘膜,其以覆盖所述层间绝缘膜的方式形成;以及

钝化膜,其以覆盖所述第3绝缘膜的方式形成,

所述封装部包含:

第1封装部,其利用由与成为所述第3绝缘膜的膜相同的膜构成的部分形成;以及

第2封装部,其利用由与成为所述钝化膜的膜相同的膜构成的部分形成。

4. 根据权利要求1所述的半导体压力传感器,

所述封装部包含由与所述层间绝缘膜相同膜种类的膜形成的部分。

5. 根据权利要求1所述的半导体压力传感器,

所述压力传感器包含:

第1压力传感器,其包含作为所述固定电极的第1固定电极、作为所述空隙的第1空隙以及作为所述可动电极的第1可动电极;

第2压力传感器,其包含作为所述固定电极的第2固定电极、作为所述空隙的第2空隙以及作为所述可动电极的第2可动电极,

所述开口部形成在所述层间绝缘膜的位于所述第1压力传感器上方的部分处,

所述第2压力传感器处于被所述层间绝缘膜覆盖的状态。

6. 根据权利要求1所述的半导体压力传感器,

侧壁膜位于所述空隙的侧方。

7. 根据权利要求1所述的半导体压力传感器，

所述半导体压力传感器具有在所述第1区域形成的元件分离绝缘膜，

所述压力传感器形成在所述元件分离绝缘膜上。

8. 根据权利要求1所述的半导体压力传感器，

所述半导体压力传感器具有在所述第1区域形成的元件分离绝缘膜，

所述压力传感器形成在所述半导体衬底的由所述元件分离绝缘膜规定出的区域中。

9. 根据权利要求1所述的半导体压力传感器，

所述封装部包含由铝 (Al)、铝硅 (Al—Si)、铝硅铜 (Al—Si—Cu) 以及铝铜 (Al—Cu) 中的某一个形成的部分。

10. 一种半导体压力传感器，其具有：

第1区域及第2区域，它们是在半导体衬底的表面规定出的；

压力传感器，其形成在所述第1区域，包含固定电极、空隙及可动电极，在所述固定电极的上方配置有所述空隙，在所述空隙的上方配置有所述可动电极；

晶体管，其形成在所述第2区域，包含栅极电极；

层间绝缘膜，其以覆盖所述压力传感器及所述晶体管的方式形成；

孔，其形成在所述层间绝缘膜上，与所述空隙连通；

封装部，其对所述空隙进行封装；以及

开口部，其形成在所述层间绝缘膜上，使所述可动电极露出，

所述固定电极是从所述半导体衬底的表面起以规定深度而形成的阱区域，

所述空隙是通过将由与成为所述栅极电极的导电膜相同的膜构成的部分去除而形成的，使得所述空隙的厚度与所述导电膜的厚度相同，

所述孔在俯视时不与所述可动电极重叠，并且所述孔没有与所述可动电极直接接触。

11. 一种半导体压力传感器的制造方法，在该方法中，具有下述工序：

在半导体衬底的表面规定出第1区域及第2区域的工序，其中，第1区域用于形成压力传感器，第2区域用于形成存储器单元晶体管；

在所述第1区域形成固定电极的工序；

以覆盖所述半导体衬底的表面的方式，形成第1导电膜的工序；

通过对所述第1导电膜进行图案化，从而在所述第2区域形成作为所述存储器单元晶体管的栅极电极的第1电极的工序；

以覆盖所述固定电极及所述第1电极的方式，形成第2导电膜的工序；

通过对所述第2导电膜进行图案化，从而在所述第1区域形成成为空隙的第2导电膜图案，在所述第2区域，在所述第1电极的上方形成第2电极的工序；

在成为所述空隙的第2导电膜图案的上方形成可动电极的工序；

以覆盖所述可动电极、所述第1电极及所述第2电极的方式，形成层间绝缘膜的工序；

在所述层间绝缘膜的位于所述第1区域的部分上，形成到达成为所述空隙的第2导电膜图案的孔的工序；

通过将成为所述空隙的第2导电膜图案去除，从而形成空隙的工序；

闭塞与所述空隙连通的所述孔的工序；以及

在所述层间绝缘膜的位于所述第1区域的部分上,形成使所述可动电极露出的开口部的工序。

12. 根据权利要求11所述的半导体压力传感器的制造方法,

在形成所述第1电极的工序和形成所述第2导电膜的工序之间,具有形成第1绝缘膜的工序,该第1绝缘膜以覆盖所述第1电极的形式,存在于所述第1电极和所述第2电极之间,

在形成所述第2电极的工序和形成所述层间绝缘膜的工序之间,具有以覆盖成为所述空隙的第2导电膜图案,并且,覆盖所述第2电极的形式形成第2绝缘膜的工序;

将所述第1绝缘膜的位于所述第1区域的部分,设为对所述固定电极的上表面进行保护的所述第1保护膜,

将所述第2绝缘膜的位于所述第1区域的部分,设为对所述可动电极的下表面进行保护的所述第2保护膜。

13. 根据权利要求12所述的半导体压力传感器的制造方法,

在形成所述空隙的工序中,在所述固定电极由所述第1保护膜覆盖,所述可动电极由所述第2保护膜覆盖的状态下,通过经由所述孔实施蚀刻处理,从而将成为所述空隙的第2导电膜图案去除。

14. 根据权利要求11所述的半导体压力传感器的制造方法,

具有下述工序:

以覆盖所述层间绝缘膜的方式,形成第3绝缘膜的工序;

对所述第3绝缘膜进行图案化的工序;

以覆盖所述第3绝缘膜的方式,形成成为钝化膜的膜的工序;以及

对成为所述钝化膜的膜进行图案化的工序,

对所述第3绝缘膜进行图案化的工序包含以下工序:在所述第1区域,作为对所述孔进行闭塞的工序,形成对所述孔进行闭塞的第1封装部,

对成为所述钝化膜的膜进行图案化的工序包含以下工序:在所述第1区域,作为对所述孔进行闭塞的工序,以覆盖所述第1封装部的方式形成第2封装部,在所述第2区域形成钝化膜。

15. 根据权利要求11所述的半导体压力传感器的制造方法,

具有下述工序:

以覆盖所述层间绝缘膜的方式,形成成为配线的膜的工序;以及

对成为所述配线的膜进行图案化的工序,

在对成为所述配线的膜进行图案化的工序中,

在所述第1区域中,作为对所述孔进行闭塞的工序,形成对所述孔进行闭塞的第1部分,在所述第2区域形成配线。

16. 根据权利要求15所述的半导体压力传感器的制造方法,

在形成成为所述配线的膜的工序之前,同时进行形成所述孔的工序、和在所述第2区域中在所述层间绝缘膜的部分形成通孔的工序。

17. 根据权利要求11所述的半导体压力传感器的制造方法,

具有在形成所述开口部后,以覆盖所述第2区域的方式形成钝化膜的工序,

在形成所述钝化膜的工序中,在所述第1区域,以进一步覆盖对所述孔进行闭塞的部分

的方式形成所述钝化膜。

半导体压力传感器及其制造方法

技术领域

[0001] 本发明涉及一种半导体压力传感器及其制造方法,特别地,涉及一种具有MOS电路的半导体压力传感器和这种半导体压力传感器的制造方法。

背景技术

[0002] 近年来,在以汽车为首的各种领域中正使用着半导体压力传感器。作为半导体压力传感器,具有集成在MOS(Metal Oxide Semiconductor)电路中的半导体压力传感器。作为这种半导体压力传感器,对在专利文献1(日本特表2004-526299号公报(日本专利第4267322号公报))中公开的半导体压力传感器进行说明。

[0003] 在该半导体压力传感器中,在半导体衬底上规定出了形成MOS电路的区域(MOS区域)和形成压力传感器的区域(压力传感器区域)。在MOS区域上形成有MOS电路,该MOS电路包含n沟道型MOS晶体管和p沟道型MOS晶体管。

[0004] 在压力传感器区域中,形成有电容式的压力传感器。在电容式的压力传感器中,形成有固定电极和可动电极,在固定电极和可动电极之间设置有真空室。真空室由封装膜进行了封装。通过将可动电极和固定电极之间的距离的变化作为电容值的变化进行检测,从而测定压力。

[0005] 在现有半导体压力传感器中,存在如下问题。在该半导体压力传感器中,形成压力传感器的工序和形成MOS电路的工序作为不同的工序设置。即,作为用于形成压力传感器的专用工序而追加有形成封装膜的工序,该封装膜用于形成真空室。

[0006] 另外,在将牺牲膜通过蚀刻而去除时,需要在其之前形成对MOS区域进行保护的保护膜,在去除牺牲膜后将该保护膜去除。而且,配置在可动电极下的真空室,在代表MOS区域的工艺结束的、形成金属配线之前形成,因此,例如需要通过湿处理等进行粘着对策,以使得可动电极不会被粘接固定。因此,在现有半导体压力传感器中,存在制造工序变长,并且变得复杂的问题。

发明内容

[0007] 本发明是为了解决上述问题而提出的,其一个目的是提供一种半导体压力传感器,该半导体压力传感器能够容易地制造,另一目的是提供一种半导体压力传感器的制造方法,该半导体压力传感器的制造方法实现追加的工序数量的削减。

[0008] 本发明涉及的半导体压力传感器,具有第1区域及第2区域、压力传感器、存储器单元晶体管、层间绝缘膜、孔、封装部和开口部。第1区域及第2区域是在半导体衬底的表面规定出的。压力传感器形成在第1区域,包含固定电极、空隙及可动电极,在固定电极的上方配置有空隙,在空隙的上方配置有可动电极。存储器单元晶体管形成在第2区域,包含第1电极及配置在第1电极上方的第2电极作为栅极电极。层间绝缘膜以覆盖压力传感器及存储器单元晶体管的方式形成。孔形成在层间绝缘膜上,与空隙连通。封装部对空隙进行封装。开口部形成在层间绝缘膜上,使可动电极露出。固定电极利用由与成为第1电极的导电膜相同的

膜构成的部分形成。空隙是通过将由与成为第2电极的其他导电膜相同的膜构成的部分去除而形成的。

[0009] 本发明涉及的其他半导体压力传感器具有第1区域及第2区域、压力传感器、晶体管、层间绝缘膜、孔、封装部和开口部。第1区域及第2区域是在半导体衬底的表面规定出的。压力传感器形成在第1区域,包含固定电极、空隙及可动电极,在固定电极的上方配置有空隙,在空隙的上方配置有可动电极。晶体管形成在第2区域,包含栅极电极。层间绝缘膜以覆盖压力传感器及晶体管的方式形成。孔形成在层间绝缘膜上,与空隙连通。封装部对空隙进行封装。开口部形成在层间绝缘膜上,使可动电极露出。固定电极是从半导体衬底的表面起以规定深度而形成的阱区域。空隙是通过将由与成为栅极电极的导电膜相同的膜构成的部分去除而形成的。

[0010] 本发明涉及的半导体压力传感器的制造方法,具有下述的工序。在半导体衬底的表面规定出第1区域以及第2区域,该第1区域用于形成压力传感器,该第2区域用于形成存储器单元晶体管。在第1区域形成固定电极。以覆盖半导体衬底的表面的方式,形成第1导电膜。通过对第1导电膜进行图案化,从而在第2区域形成作为存储器单元晶体管的栅极电极的第1电极。以覆盖固定电极及第1电极的方式,形成第2导电膜。通过对第2导电膜进行图案化,从而在第1区域形成成为空隙的第2导电膜图案,在第2区域,在第1电极上方形成第2电极。在成为空隙的第2导电膜图案上方形成可动电极。以覆盖可动电极、第1电极及第2电极的方式,形成层间绝缘膜。在层间绝缘膜的位于第1区域的部分上,形成到达成为空隙的第2导电膜图案的孔。通过将成为空隙的第2导电膜图案去除而形成空隙。将与空隙连通的孔闭塞。在层间绝缘膜的位于第1区域的部分上,形成使可动电极露出的开口部。

[0011] 本发明涉及的其他半导体压力传感器的制造方法,具有下述的工序。在半导体衬底的表面规定出第1区域以及第2区域,该第1区域用于形成压力传感器,该第2区域用于形成晶体管。在第1区域形成成为固定电极的阱区域。以覆盖半导体衬底的表面的方式,形成导电膜。通过对导电膜进行图案化,从而在第1区域形成成为空隙的导电膜图案,在第2区域形成晶体管的栅极电极。在成为空隙的导电膜图案上方形成可动电极。以覆盖可动电极及栅极电极的方式,形成层间绝缘膜。在层间绝缘膜的位于第1区域的部分,形成到达成为空隙的导电膜图案的孔。通过将成为空隙的导电膜图案去除,从而形成空隙。将与空隙连通的孔闭塞。在层间绝缘膜的位于第1区域的部分,形成使可动电极露出的开口部。

[0012] 本发明涉及的半导体压力传感器中,能够容易地制造出在第2区域中形成有存储器单元晶体管,在第1区域中形成有压力传感器区域的方式的半导体压力传感器。

[0013] 在本发明涉及的其他半导体压力传感器中,在本发明涉及的半导体压力传感器中,能够容易地制造出在第2区域中形成有晶体管,在第1区域中形成有压力传感器区域的方式的半导体压力传感器。

[0014] 在本发明涉及的半导体压力传感器的制造方法中,能够与在第2区域中形成的存储器单元晶体管的制造工序相配合,容易地,在第1区域中制造压力传感器区域。

[0015] 在本发明涉及的其他半导体压力传感器的制造方法中,能够与在第2区域中形成的晶体管的制造工序相配合,容易地,在第1区域中制造压力传感器区域。

[0016] 本发明的上述及其他目的、特征、方案及优点,通过与附图相关联进行理解的关于本发明的以下详细说明,能够变得清楚。

附图说明

[0017] 图1是表示本发明的实施方式1涉及的半导体压力传感器的制造方法的一个工序的剖面图。

[0018] 图2是表示在本实施方式中,在图1示出的工序之后进行的工序的剖面图。

[0019] 图3是表示在本实施方式中,在图2示出的工序之后进行的工序的剖面图。

[0020] 图4是表示在本实施方式中,在图3示出的工序之后进行的工序的剖面图。

[0021] 图5是表示在本实施方式中,在图4示出的工序之后进行的工序的剖面图。

[0022] 图6是表示在本实施方式中,在图5示出的工序之后进行的工序的剖面图。

[0023] 图7是表示在本实施方式中,在图6示出的工序之后进行的工序的剖面图。

[0024] 图8是表示在本实施方式中,在图7示出的工序之后进行的工序的剖面图。

[0025] 图9是表示在本实施方式中,在图8示出的工序之后进行的工序的剖面图。

[0026] 图10是表示在本实施方式中,在图9示出的工序之后进行的工序的剖面图。

[0027] 图11是表示在本实施方式中,在图10示出的工序之后进行的工序的剖面图。

[0028] 图12是表示在本实施方式中,在图11示出的工序之后进行的工序的剖面图。

[0029] 图13是表示在本实施方式中,在图12示出的工序之后进行的工序的剖面图。

[0030] 图14是表示在本实施方式中,在图13示出的工序之后进行的工序的剖面图。

[0031] 图15是在本实施方式中,图14示出的工序中的局部俯视图。

[0032] 图16是分别表示在本实施方式中,检测用压力传感器区域和参照用压力传感器区域的局部剖面图。

[0033] 图17是表示在本实施方式中,变形例涉及的半导体压力传感器的制造方法的一个工序的剖面图。

[0034] 图18是表示在本实施方式中,在图17示出的工序之后进行的工序的剖面图。

[0035] 图19是表示在本实施方式中,在图18示出的工序之后进行的工序的剖面图。

[0036] 图20是表示在本实施方式中,在图19示出的工序之后进行的工序的剖面图。

[0037] 图21是表示在本实施方式中,在图20示出的工序之后进行的工序的剖面图。

[0038] 图22是表示本发明的实施方式2涉及的半导体压力传感器的制造方法的一个工序的剖面图。

[0039] 图23是表示在本实施方式中,在图22示出的工序之后进行的工序的剖面图。

[0040] 图24是表示在本实施方式中,在图23示出的工序之后进行的工序的剖面图。

[0041] 图25是表示本发明的实施方式3涉及的半导体压力传感器的制造方法的一个工序的局部剖面图。

[0042] 图26是表示在本实施方式中,在图25示出的工序之后进行的工序的局部剖面图。

[0043] 图27是表示在本实施方式中,在图26示出的工序之后进行的工序的局部剖面图。

[0044] 图28是表示在本实施方式中,在图27示出的工序之后进行的工序的局部剖面图。

[0045] 图29是表示在本实施方式中,在图28示出的工序之后进行的工序的局部剖面图。

[0046] 图30是表示在本实施方式中,在图29示出的工序之后进行的工序的局部剖面图。

[0047] 图31是表示在本实施方式中,在图30示出的工序之后进行的工序的局部剖面图。

[0048] 图32是表示在本实施方式中,在图31示出的工序之后进行的工序的局部剖面图。

[0049] 图33是表示本发明的实施方式4涉及的半导体压力传感器的局部剖面图。

具体实施方式

[0050] 实施方式1

[0051] 说明实施方式1涉及的半导体压力传感器及其制造方法。首先,说明制造方法。

[0052] 首先,如图1所示,在硅衬底11中,在形成压力传感器的压力传感器区域16和形成MOS电路的MOS区域17上,分别形成规定的导电型的第1阱区域12、第2阱区域13、第3阱区域14,由此形成工序开始。作为该形成工序,例如准备p型硅衬底,以覆盖该硅衬底的方式,依次形成硅氧化膜及硅氮化膜。然后,形成用于将位于MOS区域中形成NMOS晶体管的区域上的硅氮化膜去除的抗蚀掩模。

[0053] 然后,通过将该抗蚀掩模作为蚀刻掩模而实施蚀刻处理,由此去除硅氮化膜。然后,将用作蚀刻掩模的抗蚀掩模接下来作为注入掩模使用,注入用于形成第1阱区域12、第3阱区域14(参照图1)的P型杂质(例如硼)。然后,去除抗蚀掩模。

[0054] 然后,通过实施热氧化,从而在去除了硅氮化膜的部分形成硅氧化膜。由此,在第1阱区域12、第3阱区域14的表面上形成较厚的硅氧化膜,接下来去除硅氮化膜。然后,将较厚的硅氧化膜作为注入掩模,注入用于形成MOS区域的第2阱区域13(参照图1)的n型杂质(例如磷)。

[0055] 然后,通过在规定条件下实施退火处理,由此,注入的p型杂质和n型杂质被激活而扩散。然后,将剩余在硅衬底的表面上的硅氧化膜去除。这样,如图1所示,在压力传感器区域16中,形成p型的第1阱区域12。在MOS区域17中,形成n型的第2阱区域13和p型的第3阱区域14。

[0056] 然后,进入例如使用LOCOS(Local Oxidation of Silicon)法,形成图2所示的场氧化膜15、19的工序。首先,在硅衬底的表面依次形成衬垫氧化膜、多晶硅膜以及硅氮化膜(均未图示)。然后,通过实施规定的照片制版处理,从而形成抗蚀掩模(未图示),该抗蚀掩模用于形成场氧化膜。

[0057] 然后,通过将抗蚀掩模作为蚀刻掩模而实施蚀刻处理,由此在形成场氧化膜的部分中去除硅氮化膜。接下来,通过再次实施照片制版处理,从而形成抗蚀掩模(未图示),该抗蚀掩模用于形成沟道截断环。然后,将该抗蚀掩模作为注入掩模,向成为沟道截断环的部分注入p型的杂质(例如硼)。然后,去除抗蚀掩模。

[0058] 然后,在规定条件下实施氧化处理,从而去除了硅氮化膜的部分被局部氧化,形成场氧化膜15、19(参照图2)。此时,注入的p型的杂质被激活而形成沟道截断环20(参照图2)。然后,将剩余的硅氮化膜去除。

[0059] 这样,如图2所示,在压力传感器区域16中形成场氧化膜19,在MOS区域17中形成场氧化膜15、19。场氧化膜15、19的膜厚为0.2~1.0 μm 左右。此外,在去除了硅氮化膜的位置,存在剩余的衬垫氧化膜21。形成在利用场氧化膜15、19而规定的区域内的MOS晶体管等半导体元件,通过场氧化膜15、19和形成在场氧化膜15、19正下方的沟道截断环20而电绝缘。然后,去除衬垫氧化膜21。

[0060] 然后,进入利用相同的多晶硅膜形成图3所示的压力传感器区域16中的固定电极23b、和MOS区域17中的EPROM(Erasable Programmable Read Only Memory)的浮动栅极电

极23a的工序。首先,通过对去除了衬垫氧化膜的硅衬底实施热氧化处理,从而在MOS区域17中,在露出的硅衬底11的表面上形成第1栅极氧化膜22(膜厚为5~30nm左右)。其作为EPROM的栅极氧化膜起作用。

[0061] 然后,以覆盖第1栅极氧化膜22的方式,利用CVD(Chemical Vapor Deposition)法形成多晶硅膜(未图示)。此时,通过在该多晶硅膜的形成过程中,或者在刚刚形成多晶硅膜之后,利用公知的方法导入磷,从而作为n型的多晶硅膜而获得导电性。然后,通过实施照片制版处理,从而形成用于将固定电极和浮动栅极进行图案化的抗蚀掩模。

[0062] 然后,通过将该抗蚀掩模作为蚀刻掩模,实施规定的蚀刻处理,从而在压力传感器区域16中形成固定电极23b,该固定电极23b由图案化后的多晶硅膜构成。另外,在另一方的MOS区域17中,形成成为EPROM的浮动栅极电极23a的、多晶硅膜的图案(膜厚50~300nm左右)。然后,去除抗蚀掩模。

[0063] 然后,例如利用热氧化法,在MOS区域17中,以覆盖多晶硅膜的图案的方式形成第2栅极氧化膜25a(膜厚5~30nm左右),与此同时,在压力传感器区域16中,以覆盖固定电极23b的方式形成第1固定电极保护膜25b,该第1固定电极保护膜25b由与第2栅极氧化膜相同的膜构成。然后,利用CVD法,在MOS区域17中,以覆盖第2栅极氧化膜25a的方式形成第1硅氮化膜27a(膜厚5~30nm左右),与此同时,在压力传感器区域16中形成第2固定电极保护膜27b,该第2固定电极保护膜27b由与第1硅氮化膜相同的膜构成。第1固定电极保护膜25b以及第2固定电极保护膜27b成为通过蚀刻处理去除后述的牺牲膜时的固定电极的保护膜。

[0064] 然后,以使形成p沟道型MOS晶体管的第2阱区域13露出,但覆盖其他区域的方式,形成抗蚀掩模(未图示)。然后,将该抗蚀掩模作为注入掩模,注入用于对p沟道型MOS晶体管的阈值电压进行控制的规定的杂质(例如磷等)。然后,去除抗蚀掩模。另外,形成使形成n沟道型MOS晶体管的第3阱区域14露出,但覆盖其他区域的抗蚀掩模(未图示)。然后,将该抗蚀掩模作为注入掩模,注入用于对n沟道型MOS晶体管的阈值电压进行控制的规定的杂质(例如硼)。然后,去除抗蚀掩模。

[0065] 然后,形成使在MOS区域17的第2阱区域13中形成p沟道型MOS晶体管的区域、和在第3阱区域14中形成n沟道型MOS晶体管的区域露出,但覆盖其他区域的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,实施蚀刻处理,从而去除第1栅极氧化膜22的部分、第2栅极氧化膜25a的部分以及第1硅氮化膜27a的部分,露出硅衬底11的表面。然后,去除抗蚀掩模。

[0066] 然后,通过实施热氧化处理,从而如图4所示,在第2阱区域13中,在形成p沟道型MOS晶体管的区域的表面上形成第3栅极氧化膜29b(膜厚5~30nm左右),在第3阱区域14中,在形成n沟道型MOS晶体管的区域的表面上形成第3栅极氧化膜29a(膜厚5~30nm左右)。

[0067] 然后,进入图5所示的利用相同的材料形成导电膜30和EPROM的栅极电极30c的工序,该导电膜30成为MOS区域17中的p沟道型和n沟道型MOS晶体管的栅极电极30a、30b。首先,以覆盖第1硅氮化膜27a、第2固定电极保护膜27b以及第3栅极氧化膜29a、29b的方式,形成规定的导电膜30(参照图5)。

[0068] 作为该导电膜30,形成多晶硅膜(膜厚50~300nm左右)和硅化钨(WSi_2)膜(膜厚50~300nm左右)的2层构造的层叠膜、所谓的多晶硅化物(polycide)膜。多晶硅膜利用CVD法形成,通过在其形成过程中、或刚形成之后导入磷,从而成为n型的多晶硅膜。硅化钨膜利用

溅射法或CVD法,以覆盖多晶硅膜的方式形成。

[0069] 然后,形成用于对EPROM的栅极电极进行图案化的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,实施蚀刻处理,从而对EPROM的栅极电极进行图案化。如图5所示,在MOS区域17中的EPROM(存储器单元晶体管)形成区域中,对导电膜30、第1硅氮化膜27a、第2栅极氧化膜25a、多晶硅膜的图案以及第1栅极氧化膜22实施蚀刻处理,形成包含浮动栅极电极23a以及栅极电极30c的EPROM栅极电极。在去除抗蚀掩模后,通过将该栅极电极作为注入掩模,注入n型的杂质(例如砷),从而形成第1源极·漏极区域33。第1源极·漏极区域33对应于在图6中示出的EPROM。

[0070] 如后述,在压力传感器区域16中,通过用于形成MOS晶体管的栅极电极30a、30b以及EPROM的栅极电极30c的导电膜30,形成牺牲膜。

[0071] 然后,形成用于对p沟道型MOS晶体管的栅极电极、n沟道型MOS晶体管的栅极电极以及牺牲膜进行图案化的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,对导电膜30实施蚀刻处理,从而如图6所示,在MOS区域17中,形成n沟道型MOS晶体管的栅极电极30b、和p沟道MOS晶体管的栅极电极30a。另外,在压力传感器区域16中,形成牺牲膜30d。在去除抗蚀掩模后,通过规定的条件下实施热处理,从而进行第1源极·漏极区域33的激活和形成较薄的氧化膜32。

[0072] 如上所述,在形成成为栅极电极30a、30b、30c的导电膜30的工序、通过该导电膜实施蚀刻处理而形成栅极电极30a、30b的工序中,同时形成牺牲膜30d。如后述,通过去除该牺牲膜,从而形成真空室。如上所述,在形成第2栅极氧化膜25a的工序中,同时形成对固定电极23b进行保护的固定电极保护膜25b。而且,在形成第1硅氮化膜27a的工序中,同时形成对固定电极进行保护的固定电极保护膜27b。这些工序的关系,意味着均不需要用于形成压力传感器的专用工序。

[0073] 然后,形成仅使n沟道型MOS晶体管所处的部分露出,但覆盖其他区域的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模以及栅极电极30b作为注入掩模,注入n型的杂质(例如磷),从而形成LDD(Lightly Doped Drain)区域(参照图7)。然后,去除抗蚀掩模。然后,以覆盖栅极电极30a、30b、30c、牺牲膜30d的方式,例如形成TEOS(Tetra Ethyl Ortho Silicate glass)膜(未图示)。

[0074] 然后,通过对TEOS膜的整个面实施各向异性的干式蚀刻处理,从而如图7所示,在栅极电极30a、30b、30c以及牺牲膜30d各自的侧壁面上形成侧壁氧化膜34。由此,通过减小牺牲膜30d周边的台阶,并且,在后续工序中形成的可动电极支撑部分的边缘形状设为圆形,从而能够在对可动电极施加了压力时缓和向可动电极边缘部分的应力集中。

[0075] 然后,在第3阱区域14中,形成使配置有n沟道型MOS晶体管的部分露出,但覆盖其他区域的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模以及栅极电极30b作为注入掩模,注入n型的杂质(例如磷等),从而形成第2源极·漏极区域37。然后,去除该抗蚀掩模。然后,在第2阱区域13中,形成使形成p沟道型MOS晶体管的区域露出,但覆盖其他区域的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模以及栅极电极30a作为注入掩模,注入p型杂质,从而形成第3源极·漏极区域36。

[0076] 然后,在去除该抗蚀掩模后,通过规定的条件下实施退火,从而激活第2源极·漏极区域37以及第3源极·漏极区域36。另外,通过在进行该退火时进行氧化处理,从而以

覆盖栅极电极30a、30b、30c、牺牲膜30d的方式形成较薄的氧化膜35(膜厚3~20nm左右)。此外,图7对应于此时的工序。

[0077] 然后,如图8所示,以覆盖氧化膜35的方式形成TEOS类的氧化膜38。接下来,以覆盖该氧化膜38的方式,形成成为可动电极的导电性多晶硅膜(未图示)。然后,通过实施照片制版处理,从而形成将牺牲膜30d的一部分覆盖而使其他区域露出的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,实施蚀刻处理,从而将露出的多晶硅膜去除,如图8所示,形成将牺牲膜30d的一部分覆盖的可动电极39。然后,去除抗蚀掩模。

[0078] 此时,牺牲膜30d周边的台阶通过侧壁氧化膜34减小,从而能够防止由于裂纹或覆盖率不足而导致的可动电极39的断线,能够将可动电极39的膜厚设定的范围扩大。该可动电极39在压力传感器中成为最重要的隔膜,压力传感器的特性大致由该可动电极39的处理条件确定。

[0079] 另外,在压力传感器区域16中,第1固定电极保护膜25b、第2固定电极保护膜27b以及牺牲膜30d各自与形成MOS区域17中的第2栅极氧化膜25a、第1硅氮化膜27a以及栅极电极30a、30b、30c的工序同时形成。而且,热处理条件也适用在MOS区域17上形成的MOS晶体管等的条件。因此,作为压力传感器,虽然对大幅的变更有限制,但能够进行与在MOS区域上形成的MOS晶体管等半导体元件的规格对应的变更。

[0080] 另外,通过对可动电极39以及氧化膜38各自的膜厚进行调整,能够控制相对于可动电极39的初始电容值(可动电极的翘曲量)的灵敏度特性。特别地,通过将形成最重要的可动电极39的工序,作为用于形成压力传感器的专用工序追加,从而不会对在MOS区域17中形成的MOS晶体管等半导体元件的特性产生影响,能够设定可动电极39的处理条件,能够对压力传感器的灵敏度等特性进行控制。可动电极39的膜厚为50~1000nm左右。

[0081] 然后,如图9所示,以覆盖氧化膜38以及可动电极39的方式,形成第1层间绝缘膜40。第1层间绝缘膜40设为例如,TEOS膜、BPSG(Boron Phosphorus Silicon Glass)膜以及TEOS膜的层叠构造。此外,作为第1层间绝缘膜,并不限于这些膜,也可以使用其他氧化膜。

[0082] 在这里,关于在可动电极39和牺牲膜30d的界面处形成的氧化膜38,通过将第1层间绝缘膜分割并层叠处理,从而无需改变MOS区域17的第1层间绝缘膜40就能够形成。由此,作为形成压力传感器的工序,能够更多地使用形成MOS电路的工序,使工艺变得容易。另外,也可以在第1层间绝缘膜40中作为平坦化处理,对BPSG膜实施回蚀处理。另外,也可以实施CMP(Chemical Mechanical Polishing)处理。

[0083] 然后,通过实施照片制版处理,从而形成用于形成接触孔的抗蚀掩模(未图示)。然后,将该抗蚀掩模作为蚀刻掩模,以与在MOS区域17上形成的半导体元件的规格对应的条件,实施蚀刻处理。由此,在MOS区域17中,贯穿第1层间绝缘膜40等而形成使第1源极·漏极区域33、第2源极·漏极区域37、第3源极·漏极区域36等分别露出的接触孔41a。另一方面,在压力传感器区域16中,形成使固定电极23b、可动电极39露出的接触孔41b。然后,去除抗蚀掩模。此外,图9对应于此时的工序。

[0084] 对于该情况的蚀刻处理,通过实施组合了湿式蚀刻和干式蚀刻的蚀刻处理,接触孔41a、41b成为在如图9所示的开口部的上部具有扩宽部的接触孔。另外,也可以通过仅以干式蚀刻进行的蚀刻处理,形成接触孔41a、41b。

[0085] 然后,进入图10所示的形成第1配线和覆盖该第1配线的第2层间绝缘膜的工序。首

先,形成使用了金属膜的第1配线等。以覆盖第1层间绝缘膜40的方式,形成阻挡(barrier)金属膜和铝硅铜(AlSiCu)膜(均未图示)。作为阻挡金属膜,例如使用氮化钛(TiN)膜。然后,通过对该铝硅铜膜等进行图案化,从而在MOS区域17中形成第1配线43a,在压力传感器区域16中形成配线43b。

[0086] 更具体而言,在铝硅铜膜上形成抗蚀掩模,将该抗蚀掩模作为蚀刻掩模,对铝硅铜及阻挡金属膜实施蚀刻处理,然后,去除抗蚀掩模,从而形成第1配线43a和配线43b。第1配线43a与第1源极・漏极区域33、第2源极・漏极区域37以及第3源极・漏极区域36分别电连接。配线43b与固定电极23b或可动电极39电连接。

[0087] 此外,也可以作为第1配线等,在接触孔41a、41b中形成钨插塞,然后,形成阻挡金属以及铝铜(AlCu)膜并进行图案化。在这种结构的情况下,作为适用的阻挡金属,存在硅化钛(TiSi₂)或者硅化钴(CoSi₂)膜等。

[0088] 然后,如图10所示,以覆盖第1配线43a及配线43b的方式,形成第2层间绝缘膜45。作为第2层间绝缘膜45,适合采用例如使用等离子CVD法而形成的等离子TEOS(以下,记为“P-TEOS”)膜等。此外,为了平坦化,也可以使用包含SOG(Spin on Glass)膜的P-TEOS/SOG/P-TEOS层叠构造的膜。另外,也可以与第1层间绝缘膜的情况同样地,实施CMP处理或蚀刻处理。

[0089] 然后,通过实施照片制版处理,形成用于形成蚀刻孔的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,对第2层间绝缘膜等绝缘膜实施蚀刻处理,从而如图11所示,在压力传感器区域16中形成用于对牺牲膜进行蚀刻的蚀刻孔46。然后,去除抗蚀掩模。

[0090] 然后,通过经由蚀刻孔46实施蚀刻处理,从而去除多晶硅膜和硅化钨(WSi₂)膜双层构造的牺牲膜30d。由此,在可动电极39和固定电极23b之间形成空隙50。图11对应于此时的工序。在该蚀刻处理中,实施湿式蚀刻处理,作为其药液,例如使用TMAH(Tetra methyl Ammonium Hydroxide)。

[0091] 另外,在利用药液(TMAH)进行的蚀刻处理中,相对于形成第2层间绝缘膜45及第1层间绝缘膜40的氧化膜的蚀刻速率,形成牺牲膜30d的多晶硅膜和硅化钨(WSi₂)层叠膜的蚀刻速率为5000~10000倍左右(蚀刻选择比5000~10000左右)。因此,能够利用以与在MOS区域中形成的半导体元件的规格对应的条件形成的第2层间绝缘膜45以及第1层间绝缘膜40,对在MOS区域17中形成的半导体元件及压力传感器区域16进行保护。

[0092] 如上所述,通过在可动电极39上层叠有第1层间绝缘膜40、第2层间绝缘膜45的状态下,进行牺牲膜30d的牺牲膜蚀刻,从而利用较厚的层间绝缘膜保护可动电极,在该工序中,可动电极不会变形,因此,能够防止可动电极39的粘着。另外,通过在形成配线后的晶片工艺的后半部分形成空隙,从而工艺中的处理变得容易。此外,作为去除牺牲膜30d的处理,除了湿式蚀刻处理之外,也可以实施使用了二氟化氙(XeF₂)等的干式蚀刻处理。

[0093] 然后,实施使空隙50成为真空室的处理,该空隙50是通过去除牺牲膜30d而形成的。首先,例如与形成第2层间绝缘膜45的情况同样地,利用等离子CVD法,在整个面上形成P-TEOS,从而形成将蚀刻孔46闭塞的第1封装膜49。利用该等离子CVD进行的封装膜的形成是在减压状态(几Torr)下处理的,因此,空隙50成为几Torr的真空室51。另外,在MOS区域17中,形成第3层间绝缘膜49b。图12对应于此时的工序。

[0094] 然后,形成使形成开口部的部分露出的抗蚀掩模(未图示)。然后,通过将该抗蚀掩

模作为蚀刻掩模,实施干式蚀刻处理或将干式蚀刻和湿式蚀刻组合的蚀刻处理,从而在压力传感器区域16中,去除第1封装膜49、第2层间绝缘膜45、第1层间绝缘膜40的位于形成压力传感器开口部的区域处的部分。在MOS区域17中,去除第3层间绝缘膜49b、第2层间绝缘膜45的位于形成焊盘开口部的区域处的部分。由此,在压力传感器区域16中,形成压力传感器的开口部54,成为将可动电极39露出的状态。另外,在MOS区域17中,形成焊盘开口部61,成为将第1配线43a露出的状态。图13对应于此时的工序。

[0095] 在形成第1配线43a和配线43b的金属配线后,形成在牺牲膜蚀刻时成为表面保护膜的2层间绝缘膜45的工序,使蚀刻孔46开口的工序,以及形成第1封装膜49及第3层间绝缘膜49b的工序,能够使用通常的MOS工艺的在第1层金属配线和第2层金属配线之间形成通孔的通孔工序,可进行标准化。因此,能够在不破坏MOS区域17的MOS晶体管等半导体元件的特性的状态下,形成压力传感器区域16。

[0096] 如后述,在形成压力传感器的工序中,能够使用较多的形成MOS电路的工序,因此,通过在形成MOS电路的工序中,同时形成压力传感器的规定部分,从而能够容易地提供集成化有MOS电路的压力传感器(搭载有压力传感器的MOS集成电路)。

[0097] 然后,利用等离子CVD法,以与在MOS区域17中形成的半导体元件的规格对应的条件(较低的温度条件等),以覆盖第1封装膜49、第3层间绝缘膜49b的方式,形成成为钝化膜的膜厚 $0.5\sim 1.0\mu\text{m}$ 左右的硅氮化膜(未图示)。

[0098] 然后,形成在压力传感器区域16中露出压力传感器的开口部54部分,在MOS区域17中露出焊盘开口部61部分的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,实施干式蚀刻处理,从而去除位于形成开口部的区域处的硅氮化膜。由此,在MOS区域17中,形成钝化膜52a。在压力传感器区域16中,形成进一步闭塞蚀刻孔46的第2封装膜52b。由此,利用第1封装膜49和第2封装膜52b,双重地封装真空室51,能够进行可靠性高的真空封装。图14对应于此时的工序,图15是压力传感器区域的局部俯视图。这样,形成半导体压力传感器的主要部分。

[0099] 在上述的半导体压力传感器的制造方法中,在形成成为EPROM浮动栅极电极23a的多晶硅膜的工序中,同时形成固定电极23b。在形成第2栅极氧化膜25a的工序中,同时形成对固定电极23b进行保护的1固定电极保护膜25b。在形成第1硅氮化膜27a的工序中,同时形成进一步对固定电极进行保护的2固定电极保护膜27b。在形成成为栅极电极30a、30b、30c的多晶硅膜和硅化钨(WSi_2)膜双层构造的工序中,同时形成通过去除而成为真空室51的牺牲膜30d。在形成钝化膜52a的工序中,同时形成第2封装膜52b。

[0100] 另外,在形成金属配线后,实施压力传感器形成工序的牺牲膜蚀刻、真空封装工序,因此,制造工艺中的处理变得容易。另外,存在下述优点,即,通过蚀刻将牺牲膜去除而形成空隙后,直至实施真空封装为止,可动电极被较厚的层间氧化膜保护,能够防止粘着,并且,处理变得容易。而且,牺牲膜蚀刻时的表面保护、蚀刻孔开口、真空封装膜形成工序使用与MOS工艺共通的通孔工序,从而能够进行标准化,对于形成压力传感器的工序,在较多的工序中能够使用形成MOS区域的MOS晶体管等半导体元件的工序,能够容易地形成集成化有MOS电路的半导体压力传感器,其中,该MOS电路内置有EPROM。

[0101] 另外,对半导体压力传感器的特性来说最重要的可动电极,作为用于形成半导体压力传感器的专用工序进行追加,具有厚度设定等自由度,另外,通过对可动电极下部的牺

牲膜,形成有侧壁氧化膜,从而可动电极边缘部分成为钝角形状,能够缓和在向可动电极施加压力而可动电极挠曲时的应力,作为半导体压力传感器的可靠性提高。

[0102] 在上述的半导体压力传感器中,通过使压力传感器区域16中的可动电极39的表面侧经由开口部54向外部空间开放,从而对应于外部的压力,可动电极39位移,固定电极23b和可动电极39的间隔(间隙)变化。在半导体压力传感器中,通过将该间隔的变化作为电容值的变化而检测,由此测定压力值。另外,通过将位于可动电极39正下方的真空室51的压力设为基准压力,能够使该半导体压力传感器作为绝对压力传感器而起作用。

[0103] 即,上述半导体压力传感器是将电容的变化作为压力值而测定的电容式压力传感器,关于电容值,将可动电极39和固定电极23b之间的间隔的变化作为电容值的变化而测定压力。作为电容值,更准确地说,是将位于固定电极23b和真空室51之间的第1固定电极保护膜25b及第2固定电极保护膜27b各自的电容值(电容值A及电容值B)、位于可动电极39和真空室51之间的氧化膜35、38的电容值(电容值C)、以及真空室51的电容值(电容值D)相加而得到的电容值(合计值)。其中,由于外部的压力而发生电容变化的仅是真空室51的电容值D,因此,为了更高精度地测定压力值,需要准确地掌握电容值A~C各自的初始电容值(初始值)。

[0104] 然而,关于第2固定电极保护膜27b,由于在形成成为该第2固定电极保护膜27b的第1硅氮化膜27a时的膜厚波动、以及将牺牲膜30d通过蚀刻而去除时的第2固定电极保护膜27b的膜减少量的波动,难以掌握电容值B的初始值。另外,关于第1固定电极保护膜25b,由于在形成成为该第1固定电极保护膜25b的第2栅极氧化膜25a时的膜厚波动,难以掌握电容值A的初始值。

[0105] 另外,由于在形成成为可动电极保护膜的的压力传感器区域16的氧化膜35、38时的膜厚波动、以及将牺牲膜30d通过蚀刻而去除时的压力传感器区域16的氧化膜35、38的膜减少量的波动,难以掌握电容值C的初始值。而且,关于因外部压力而变化的真空室51,由于在形成成为牺牲膜30d的栅极电极30c时的膜厚波动,难以准确地掌握电容值D的初始值。

[0106] 针对为了消除如上述的初始值的波动,如图16所示,在压力传感器区域16中,在形成有开口部54的检测用压力传感器区域16a的附近,配置没有形成开口部的参照用压力传感器区域16b的方法进行说明。

[0107] 在参照用压力传感器区域16b中,以覆盖可动电极39的方式,剩余有第1层间绝缘膜40以及第2层间绝缘膜45。另外,以覆盖可动电极39的方式,形成有第1封装膜49以及第2封装膜52b。由此,在参照用压力传感器区域16b中,相对于外部压力变化,可动电极39和固定电极23b之间的间隔不易变化。因此,通过从检测用压力传感器的电容值的变化减去参照用压力传感器的电容值变化,从而能够消除电容值A~D的初始值的波动。其结果,能够测定精度较高的压力值。

[0108] 此外,作为参照用压力传感器,也可以设为通过在可动电极的下方形成多个锚固部,对可动电极进行固定,从而即使外部压力变化,可动电极也不会变动的构造。另外,在图15所示的压力传感器中,设为在可动电极39上,层叠有第1层间绝缘膜40、第2层间绝缘膜45、第1封装膜49以及第2封装膜52b的构造,但设为仅层叠第1层间绝缘膜40、第2层间绝缘膜45以及第1封装膜49的构造,也能得到同样的效果。

[0109] 变形例

[0110] 在上述半导体压力传感器中,作为MOS区域17的金属配线,举例说明了单层金属配线。在这里,作为变形例,针对MOS区域17的金属配线为双层金属配线的情况下的制造流程进行说明。此外,与单层金属配线的情况相比,没有大的不同,因此,进行概略说明,另外,对与上述半导体压力传感器相同的部件,标注相同的标号,除了必要的情况之外,不重复其说明。

[0111] 首先,经过与在图1~图9中示出的工序相同的工序,如图17所示,在MOS区域17中,形成第1配线43a,在压力传感器区域16中,形成配线43b。然后,以覆盖第1配线43a及配线43b的方式,形成层间氧化膜55。作为层间氧化膜55,例如使用P—TEOS膜等。另外,为了平坦化,也可以采用包含SOG膜的P—TEOS/SOG/P—TEOS层叠构造。另外,与第1层间绝缘膜40的情况同样地,作为平坦化处理,也可以实施CMP处理或回蚀处理。图16对应于此时的工序。

[0112] 然后,通过实施照片制版处理,形成用于形成通孔的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,对层间氧化膜55实施蚀刻处理,如图18所示,在MOS区域17中,形成使第1配线43露出的通孔46a。然后,通过与第1配线43相同的工艺,形成第2配线56,该第2配线56成为图案化后的第2层金属配线。

[0113] 然后,如图19所示,以覆盖第2配线56的方式,形成第2层间绝缘膜57。第2层间绝缘膜57例如使用P—TEOS膜等。此外,为了平坦化,也可以采用包含SOG膜的P—TEOS/SOG/P—TEOS层叠构造。另外,与第1层间绝缘膜的情况同样地,也可以实施CMP处理或回蚀处理。

[0114] 然后,通过实施照片制版处理,形成用于形成蚀刻孔的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,对第2层间绝缘膜57等绝缘膜实施蚀刻处理,如图19所示,在压力传感器区域16中,形成用于对牺牲膜进行蚀刻的蚀刻孔46。然后,去除抗蚀掩模。

[0115] 然后,通过经由蚀刻孔46实施蚀刻处理,去除牺牲膜30d。由此,在可动电极39和固定电极23b之间形成空隙50。在该蚀刻处理中,实施湿式蚀刻处理,作为其药液,例如使用TMAH。

[0116] 然后,实施使空隙50成为真空室的处理。首先,例如与形成第2层间绝缘膜57的方法同样地,利用等离子CVD法,在整个面上形成P—TEOS,从而形成将蚀刻孔46闭塞的第1封装膜58。在利用该等离子CVD法形成第1封装膜时,以减压状态进行处理。由此,空隙50成为被第1封装膜58闭塞的真空室51。

[0117] 然后,形成用于形成规定的开口部的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,实施蚀刻处理,从而如图20所示,在压力传感器区域16中,形成压力传感器的开口部54,在MOS区域17中,形成焊盘开口部61。然后,如图21所示,利用等离子CVD法,以与在MOS区域17上形成的半导体元件的规格对应的条件(比较低的温度条件等),以覆盖第1封装膜58的方式,形成钝化膜59。

[0118] 在上述变形例涉及的半导体压力传感器中,举例说明了MOS区域17的金属配线为双层金属配线的情况。作为半导体压力传感器,与MOS区域17的金属配线的层数无关地,能够形成半导体压力传感器。即,通过在形成最上层的金属配线后,作为用于形成压力传感器的特有的工序,实施下述工序,从而能够形成压力传感器,即:形成对牺牲膜实施蚀刻处理时的表面保护膜工序、在牺牲膜上形成蚀刻孔的工序、通过对牺牲膜实施蚀刻处理而形成空隙的工序、将蚀刻孔在真空气氛中闭塞而形成真空室的工序。由此,与金属配线为单层的上述的半导体压力传感器的情况同样地,能够积极地使用用于形成MOS电路的标准工艺,

从而能够得到抑制制造工序的增加,能够对生产成本的削减做贡献等效果。

[0119] 具体说明上述内容。在变形例涉及的半导体压力传感器中,压力传感器区域16中的压力传感器的固定电极23b、和MOS区域17中的EPROM的浮动栅极电极23a,由在同一工序中形成的多晶硅膜形成。

[0120] 另外,在通过利用蚀刻处理将压力传感器区域16的牺牲膜30d去除而形成空隙部分时对固定电极23b进行保护的保护膜中,第1固定电极保护膜25b是在形成MOS区域17的第2栅极氧化膜25a的工序中同时并利用相同材料形成的。另外,在形成MOS区域17的第1硅氮化膜27a的工序中,同时并利用相同材料形成第2固定电极保护膜27b。

[0121] 而且,在形成MOS区域17中的p沟道型MOS晶体管的栅极电极30a、n沟道型MOS晶体管的栅极电极30b以及EPROM的栅极电极30c的工序中,同时并利用相同材料形成压力传感器区域16的牺牲膜30d。这些工序的关系,意味着均不需要用于形成压力传感器的专用工序。

[0122] 另一方面,形成在压力传感器中最重要的可动电极39的工序,作为用于形成半导体压力传感器的专用工序,使膜厚、处理条件具有自由度,从而使对在MOS区域上形成的半导体元件的影响成为最小限度,并且,能够进行考虑了压力传感器特性的最佳设计。

[0123] 另外,在MOS区域17中的栅极电极的侧表面上形成侧壁氧化膜的工序中,在压力传感器区域16中的牺牲膜30d的侧壁上,也形成侧壁氧化膜34,对可动电极39进行支撑的部分的边缘形状成为圆形。由此,能够抑制在可动电极39上产生裂纹。另外,能够防止由于覆盖率不足而可动电极39断线。而且,能够缓和在对可动电极39施加了压力时向可动电极39的边缘部分的应力集中。其结果,作为半导体压力传感器,得到可靠性高的构造。

[0124] 在这里,也可以代替在可动电极39和牺牲膜30d的界面处形成的氧化膜35、38,将第1层间绝缘膜分割并进行层叠。在该情况下,不改变MOS区域中的第1层间绝缘膜也能够形成,由此,作为形成压力传感器的工序,能够使用更多的形成MOS电路的工序,使工艺变得容易。

[0125] 另外,在利用蚀刻处理将牺牲膜去除的工序中,实施湿式蚀刻处理,作为其药液,使用TMAH,从而作为牺牲膜30d(将多晶硅膜和硅化钨膜层叠而得到的多晶硅化物膜)和氧化膜(第1层间绝缘膜40及第2层间绝缘膜45)的蚀刻选择比,得到较高的蚀刻选择比5000~10000左右)。

[0126] 由此,能够利用以与在MOS区域17上形成的半导体元件的规格对应的条件形成的第2层间绝缘膜45及第1层间绝缘膜40,对在MOS区域17上形成的半导体元件和压力传感器区域16进行保护。因此,无需为了利用蚀刻处理将牺牲膜30d去除,而设置专用的形成表面保护膜的工序、和去除该表面保护膜的工序。

[0127] 而且,在从利用蚀刻处理将牺牲膜30d去除的工序至将空隙50真空封装的工序中,以在可动电极39上层叠了第1层间绝缘膜40和第2层间绝缘膜45的状态,实施各工序的规定的处理。因此,可动电极39被较厚的层间氧化膜保护,能够防止可动电极39的粘着。即,能够防止由于湿式蚀刻处理时的表面张力的影响,可动电极39粘附在固定电极23b侧的现象。

[0128] 而且,能够在形成配线后的晶片工艺的后半部分中,实施用于形成压力传感器的特有的工序,而且,在该特有的工序中,能够通过与在MOS工艺中形成标准的通孔的工序等等的工艺,形成压力传感器,从而工艺中的处理变得容易,作为形成压力传感器的工序,能

够使用更多的形成MOS电路的工序,能够容易地形成集成化有MOS电路的压力传感器。

[0129] 此外,用于形成压力传感器的特有的工序是,如上所述,形成将牺牲膜利用蚀刻处理去除时的表面保护膜的工序、在牺牲膜上形成蚀刻孔的工序、将牺牲膜利用蚀刻处理去除而形成空隙的工序、将蚀刻孔在真空气氛中闭塞而形成真空室的工序。

[0130] 另外,在压力传感器区域16中,在MOS区域17上形成钝化膜52a时,同时并利用相同的材料形成将蚀刻孔进一步闭塞的第2封装膜52b。由此,通过第1封装膜49和第2封装膜52b双重地封装真空室51,能够进行可靠性高的真空封装。

[0131] 如以上的说明所示,在变形例涉及的半导体压力传感器中,能够积极地使用用于形成MOS电路的标准工艺,从而能够抑制制造工序的增加,对生产成本的削减做贡献,并且,能够容易地制造集成化有MOS电路的半导体压力传感器,而且,能够防止作为压力传感器的特性劣化。特别地,作为形成压力传感器的工序,能够使用较多的形成MOS电路的工序,能够容易地制造集成化有MOS电路的压力传感器,其中,该MOS电路内置EPROM。

[0132] 另外,在变形例涉及的半导体压力传感器中,与上述压力传感器同样地,形成参照用压力传感器区域16b(参照图16),从检测用压力传感器区域16a的压力传感器的电容值的变化中减去参照用压力传感器的电容值的变化,从而能够消除电容值的初始值的波动,能够测定精度较高的压力值。

[0133] 实施方式2

[0134] 在上述半导体压力传感器中,针对在形成MOS区域的金属配线后,作为用于形成压力传感器的特有的工序,分别实施形成表面保护膜的工序、形成蚀刻孔的工序以及形成真空室的工序的情况进行了说明。

[0135] 在这里,说明下述半导体压力传感器,该半导体压力传感器在MOS区域上作为金属配线而形成大于或等于两层的多层金属配线,且将用于对最上层金属配线和与该最上层金属配线相比位于下层的金属配线进行电连接的通孔、和用于去除牺牲膜的蚀刻孔同时形成,而且,将最上层金属配线和真空室同时形成。此外,对于制造工序中的各结构,对与实施方式1相同的结构标注相同的标号,除了必要的情况之外,不重复其说明。

[0136] 经过与在图1~图16中示出的工序相同的工序,如图22所示,在MOS区域17中形成第1配线43a,在压力传感器区域16中形成作为第1层金属配线的配线43b。然后,以覆盖第1配线43a及配线43b的方式,形成层间氧化膜55。作为层间氧化膜55,例如使用P—TEOS膜等。另外,为了平坦化,也可以采用包含SOG膜的P—TEOS/SOG/P—TEOS层叠构造。另外,与第1层间绝缘膜的情况同样地,也可以实施CMP处理或回蚀处理。

[0137] 然后,通过实施照片制版处理,形成用于同时形成蚀刻孔和通孔的抗蚀掩模(未图示)。然后,将该抗蚀掩模作为蚀刻掩模,以与在MOS区域17中形成的半导体元件的规格对应的条件,实施蚀刻处理。由此,在MOS区域17中,形成将层间氧化膜55贯穿而到达第1配线43a的通孔46a,在压力传感器区域16中形成蚀刻孔46。然后,去除抗蚀掩模。

[0138] 该情况下的蚀刻处理,也可以通过实施将湿式蚀刻和干式蚀刻组合的蚀刻处理,形成通孔46a及蚀刻孔46。在该情况下,通孔46a及蚀刻孔46成为如图22所示的在开口部的上部具有扩宽部的通孔及蚀刻孔。另外,也可以通过仅以干式蚀刻进行的蚀刻处理,形成通孔46a及蚀刻孔46。

[0139] 然后,通过经由蚀刻孔46实施蚀刻处理,去除多晶硅膜和硅化钨(WSi_2)膜层叠构

造的牺牲膜30d(参照图16)。由此,在可动电极39和固定电极23b之间形成空隙50。图22对应于此时的工序。在该蚀刻处理中,实施湿式蚀刻处理,作为其药液,例如使用TMAH。此外,作为去除牺牲膜30d的处理,除了湿式蚀刻处理之外,也可以实施使用了二氟化氙(XeF_2)等的干式蚀刻处理。

[0140] 然后,如图23所示,在MOS区域17中形成第2配线56,在压力传感器区域16中形成第1金属封装膜56b。以覆盖层间氧化膜55的方式,形成阻挡金属膜和铝硅铜(AlSiCu)膜(均未图示)。作为阻挡金属膜,例如使用氮化钛(TiN)膜。然后,通过对该铝硅铜膜等进行图案化,从而在MOS区域17中形成第2配线56,在压力传感器区域16中形成第1金属封装膜56b。

[0141] 更具体而言,在铝硅铜膜上形成抗蚀掩模,将该抗蚀掩模作为蚀刻掩模,对铝硅铜及阻挡金属膜实施蚀刻处理,然后,去除抗蚀掩模,从而形成第2配线56和第1金属封装膜56b。第2配线56与第1配线43a电连接。

[0142] 在这里,第1金属封装膜56b是通过对铝硅铜膜等进行溅射而形成的。溅射处理在真空中进行,因此,利用第1金属封装膜56b闭塞蚀刻孔46,从而空隙50成为真空室51。此外,也可以在形成第2配线56及第1金属封装膜56b时,在通孔46a及蚀刻孔46中形成钨插塞,然后,形成阻挡金属及铝铜(AlCu)膜并进行图案化。在这种结构的情况下,作为适用的阻挡金属,存在硅化钛(TiSi_2)或者硅化钴(CoSi_2)膜等。

[0143] 然后,形成用于在压力传感器区域中形成开口部的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,实施干式蚀刻处理或将干式蚀刻和湿式蚀刻组合的蚀刻处理,从而去除层间氧化膜55及第1层间绝缘膜40的位于压力传感器区域16中的部分。由此,如图24所示,在压力传感器区域16中形成开口部54。

[0144] 然后,利用等离子CVD法,以与在MOS区域17中形成的半导体元件的规格对应的条件(比较低的温度条件等),以覆盖第1金属封装膜56b及第2配线56的方式,形成成为钝化膜的膜厚 $0.5\sim 1.0\mu\text{m}$ 左右的硅氮化膜(未图示)。

[0145] 然后,形成在压力传感器区域16中使压力传感器的开口部54的部分露出,在MOS区域17中使成为焊盘开口部的部分露出的抗蚀掩模(未图示)。然后,通过将该抗蚀掩模作为蚀刻掩模,实施干式蚀刻处理,从而在MOS区域17中,形成具有焊盘开口部61的钝化膜52a。在压力传感器区域16中,形成进一步闭塞蚀刻孔46的第2封装膜52b。由此,利用第1金属封装膜56b和第2封装膜52b,双重地封装真空室51,能够进行可靠性高的真空封装。图24对应于此时的工序。

[0146] 在上述的半导体压力传感器的制造方法中,同时形成MOS区域17的通孔46a和压力传感器区域16的蚀刻孔46。另外,同时形成MOS区域17的最上层配线和压力传感器区域16的第1金属封装膜。由此,除了实施方式1的效果之外,还能够利用与形成MOS电路的工艺共通的工艺同时形成半导体压力传感器,抑制用于形成半导体压力传感器的专用工序的追加,能够进行制造成本的削减。另外,通过工艺的标准化,能够使用较多的形成MOS电路的工序,能够容易地制造集成化有MOS电路的压力传感器。

[0147] 实施方式3

[0148] 在上述半导体压力传感器中,举例说明了压力传感器形成在场氧化膜上的半导体压力传感器。在这里,针对压力传感器形成在由场氧化膜规定的半导体衬底的区域(元件形成区域)中的半导体压力传感器进行说明。

[0149] 此外,对于制造工序中的各结构,对与实施方式1相同的结构标注相同的标号,除了必要的情况之外,不重复其说明。另外,MOS区域与在实施方式1中说明的MOS区域实质上是相同的构造,因此,作为附图仅示出压力传感器区域。

[0150] 首先,如图25所示,在形成压力传感器的压力传感器区域16中,形成n型的第1阱区域12a。然后,例如使用LOCOS法,形成场氧化膜19。场氧化膜19的膜厚设为 $0.2\sim 1.0\mu\text{m}$ 左右。然后,通过对硅衬底11实施热氧化处理,形成第1栅极氧化膜22。

[0151] 然后,以覆盖第1栅极氧化膜22的方式,形成n型的导电性多晶硅膜(未图示)。导电性多晶硅膜的膜厚设为 $50\sim 300\text{nm}$ 左右。然后,通过对该导电性多晶硅膜实施规定的照片制版处理和蚀刻处理,从而在压力传感器区域16中,形成固定电极23b。同时,在MOS区域17中,形成EPROM的浮动栅极电极23a(参照图3的MOS区域)。

[0152] 然后,例如通过实施热氧化处理,从而在压力传感器区域16中,以覆盖固定电极23b的方式,形成第1固定电极保护膜25b。同时,在MOS区域17中,以覆盖多晶硅膜的图案的方式,形成第2栅极氧化膜25a(参照图3的MOS区域)。

[0153] 然后,通过利用CVD法形成硅氮化膜,从而在压力传感器区域16中,形成第2固定电极保护膜27b。同时,在MOS区域17中,以覆盖第2栅极氧化膜25a的方式,形成第1硅氮化膜27a(参照图3的MOS区域)。第1固定电极保护膜25b及第2固定电极保护膜27b,成为利用蚀刻处理去除后述的牺牲膜时的固定电极的保护膜。

[0154] 然后,形成多晶硅膜(膜厚 $50\sim 300\text{nm}$ 左右)和硅化钨(WSi_2)膜(膜厚 $50\sim 300\text{nm}$ 左右)的层叠膜,即,所谓的多晶硅化物膜(未图示)。然后,通过对多晶硅化物膜实施规定的照片制版处理及蚀刻处理,从而如图26所示,在压力传感器区域16中,除了用于形成空隙(真空室)的牺牲膜30d之外,还形成杂质浓度高的n型杂质区域33a。在MOS区域17中,形成p沟道型MOS晶体管的栅极电极30a、和n沟道型MOS晶体管的栅极电极30b(参照图6的MOS区域)。

[0155] 此外,在形成栅极电极30a、30b之前,对MOS区域17中的EPROM的栅极电极30c进行图案化,另外,接着该工序,进行用于形成第1源极·漏极区域33的杂质的注入(参照图5的MOS区域)。与此同时,在压力传感器区域16中,也进行用于形成杂质浓度高的n型杂质区域33a的图案化和杂质的注入。

[0156] 然后,通过在规定的条件下实施热处理,从而以覆盖牺牲膜30d等的方式形成较薄的氧化膜32,并且,进行第1源极·漏极区域33(参照图6的MOS区域)以及n型杂质区域33a的激活。

[0157] 然后,以覆盖牺牲膜30d等的方式,例如形成TEOS膜(未图示)。然后,通过对该TEOS膜的整个面实施各向异性的干式蚀刻处理,从而如图27所示,在压力传感器区域16中,在牺牲膜30d的侧壁面上形成侧壁氧化膜34。另外,在MOS区域17中,在栅极电极30a、30b、30c的侧壁面上形成侧壁氧化膜34(参照图7的MOS区域)。然后,在MOS区域17中,形成第2源极·漏极区域37及第3源极·漏极区域36(参照图7的MOS区域)。

[0158] 然后,通过在规定的条件下实施退火,从而在压力传感器区域16中,以覆盖牺牲膜30d的方式,形成较薄的氧化膜35。另外,在MOS区域17中,以覆盖栅极电极30a、30b、30c的方式,形成较薄的氧化膜35(参照图7的MOS区域)。然后,如图28所示,以覆盖氧化膜35的方式,形成TEOS类的氧化膜38。

[0159] 然后,以覆盖氧化膜38的方式,形成导电性的多晶硅膜(未图示)。然后,通过实施

规定的照片制版处理及蚀刻处理,从而如图28所示,以覆盖牺牲膜30d的一部分的方式形成可动电极39。该可动电极39成为在半导体压力传感器中最重要的隔膜,半导体压力传感器的特性大致由该可动电极39的处理条件确定。可动电极39的膜厚设为50~1000nm左右。

[0160] 然后,以覆盖氧化膜38及可动电极39的方式,形成第1层间绝缘膜40。然后,以与在MOS区域(未图示)中形成的半导体元件的规格对应的条件,对第1层间绝缘膜40等实施规定的照片制版处理和蚀刻处理。由此,如图29所示,在压力传感器区域16中,形成使固定电极23b露出的接触孔41b、使可动电极39露出的接触孔41b以及使第1阱区域12a露出的接触孔41c。另外,在MOS区域17中,贯穿第1层间绝缘膜40等而形成使第1源极·漏极区域33、第2源极·漏极区域37、第3源极·漏极区域36等分别露出的接触孔41a(参照图9的MOS区域)。

[0161] 然后,以覆盖第1层间绝缘膜40的方式,按照与在MOS区域(没有图示)中形成的半导体元件的规格对应的条件,形成阻挡金属膜和铝硅铜(AlSiCu)膜(均未图示)。然后,通过将该铝硅铜膜等进行图案化,从而如图30所示,在压力传感器区域16中形成配线43b及配线43c。另外,在MOS区域17中形成第1配线43a(参照图10的MOS区域)。

[0162] 然后,经过与在图10~图12中示出的工序相同的工序,如图31所示,在压力传感器区域16中,通过去除牺牲膜30d而形成的空隙50被第1封装膜49闭塞,形成真空室51。然后,经过与在图13及图14中示出的工序相同的工序,如图32所示,在压力传感器区域16中,形成使可动电极39露出的压力传感器的开口部54,形成进一步闭塞蚀刻孔46的第2封装膜52b。另外,在MOS区域17中,形成焊盘开口部61,形成钝化膜52a(参照图14的MOS区域)。这样,形成半导体压力传感器的主要部分。

[0163] 在上述半导体压力传感器中,除了在实施方式1中说明的效果之外,还能得到如下述的效果。首先,在由场氧化膜19包围的硅衬底11的区域中,形成将固定电极23b、真空室51(牺牲膜30d)以及可动电极39层叠的压力传感器,从而在压力传感器区域16中,能够减小与场氧化膜19的膜厚对应的量的台阶,能够使得晶片工艺变得容易。另外,与场氧化膜19的膜厚对应的量的台阶消失,由此能够将压力传感器的可动电极的膜厚设定为更厚。

[0164] 而且,在图32中示出固定电极23的一部分和可动电极39的一部分分别攀至场氧化膜19上的构造,但也可以是固定电极23b以及可动电极39整体形成在由场氧化膜包围的半导体衬底(第1栅极氧化膜22)上的构造。由此,减小台阶的效果更大。

[0165] 另外,通过将固定电极23b和第1阱区域12a,经由配线43b及配线43c电连接而设定为相同电位,从而能够消除固定电极23b与第1栅极氧化膜22、第1阱区域12a、硅衬底11间的电容成分的影响。

[0166] 此外,图32所示的平面图案是一个例子,并不限于此。另外,作为在实施方式2中说明的半导体压力传感器的压力传感器区域,使用上述构造,也能得到同样的效果。

[0167] 实施方式4

[0168] 在上述的实施方式3的半导体压力传感器中,针对在由场氧化膜包围的半导体衬底的区域(第1栅极氧化膜22)中,形成将固定电极、真空室(牺牲膜)、可动电极层叠的压力传感器的情况进行了说明。在这里,说明作为这种压力传感器的固定电极,使用了阱区域的半导体压力传感器。

[0169] 如图33所示,在半导体压力传感器的压力传感器区域16中,作为压力传感器的固定电极,形成有n型第1阱区域12a。在该第1阱区域12a上方配置有真空室51,在该真空室51

上方配置有可动电极39。另外,在第1配线43c和第1阱区域12a之间,形成杂质浓度高的n型杂质区域33a。

[0170] 此外,除此之外的构造与在实施方式3或实施方式1中说明的半导体压力传感器的结构相同,因此对相同的部件标注相同的标号,除了必要的情况之外,不重复其说明。另外,在图33中,为了简化附图而省略了MOS区域的构造,其构造与在实施方式1中说明的半导体压力传感器的MOS区域的构造(参照图14等的MOS区域)相同。

[0171] 上述半导体压力传感器除了不需要通过多晶硅膜形成固定电极23b的工序这点之外,通过在实施方式3中说明的半导体压力传感器的制造方法形成。即,在图25示出的工序中,不形成固定电极23b,在图26示出的工序中,形成牺牲膜30d等,然后,经过与在图27~图32示出的工序相同的工序,形成图33所示的半导体压力传感器。

[0172] 在上述半导体压力传感器中,除了在实施方式1中说明的效果之外,能得到如下述的效果。首先,作为压力传感器,形成将固定电极设为第1阱区域12a,真空室51和可动电极39层叠在由场氧化膜19包围的硅衬底11的区域上的压力传感器。

[0173] 由此,与在实施方式3中说明的半导体压力传感器的情况相比,能够在与场氧化膜19的膜厚对应的量的基础上,进一步以与多晶硅膜(固定电极23b)的膜厚对应的量减小台阶,能够进一步使晶片工艺变得容易。另外,由于与场氧化膜19的膜厚对应的量的台阶、和与多晶硅膜的膜厚对应的量的台阶消失,能够将压力传感器的可动电极39的膜厚设定为更厚。

[0174] 另外,在图33中示出了可动电极39的一部分攀至场氧化膜19上的构造,但也可以是可动电极39的整体形成在由场氧化膜包围的半导体衬底(第1栅极氧化膜22)上的构造。由此,减小台阶的效果进一步提高。此外,作为在实施方式2中说明的半导体压力传感器的压力传感器区域,使用上述结构,也能得到相同的效果。

[0175] 本发明能够有效利用于具有MOS电路的半导体压力传感器,该MOS电路包含存储器单元晶体管或晶体管。

[0176] 对本发明的实施方式进行了说明,但应认为本次公开的实施方式在全部方面仅为例示,而不是限制性的内容。本发明的范围由权利要求书示出,包含与权利要求相等的内容及范围内的全部变更。

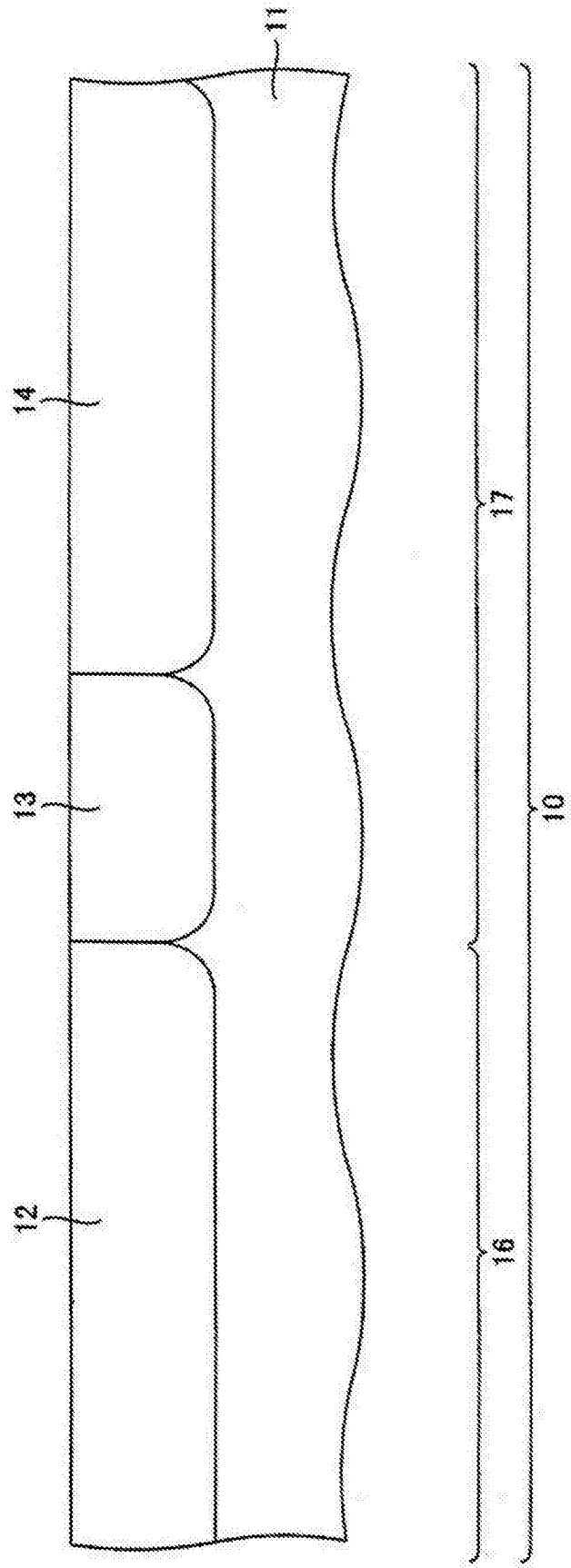


图1

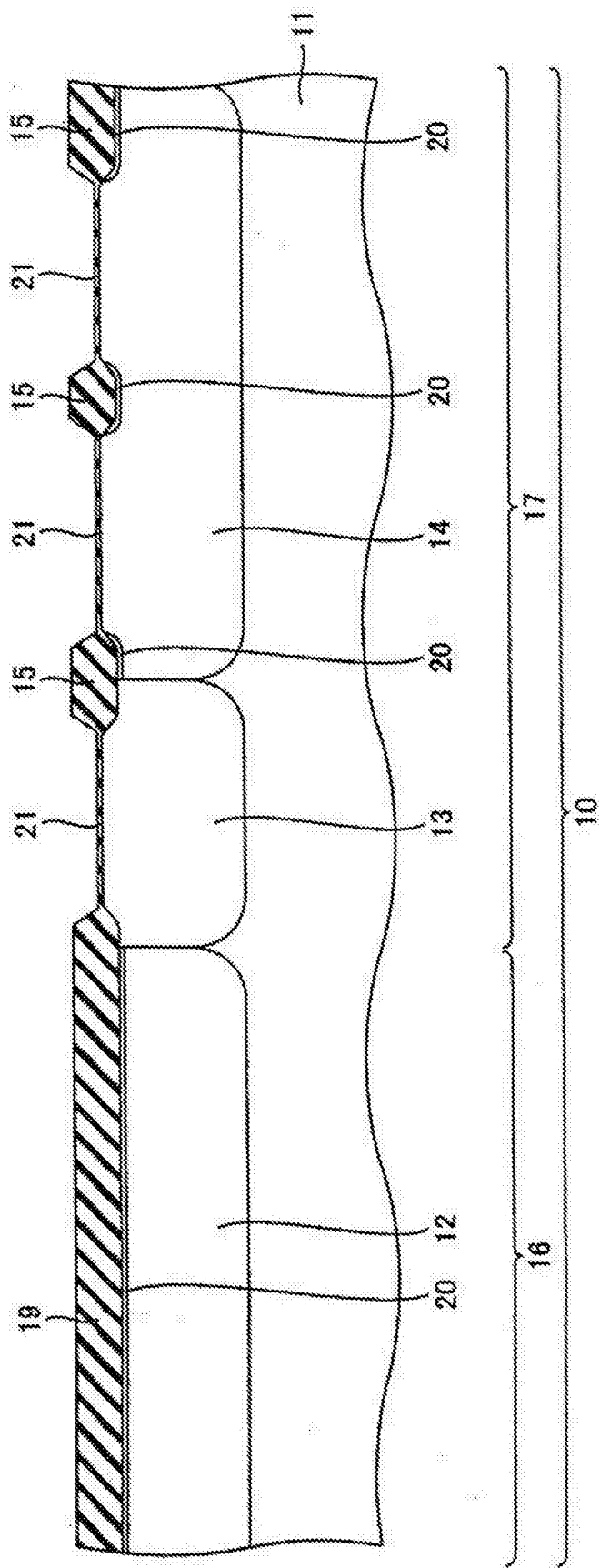


图2

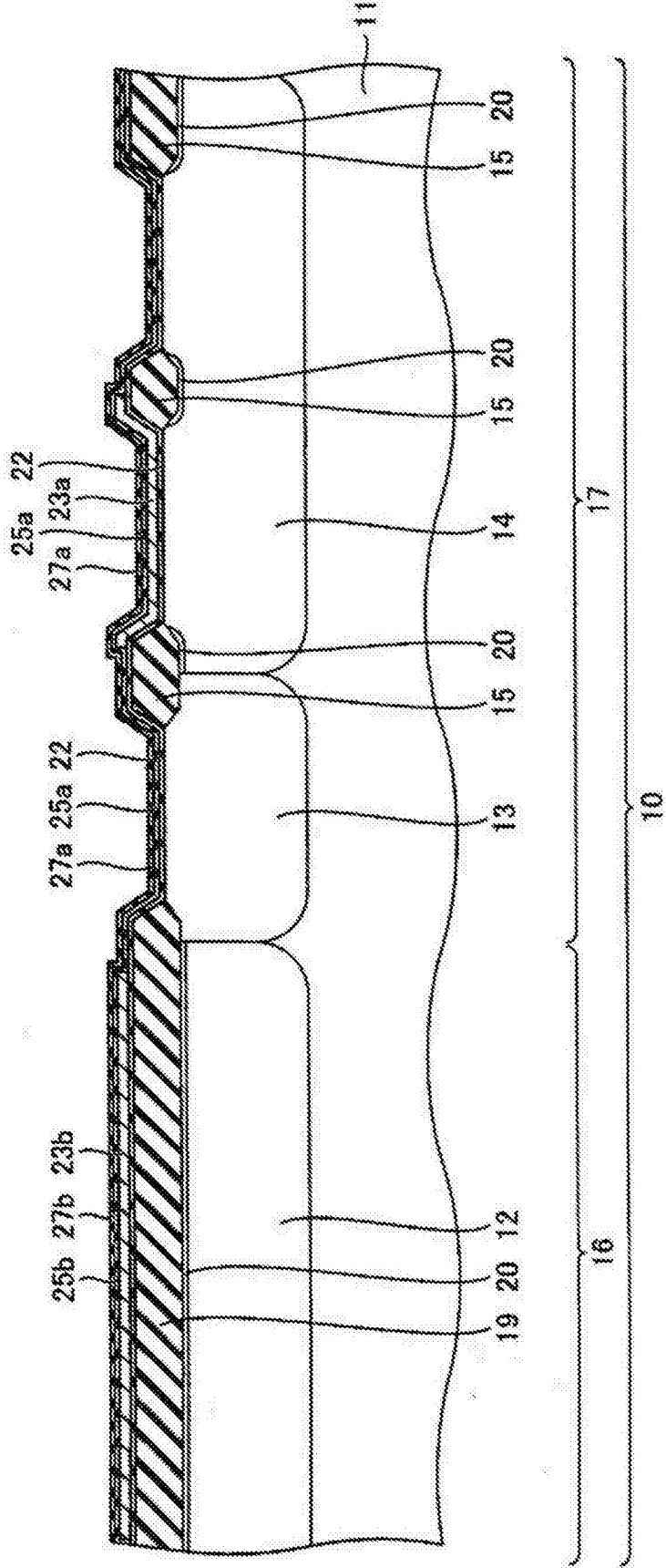


图3

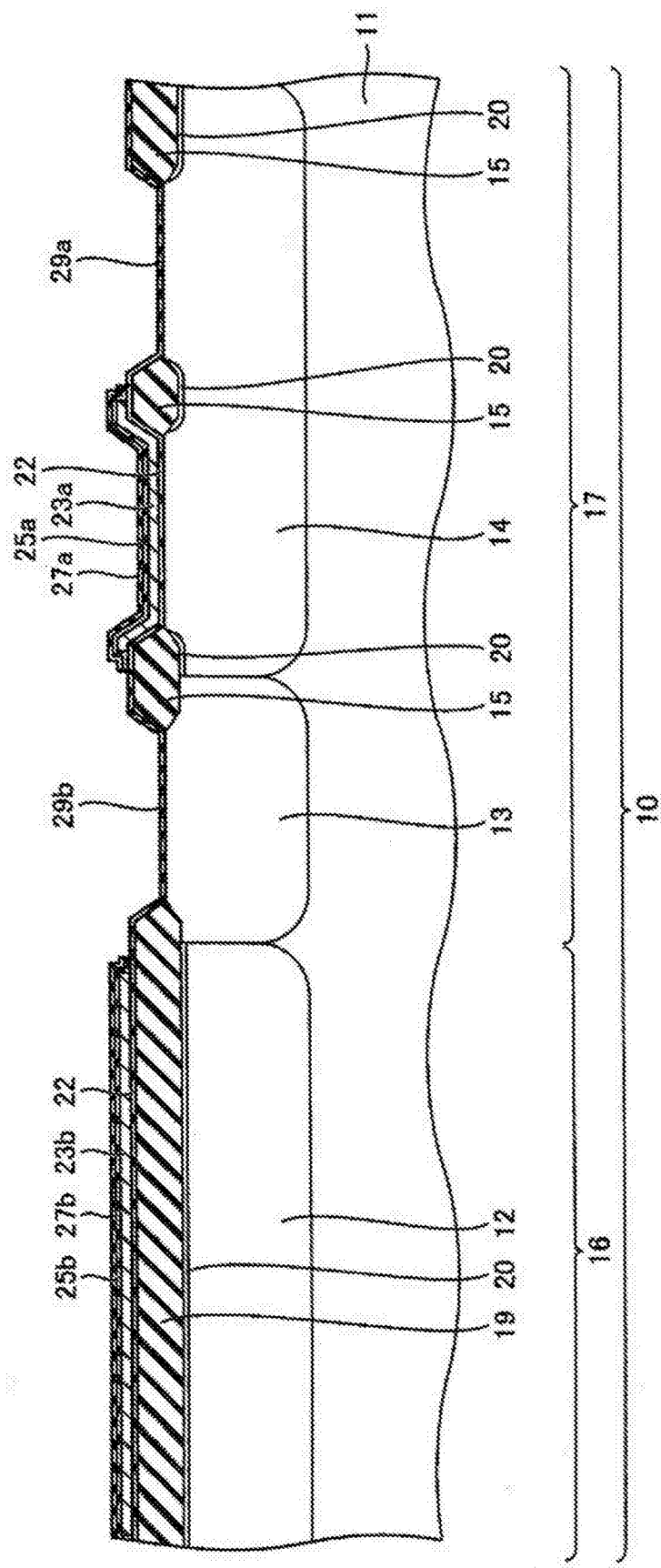


图4

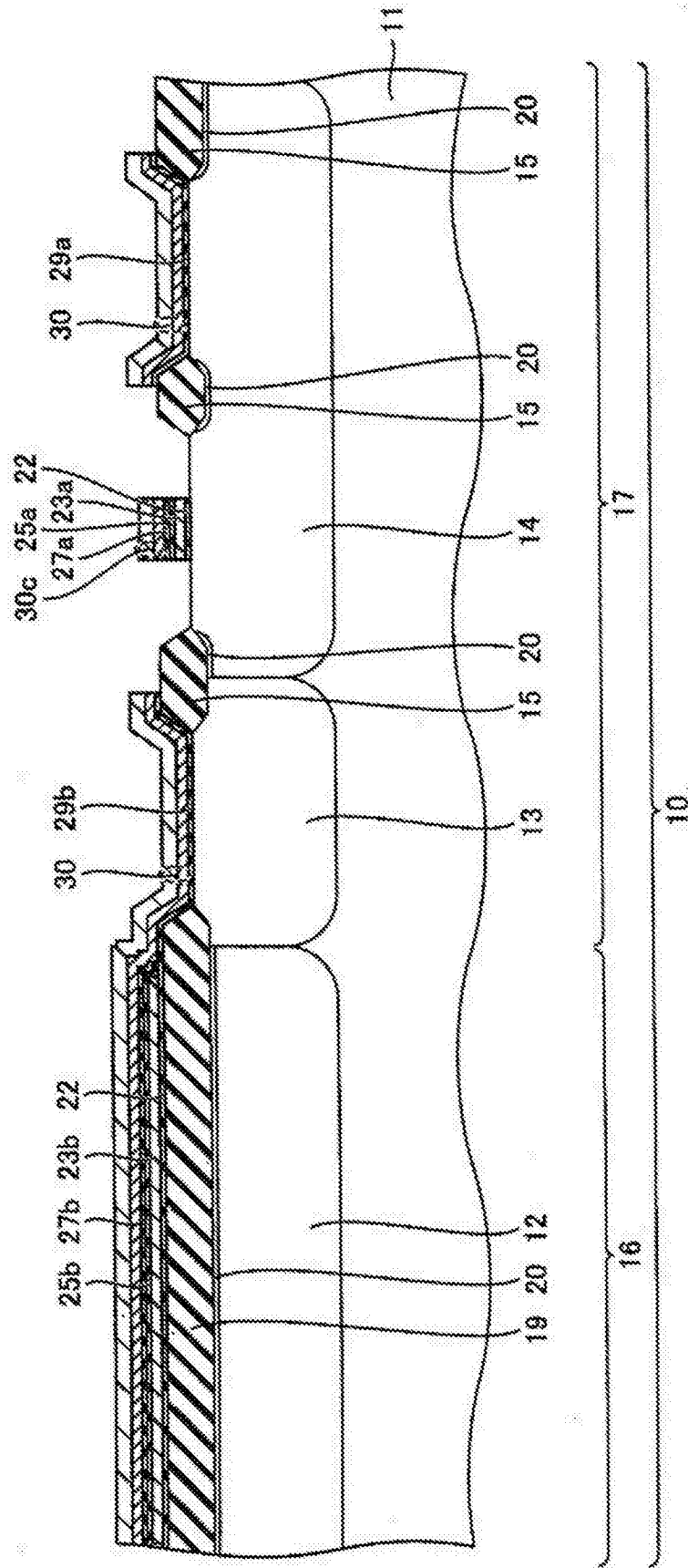


图5

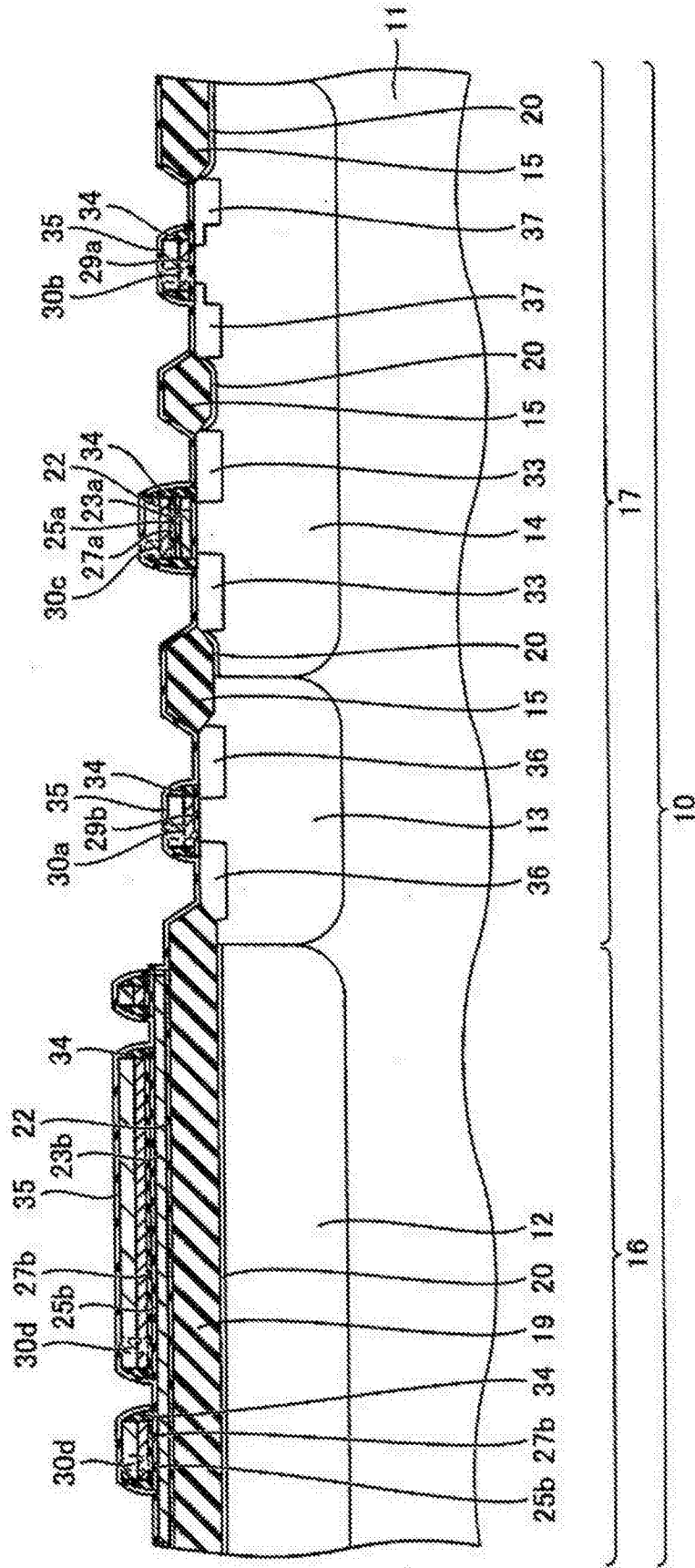


图7

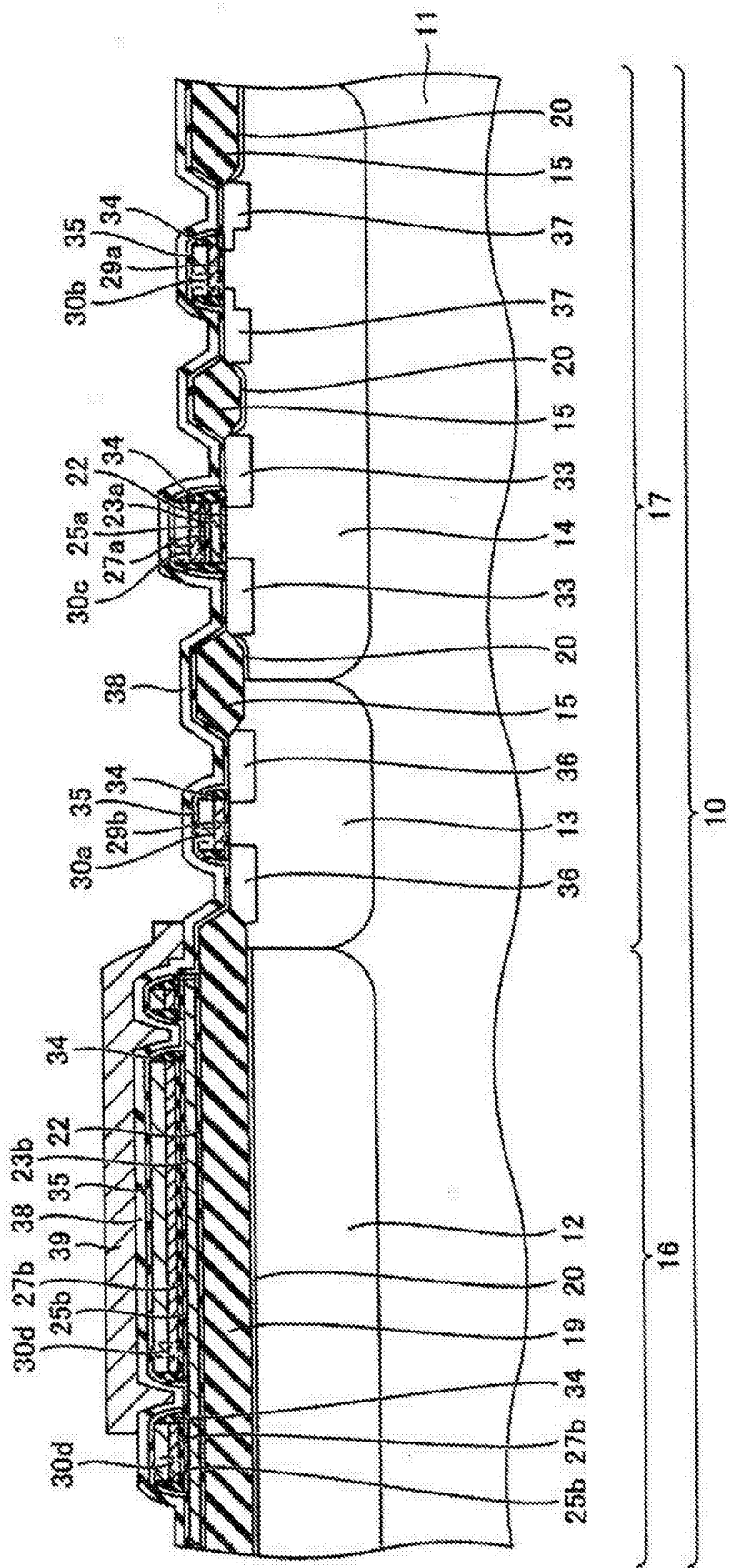


图8

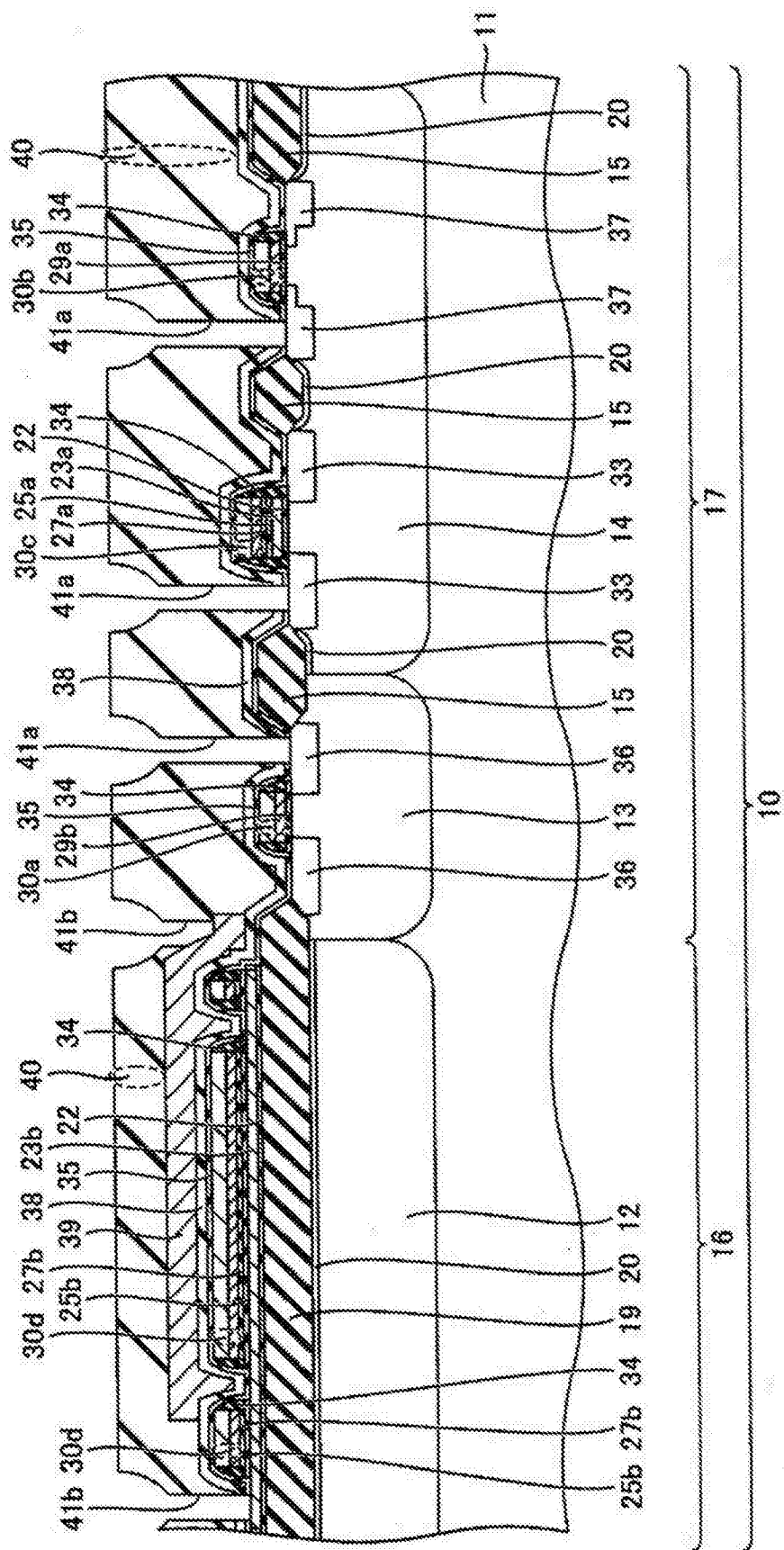


图9

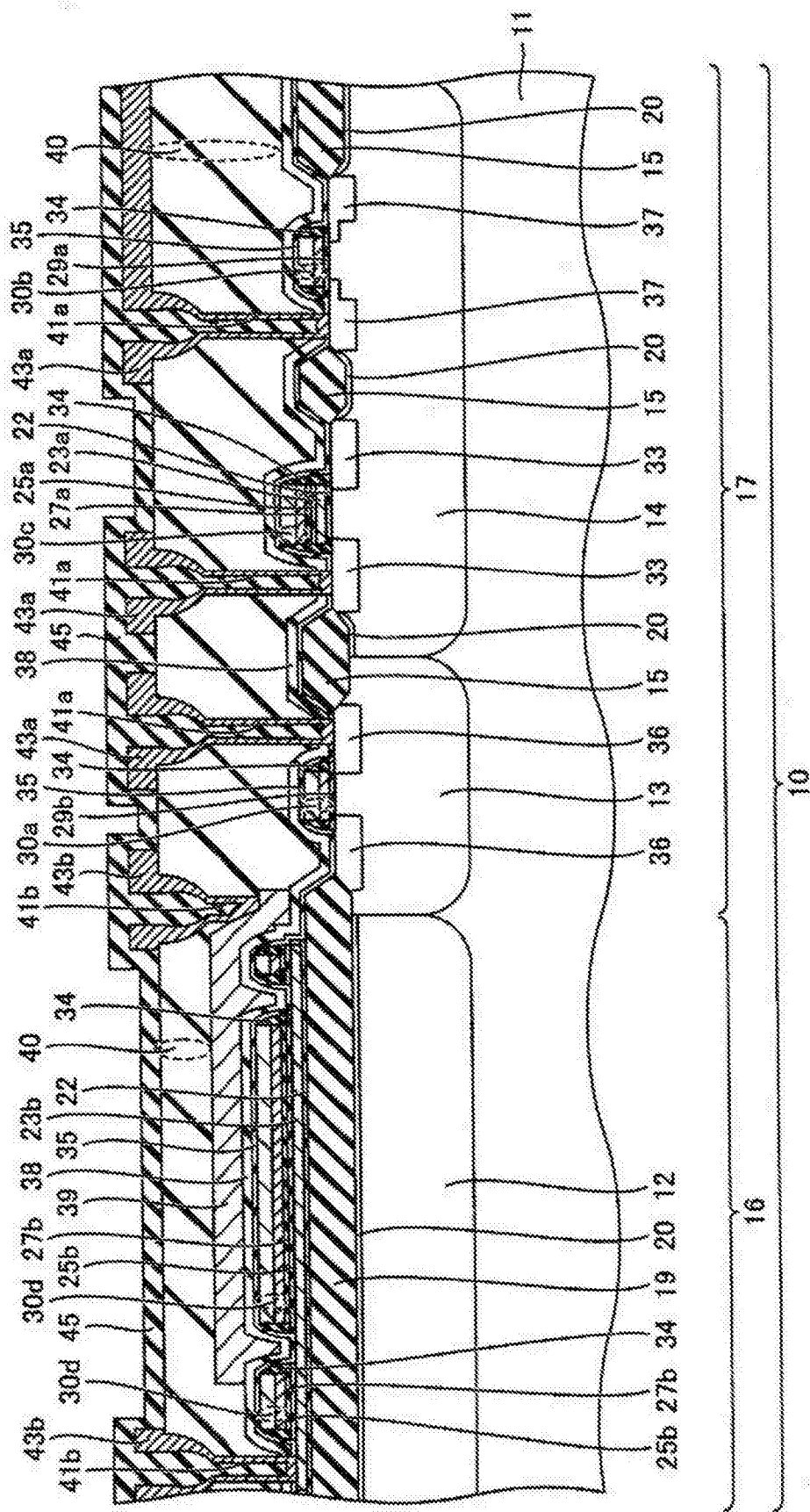


图10

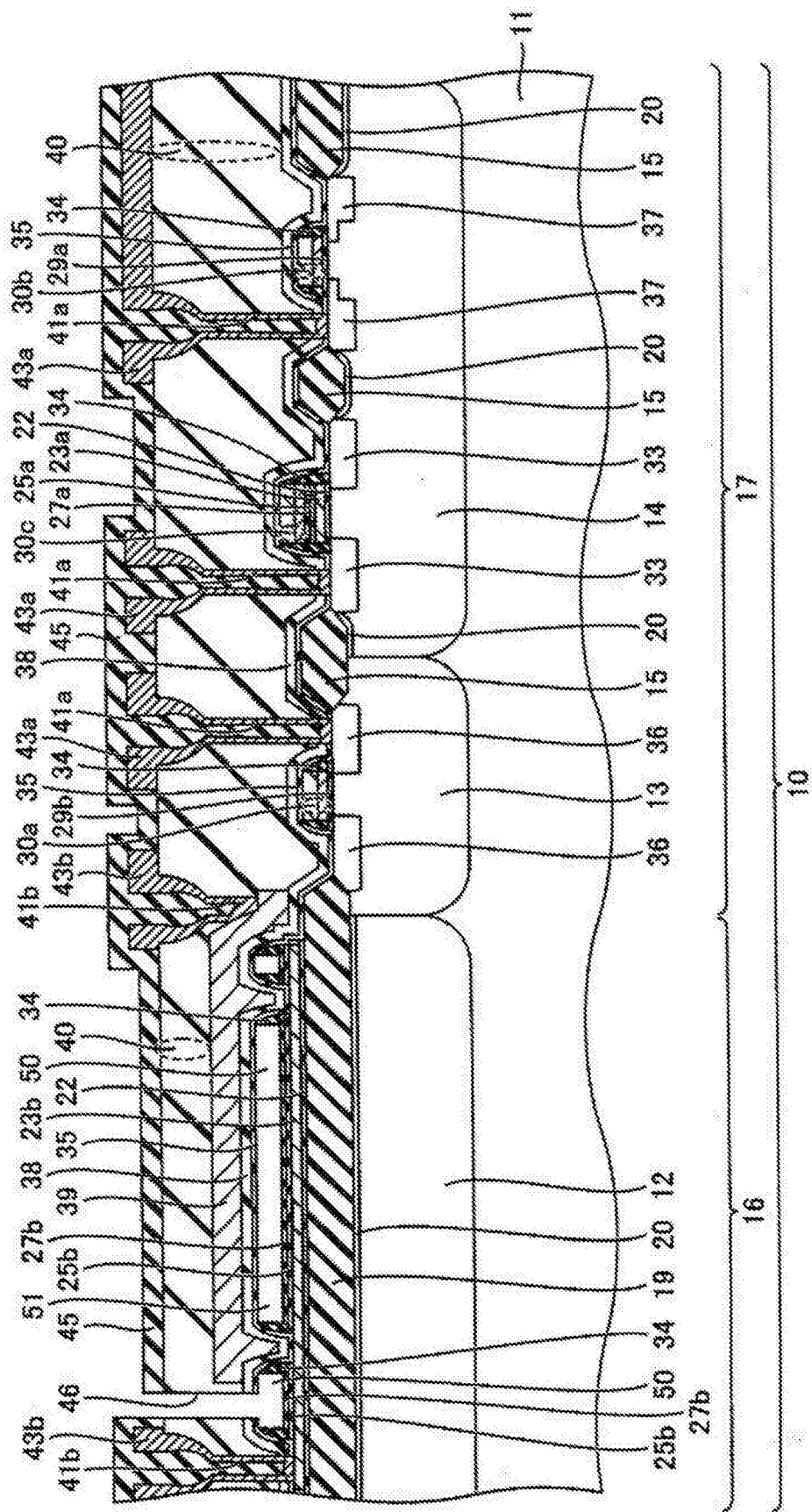


图11

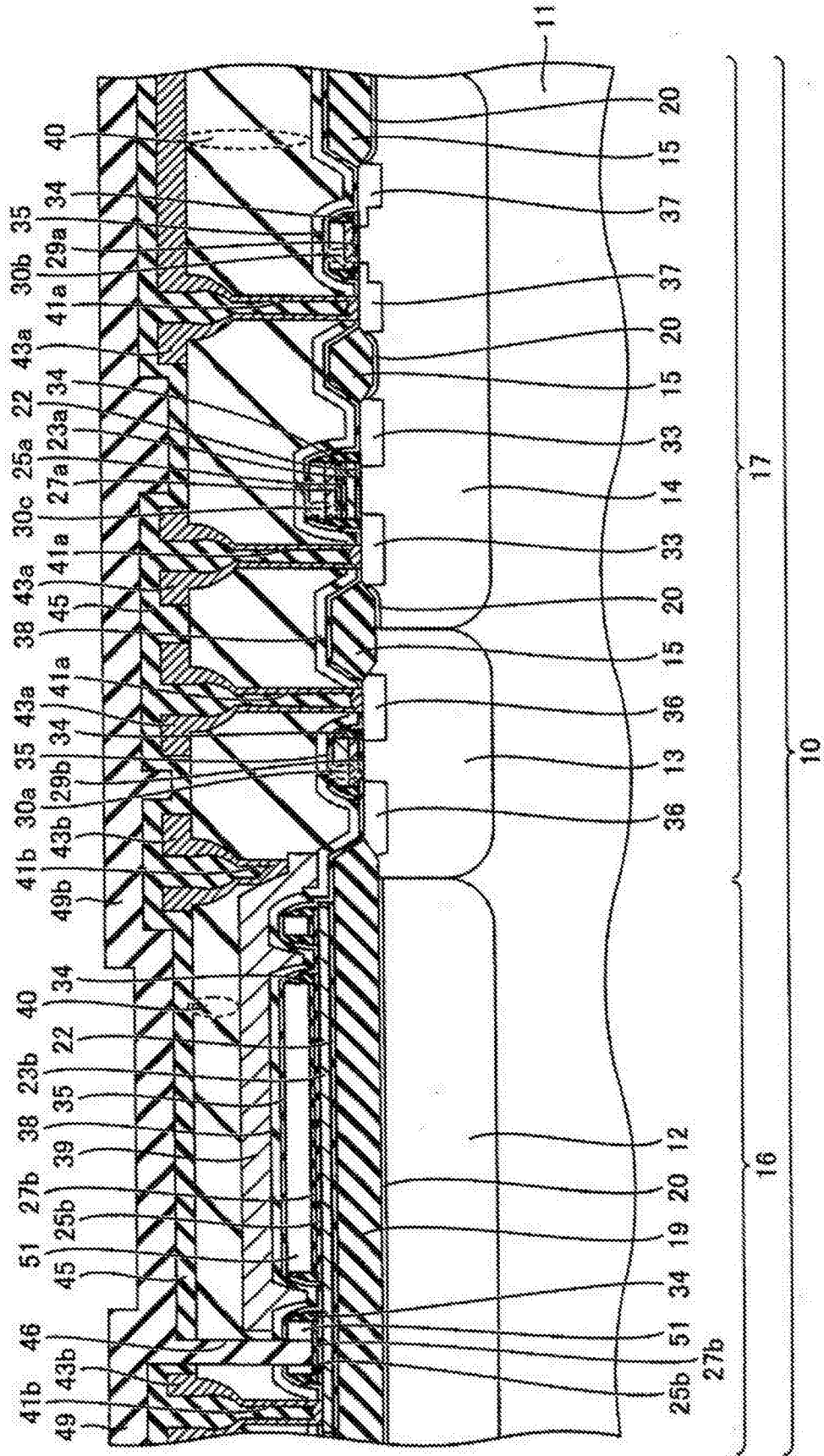


图12

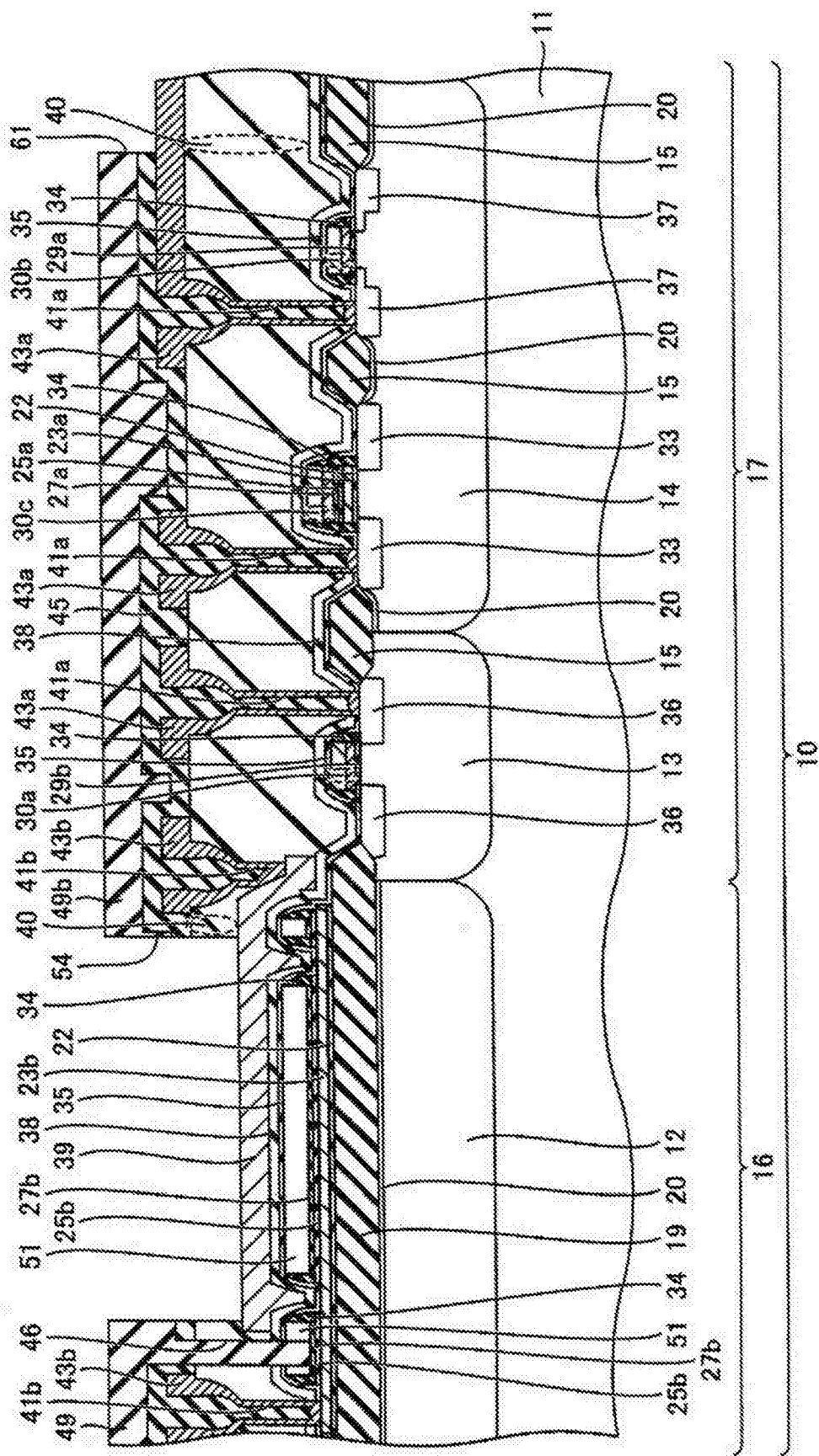


图13

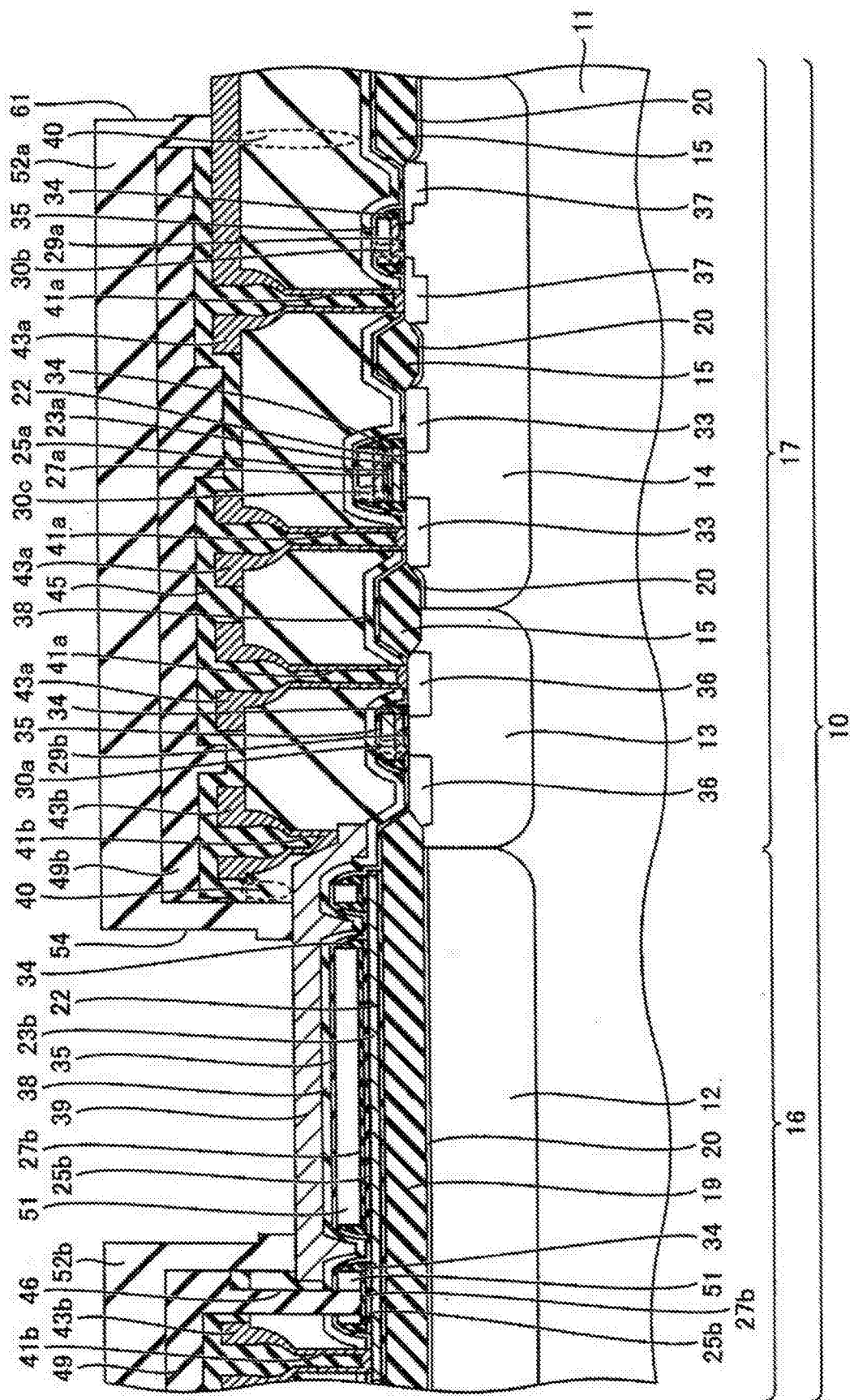


图14

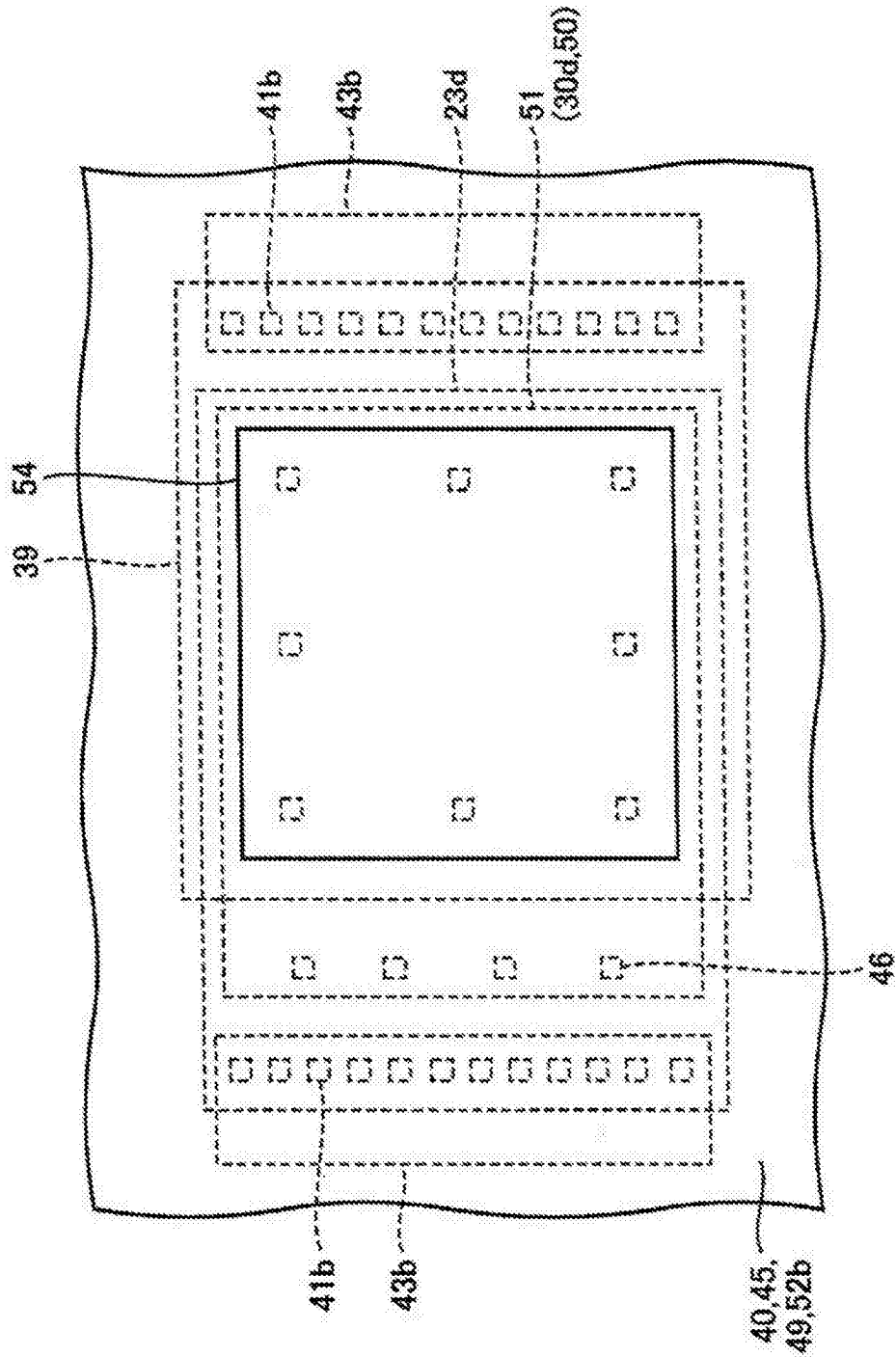


图15

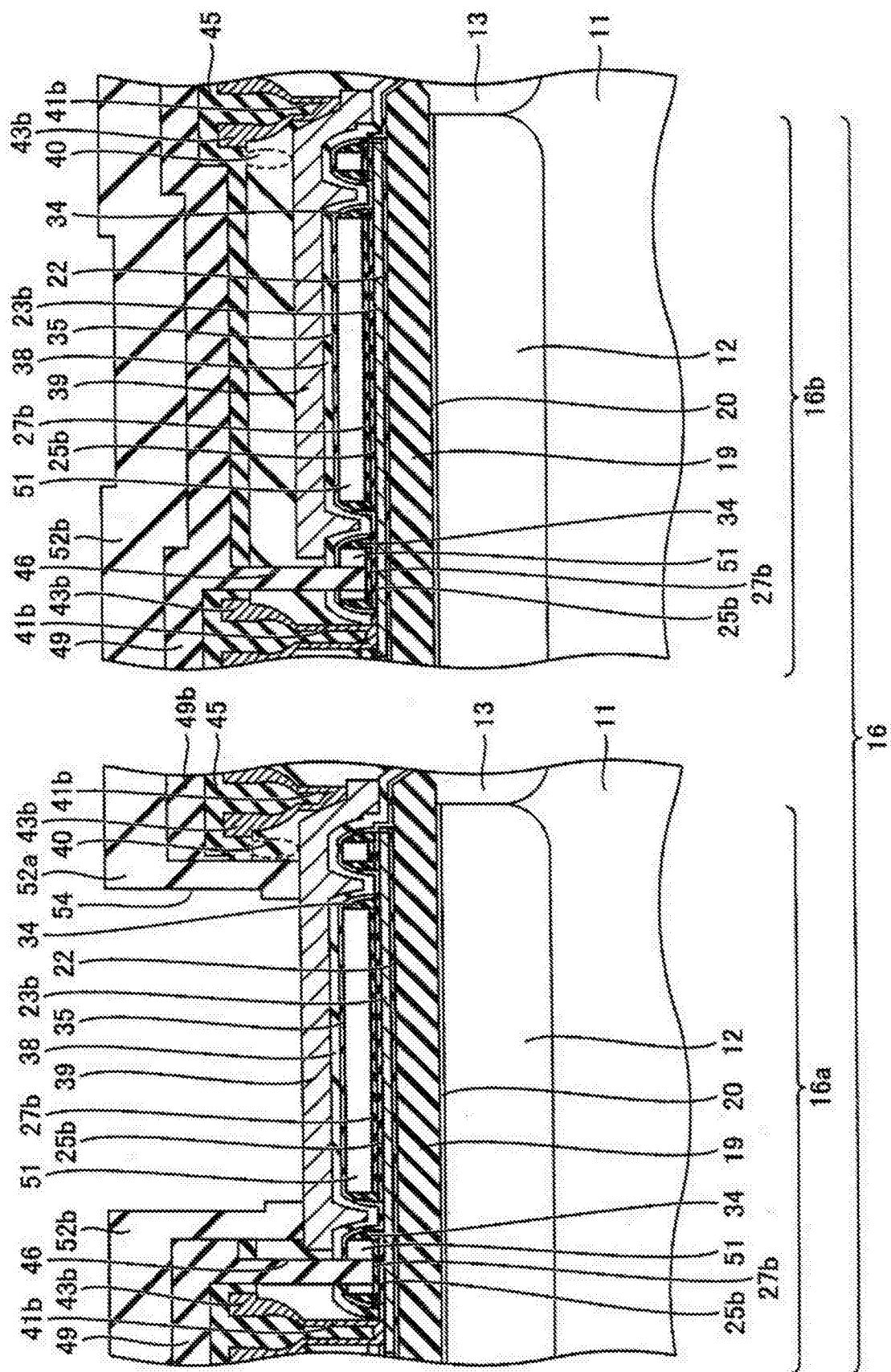


图16

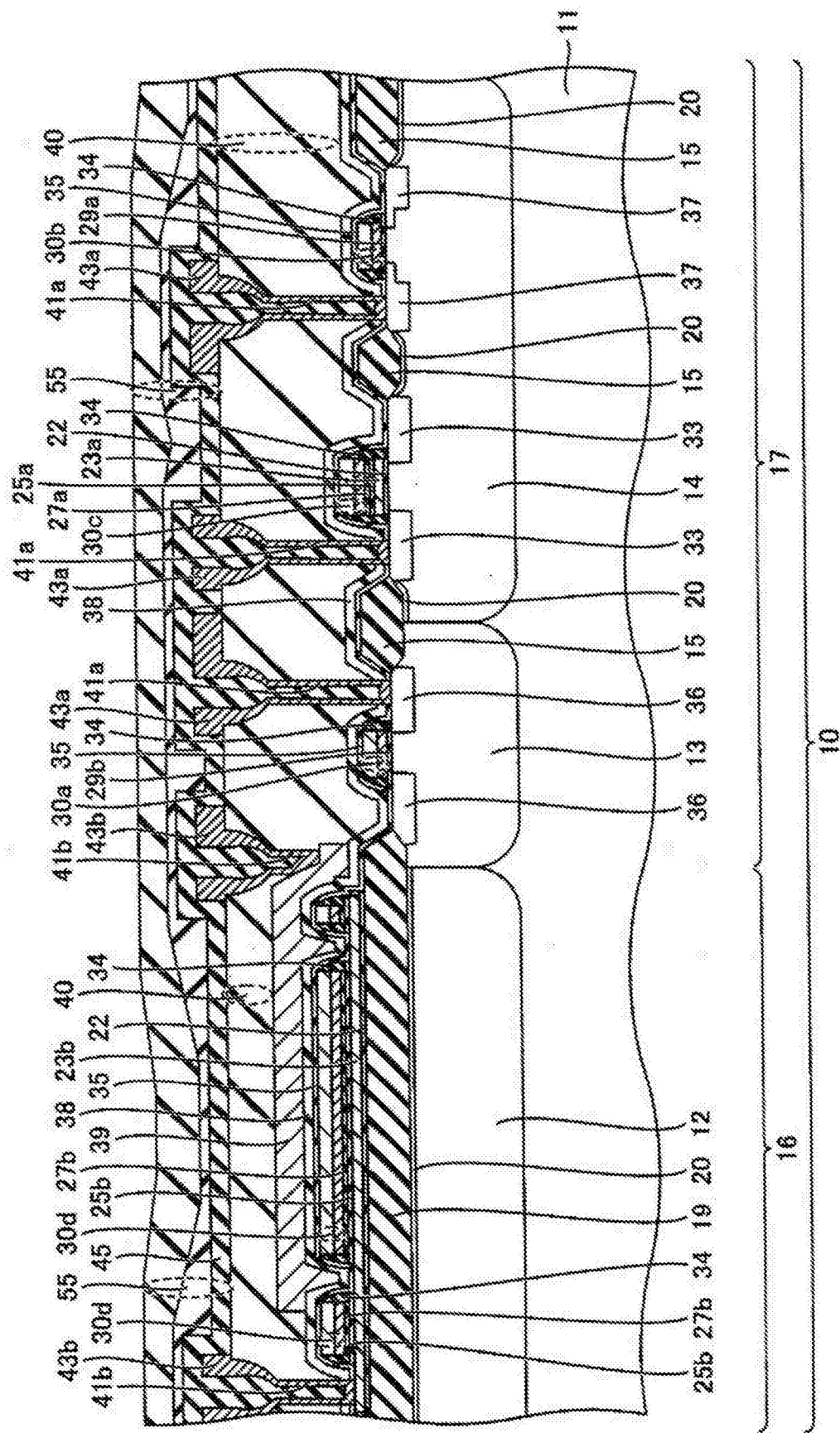


图17

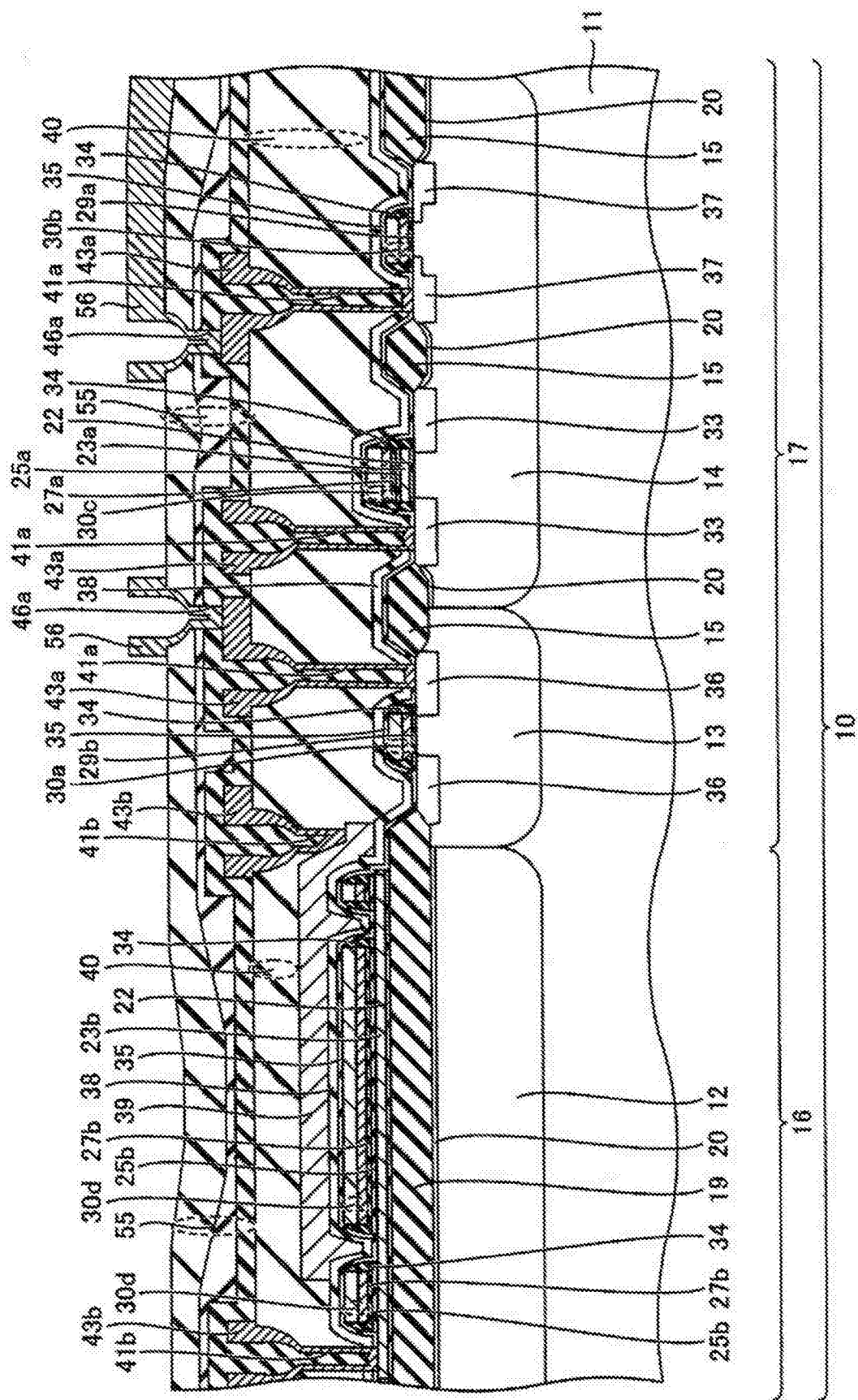


图18

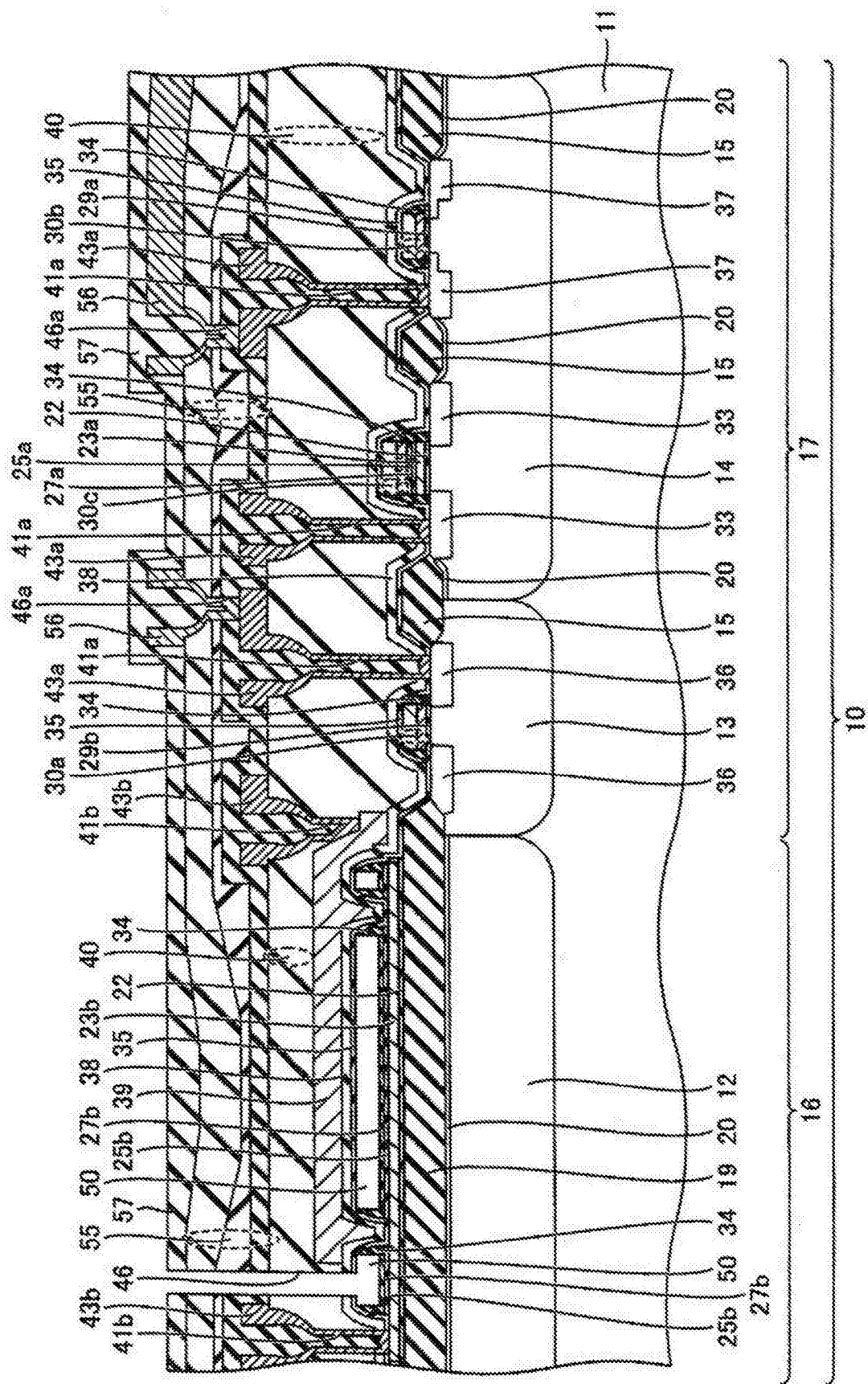


图19

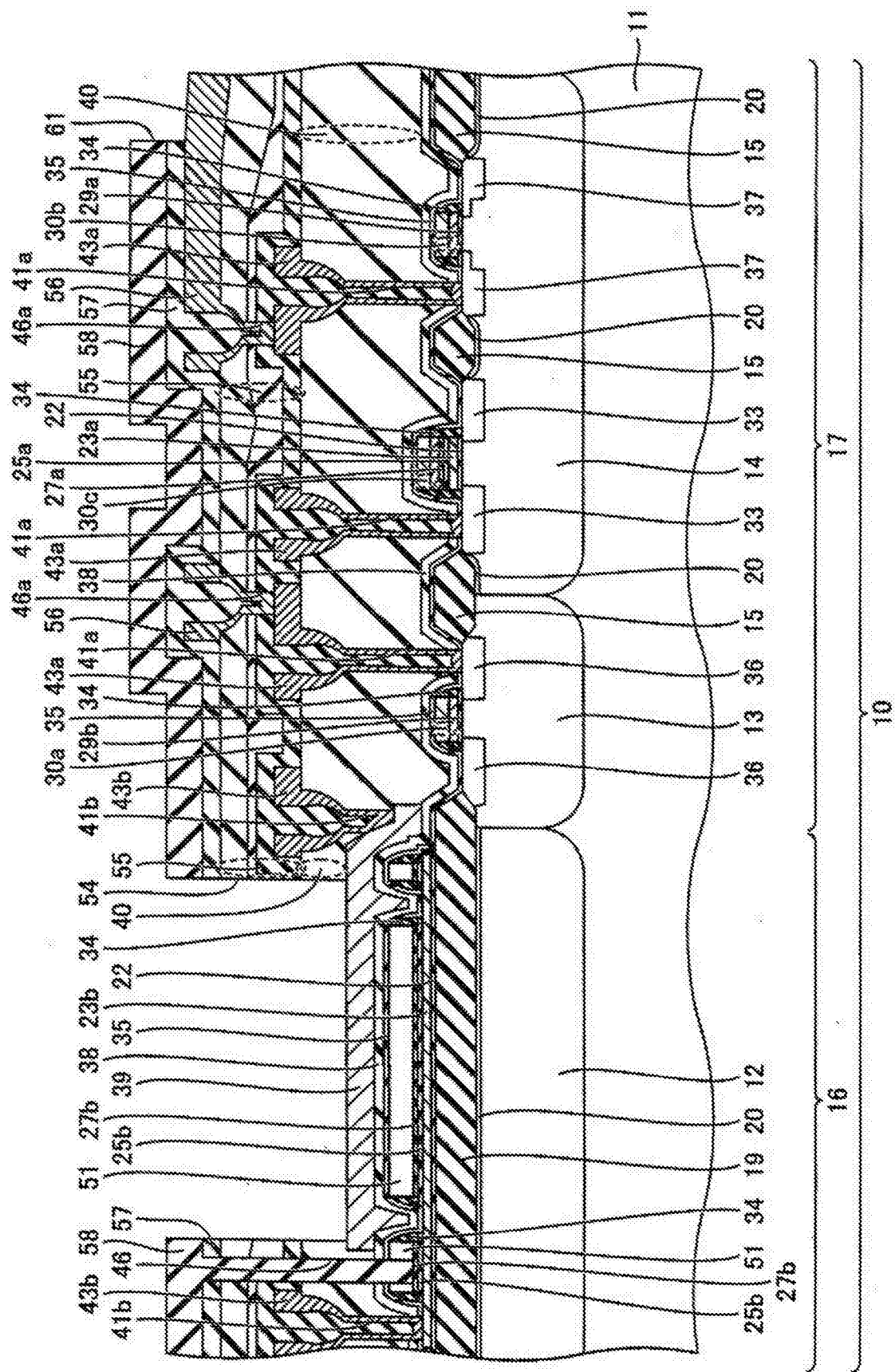


图20

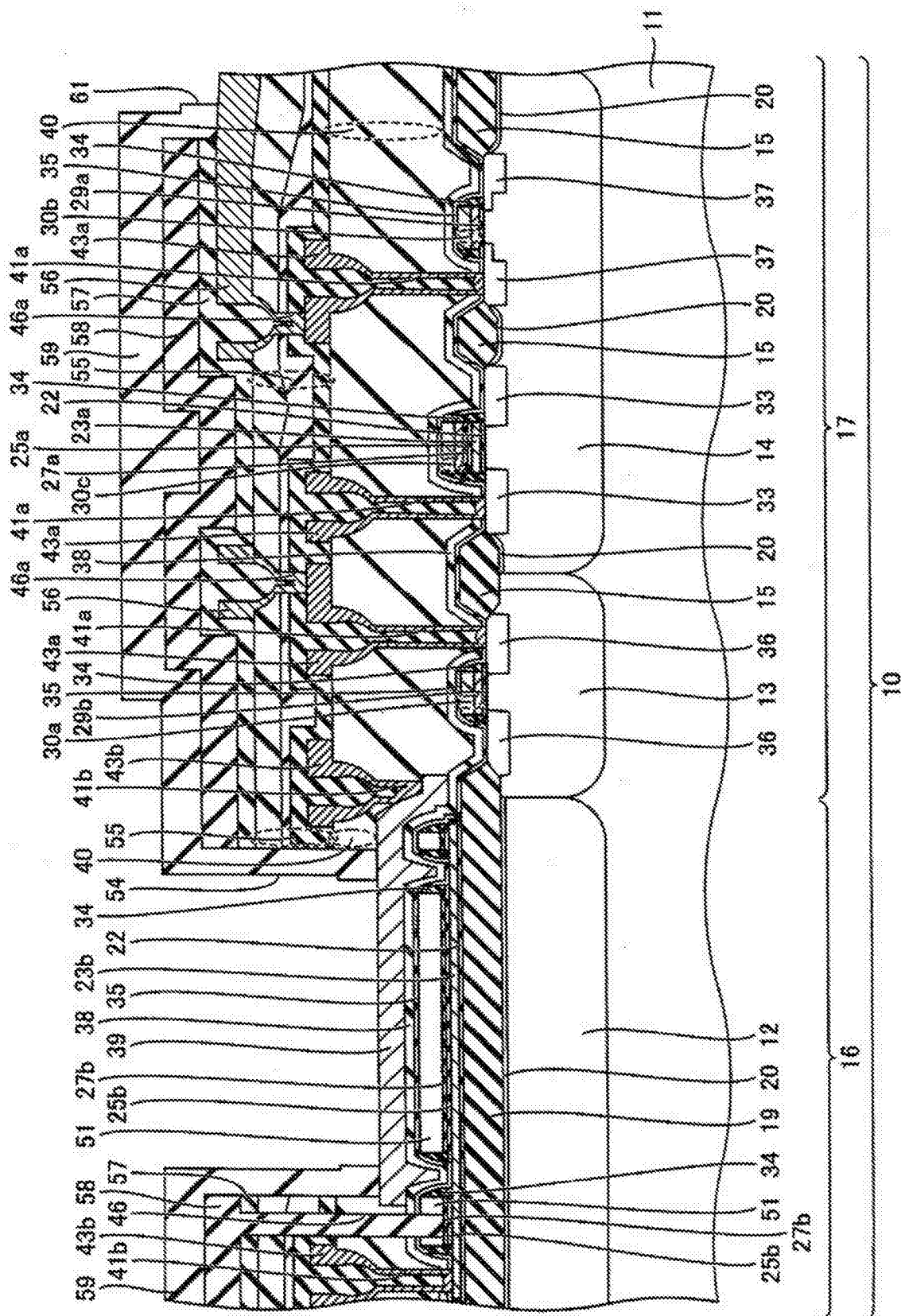


图21

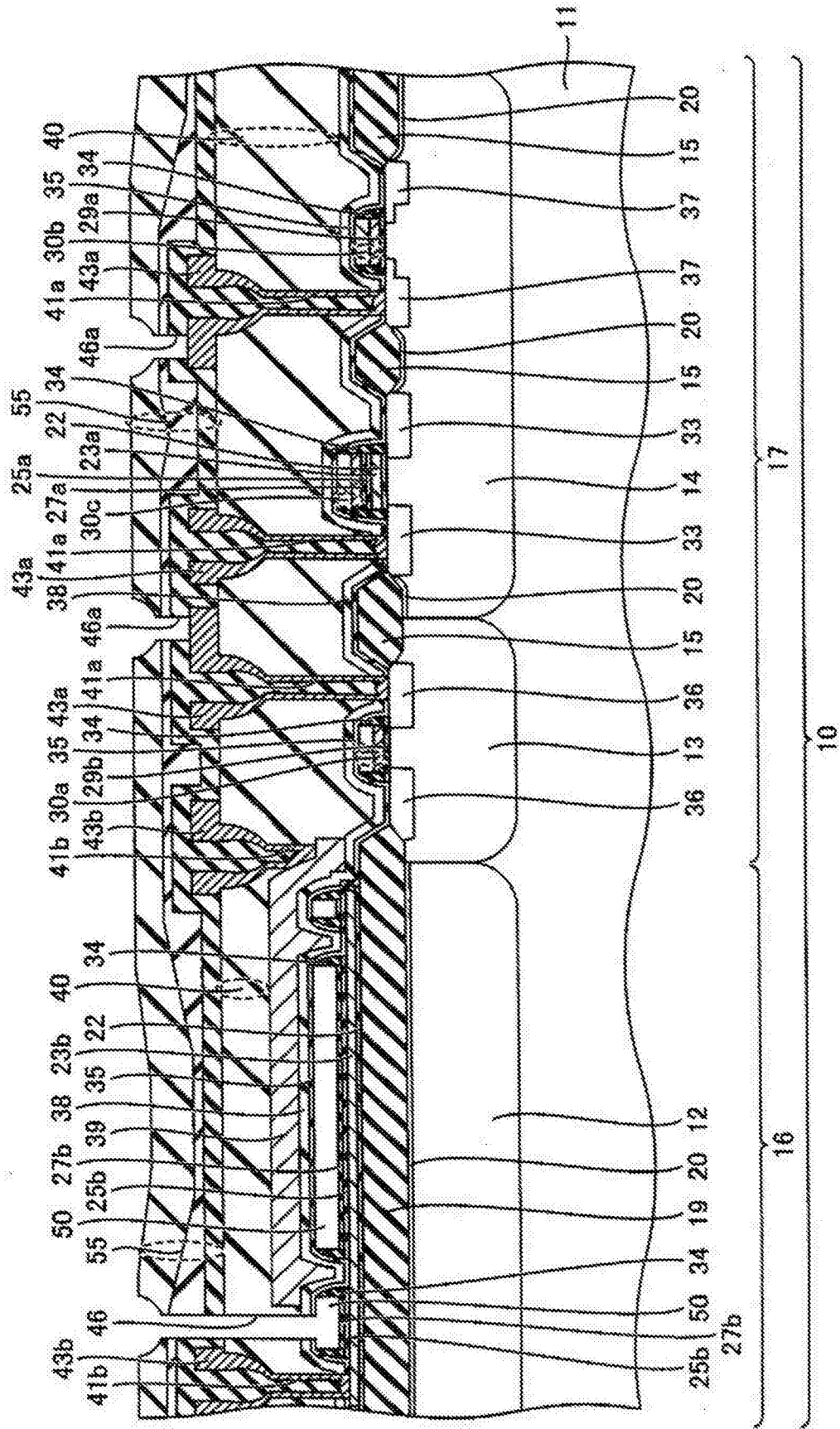


图22

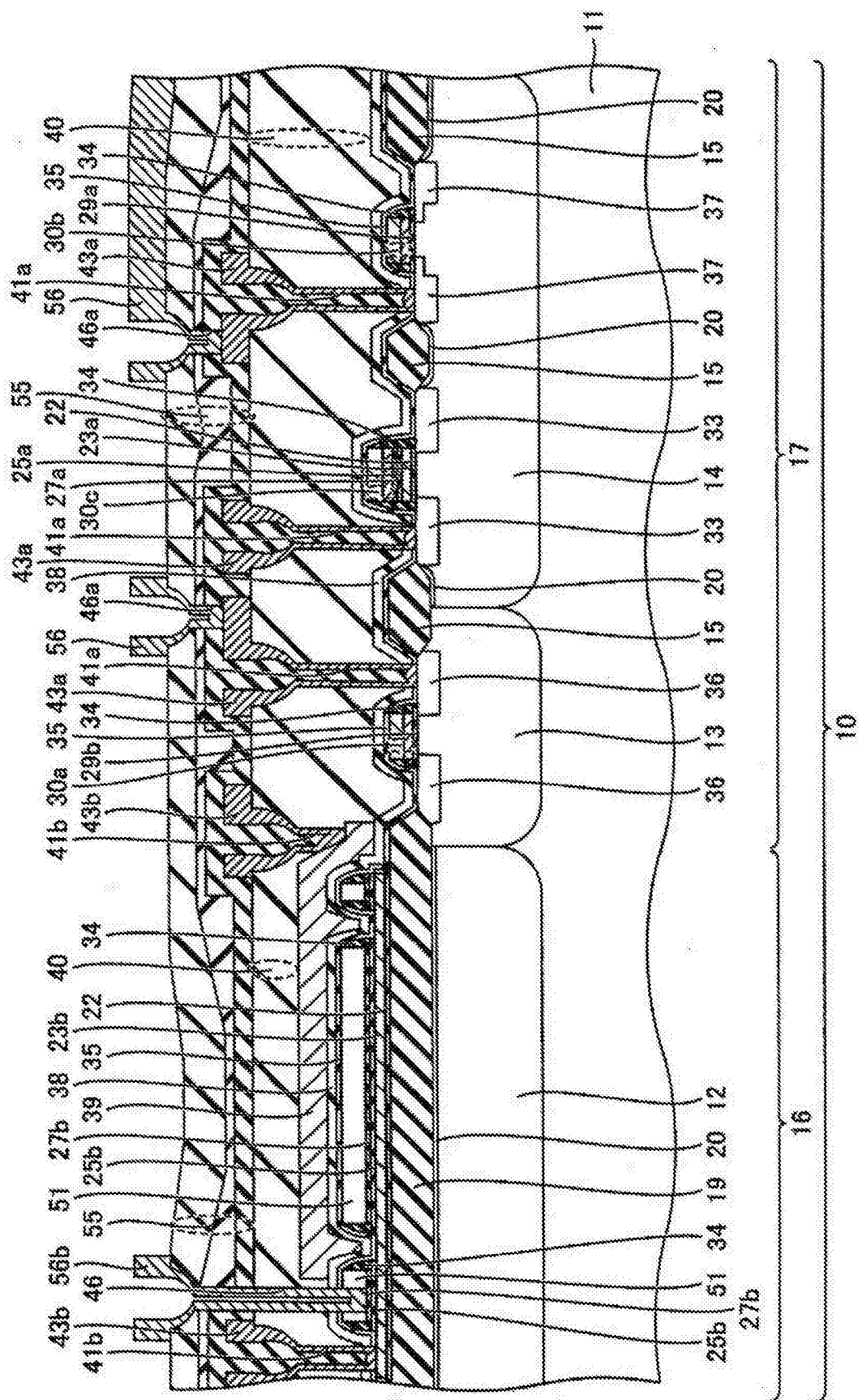


图23

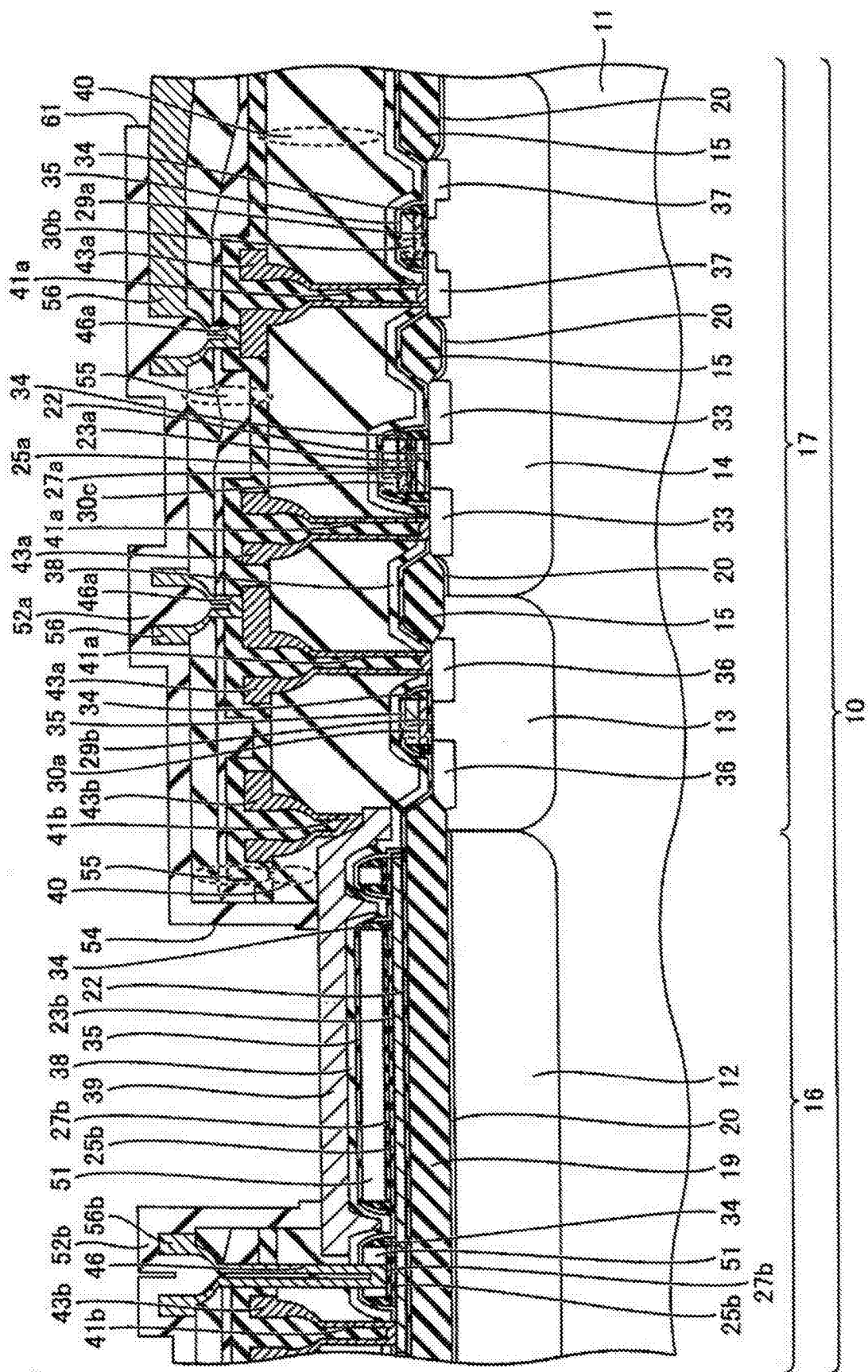


图24

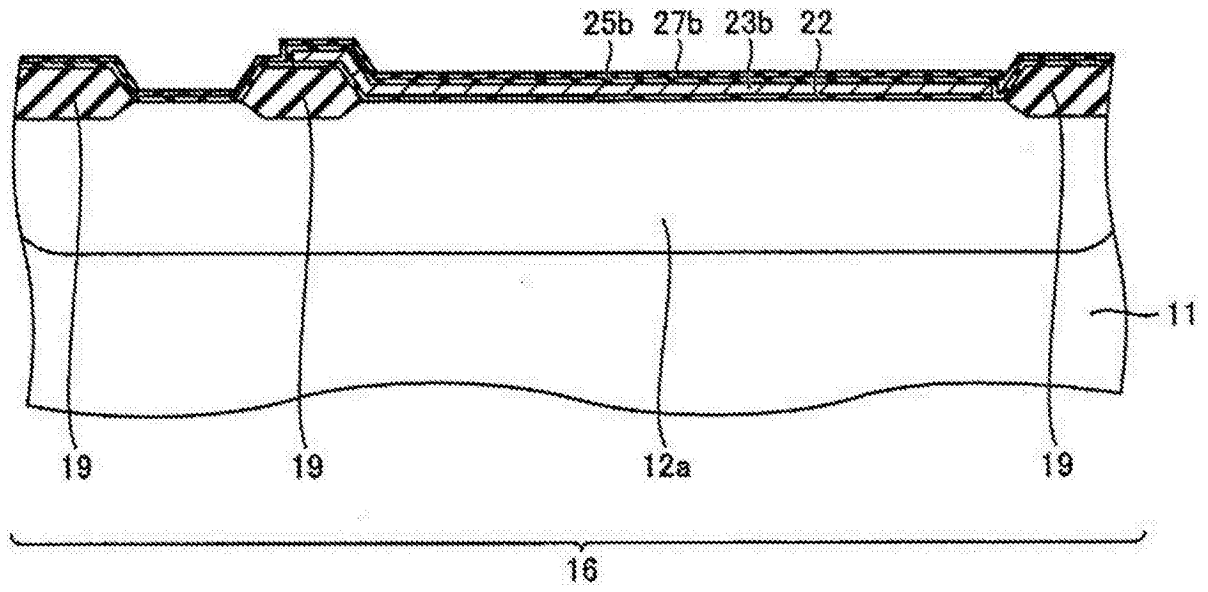


图25

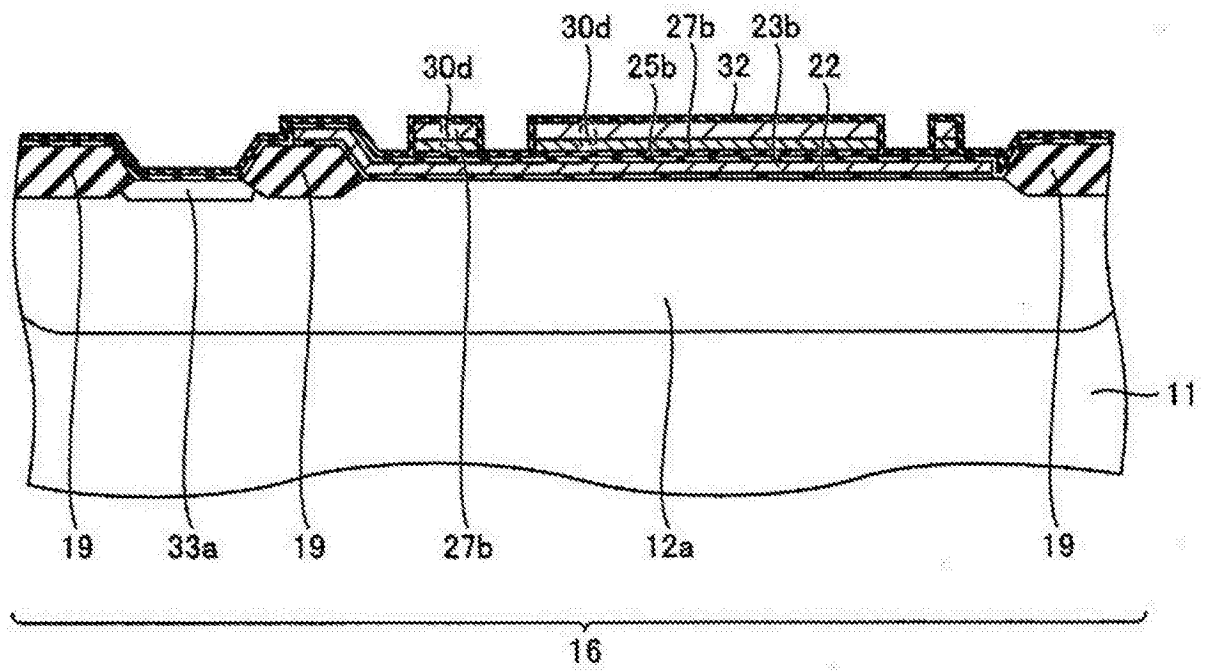


图26

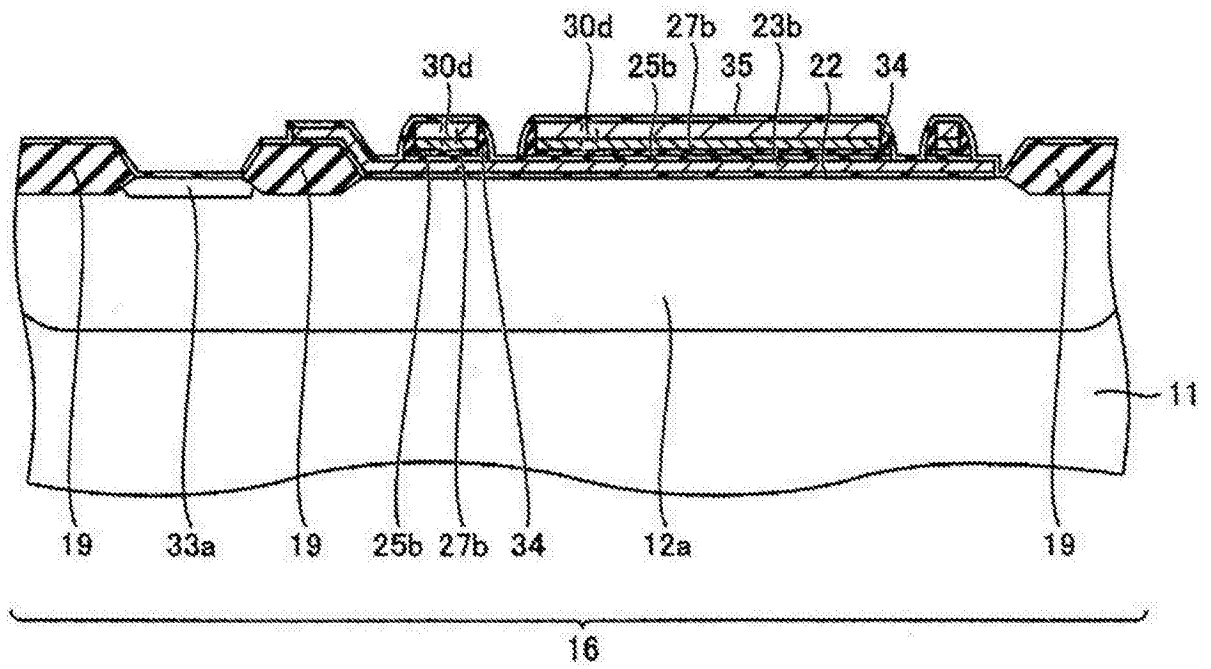


图27

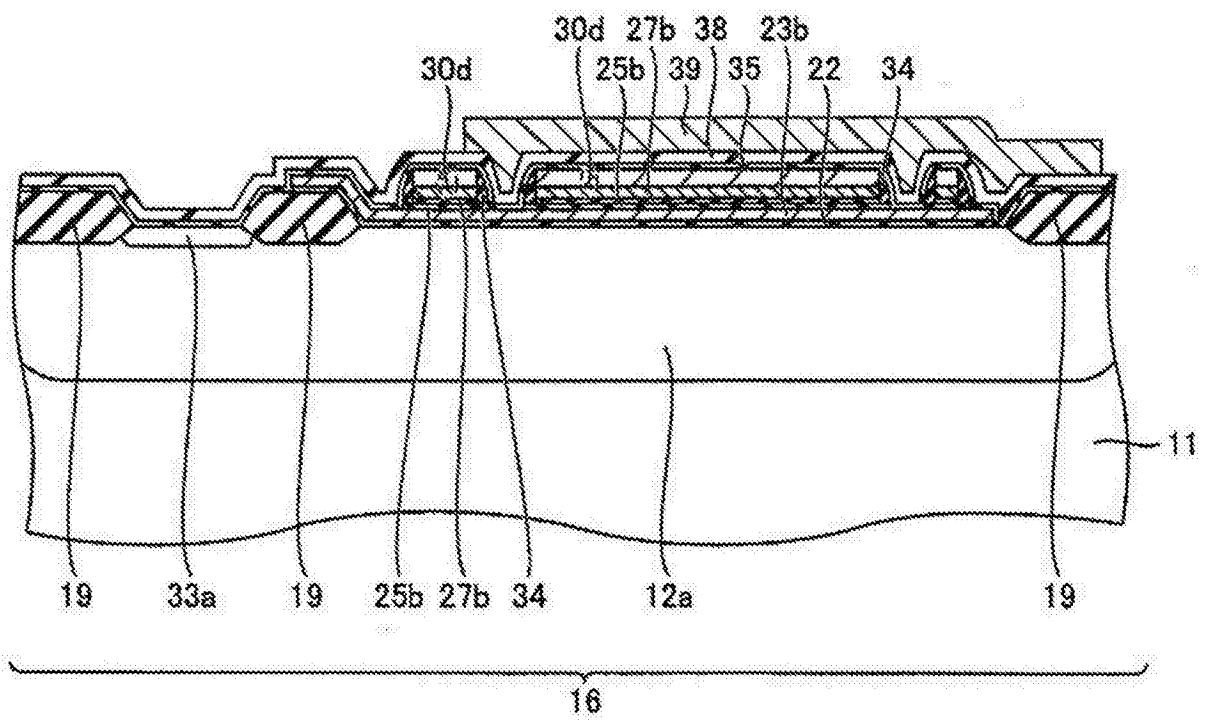


图28

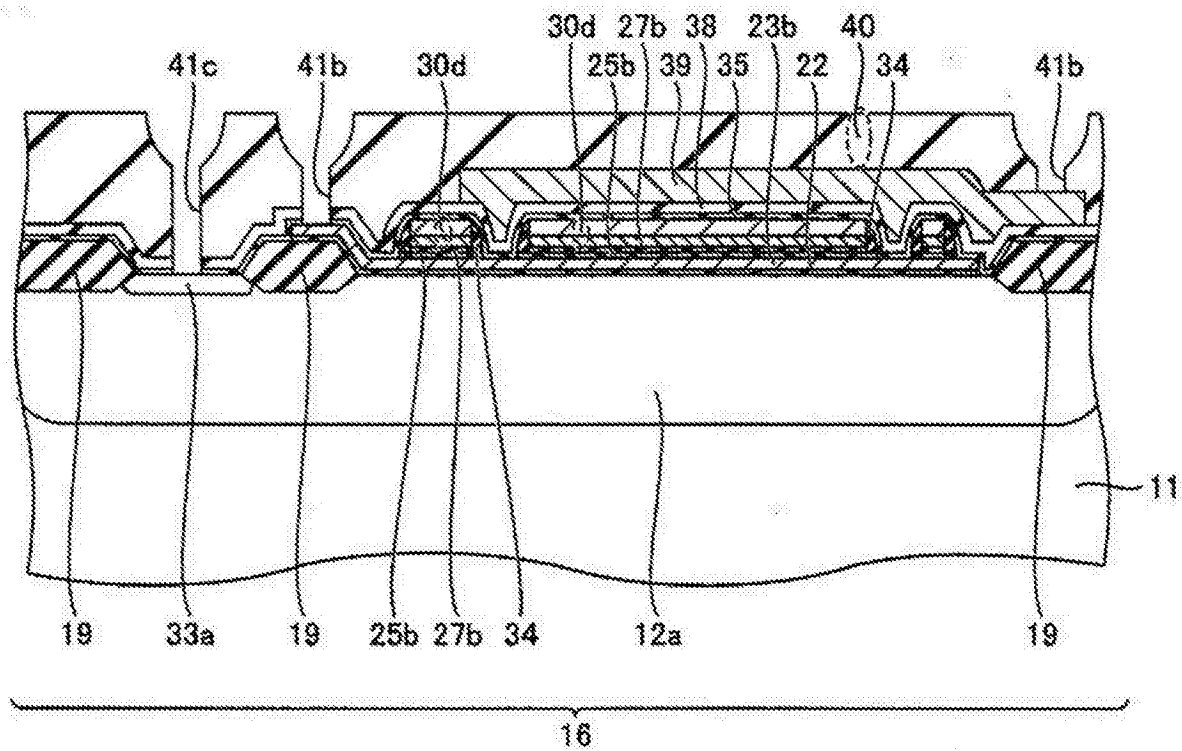


图29

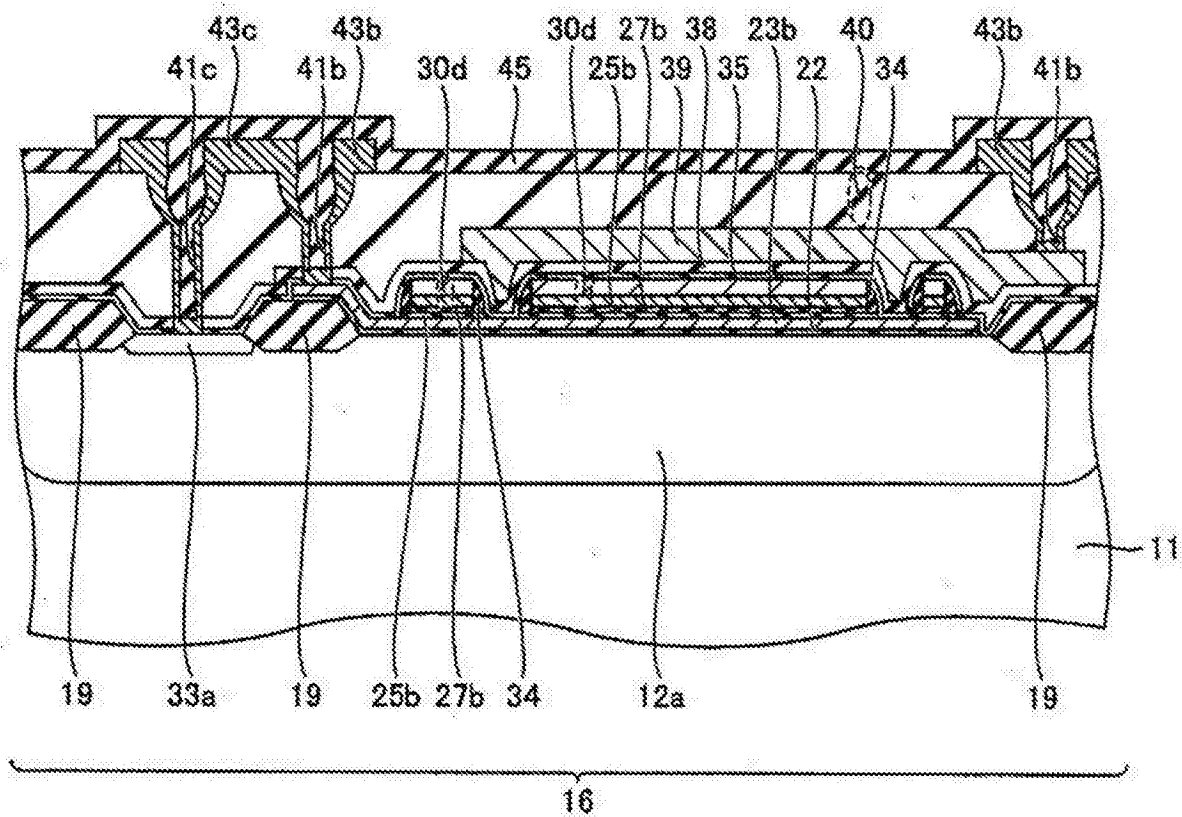


图30

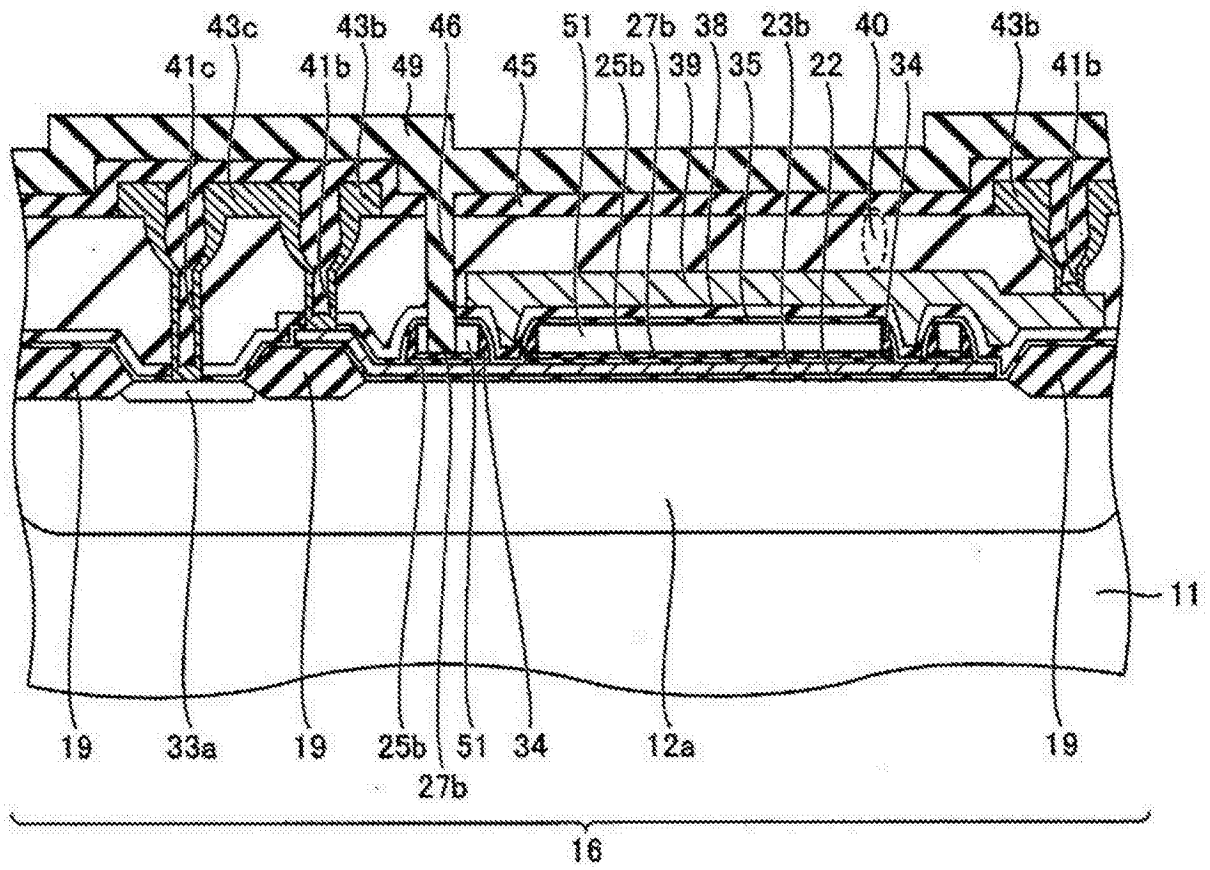


图31

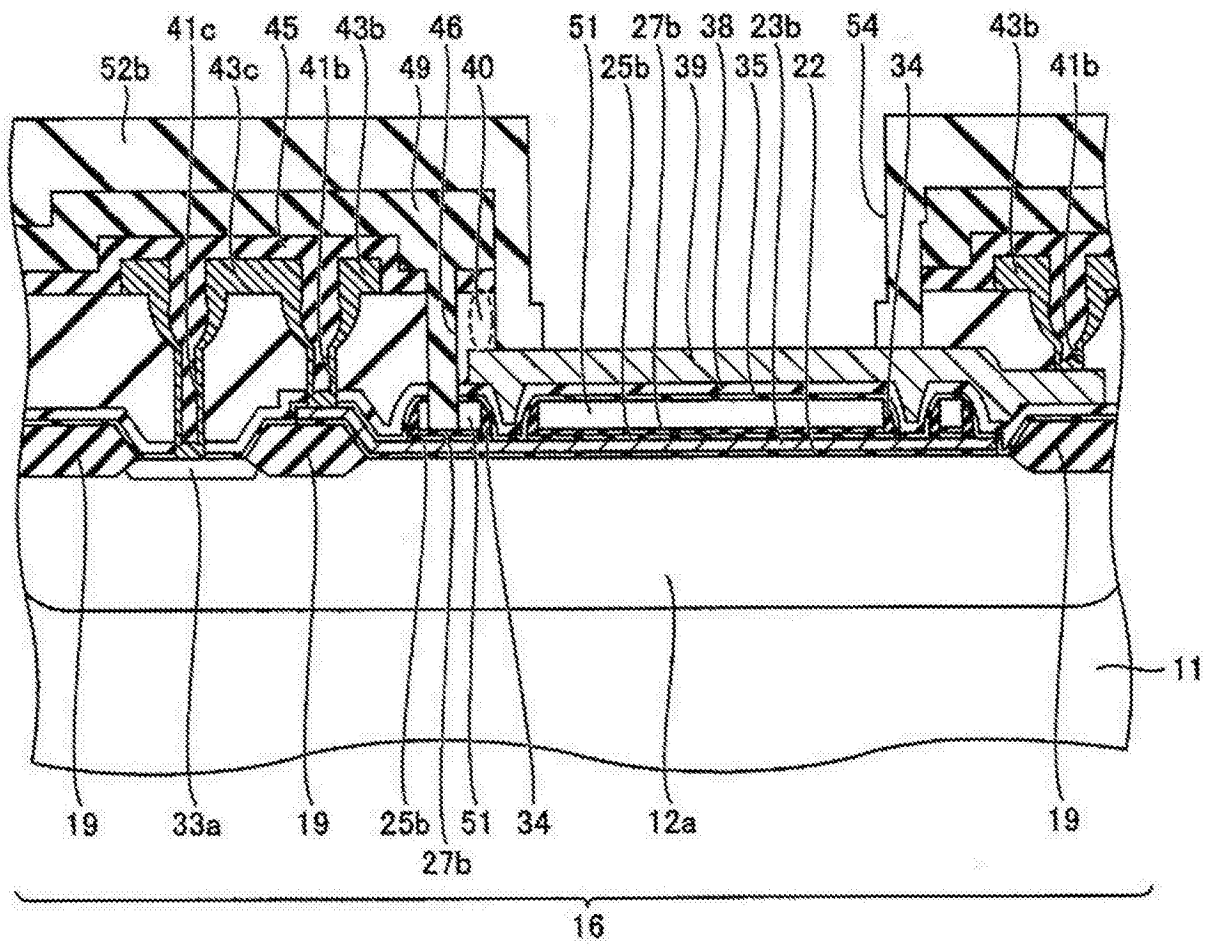


图32

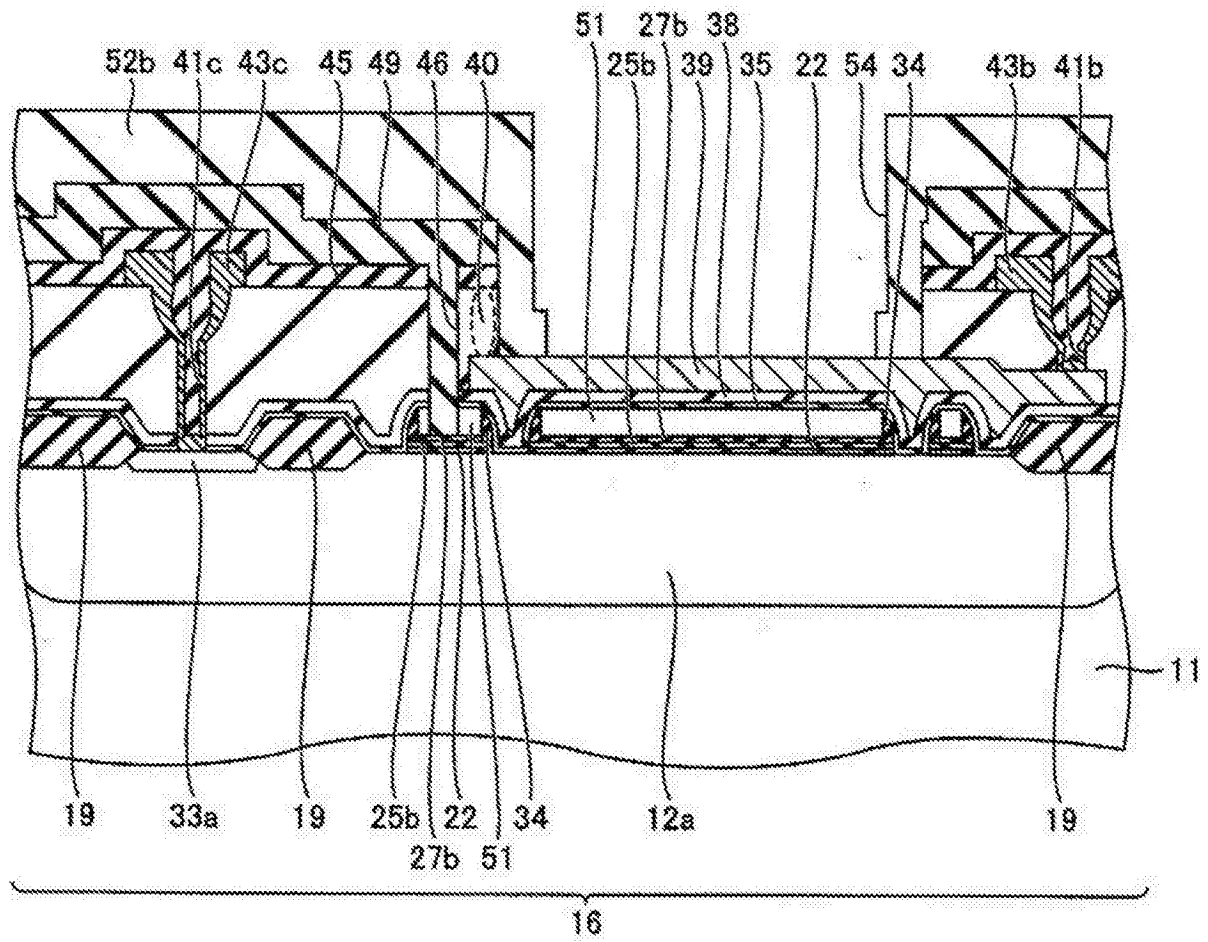


图33