

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7431400号
(P7431400)

(45)発行日 令和6年2月15日(2024.2.15)

(24)登録日 令和6年2月6日(2024.2.6)

(51)国際特許分類 F I
H 0 1 L 31/108(2006.01) H 0 1 L 31/10 C

請求項の数 14 (全28頁)

(21)出願番号	特願2022-510394(P2022-510394)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86)(22)出願日	令和2年3月27日(2020.3.27)	(74)代理人	110001195 弁理士法人深見特許事務所
(86)国際出願番号	PCT/JP2020/014284	(72)発明者	奥田 聡志 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開番号	WO2021/192296	(72)発明者	小川 新平 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開日	令和3年9月30日(2021.9.30)	(72)発明者	福島 昌一郎 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
審査請求日	令和4年8月8日(2022.8.8)	(72)発明者	嶋谷 政彰
(出願人による申告)平成30年度、防衛装備庁、安全保障技術研究推進制度、産業技術力強化法第17条の適用を受ける特許出願		最終頁に続く	

(54)【発明の名称】 電磁波検出器、電磁波検出器アレイ、および電磁波検出器の製造方法

(57)【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板上に配置され、かつ前記半導体基板の一部を露出するように形成された第1絶縁膜と、

前記第1絶縁膜上に配置された第1電極と、

前記半導体基板の一部において前記半導体基板とショットキー接合している第1接合部を有し、前記第1接合部から前記第1絶縁膜上を経て前記第1電極にまで延びる二次元材料層と、

前記半導体基板と接触している第2電極と、

前記半導体基板とショットキー接合している第2接合部を有する制御電極とを備え、
前記二次元材料層および前記制御電極は、前記第1電極と前記第2電極との間に電圧が印加されたときに、前記第2接合部の空乏層が前記第1接合部に形成される空乏層とつながるように配置されている、電磁波検出器。

【請求項2】

前記制御電極は、前記二次元材料層と接触していない、請求項1に記載の電磁波検出器。

【請求項3】

前記制御電極は、前記二次元材料層と接触している、請求項1に記載の電磁波検出器。

【請求項4】

平面視において、前記制御電極は、前記第1接合部の全周囲に配置されている、請求項

10

20

1 ~ 3 のいずれか 1 項に記載の電磁波検出器。

【請求項 5】

前記二次元材料層は、前記第 1 絶縁膜を介して前記制御電極を覆うように配置されている、請求項 1 ~ 4 のいずれか 1 項に記載の電磁波検出器。

【請求項 6】

前記制御電極は、平面視において前記二次元材料層と重ならない領域に配置されている、請求項 1 または 2 に記載の電磁波検出器。

【請求項 7】

前記制御電極は、接地ノードに接続されている、請求項 1 ~ 6 のいずれか 1 項に記載の電磁波検出器。

【請求項 8】

前記制御電極は、前記第 1 電極と電氣的に接続されている、請求項 1 ~ 6 のいずれか 1 項に記載の電磁波検出器。

【請求項 9】

前記制御電極と電氣的に接続されたカソード電極と、前記第 1 電極と電氣的に接続されたアノード電極とを含む p n ダイオードをさらに備える、請求項 8 に記載の電磁波検出器。

【請求項 10】

前記第 1 電極と前記第 2 電極との間に電圧を印加する第 1 電源と、前記制御電極に電圧を印加する第 2 電源とをさらに備える、請求項 1 ~ 6 のいずれか 1 項に記載の電磁波検出器。

【請求項 11】

前記半導体基板と前記制御電極との間に配置されている第 2 絶縁膜をさらに備え、前記制御電極は、前記第 2 絶縁膜を介して前記半導体基板とショットキー接合している、請求項 1 ~ 10 のいずれか 1 項に記載の電磁波検出器。

【請求項 12】

前記制御電極を構成する材料は、金属を含む、請求項 1 ~ 11 のいずれか 1 項に記載の電磁波検出器。

【請求項 13】

請求項 1 ~ 12 のいずれか 1 項に記載の電磁波検出器を複数備え、前記複数の電磁波検出器が、第 1 方向および第 2 方向の少なくともいずれかに沿って並んで配置されている、電磁波検出器アレイ。

【請求項 14】

半導体基板を準備する工程と、前記半導体基板とショットキー接合する第 2 接合部を有する制御電極を形成する工程と、前記半導体基板上に前記半導体基板の一部を露出する絶縁膜を形成する工程と、前記絶縁膜上に第 1 電極を形成する工程と、前記半導体基板と接触する第 2 電極を形成する工程と、前記半導体基板の一部において前記半導体基板とショットキー接合している第 1 接合部を有し、前記第 1 接合部から前記絶縁膜上を経て前記第 1 電極にまで延びる二次元材料層を形成する工程とを備え、前記二次元材料層を形成する工程により、前記二次元材料層および前記制御電極は、前記第 1 電極と前記第 2 電極との間に電圧が印加されたときに、前記第 2 接合部の空乏層が前記第 1 接合部に形成される空乏層とつながるように配置される、電磁波検出器の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電磁波検出器、電磁波検出器アレイ、および電磁波検出器の製造方法に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

従来、次世代の電磁波検出器に用いられる電磁波検出層の材料として、二次元材料層の一例である移動度が極めて高いグラフェンが知られている。さらに、次世代の電磁波検出器として、単層または複数層のグラフェンを電界効果トランジスタのチャンネルに適用したグラフェン電界効果トランジスタを用いた電磁波検出器が知られている。

【 0 0 0 3 】

グラフェン電界効果トランジスタはグラフェンのバンドギャップがゼロまたは微小であることから、電磁波を照射しない状態での電流（暗電流）が大きいという問題がある。

【 0 0 0 4 】

米国特許出願公開第 2 0 1 5 / 0 2 4 3 8 2 6 号（特許文献 1）には、グラフェン電界効果トランジスタの暗電流を低減するために、シリコン基板の表面を覆う絶縁膜に形成された開口部内において、開口部を覆うように形成されたグラフェンとシリコン基板とが直接接触する構造が開示されている。

10

【先行技術文献】

【特許文献】

【 0 0 0 5 】

【文献】米国特許出願公開第 2 0 1 5 / 0 2 4 3 8 2 6 号

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、特許文献 1 に開示された上記構造を備える電磁波検出器では、電磁波検出器（画素）毎の暗電流のばらつきを抑制することは困難であった。

20

【 0 0 0 7 】

例えば、電磁波検出器の製造工程において、シリコン基板とグラフェンとの接合界面には水分またはレジストなどの異物が残留する場合がある。このような電磁波検出器では、リーク電流が生じて暗電流が十分に低減されない。その結果、上記電磁波検出器では、電磁波検出器毎の暗電流のばらつきを十分に抑制することは困難であった。

【 0 0 0 8 】

本開示の主たる目的は、電磁波検出器毎の暗電流のばらつきが抑制された電磁波検出器、電磁波検出器アレイ、および電磁波検出器の製造方法を提供することにある。

30

【課題を解決するための手段】

【 0 0 0 9 】

本開示に係る電磁波検出器は、半導体基板と、半導体基板上に配置され、かつ半導体基板の一部を露出するように形成された第 1 絶縁膜と、第 1 絶縁膜上に配置された第 1 電極と、半導体基板の一部において半導体基板とショットキー接合している接合部を有し、接合部から第 1 絶縁膜上を経て第 1 電極にまで延びる二次元材料層と、半導体基板と接触している第 2 電極と、平面視において接合部の周囲の少なくとも一部に配置されており、かつ半導体基板とショットキー接合している制御電極とを備える。

【発明の効果】

【 0 0 1 0 】

本開示によれば、電磁波検出器毎の暗電流のばらつきが抑制された電磁波検出器、電磁波検出器アレイ、および電磁波検出器の製造方法を提供できる。

40

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】実施の形態 1 に係る電磁波検出器の平面模式図である。

【図 2】図 1 中の線分 I I - I I における断面模式図である。

【図 3】実施の形態 1 に係る電磁波検出器の製造方法を説明するためのフローチャートである。

【図 4】実施の形態 1 に係る電磁波検出器の動作例を示す断面模式図である。

【図 5】実施の形態 1 に係る電磁波検出器の動作例を示すグラフである。

50

【図 6】実施の形態 1 に係る電磁波検出器の第 1 変形例を示す断面模式図である。

【図 7】図 6 中の線分 V I I - V I I における断面模式図である。

【図 8】実施の形態 1 に係る電磁波検出器の第 2 変形例を示す断面模式図である。

【図 9】図 8 中の線分 I X - I X における断面模式図である。

【図 10】実施の形態 2 に係る電磁波検出器の平面模式図である。

【図 11】図 10 中の線分 X I - X I における断面模式図である。

【図 12】実施の形態 3 に係る電磁波検出器の平面模式図である。

【図 13】図 12 中の線分 X I I I - X I I I における断面模式図である。

【図 14】実施の形態 3 に係る電磁波検出器の第 1 変形例を示す断面模式図である。

【図 15】実施の形態 3 に係る電磁波検出器の第 2 変形例を示す断面模式図である。

10

【図 16】図 15 中の線分 X V I - X V I における断面模式図である。

【図 17】実施の形態 4 に係る電磁波検出器を示す断面模式図である。

【図 18】図 17 中の線分 X V I I I - X V I I I における断面模式図である。

【図 19】実施の形態 5 に係る電磁波検出器を示す断面模式図である。

【図 20】図 19 中の線分 X X - X X における断面模式図である。

【図 21】実施の形態 6 に係る電磁波検出器を示す断面模式図である。

【図 22】図 21 中の線分 X X I I - X X I I における断面模式図である。

【図 23】図 21 中の線分 X X I I I - X X I I I における断面模式図である。

【図 24】実施の形態 7 に係る電磁波検出器を示す断面模式図である。

【図 25】図 24 中の線分 X X V - X X V における断面模式図である。

20

【図 26】図 24 中の線分 X X V I - X X V I における断面模式図である。

【図 27】実施の形態 7 に係る電磁波検出器の変形例を示す平面模式図である。

【図 28】図 27 中の線分 X X V I I I - X X V I I I における断面模式図である。

【図 29】実施の形態 8 に係る電磁波検出器を示す平面模式図である。

【図 30】図 29 中の線分 X X X - X X X における断面模式図である。

【図 31】実施の形態 9 に係る電磁波検出器を示す平面模式図である。

【図 32】図 31 中の線分 X X X I I - X X X I I における断面模式図である。

【図 33】実施の形態 10 に係る電磁波検出器を示す平面模式図である。

【図 34】図 33 中の線分 X X X I V - X X X I V における断面模式図である。

【図 35】実施の形態 11 に係る電磁波検出器アレイの平面模式図である。

30

【図 36】実施の形態 11 に係る電磁波検出器アレイの変形例を示す平面模式図である。

【発明を実施するための形態】

【0012】

以下、図面を参照して、本発明の実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

【0013】

以下に説明する実施の形態において、図は模式的なものであり、機能又は構造を概念的に説明するものである。また、以下に説明する実施の形態により本発明が限定されるものではない。特記する場合を除いて、電磁波検出器の基本構成は全ての実施の形態において共通である。また、同一の符号を付したものは、上述のように同一又はこれに相当するものである。これは明細書の全文において共通する。

40

【0014】

以下に説明する実施の形態では、電磁波検出器について、可視光又は赤外光を検出する場合の構成を用いて説明するが、本発明はこれらに限定されない。以下に説明する実施の形態は、可視光または赤外光に加えて、例えば、X線、紫外光、近赤外光、テラヘルツ (THz) 波、又は、マイクロ波などの電波を検出する検出器としても有効である。なお、本発明の実施の形態において、これらの光及び電波を総称して電磁波と記載する。

【0015】

また、本発明の実施の形態では、グラフェンとして p 型グラフェン又は n 型グラフェンの用語が用いられる場合がある。以下の実施の形態では、真性状態のグラフェンよりも正

50

孔が多いものをp型グラフェン、電子が多いものをn型グラフェンと呼ぶ。

【0016】

また、本発明の実施の形態では、二次元材料層の一例であるグラフェンに接触する部材の材料について、n型又はp型の用語が用いられる場合がある。ここでは、例えば、n型材料とは電子供与性を有する材料、p型材料とは電子求引性を有する材料を示す。また、分子全体において電荷に偏りが見られ、電子が支配的となるものをn型、正孔が支配的となるものをp型と呼ぶ場合もある。これらの材料としては、有機物及び無機物のいずれか一方又はそれらの混合物を用いることができる。

【0017】

また、以下に説明する実施の形態では、二次元材料層の材料として、グラフェンを例に説明を行っているが、二次元材料層を構成する材料はグラフェンに限られない。たとえば、二次元材料層の材料としては、遷移金属ダイカルコゲナイド(Transit ion Metal Dichalcogenide)、黒リン(Black Phosphorus)、シリセン(シリコン原子による二次元八面体構造)、ゲルマネン(ゲルマニウム原子による二次元八面体構造)等の材料を適用することができる。遷移金属ダイカルコゲナイドとしては、たとえば、硫化モリブデン(MoS_2)、硫化タングステン(WS_2)、セレン化タングステン(WSe_2)等の遷移金属ダイカルコゲナイドが挙げられる。これらの材料は、グラフェンと類似の構造を有しており、原子を二次元面内に単層で配列することが可能な材料である。したがって、これらの材料を二次元材料層に適用した場合においても、二次元材料層にグラフェンを適用した場合と同様の作用効果を得ることができる。

10

20

【0018】

実施の形態1.

図1および図2に示されるように、実施の形態1に係る電磁波検出器100Aは、半導体基板1、第1絶縁膜2、第1電極3、二次元材料層5、第2電極6、および制御電極7を主に備える。

【0019】

半導体基板1は、第1面1Aおよび第2面1Bを有している。第2面1Bは、第1面1Aとは反対側に位置している。第1面1Aおよび第2面1Bは、例えば平面である。

【0020】

半導体基板1は、上述した電磁波の中から予め定められた検出波長に感度を有している。半導体基板1は、n型またはp型の導電性を有しており、半導体基板1に予め定められた検出波長の電磁波が入射したときに半導体基板1内に光キャリアが生じるように設けられている。半導体基板1を構成する半導体材料は、感度を有すべき検出波長に応じて任意に選択され得る。

30

【0021】

半導体基板1を構成する半導体材料は、例えばシリコン(Si)、ゲルマニウム(Ge)、III-V族半導体またはII-V族半導体などの化合物半導体、HgCdTe、InSb、鉛セレン(PbSe)、鉛硫黄(PbS)、カドミウム硫黄(CdS)、窒化ガリウム(GaN)、シリコンカーバイド(SiC)、リン化ガリウム(GaP)、ヒ化インジウムガリウム(InGaAs)、およびヒ化インジウム(InAs)からなる群から選択される少なくとも1つを含む。半導体基板1は、例えば上記群から選択された2以上の半導体材料からなる量子井戸又は量子ドットを含む基板であってもよいし、Type I超格子を含む基板であってもよいし、又はそれらを組み合わせた基板であってもよい。

40

【0022】

第1絶縁膜2は、半導体基板1の第1面1A上に配置されている。第1絶縁膜2上には、第1電極3が配置されている。第1絶縁膜2は、半導体基板1の第1面1Aの一部を露出するように形成されている。言い換えると、半導体基板1の第1面1Aの一部は、第1絶縁膜2から露出した露出部4として構成されている。第1絶縁膜2は、平面視において第1電極3と重なる第1絶縁膜2の一部領域と間隔を隔てて形成されており、かつ第1面

50

1 Aと交差する方向に延びる端面 2 Aを有している。第 1 絶縁膜 2 を構成する材料および第 1 絶縁膜 2 の厚みは、トンネル電流が半導体基板 1 と第 1 電極 3 との間に生じることを防止するように選択される。

【 0 0 2 3 】

第 1 絶縁膜 2 を構成する材料は、例えば酸化シリコン (SiO_2)、窒化シリコン (Si_3N_4)、酸化ハフニウム (HfO_2)、酸化アルミニウム (Al_2O_3)、酸化ニッケル (NiO)、およびボロンナイトライド (BN) からなる群から選択される少なくとも 1 つを含む。

【 0 0 2 4 】

第 1 電極 3 は、第 1 絶縁膜 2 上において、端面 2 A から離れた位置に配置されている。第 1 電極 3 は、二次元材料層 5 と電気的に接続されている。第 2 電極 6 は、半導体基板 1 に接触している。第 2 電極 6 は、例えば半導体基板 1 の第 2 面 1 B に接触している。好ましくは、第 2 電極 6 は、半導体基板 1 とオーミック接合している。図 2 に示されるように、第 1 電極 3 および第 2 電極 6 は、電源回路に電気的に接続されている。電源回路は、第 1 電極 3 および第 2 電極 6 の間に電圧を印加する電源 1 1 と、第 1 電極 3 および第 2 電極 6 の間に流れる電流を測定する電流計 1 0 とを含む。

【 0 0 2 5 】

第 1 電極 3 および第 2 電極 6 を構成する材料は任意の導電体であればよいが、好ましくは半導体基板 1 とオーミック接合する材料であり、例えば金 (Au)、銀 (Ag)、銅 (Cu)、アルミニウム (Al)、ニッケル (Ni)、クロム (Cr)、およびパラジウム (Pd) からなる群から選択される少なくとも 1 つを含む。第 1 電極 3 と第 1 絶縁膜 2 との間には、第 1 電極 3 と第 1 絶縁膜 2 との密着性を高める図示しない密着層が形成されていてもよい。第 2 電極 6 と半導体基板 1 との間には、第 2 電極 6 と半導体基板 1 との密着性を高める図示しない密着層が形成されていてもよい。密着層を構成する材料は、例えばクロム (Cr) またはチタン (Ti) 等の金属材料を含む。

【 0 0 2 6 】

二次元材料層 5 は、露出部 4 の少なくとも一部とショットキー接合している接合部 1 2 を有している。以下、二次元材料層 5 と半導体基板 1 とのショットキー接合を、第 1 ショットキー接合とよぶ。二次元材料層 5 は、例えば露出部 4 の一部と接触している。二次元材料層 5 は、接合部 1 2 から第 1 絶縁膜 2 上を経て第 1 電極 3 にまで延びている。

【 0 0 2 7 】

二次元材料層 5 は、例えば長手方向と、該長手方向と交差するおよび短手方向とを有している。二次元材料層 5 の長手方向の一端が、接合部 1 2 を成している。二次元材料層 5 の長手方向の一端の短手方向の全体が、接合部 1 2 を成している。二次元材料層 5 の長手方向の他端は、第 1 電極 3 と電気的に接続されている。

【 0 0 2 8 】

二次元材料層 5 は、例えば単層グラフェンまたは多層グラフェンである。二次元材料層 5 は、例えばグラフェンナノリボンを含んでもよい。二次元材料層 5 は、複数の単層グラフェンからなる乱層積層グラフェンを含んでもよい。上述のように、二次元材料層 5 を構成する材料は、グラフェン、遷移金属ダイカルコゲナイド、黒リン、シリセン、およびゲルマネンからなる群から選択される少なくとも 1 つを含んでもよい。また、二次元材料層 5 は、上記群から選択される 2 以上の材料が組み合わせられたヘテロ積層構造を有していてもよい。

【 0 0 2 9 】

二次元材料層 5 上には、図示しない保護膜が形成されていてもよい。このような保護膜を構成する材料は、例えば、 SiO_2 、 Si_3N_4 、 HfO_2 、 Al_2O_3 、 NiO 、および BN からなる群から選択される少なくとも 1 つを含む。

【 0 0 3 0 】

制御電極 7 は、平面視において接合部 1 2 の周囲の一部に配置されており、かつ半導体基板 1 とショットキー接合している。以下、制御電極 7 と半導体基板 1 とのショットキー

10

20

30

40

50

接合を、第2ショットキー接合とよぶ。制御電極7は、半導体基板1の第1面1Aと接触している。制御電極7は、例えば接合部12と間隔を隔てて配置されている。制御電極7は、例えば第1絶縁膜2に覆われている。制御電極7は、二次元材料層5と直接接合していない。制御電極7は、電源と接続されない。

【0031】

二次元材料層5および制御電極7は、第2ショットキー接合の空乏層が第1ショットキー接合に逆バイアスが印加されたときに第1ショットキー接合に形成される空乏層とつながるように、配置されている。二次元材料層5および制御電極7は、第2ショットキー接合の空乏層が第1ショットキー接合に逆バイアスが印加されたときに第1ショットキー接合に形成される空乏層とつながることにより形成された空乏層全体が、第1ショットキー接合の界面全体を覆うように配置されている。

10

【0032】

制御電極7は、例えば二次元材料層5の長手方向において、接合部12に対して第1電極3とは反対側に配置されている。制御電極7は、例えば長手方向と、該長手方向と交差する短手方向とを有している。制御電極7の長手方向は、例えば二次元材料層5の短手方向に沿っている。制御電極7の短手方向は、例えば二次元材料層5の長手方向に沿っている。制御電極7の長手方向の幅は、二次元材料層5の短手方向の幅以上である。制御電極7の長手方向の幅は、例えば二次元材料層5の短手方向の幅よりも広い。二次元材料層5の長手方向における接合部12の幅は、例えば制御電極7の短手方向の幅よりも広い。

【0033】

制御電極7を構成する材料は、半導体基板1とショットキー接合する金属材料を含む。半導体基板1がn型の導電性を有する場合、制御電極7を構成する材料は、半導体基板1を構成する半導体材料よりも仕事関数が高い金属である。

20

【0034】

好ましくは、制御電極7を構成する材料は、第2ショットキー接合の障壁高さ(制御電極7を構成する材料の仕事関数と半導体基板1を構成する材料の電子親和力との差)が、第1ショットキー接合の障壁高さ(二次元材料層5を構成する材料の仕事関数と半導体基板1を構成する材料の電子親和力との差)よりも高くなるように選択された、金属である。半導体基板1がn型のSi基板である場合、制御電極7を構成する材料は例えばAuおよびNiの少なくともいずれかを含む。半導体基板1がp型の導電性を有する場合、制御電極7を構成する材料は、半導体基板1を構成する半導体材料よりも仕事関数が小さい金属である。半導体基板1がp型のSi基板である場合、制御電極7を構成する材料は例えばインジウム(In)およびスズ(Sn)の少なくともいずれかを含む。

30

【0035】

<電磁波検出器の製造方法>

図3は、実施の形態1に係る電磁波検出器の製造方法を説明するためのフローチャートである。図3を参照しながら、図1および図2に示される電磁波検出器の製造方法を説明する。

【0036】

まず、図3に示す準備工程(S1)を実施する。この工程(S1)では、平坦な半導体基板1を準備する。半導体基板1は、第1面1Aおよび第2面1Bを有している。該半導体基板1を構成する半導体材料は、予め定められた検出波長に感度を有している半導体材料である。

40

【0037】

次に、制御電極形成工程(S2)を実施する。この工程(S2)では、半導体基板1の第1面1A上に制御電極7を形成する。制御電極7を形成する方法は、特に制限されるものではないが、例えば蒸着法またはスパッタリング法による成膜処理、写真製版処理、およびエッチング処理を含む。

【0038】

次に、第2電極形成工程(S3)を実施する。この工程(S3)では、半導体基板1の

50

第2面1Bに第2電極6を形成する。第2電極6を形成する方法は、特に制限されるものではないが、例えば蒸着法またはスパッタリング法による成膜処理、写真製版処理、およびエッチング処理を含む。第2電極6を形成する前に、半導体基板1と第2電極6との密着性を向上させるために、半導体基板1において第2電極6と接続される領域に、上述した密着層を予め形成しておいてもよい。

【0039】

次に、絶縁膜形成工程(S4)を実施する。この工程(S4)では、半導体基板1の第1面1A上に、第1絶縁膜2を形成する。第1絶縁膜2の成膜方法は、特に制限されないが、例えばプラズマCVD(Chemical Vapor Deposition)法または原子層体積法(ALD)である。

10

【0040】

なお、後述する露出部形成工程(S6)におけるエッチングによる半導体基板1の損傷、汚染を抑制するために、本絶縁膜形成工程(S4)の直前に半導体基板1と第1絶縁膜2の間にバリア膜を形成してもよい。バリア膜を構成する材料は、露出部形成工程(S6)で用いられるエッチャントに対し、第1絶縁膜2を構成する材料よりも高い耐性を持つ材料(エッチング速度が遅い材料)であればよく、例えば窒化シリコン(SiN)、酸化アルミニウム(Al₂O₃)、またはグラフェンである。

【0041】

次に、第1電極形成工程(S5)を実施する。この工程(S5)では、第1絶縁膜2上に第1電極3を形成する。第1電極3を形成する方法は、特に制限されるものではないが、例えば蒸着法またはスパッタリング法による成膜処理、写真製版処理、およびエッチング処理を含む。第1電極3を形成する前に、第1絶縁膜2と第1電極3との密着性を向上させるために、第1絶縁膜2において第1電極3と接続される領域に、上述した密着層を予め形成しておいてもよい。

20

【0042】

次に、露出部形成工程(S6)を実施する。この工程(S6)では、第1絶縁膜2の一部を除去することにより、半導体基板1に第1絶縁膜2から露出した露出部4を形成する。具体的には、第1絶縁膜2上に写真製版またはEB描画によりレジストマスクを形成する。レジストマスクは、第1絶縁膜2が形成されるべき領域を覆うとともに、露出部4が形成されるべき領域を露出するように形成されている。その後、レジストマスクをエッチングマスクとして第1絶縁膜2をエッチングする。エッチングの手法は、フッ酸などを用いたウェットエッチングおよび反応性イオンエッチング法などを用いたドライエッチングのいずれかから任意に選択され得る。エッチング後に、レジストマスクが除去される。このようにして、露出部4が形成される。上記工程(S6)は工程(S5)より先に実施してもよい。

30

【0043】

次に、二次元材料層形成工程(S7)を実施する。この工程(S7)では、第1絶縁膜2および露出部4の各々の少なくとも一部上に、二次元材料層5を形成する。二次元材料層5を形成する方法は、特に制限されないが、エピタキシャル成長法による成膜処理、写真製版処理、およびエッチング処理を含む。

40

【0044】

以上の工程(S1~S7)により、図1および図2に示される電磁波検出器100Aが製造される。

【0045】

なお、露出部形成工程(S6)は、第1電極形成工程(S5)よりも前に行われてもよい。つまり、電磁波検出器100Aの製造方法では、上記工程(S1)、上記工程(S2)、上記工程(S3)、上記工程(S4)、上記工程(S6)、上記工程(S5)、および上記工程(S7)が、この記載順に実施されてもよい。

【0046】

<動作>

50

次に、本実施の形態に係る電磁波検出器の動作について説明する。

【0047】

図4は、電磁波検出器100Aの動作例を示す断面模式図である。図4に示すように、第1電極3および第2電極6の間に電源回路(図示せず)が電氣的に接続される。電源回路は、第1電極3および第2電極6の間に電圧Vを印加する電源11と、電源回路を流れる電流Iを測定する電流計10とを含む。電圧の正負は、第1ショットキー接合に逆バイアスが印加されるように、半導体基板1の導電型(ドーピング型)に応じて選択される。電源11が第1電極3の電位が第2電極6の電位よりも高くなるように両者に印加する電圧を正の電圧とする。導電型がp型であれば、図4に示されるように、第1電極3と第2電極6との間に正の電圧が印加される。導電型がn型であれば、第1電極3と第2電極6との間に負の電圧が印加される。このようにして、電磁波検出器100Aは、半導体基板1が感度を有する波長の電磁波を検出可能な状態とされる。

10

【0048】

電磁波検出器100Aは電磁波を検出可能な状態では、第1ショットキー接合に逆バイアスが印加されている。そのため、第1ショットキー接合の界面の空乏層は、その周囲に伸長して、第2ショットキー接合の空乏層とつながる。その結果、第1ショットキー接合および第2ショットキー接合が形成された電磁波検出器100Aでは、第1ショットキー接合のみが形成された電磁波検出器と比べて、暗電流が低減されている。

【0049】

図5は、電磁波検出器100Aの動作例を示すグラフである。図5の横軸は電源11が第1ショットキー接合に印加する電圧(単位:V)を示し、図5の縦軸は電流計10が測定した電流値(単位:A)を示す。図5中の実線は、電磁波を検出可能な状態とされた電磁波検出器100Aに電磁波が照射されていない状態を示し、図5中の点線は電磁波を検出可能な状態とされた電磁波検出器100Aに電磁波が照射された状態を示す。

20

【0050】

図5の実線が示すように、電磁波検出器100Aに電磁波が照射されていない状態では、暗電流が低く抑えられている。一方で、図5の点線が示すように、電磁波検出器100Aに電磁波が照射されている状態では、半導体基板1の空乏層内に光キャリアが生成される。接合部12の近傍の半導体基板1に生じた光キャリアが二次元材料層5に流入することで、逆方向電流が増加し、電流Iが変化する。このように、電磁波照射に起因して電流Iに変化を引き起こす電流成分を光電流とよぶ。なお、半導体基板1の導電型がn型である場合、正孔が二次元材料層5に流入することで逆方向電流が増加し、電流Iが変化する。

30

【0051】

さらに、第1ショットキー接合に逆バイアスが印加された状態では、半導体基板1と第1絶縁膜2との界面にも空乏層が形成される。電磁波が半導体基板1に入射すると、当該空乏層内にも光キャリア(例えば半導体基板1の導電型がn型である場合には正孔)が生成され、半導体基板1と第1絶縁膜2との界面に蓄積する。当該界面に蓄積した光キャリアは、トランジスタのゲート電圧と同様に、第1絶縁膜2を介してチャネルとして作用する二次元材料層5のキャリア密度を変調する。この結果、二次元材料層5の導電率が変化する。二次元材料層5に流れる電流Iが変化する。この効果を、光ゲート効果とよぶ。光ゲート効果によって半導体基板1の光電変換で生じた光キャリアによる電流が増幅されるので、光電流から算出される量子効率(量子効率)は極めて大きな値となる。このため、電磁波検出器100Aの検出感度は高い。

40

【0052】

<作用効果>

上述のように、第2ショットキー接合が形成されておらずグラフェンとシリコン基板とのショットキー接合のみが形成された特許文献1に記載の電磁波検出器では、グラフェンとシリコン基板との接合界面に水分およびフォトレジストなどの異物が残留することによって、暗電流が十分に低減されない場合がある。また、上記異物によりグラフェンのフェルミ準位が変調し、ショットキー障壁高さが低くなる場合がある。このような理由により

50

、特許文献 1 に記載の電磁波検出器では、電磁波検出器（画素）毎の暗電流のばらつきを十分に抑制することは困難であった。電磁波検出器（画素）毎の暗電流のばらつきは、特に複数の電磁波検出器を接続させて電磁波検出器アレイを形成する場合に、電磁波検出器アレイの製造歩留まりを低下させるために問題となる。

【 0 0 5 3 】

電磁波検出器 1 0 0 A では、二次元材料層 5 と半導体基板 1 との第 1 ショットキー接合の周囲に、制御電極 7 と半導体基板 1 との第 2 ショットキー接合が形成されている。そのため、電磁波検出器 1 0 0 A では、第 1 ショットキー接合に予め定められた逆バイアスが印加されることで、第 1 ショットキー接合の界面の空乏層は第 2 ショットキー接合の空乏層とつながることができる。第 1 ショットキー接合および第 2 ショットキー接合が形成された電磁波検出器 1 0 0 A では、第 1 ショットキー接合のみが形成された電磁波検出器と比べて、第 1 ショットキー接合での暗電流が低減されている。

10

【 0 0 5 4 】

さらに、電磁波検出器 1 0 0 A の製造方法において、二次元材料層形成工程（S 7）は絶縁膜形成工程（S 4）および露出部形成工程（S 6）後に行われるのに対し、制御電極形成工程（S 2）は絶縁膜形成工程（S 4）および露出部形成工程（S 6）前に行われる。そのため、制御電極形成工程（S 2）で制御電極 7 が形成されるべき第 1 面 1 A 上の領域は、二次元材料層形成工程（S 7）で二次元材料層 5 が形成されるべき第 1 面 1 A 上の領域よりも、上記異物が残留しにくい。そのため、電磁波検出器 1 0 0 A では、電磁波検出器 1 0 0 A 毎の第 2 ショットキー接合の障壁高さ（制御電極 7 を構成する材料の仕事関数と半導体基板 1 を構成する材料の電子親和力との差）のばらつきが、電磁波検出器 1 0 0 A 毎の第 1 ショットキー接合の障壁高さ（二次元材料層 5 を構成する材料の仕事関数と半導体基板 1 を構成する材料の電子親和力との差）のばらつきよりも低減されている。その結果、電磁波検出器 1 0 0 A では、第 1 ショットキー接合のみが形成された電磁波検出器と比べて、電磁波検出器 1 0 0 A 毎の暗電流のばらつきが低減されている。

20

【 0 0 5 5 】

さらに、制御電極 7 を構成する材料が金属材料であるため、制御電極 7 と半導体基板 1 との第 2 ショットキー接合の接合界面は、二次元材料層 5 と半導体基板 1 との第 1 ショットキー接合の接合界面よりも上記異物の残留を容易に抑制できる。さらに、制御電極 7 を構成する金属材料のフェルミ準位は二次元材料層 5 を構成する材料のフェルミ準位と比べて変調しにくい。そのため、電磁波検出器 1 0 0 A では、電磁波検出器 1 0 0 A 毎の第 2 ショットキー接合の障壁高さのばらつきが、電磁波検出器 1 0 0 A 毎の第 1 ショットキー接合の障壁高さのばらつきよりも低減されている。その結果、電磁波検出器 1 0 0 A では、第 1 ショットキー接合のみが形成された電磁波検出器と比べて、電磁波検出器 1 0 0 A 毎の暗電流のばらつきが低減されている。

30

【 0 0 5 6 】

また、電磁波検出器 1 0 0 A では、第 2 ショットキー接合の障壁高さを第 1 ショットキー接合の障壁高さよりも高くできる。このような電磁波検出器 1 0 0 A では、第 1 ショットキー接合のみが形成された電磁波検出器と比べて、暗電流が低減されている電圧範囲（図 4 中の低暗電流領域）が広がる。つまり、電磁波検出器 1 0 0 A では、第 1 ショットキー接合のみが形成された電磁波検出器と比べて、第 1 電極 3 と第 2 電極 6 との間により大きな負の電圧を印加できる。そのため、電磁波検出器 1 0 0 A では、第 1 ショットキー接合のみが形成された電磁波検出器と比べて、空乏層が第 1 面 1 A に対しより深い領域に伸長するため、電磁波が照射されることによって生成された光キャリアをより多く取り出すことができる。

40

【 0 0 5 7 】

例えば、半導体基板 1 が n 型の Si 基板であり、二次元材料層 5 が単層グラフェンであり、制御電極 7 を構成する材料が Ni である場合、二次元材料層 5 を構成する材料の仕事関数と半導体基板 1 を構成する材料の電子親和力との差は 0 . 9 5 e V、制御電極 7 を構成する材料の仕事関数と半導体基板 1 を構成する材料の電子親和力との差は 1 . 1 7 e V

50

となる。ショットキー接合において金属から半導体に向かう電子数 IMS は、比例定数 K 、ボルツマン定数 k 、温度 T 、および障壁高さ B を用いて、以下のように表される。

【0058】

【数1】

$$IMS = K \times e^{-\phi B/kT}$$

【0059】

そのため、第2ショットキー接合の障壁高さは第1ショットキー接合の障壁高さよりも $0.22 eV$ 高い場合、前者の障壁高さから見積もられる電子数 IMS は、後者の障壁高さから見積もられる電子数 IMS よりも約4桁小さくなる。そのため、第2ショットキー接合の障壁高さが第1ショットキー接合の障壁高さよりも高い電磁波検出器100Aでは、第1ショットキー接合のみが形成された電磁波検出器および第2ショットキー接合の障壁高さが第1ショットキー接合の障壁高さと同程度された電磁波検出器100Aと比べて、暗電流が低減され得る。

10

【0060】

さらに、電磁波検出器100Aでは、第1ショットキー接合のみが形成された電磁波検出器と比べて、平面視において二次元材料層5と重なる領域、すなわち二次元材料層5の直下の領域の半導体基板1と第1絶縁膜2との界面に蓄積される光キャリアの量が多くなる。そのため、電磁波検出器100Aでは、第1ショットキー接合のみが形成された電磁波検出器と比べて、上記光ゲート効果が増幅し、光電流が増加する。

20

【0061】

このように、電磁波検出器100Aでは、第1ショットキー接合のみが形成された電磁波検出器と比べて、暗電流のばらつきが低減されているながらも光電流量が増加するため、光電流の変化量が大きくなり、検出感度が高い。

【0062】

<変形例>

図6および図7は、電磁波検出器100Aの変形例である電磁波検出器100Bを示す図である。図6および図7に示されるように、電磁波検出器100Bでは、第2電極6が第1面1Aと接触している。第2電極6は、例えば制御電極7に対して、二次元材料層5および第1電極3とは反対側に配置されている。言い換えると、制御電極7は、二次元材料層5の接合部12と第2電極6との間に配置されている。制御電極7の長手方向の幅は、例えば当該長手方向における第2電極6の幅よりも広い。このように、第2電極6の配置は、半導体基板1と接触している限りにおいて、特に制限されない。

30

【0063】

図8および図9は、電磁波検出器100Aの変形例である電磁波検出器100Cを示す図である。図8および図9に示されるように、電磁波検出器100Cでは、制御電極7が半導体基板1の露出部4上に配置されている。制御電極7は第1絶縁膜2から露出している。制御電極7の一部が第1絶縁膜2に覆われており、制御電極7の他の一部が第1絶縁膜2から露出しているもよい。第1絶縁膜2は、少なくとも、第1電極3と半導体基板1との間、および二次元材料層5のうち接合部12と第1電極3との間に位置する部分と半導体基板1との間に、トンネル電流が生じないように、形成されていればよい。つまり、電磁波検出器100A、100B、100Cでは、半導体基板1の第1面1Aの大部分が露出部4として構成されていてもよい。

40

【0064】

実施の形態2.

図10および図11は、実施の形態2に係る電磁波検出器101を示す図である。図10および図11に示されるように、電磁波検出器101は、電磁波検出器100Aと基本的に同様の構成を備えるが、平面視において制御電極7が接合部12を挟むように接合部12の周囲に配置されている点で、電磁波検出器100Aとは異なる。

50

【 0 0 6 5 】

電磁波検出器 1 0 1 B は、平面視において環状に形成された 1 つの制御電極 7 を備える。平面視において、制御電極 7 は、接合部 1 2 の全周囲を囲むように接合部 1 2 の周囲に配置されている。平面視において、制御電極 7 は、二次元材料層 5 の長手方向および短手方向の各々において、接合部 1 2 を挟むように接合部 1 2 の周囲に配置されている。

【 0 0 6 6 】

制御電極 7 のうち、二次元材料層 5 の長手方向において接合部 1 2 を挟むように配置されている 1 対の部分は、例えば接合部 1 2 に対して互いに線対称の関係にある。制御電極 7 のうち、二次元材料層 5 の短手方向において接合部 1 2 を挟むように配置されている 1 対の部分は、例えば接合部 1 2 に対して互いに線対称の関係にある。

10

【 0 0 6 7 】

制御電極 7 は、例えば第 1 絶縁膜 2 に覆われている。平面視において、制御電極 7 は、例えば露出部 4 の全周囲を囲むように接合部 1 2 の周囲に配置されている。

【 0 0 6 8 】

平面視において、制御電極 7 の一部は、二次元材料層 5 のうち接合部 1 2 と第 1 電極 3 との間に位置する部分と重なるように配置されている。言い換えると、制御電極 7 の一部は、二次元材料層 5 のうち接合部 1 2 と第 1 電極 3 との間に位置する部分の直下に配置されている。

【 0 0 6 9 】

電磁波検出器 1 0 1 は、電磁波検出器 1 0 0 A と基本的に同様の構成を備えるため、電磁波検出器 1 0 0 A と同様の効果を奏することができる。

20

【 0 0 7 0 】

さらに電磁波検出器 1 0 1 では、制御電極 7 と半導体基板 1 との第 2 ショットキー接合の空乏層が半導体基板 1 と二次元材料層 5 との第 1 ショットキー接合の空乏層を挟むように配置されるため、第 1 ショットキー接合に逆バイアスが印加されたときに形成される空乏層が第 1 ショットキー接合の界面全体をより確実に覆うことができる。そのため、電磁波検出器 1 0 1 では、電磁波検出器 1 0 0 A と比べて、電磁波検出器 1 0 0 A 毎の暗電流のばらつきがより安定的に低減されている。

【 0 0 7 1 】

< 変形例 >

30

電磁波検出器 1 0 1 は、接合部 1 2 を囲む周方向において互いに間隔を隔てて配置された複数の制御電極 7 を備えていてもよい。平面視において、複数の制御電極 7 は、例えば二次元材料層 5 の長手方向において接合部 1 2 を挟むように配置された 1 対の制御電極 7 と、二次元材料層 5 の短手方向において接合部 1 2 を挟むように配置された 1 対の制御電極 7 とを含む。

【 0 0 7 2 】

また、電磁波検出器 1 0 1 は、平面視において環状に形成された複数の制御電極 7 を備えていてもよい。例えば、平面視において、複数の制御電極 7 は、最も内側に配置された第 1 制御電極と、接合部 1 2 および第 1 制御電極を囲むように配置された第 2 制御電極とを含む。

40

【 0 0 7 3 】

電磁波検出器 1 0 1 は、平面視において制御電極 7 が接合部 1 2 を挟むように接合部 1 2 の周囲に配置されている点を除き、電磁波検出器 1 0 0 B , 1 0 0 C と同様の構成を備えていてもよい。

【 0 0 7 4 】

実施の形態 3 .

図 1 2 および図 1 3 は、実施の形態 3 に係る電磁波検出器 1 0 2 A を示す図である。図 1 3 および図 1 4 に示されるように、電磁波検出器 1 0 2 A は、実施の形態 2 に係る電磁波検出器 1 0 1 と基本的に同様の構成を備えているが、平面視において制御電極 7 が二次元材料層 5 と重ならない領域に配置されている点で、電磁波検出器 1 0 1 とは異なる。言

50

い換えると、制御電極 7 は、二次元材料層 5 の直下には配置されていない。

【 0 0 7 5 】

図 1 3 に示されるように、平面視において、制御電極 7 は、例えば接合部 1 2 の周囲の一部を囲むように C 字形状を有している。平面視において、制御電極 7 は、例えば二次元材料層 5 の短手方向において二次元材料層 5 を挟むように配置された端部 7 A および端部 7 B を有している。二次元材料層 5 の短手方向において、端部 7 A および端部 7 B の間隔は、例えば露出部 4 の幅よりも狭い。

【 0 0 7 6 】

図 1 1 に示される電磁波検出器 1 0 1 のように平面視において制御電極 7 が二次元材料層 5 と重なるように配置されている場合、光キャリアは制御電極 7 と半導体基板 1 との界面に蓄積されない。そのため、第 1 絶縁膜 2 上に配置された二次元材料層 5 のうち、制御電極 7 上に配置された部分には上記光ゲート効果は発現しない。

10

【 0 0 7 7 】

これに対し、電磁波検出器 1 0 2 A では、平面視において制御電極 7 が二次元材料層 5 と重ならない領域に配置されているため、上記光ゲート効果は第 1 絶縁膜 2 上に配置された二次元材料層 5 の全体に発現する。そのため、電磁波検出器 1 0 2 A では、電磁波検出器 1 0 1 と比べて、光ゲート効果による光電流の増幅率が高い。

【 0 0 7 8 】

また、電磁波検出器 1 0 1 では、二次元材料層 5 とその直下に配置された制御電極 7 との間に第 1 絶縁膜 2 が配置されている。この場合、第 1 絶縁膜 2 のうち、制御電極 7 上に配置された部分は、半導体基板 1 上に配置された部分に対し、制御電極 7 の厚みの分だけ突出する。つまり、第 1 絶縁膜 2 の上面には制御電極 7 に起因した凸部が形成される。このような第 1 絶縁膜 2 上に二次元材料層 5 が形成される場合、二次元材料層 5 と第 1 絶縁膜 2 との密着性が部分的に低下し、二次元材料層 5 に第 1 絶縁膜 2 と接触していない部分、言い換えると第 1 絶縁膜 2 の上面に対して浮いている部分が形成される可能性がある。この場合、二次元材料層 5 のうち第 1 絶縁膜 2 と接触していない部分には光ゲート効果を与えることはできないため、光電流の増幅率が制限される。また、二次元材料層 5 が第 1 絶縁膜 2 の上記凸部によって破損する可能性もある。

20

【 0 0 7 9 】

これに対し、電磁波検出器 1 0 2 A では、制御電極 7 が二次元材料層 5 の直下に配置されていないため、二次元材料層 5 と半導体基板 1 との間に配置された第 1 絶縁膜 2 は平坦である。そのため、電磁波検出器 1 0 2 A では、上記のような第 1 絶縁膜 2 の凸部に起因した問題が生じない。

30

【 0 0 8 0 】

電磁波検出器 1 0 2 A は、上記効果に加え、電磁波検出器 1 0 1 と同様の効果を奏することができる。

【 0 0 8 1 】

< 変形例 >

図 1 4 は、電磁波検出器 1 0 2 A の変形例である電磁波検出器 1 0 2 B を示す図である。図 1 4 に示されるように、電磁波検出器 1 0 2 B は、複数の制御電極 7 を備えている。複数の制御電極 7 は、少なくとも一方向において接合部 1 2 を挟むように接合部 1 2 の周囲に配置されている。複数の制御電極 7 は、例えば二次元材料層 5 の短手方向において接合部 1 2 を挟むように配置されている。

40

【 0 0 8 2 】

複数の制御電極 7 は、例えば第 1 絶縁膜 2 に覆われている。複数の制御電極 7 は、例えば露出部 4 を挟むように接合部 1 2 の周囲に配置されている。

【 0 0 8 3 】

各制御電極 7 は、例えば長手方向および短手方向を有している。各制御電極 7 の長手方向は、例えば二次元材料層 5 の長手方向に沿っている。各制御電極 7 の長手方向の幅は、例えば当該方向における接合部 1 2 の幅よりも広い。各制御電極 7 の長手方向の一端は、

50

例えば接合部 1 2 よりも第 1 電極 3 側に配置されている。

【 0 0 8 4 】

図 1 5 および図 1 6 は、電磁波検出器 1 0 2 A の変形例である電磁波検出器 1 0 2 C を示す図である。図 1 5 および図 1 6 に示されるように、電磁波検出器 1 0 2 C では、半導体基板 1 の第 1 面 1 A の大部分が露出部 4 として構成されている。第 1 絶縁膜 2 は、第 1 電極 3 と半導体基板 1 との間、および二次元材料層 5 のうち接合部 1 2 と第 1 電極 3 との間に位置する部分と半導体基板 1 との間に、トンネル電流が生じないように、形成されている。制御電極 7 は、露出部 4 上に配置されている。言い換えると、制御電極 7 は、第 1 絶縁膜 2 から露出している。

【 0 0 8 5 】

電磁波検出器 1 0 2 A は、平面視において制御電極 7 が二次元材料層 5 と重ならない領域に配置されている点を除き、電磁波検出器 1 0 0 B , 1 0 0 C と同様の構成を備えていてもよい。

【 0 0 8 6 】

実施の形態 4 .

図 1 7 および図 1 8 は、実施の形態 4 に係る電磁波検出器 1 0 3 を示す図である。図 1 7 および図 1 8 に示される電磁波検出器 1 0 3 は、実施の形態 2 に係る電磁波検出器 1 0 1 と基本的に同様の構成を備えているが、制御電極 7 が接地されている点で、電磁波検出器 1 0 1 とは異なる。

【 0 0 8 7 】

電磁波検出器 1 0 3 では、制御電極 7 が接地ノード 1 3 と電気的に接続されている。例えば、制御電極 7 の一部が第 1 絶縁膜 2 から露出しており、制御電極 7 の当該一部が接地ノード 1 3 と電気的に接続された接地線と電気的に接続されている。

【 0 0 8 8 】

電磁波検出器 1 0 3 では、制御電極 7 の電位が固定される。そのため、第 1 電極 3 と第 2 電極 6 との間に比較的大きな電圧を印加した場合にも、制御電極 7 の電位が持ち上がらず、制御電極 7 と半導体基板 1 との第 2 ショットキー接合の障壁高さが低下しない。

【 0 0 8 9 】

そのため、電磁波検出器 1 0 3 では、第 1 電極 3 と第 2 電極 6 との間に比較的大きな電圧が印加された場合にも、暗電流が低減され得る。

【 0 0 9 0 】

なお、複数の電磁波検出器 1 0 3 が互いに接続された構成された電磁波検出器アレイでは、各電磁波検出器 1 0 3 の制御電極 7 が個別に接地ノード 1 3 に電気的に接続されていてもよい。また、複数の電磁波検出器 1 0 3 が互いに接続された構成された電磁波検出器アレイでは、各電磁波検出器 1 0 3 の制御電極 7 が互いに電気的に接続されて 1 つの接地線の一部を構成し、該接地線の一箇所が接地ノード 1 3 に電気的に接続されていてもよい。後者の電磁波検出器アレイでは、前者の電磁波検出器アレイと比べて、電磁波検出器 1 0 3 の集積度を高めることができる。

【 0 0 9 1 】

電磁波検出器 1 0 3 は、上記効果に加え、電磁波検出器 1 0 1 と同様の効果を奏することができる。

【 0 0 9 2 】

< 変形例 >

なお、電磁波検出器 1 0 3 は、制御電極 7 が接地されている点を除き、電磁波検出器 1 0 0 A , 1 0 0 B , 1 0 0 C , 1 0 2 A , 1 0 2 B , 1 0 2 C と同様の構成を備えていてもよい。

【 0 0 9 3 】

実施の形態 5 .

図 1 9 および図 2 0 は、実施の形態 5 に係る電磁波検出器 1 0 4 を示す図である。図 1 9 および図 2 0 に示されるように、電磁波検出器 1 0 4 は、実施の形態 2 に係る電磁波検

10

20

30

40

50

出器 101 と基本的に同様の構成を備えているが、制御電極 7 が電源 14 に接続されている点で、電磁波検出器 101 とは異なる。

【0094】

電磁波検出器 104 は、第 1 電極 3 と第 2 電極 6 との間に電圧（第 1 電圧）を印加する電源 11（第 1 電源）と、制御電極 7 に電圧（第 2 電圧）を印加する電源 14（第 2 電源）とを備える。

【0095】

電磁波検出器 104 では、制御電極 7 の電位が電源 14 によって任意に設定され得るため、制御電極 7 と半導体基板 1 との第 2 ショットキー接合の障壁高さが任意に設定され得る。上記障壁高さは、例えば第 1 電極 3 に印加される電圧に対して低暗電流領域が広くかつ安定して形成されるように、設定される。これにより、電磁波検出器 104 では、電磁波検出器 101 と比べて、暗電流のばらつきが低減されているながらも光電流量が増加するため、光電流の変化量が大きくなり、検出感度が高い。

10

【0096】

また、電磁波検出器 104 では、制御電極 7 に電圧を印加することで、電磁波検出器 101 と比べて、二次元材料層 5 の直下の第 1 絶縁膜 2 と半導体基板 1 との界面に形成される空乏層の内部電界を大きくすることができる。空乏層の内部電界が大きいほど、上記界面に蓄積される光キャリアが増える。そのため、電磁波検出器 104 では、電磁波検出器 101 と比べて、光ゲート効果による光電流の増幅率が高い。

【0097】

電磁波検出器 104 は、上記効果に加え、電磁波検出器 100A と同様の効果を奏することができる。

20

【0098】

<変形例>

なお、電磁波検出器 104 は、制御電極 7 が電源 14 に接続されている点を除き、電磁波検出器 100A、100B、100C、102A、102B、102C と同様の構成を備えていてもよい。

【0099】

実施の形態 6 .

図 21 ~ 図 23 は、実施の形態 6 に係る電磁波検出器 105 を示す図である。図 21 ~ 図 23 に示されるように、電磁波検出器 105 は、実施の形態 2 に係る電磁波検出器 101 と基本的に同様の構成を備えているが、制御電極 7 が第 1 電極 3 と電気的に接続されている点で、電磁波検出器 101 とは異なる。

30

【0100】

制御電極 7 は、例えば引き出し電極 8 を介して第 1 電極 3 と電気的に接続されている。引き出し電極 8 は、第 1 絶縁膜 2 および制御電極 7 上に配置されている。第 1 絶縁膜 2 には、半導体基板 1 の露出部 4 を露出させる開口部 2B と、制御電極 7 の一部を露出させる開口部 2C とが形成されている。平面視において、開口部 2C は、例えば開口部 2B と間隔を隔てて配置されている。

【0101】

電磁波検出器 105 の製造方法では、例えば、上記工程（S1）、上記工程（S2）、上記工程（S3）、上記工程（S4）、上記工程（S6）、上記工程（S5）、および上記工程（S7）が、この記載順に実施される。開口部 2B および開口部 2C は、例えば露出部形成工程（S6）にて同時に形成される。第 1 電極 3 および引き出し電極 8 は、露出部形成工程（S6）後に実施される第 1 電極形成工程（S5）にて同時に形成される。

40

【0102】

電磁波検出器 105 では、制御電極 7 の電位が一定に保持される。そのため、第 1 電極 3 と第 2 電極 6 との間に比較的大きな電圧を印加した場合にも、制御電極 7 の電位が持ち上がり、制御電極 7 と半導体基板 1 との第 2 ショットキー接合の障壁高さが低下しない。そのため、電磁波検出器 105 では、第 1 電極 3 と第 2 電極 6 との間に比較的大きな電

50

圧が印加された場合にも、暗電流が低減され得る。

【0103】

電磁波検出器105は、上記効果に加え、電磁波検出器101と同様の効果を奏することができる。

【0104】

<変形例>

なお、電磁波検出器105は、制御電極7が第1電極3と電気的に接続されている点を除いて、電磁波検出器100A, 100B, 100C, 102A, 102B, 102Cと同様の構成を備えていてもよい。

【0105】

実施の形態7.

図24～図26は、実施の形態7に係る電磁波検出器106Aを示す図である。図24～図26に示されるように、電磁波検出器106Aは、実施の形態6に係る電磁波検出器105と基本的に同様の構成を備えているが、制御電極7と電気的に接続されたカソード電極と、第1電極3と電気的に接続されたアノード電極とを含むpnダイオード9をさらに備える点で、電磁波検出器105とは異なる。

【0106】

pnダイオード9のカソード電極は、例えばn型の導電性を有するポリシリコン薄膜9nとして構成されている。pnダイオード9のアノード電極は、例えばp型の導電性を有するポリシリコン薄膜9pとして構成されている。ポリシリコン薄膜9nとポリシリコン薄膜9pとは、二次元材料層5の長手方向に並んで配置されており、pn接合を形成している。ポリシリコン薄膜9nは、引き出し電極8を介して制御電極7と電気的に接続されている。ポリシリコン薄膜9pは、引き出し電極8を介して第1電極3と電気的に接続されている。pnダイオード9は、第1絶縁膜2上に配置されている。

【0107】

pnダイオード9は、例えば第1電極形成工程(S5)において形成されてもよいし、第1電極形成工程(S5)後であって二次元材料層形成工程(S7)前に形成されてもよい。

【0108】

電磁波検出器106Aでは、pnダイオード9の内蔵電位の分だけ、制御電極7の電位が第1電極3の電位よりも高くなる。そのため、第1電極3に印加する電圧を大きくすることなく、制御電極7と半導体基板1との第2ショットキー接合の障壁高さを高めることができる。その結果、電磁波検出器106Aでは、電磁波検出器105と比べて、暗電流を低減できかつ電磁波検出器106A毎の暗電流ばらつきを抑制できる。

【0109】

さらに、pnダイオード9は、半導体基板1からの光キャリア(半導体基板1の導電型がn型である場合には正孔)の流入を阻止する方向に接続されている。これによって、電磁波が電磁波検出器106Aに照射されることによって、半導体基板1の空乏層内に生成された光キャリアは制御電極7に流入することができず、接合部12に流入する。このため、電磁波検出器106Aでは、電磁波検出器105と比べて、光キャリアの取り出し効率が向上し、大きな光電流が得られる。

【0110】

電磁波検出器106Aは、上記効果に加え、電磁波検出器101と同様の効果を奏することができる。

【0111】

<変形例>

図27および図28は、電磁波検出器106Aの変形例である電磁波検出器106Bを示す図である。図27および図28に示されるように、電磁波検出器106Bでは、ポリシリコン薄膜9nは、制御電極7と接触している。ポリシリコン薄膜9nは、引き出し電極8を介さずに制御電極7と電気的に接続されている。なお、pnダイオード9は、制御

10

20

30

40

50

電極 7 と第 1 電極 3 との間を電氣的に接続する電流経路上において任意の位置に配置されていればよい。

【 0 1 1 2 】

電磁波検出器 1 0 6 A は、p n ダイオード 9 をさらに備える点を除いて、電磁波検出器 1 0 0 A , 1 0 0 B , 1 0 0 C , 1 0 2 A , 1 0 2 B , 1 0 2 C と同様の構成を備えていてもよい。

【 0 1 1 3 】

実施の形態 8 .

図 2 9 および図 3 0 は、実施の形態 8 に係る電磁波検出器 1 0 7 を示す図である。図 2 9 および図 3 0 に示されるように、電磁波検出器 1 0 7 は、実施の形態 2 に係る電磁波検出器 1 0 1 と基本的に同様の構成を備えているが、半導体基板 1 と制御電極 7 との間に配置されている第 2 絶縁膜 1 5 をさらに備える点で、電磁波検出器 1 0 1 とは異なる。

10

【 0 1 1 4 】

制御電極 7 は、第 2 絶縁膜 1 5 を介して半導体基板 1 と M I S (M e t a l - I n s u l a t o r - S e m i c o n d u c t o r) 型のショットキー接合を形成している。

【 0 1 1 5 】

第 2 絶縁膜 1 5 を構成する材料は、例えば酸化シリコン (S i O ₂)、窒化シリコン (S i ₃ N ₄)、酸化ハフニウム (H f O ₂)、酸化アルミニウム (A l ₂ O ₃)、酸化ニッケル (N i O)、およびボロンナイトライド (B N) からなる群から選択される少なくとも一つを含む。第 2 絶縁膜 1 5 を構成する材料は、例えば第 1 絶縁膜 2 を構成する材料と同じであってもよい。第 2 絶縁膜 1 5 の厚みは、制御電極 7 と半導体基板 1 との間に M I S (M e t a l - I n s u l a t o r - S e m i c o n d u c t o r) 型のショットキー接合を形成することができる限りにおいて、特に制限されない。

20

【 0 1 1 6 】

第 2 絶縁膜 1 5 は、制御電極形成工程 (S 2) よりも前に形成される。

電磁波検出器 1 0 7 では、第 2 絶縁膜 1 5 が、制御電極 7 への光キャリアの流入を阻止する。そのため、電磁波が電磁波検出器 1 0 7 に照射されることによって、半導体基板 1 の空乏層内に生成された光キャリアは、接合部 1 2 に流入する。この結果、電磁波検出器 1 0 7 では、電磁波検出器 1 0 1 と比べて、光キャリアの取り出し効率が向上し、大きな光電流が得られる。

30

【 0 1 1 7 】

電磁波検出器 1 0 7 は、上記効果に加え、電磁波検出器 1 0 1 と同様の効果を奏することができる。

【 0 1 1 8 】

< 変形例 >

電磁波検出器 1 0 7 は、第 2 絶縁膜 1 5 をさらに備える点を除いて、電磁波検出器 1 0 0 A , 1 0 0 B , 1 0 0 C , 1 0 2 A , 1 0 2 B , 1 0 2 C , 1 0 3 , 1 0 4 , 1 0 5 , 1 0 6 と同様の構成を備えていてもよい。

【 0 1 1 9 】

実施の形態 9 .

図 3 1 および図 3 2 は、実施の形態 9 に係る電磁波検出器 1 0 8 を示す図である。図 3 1 および図 3 2 に示されるように、電磁波検出器 1 0 8 は、実施の形態 2 に係る電磁波検出器 1 0 1 と基本的に同様の構成を備えているが、二次元材料層 5 が第 1 絶縁膜 2 を介して制御電極 7 を覆うように配置されている点で、電磁波検出器 1 0 1 とは異なる。

40

【 0 1 2 0 】

二次元材料層 5 は、例えば露出部 4 を覆うように配置されている。二次元材料層 5 は、例えば半導体基板 1 の露出部 4 の全体と、ショットキー接合している。平面視において、二次元材料層 5 の外縁部は、例えば制御電極 7 の外縁部よりも外側に配置されている。

【 0 1 2 1 】

電磁波検出器 1 0 8 では、第 1 電極 3 に印加された電圧が二次元材料層 5 および第 1 絶

50

縁膜 2 を介して制御電極 7 に印加される。そのため、第 1 電極 3 と第 2 電極 6 との間に比較的大きな電圧を印加した場合にも、制御電極 7 の電位が持ち上がらず、制御電極 7 と半導体基板 1 との第 2 ショットキー接合の障壁高さが低下しない。

【 0 1 2 2 】

そのため、電磁波検出器 1 0 8 では、第 1 電極 3 と第 2 電極 6 との間に比較的大きな電圧が印加された場合にも、暗電流が低減され得る。

【 0 1 2 3 】

電磁波検出器 1 0 8 は、上記効果に加え、電磁波検出器 1 0 1 と同様の効果を奏することができる。

【 0 1 2 4 】

< 変形例 >

なお、電磁波検出器 1 0 8 は、二次元材料層 5 が第 1 絶縁膜 2 を介して制御電極 7 を覆うように配置されている点を除き、電磁波検出器 1 0 0 A , 1 0 0 B , 1 0 0 C , 1 0 3 , 1 0 4 , 1 0 5 , 1 0 6 と同様の構成を備えていてもよい。

【 0 1 2 5 】

実施の形態 1 0 .

図 3 3 および図 3 4 は、実施の形態 1 0 に係る電磁波検出器 1 0 9 を示す図である。図 3 3 および図 3 4 に示されるように、電磁波検出器 1 0 9 は、実施の形態 2 に係る電磁波検出器 1 0 1 と基本的に同様の構成を備えているが、制御電極 7 が二次元材料層 5 と接触している点で、電磁波検出器 1 0 1 とは異なる。

【 0 1 2 6 】

制御電極 7 の少なくとも一部は、第 1 絶縁膜 2 から露出している。言い換えると、制御電極 7 の少なくとも一部は、露出部 4 上に配置されている。制御電極 7 のうち、第 1 絶縁膜 2 から露出している部分の少なくとも一部が、二次元材料層 5 と接触している。

【 0 1 2 7 】

図 3 3 および図 3 4 に示されるように、例えば制御電極 7 の全体が第 1 絶縁膜 2 から露出している。平面視において、制御電極 7 は、例えば二次元材料層 5 の長手方向において接合部 1 2 を挟むように配置されている 1 対の部分の有している。二次元材料層 5 は、例えば制御電極 7 の当該 1 対の部分の一部と接触している。

【 0 1 2 8 】

電磁波検出器 1 0 9 では、第 1 電極 3 に印加された電圧が二次元材料層 5 を介して制御電極 7 に印加される。そのため、第 1 電極 3 と第 2 電極 6 との間に比較的大きな電圧を印加した場合にも、制御電極 7 の電位が持ち上がらず、制御電極 7 と半導体基板 1 との第 2 ショットキー接合の障壁高さが低下しない。

【 0 1 2 9 】

そのため、電磁波検出器 1 0 9 では、第 1 電極 3 と第 2 電極 6 との間に比較的大きな電圧が印加された場合にも、暗電流が低減され得る。

【 0 1 3 0 】

電磁波検出器 1 0 9 は、上記効果に加え、電磁波検出器 1 0 1 と同様の効果を奏することができる。

【 0 1 3 1 】

< 変形例 >

なお、電磁波検出器 1 0 9 は、制御電極 7 が二次元材料層 5 と接触している点を除き、電磁波検出器 1 0 0 A , 1 0 0 B , 1 0 0 C , 1 0 2 A , 1 0 2 B , 1 0 2 C , 1 0 3 , 1 0 4 , 1 0 5 , 1 0 6 , 1 0 7 と同様の構成を備えていてもよい。

【 0 1 3 2 】

実施の形態 1 1 .

図 3 5 は、実施の形態 1 1 に係る電磁波検出器アレイ 2 0 0 を示す図である。図 3 5 に示されるように、電磁波検出器アレイ 2 0 0 は複数の検出素子を備える。各検出素子は互いに同じ構成を備えており、実施の形態 1 ~ 1 0 に係る電磁波検出器 1 0 0 A , 1 0 0 B

10

20

30

40

50

、100C、101、101B、102A、102B、102C、103、104、105、106、106A、106B、107、108、109のいずれかにより構成されている。電磁波検出器アレイ200は、例えば複数の電磁波検出器100Aを備えている。

【0133】

電磁波検出器アレイ200では、複数の電磁波検出器100Aの各々の検出波長は等しい。図35に示されるように、電磁波検出器アレイ200では、複数の電磁波検出器100Aが二次元方向にアレイ状に配置されている。言い換えると、複数の電磁波検出器100Aは、第1方向および第1方向と交差する第2方向に並んで配置されている。図35に示される電磁波検出器アレイ200では、4つの電磁波検出器100Aが、2×2のアレイ状に配置されている。ただし、配置される電磁波検出器100Aの数はこれに限定されない。たとえば、複数の電磁波検出器100Aを3以上×3以上のアレイ状に配置してもよい。

10

【0134】

なお、図35に示される電磁波検出器アレイ200では、複数の電磁波検出器100Aが二次元に周期的に配列されているが、複数の電磁波検出器100Aは1つの方向に沿って周期的に配列されていてもよい。また、複数の電磁波検出器100Aの各々の間隔は等間隔であってもよいし、異なる間隔であってもよい。

【0135】

また、複数の電磁波検出器100Aをアレイ状に配置する際は、それぞれの電磁波検出器100が分離出来てさえいれば、第2電極6は共通電極としてもよい。第2電極6を共通電極とすることで、各電磁波検出器100Aにおいて第2電極6が独立している構成よりも、画素の配線を少なくすることが出来る。この結果、電磁波検出器アレイを高解像度化することが可能となる。

20

【0136】

このように複数の電磁波検出器100Aを備える電磁波検出器アレイ200は、アレイ状に複数の電磁波検出器100Aを配列することで画像センサ、ライセンサ、または物体の位置を判別する位置センサとしても使用できる。

【0137】

<変形例>

電磁波検出器アレイ200は、電磁波検出器100B、100C、101、101B、102A、102B、102C、103、104、105、106、106A、106B、107、108、109のいずれかを複数個備えていてもよい。

30

【0138】

電磁波検出器アレイ200は、実施の形態1～11のうちのいずれか一つの実施形態に係る電磁波検出器を複数備えていてもよいし、実施の形態1～11のうちの2以上の実施形態に係る電磁波検出器を複数備えていてもよい。

【0139】

図36に示される電磁波検出器アレイ201は、図35に示される電磁波検出器アレイ200と基本的に同様の構成を備え、同様の効果を得ることができるが、複数の電磁波検出器として種類の異なる電磁波検出器を備えている点で、図35に示される電磁波検出器アレイと異なる。すなわち、図36に示される電磁波検出器アレイ201では、互いに異なる種類の電磁波検出器がアレイ状(マトリックス状)に配置されている。

40

【0140】

図36に示される電磁波検出器アレイ201では、実施の形態1～10のいずれかに係る、種類の異なる電磁波検出器を、一次元又は二次元のアレイ状に配置することで、画像センサ、ライセンサ、または物体の位置を判別する位置センサとしても使用できる。

【0141】

また、電磁波検出器アレイ201に含まれる各電磁波検出器は、例えば互いに検出波長が異なる電磁波検出器であってもよい。具体的には、各電磁波検出器は実施の形態1～10のいずれかに係る電磁波検出器であって、互いに異なる検出波長選択性を有する電磁波

50

検出器として準備されていてもよい。この場合、電磁波検出器アレイは、少なくとも2つ以上の異なる波長の電磁波を検出することができる。

【0142】

このように異なる検出波長を有する複数の電磁波検出器をアレイ状に配置することにより、可視光域で用いるイメージセンサと同様に、たとえば紫外光、赤外光、テラヘルツ波、電波の波長域などの任意の波長域において、電磁波の波長を識別できる。この結果、たとえば波長の相違を色の相違として示した、カラー化した画像を得ることができる。

【0143】

上述した各実施の形態を適宜、変形、省略したりすることが可能である。さらに、上記実施の形態は実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。

10

【0144】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。矛盾のない限り、今回開示された実施の形態の少なくとも2つを組み合わせてもよい。本発明の範囲は、上記した説明ではなく請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

【符号の説明】

【0145】

1 半導体基板、1A 第1面、1B 第2面、2 第1絶縁膜、2A 端面、2B, 2C 開口部、3 第1電極、4 露出部、5 二次元材料層、6 第2電極、7 制御電極、7A, 7B 端部、8 電極、9 pnダイオード、9n, 9p ポリシリコン薄膜、10 電流計、11, 14 電源、12 接合部、13 接地ノード、15 第2絶縁膜、100, 100A, 100B, 100C, 101, 101B, 102A, 102B, 102C, 103, 104, 105, 106, 106A, 106B, 107, 108, 109 電磁波検出器、200, 201 電磁波検出器アレイ。

20

30

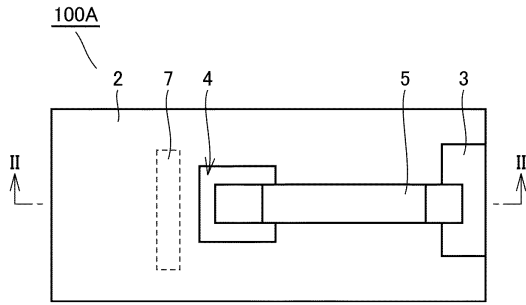
40

50

【 図面 】

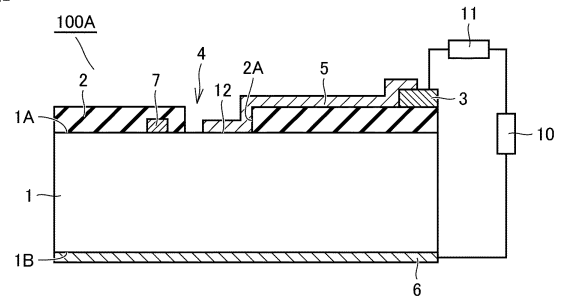
【 図 1 】

図1



【 図 2 】

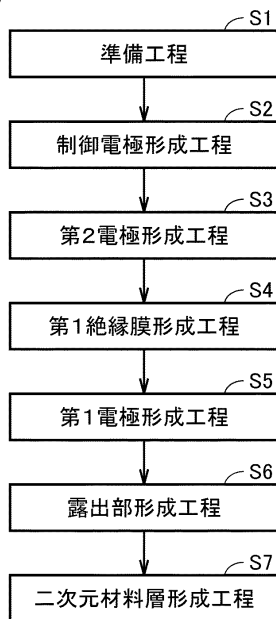
図2



10

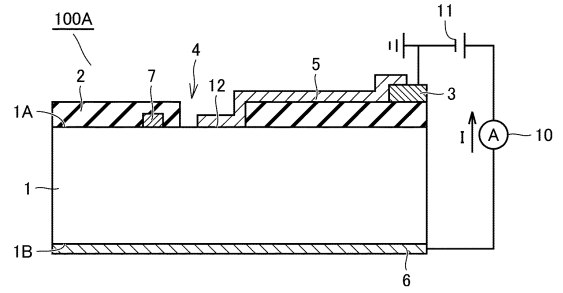
【 図 3 】

図3



【 図 4 】

図4



20

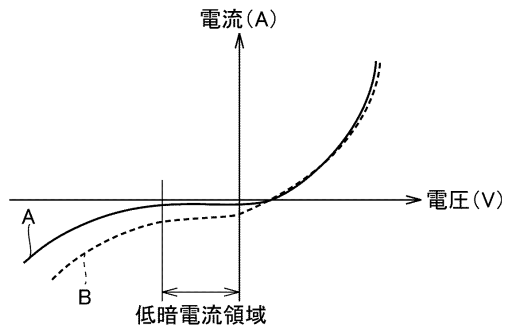
30

40

50

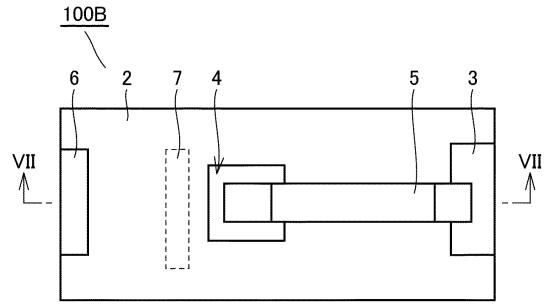
【 図 5 】

図5



【 図 6 】

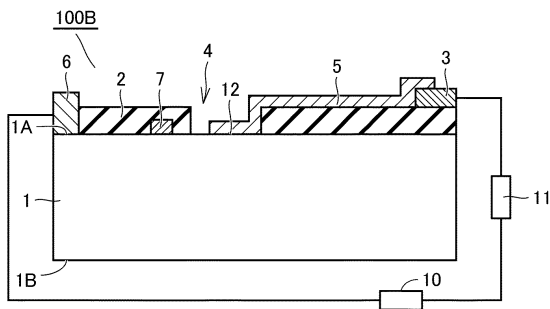
図6



10

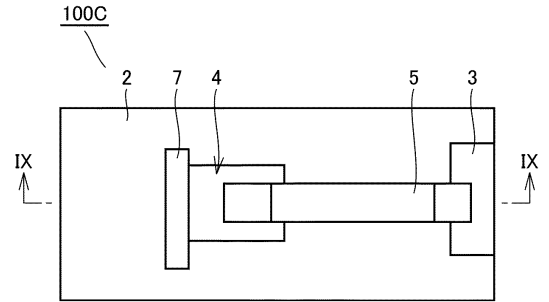
【 図 7 】

図7



【 図 8 】

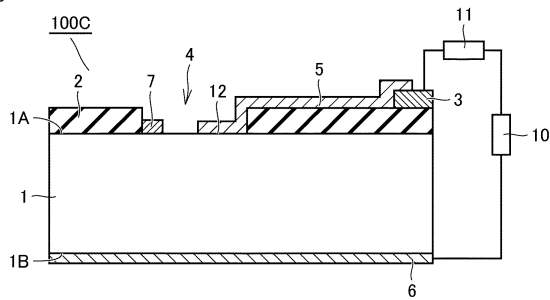
図8



20

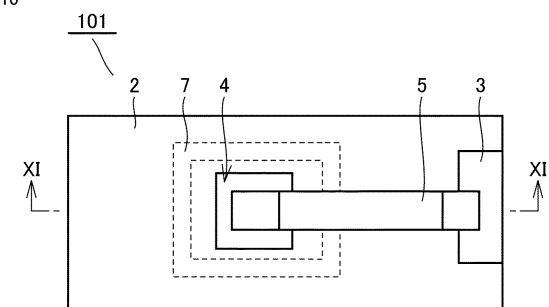
【 図 9 】

図9



【 図 1 0 】

図10



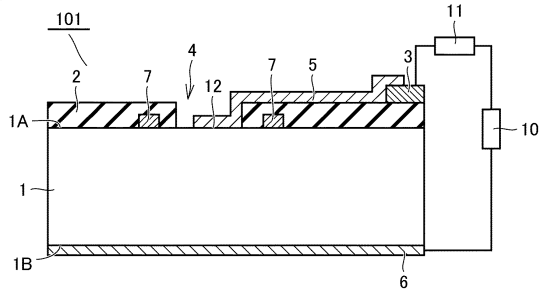
30

40

50

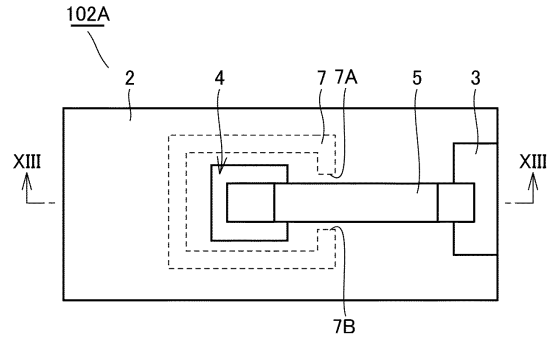
【図 1 1】

図11



【図 1 2】

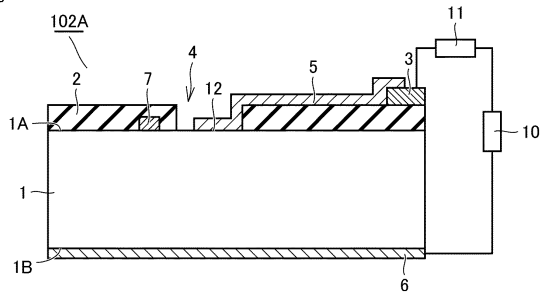
図12



10

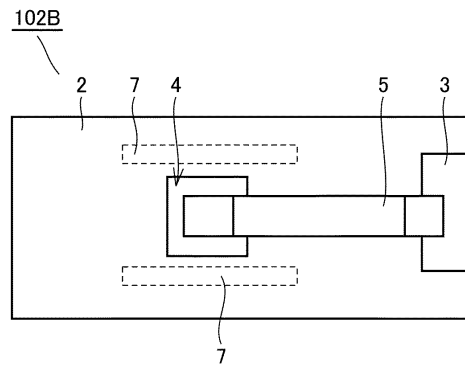
【図 1 3】

図13



【図 1 4】

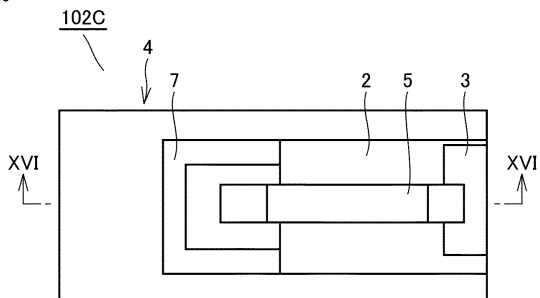
図14



20

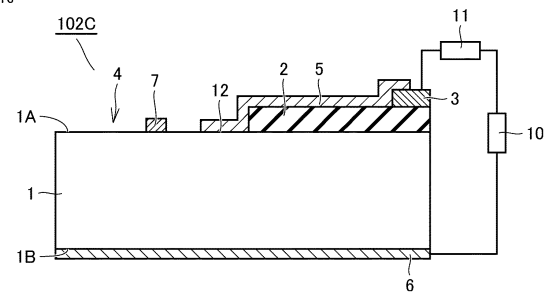
【図 1 5】

図15



【図 1 6】

図16



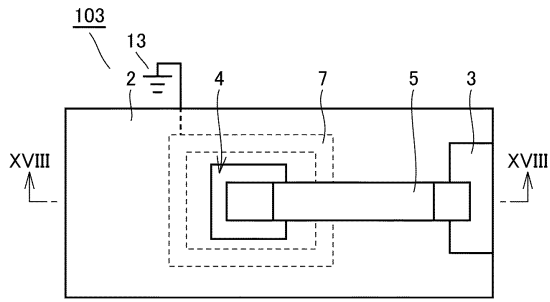
30

40

50

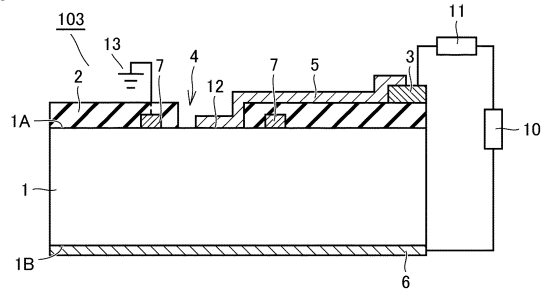
【図 17】

図17



【図 18】

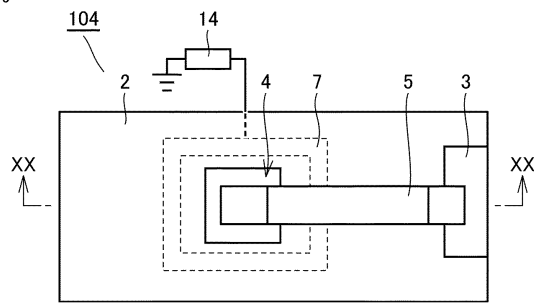
図18



10

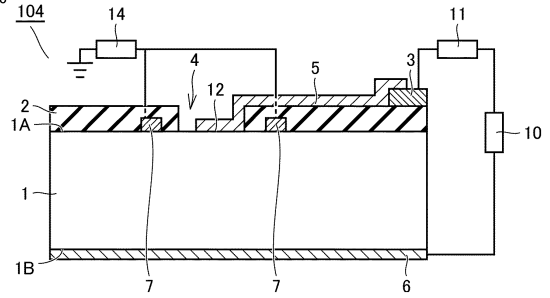
【図 19】

図19



【図 20】

図20



20

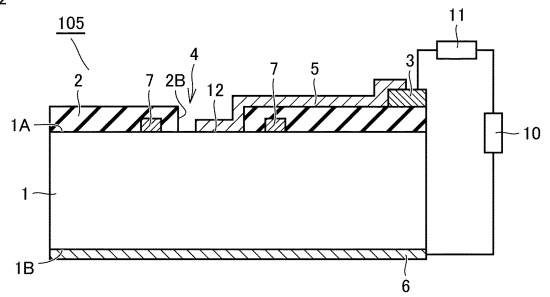
【図 21】

図21



【図 22】

図22



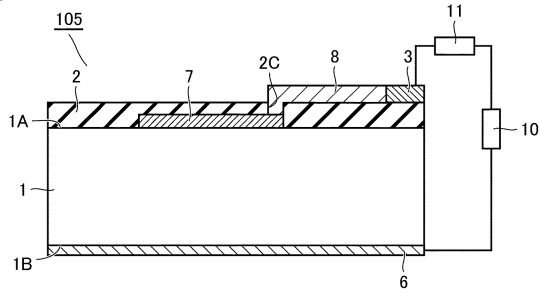
30

40

50

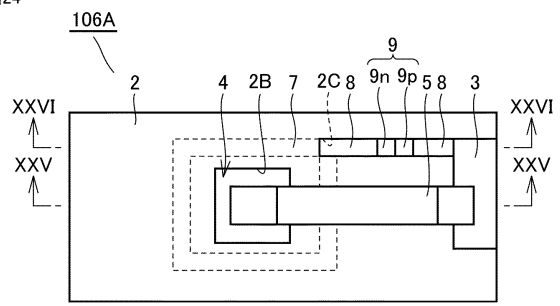
【 2 3 】

图23



【 2 4 】

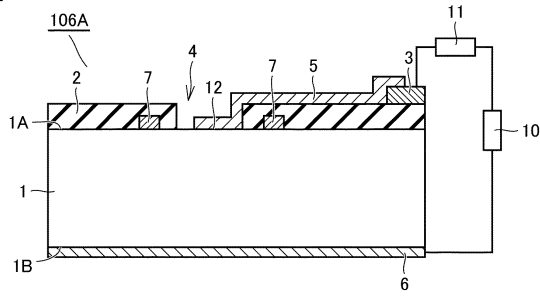
图24



10

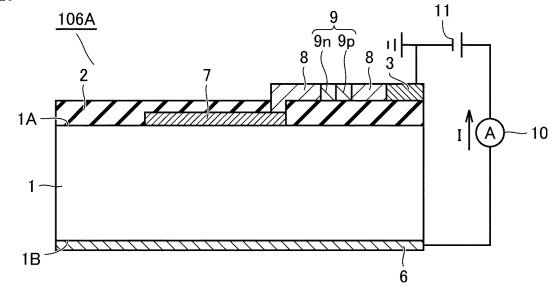
【 2 5 】

图25



【 2 6 】

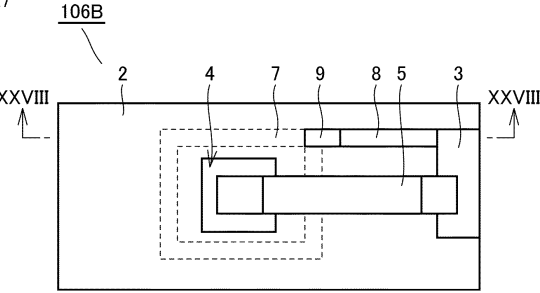
图26



20

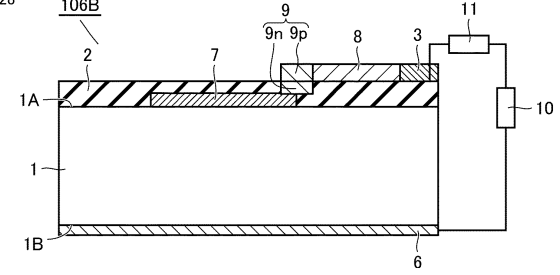
【 2 7 】

图27



【 2 8 】

图28



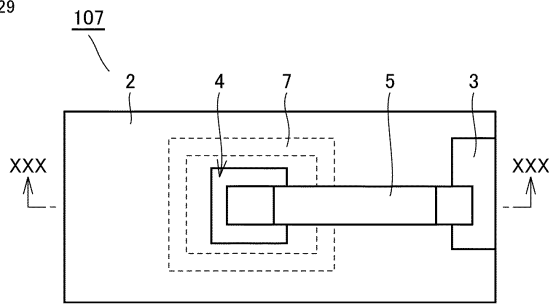
30

40

50

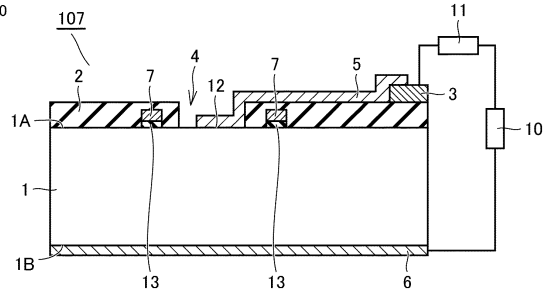
【 図 2 9 】

図29



【 図 3 0 】

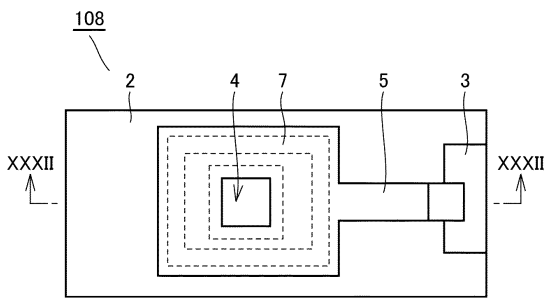
図30



10

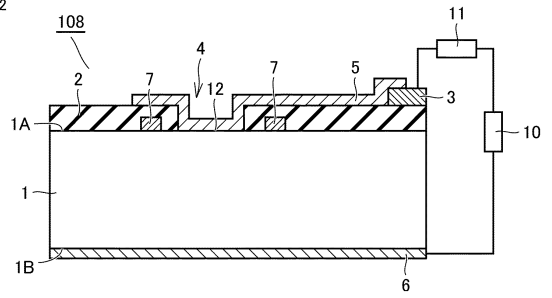
【 図 3 1 】

図31



【 図 3 2 】

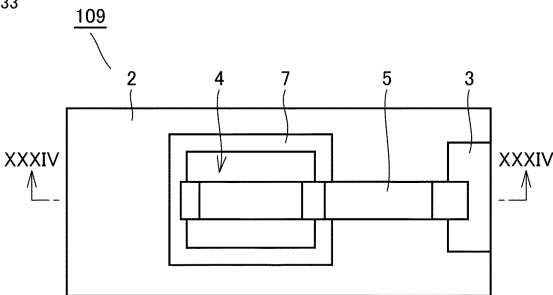
図32



20

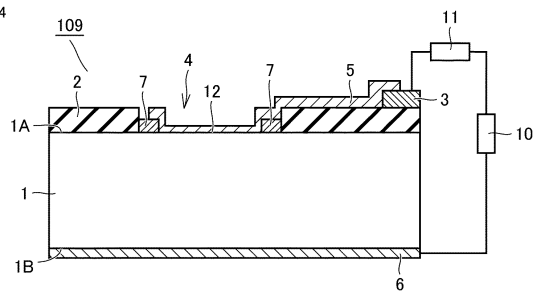
【 図 3 3 】

図33



【 図 3 4 】

図34



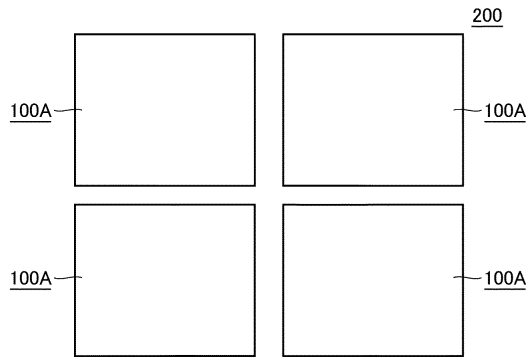
30

40

50

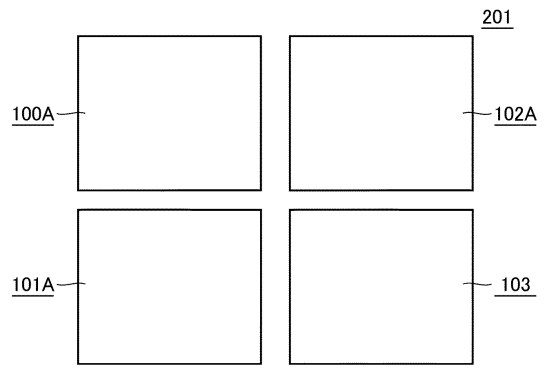
【 3 5 】

35



【 3 6 】

36



10

20

30

40

50

フロントページの続き

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 吉岡 一也

(56)参考文献

中国特許出願公開第108155267(CN, A)

米国特許出願公開第2017/0256667(US, A1)

特開2019-002852(JP, A)

WANG, Xiaojuan et al. , Study on the graphene/silicon Schottky diodes by transferring graphene transparent electrodes on silicon , Thin Solid Films , 2015年06月25日 , VOL.592 , p.p.281-286

AMIRMAZLAGHANI, Mina et al. , Graphene-Si Schottky IR Detector , IEEE JOURNAL OF QUANTUM ELECTRONICS , 2013年 , VOL.49 , pp.589-594

(58)調査した分野

(Int.Cl. , DB名)

H01L 31/02 - 31/0392 , 31/08 - 31/119

JSTPlus/JMEDPlus/JST7580(JDreamIII)

Science Direct

IEEE Xplore

Wiley Online Library