

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-249491

(P2012-249491A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl.	F I	テーマコード (参考)
H02M 7/48 (2007.01)	H02M 7/48 Z	5H007
H02M 3/00 (2006.01)	H02M 3/00 Y	5H730

審査請求 未請求 請求項の数 17 O L (全 20 頁)

(21) 出願番号	特願2011-121499 (P2011-121499)	(71) 出願人	000006622
(22) 出願日	平成23年5月31日 (2011.5.31)		株式会社安川電機
		(74) 代理人	100104433
			弁理士 宮園 博一
		(72) 発明者	下池 正一郎
			福岡県北九州市八幡西区黒崎城石2番1号
			株式会社安川電機内
		(72) 発明者	吉見 太佑
			福岡県北九州市八幡西区黒崎城石2番1号
			株式会社安川電機内
		Fターム(参考)	5H007 BB06 CA02 CB05 HA03 HA04 HA05 5H730 AA15 DD03 DD04 ZZ01 ZZ05 ZZ07 ZZ11 ZZ13

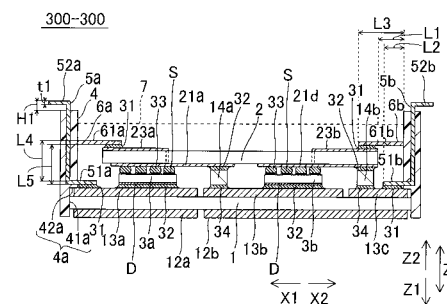
(54) 【発明の名称】 電力変換装置、半導体装置および電力変換装置の製造方法

(57) 【要約】

【課題】小型化を図ることが可能な電力変換装置を提供する。

【解決手段】この電力変換装置（パワーモジュール100）は、第1基板1および第1基板1に対向して配置される第2基板2と、第1基板1と第2基板2との間に実装されるMOSFET3a～3fと、第1基板1および第2基板2を取り囲むように設けられるケース部4とを備え、ケース部4は、第1基板1の導電パターン13a～13eに接続されるP側接続端子5a、N側接続端子5b、U相接続端子5c、V相接続端子5dおよびW相接続端子5eと、第2基板2の23a～23fに接続されるゲート接続端子6a～6fを含む。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

第 1 基板と、
前記第 1 基板に対向して配置される第 2 基板と、
前記第 1 基板と前記第 2 基板との間に実装される電力変換素子と、
前記第 1 基板および前記第 2 基板を取り囲むように設けられるケース部とを備え、
前記ケース部は、前記第 1 基板の前記電力変換素子側に配設された第 1 導体パターンに
接続される第 1 接続端子と、前記第 2 基板の前記電力変換素子と反対側に配設された第 2
導体パターンに接続される第 2 接続端子とを含む、電力変換装置。

【請求項 2】

前記ケース部の前記第 1 接続端子の一方端は、前記ケース部の内面から前記第 1 基板側
に突出するように形成され、

前記電力変換素子が実装された前記第 1 基板および前記第 2 基板を、前記第 2 基板側か
ら、前記ケース部の内方に挿入して装着可能なように、前記第 2 基板は、前記ケース部の
内方を、前記第 1 接続端子と干渉することなく通過可能な大きさまたは形状に形成される
、請求項 1 に記載の電力変換装置。

【請求項 3】

前記第 2 基板は、前記第 1 基板よりも小さく形成される、請求項 2 に記載の電力変換装
置。

【請求項 4】

前記第 1 接続端子の前記ケース部の内面から前記第 1 基板側に突出する部分の突出長さ
は、前記第 1 基板と前記第 2 基板とが対向する領域に侵入しないように、前記第 2 基板の
外周端から前記ケース部の内面までの長さよりも短く形成される、請求項 3 に記載の電力
変換装置。

【請求項 5】

前記ケース部の前記第 2 接続端子の一方端は、前記ケース部の内面から前記第 2 基板側
に突出するように形成され、

前記第 1 接続端子の前記ケース部の内面から前記第 1 基板側に突出する部分の突出長さ
は、前記第 2 接続端子の前記ケース部の内面から前記第 2 基板側に突出する部分の突出長
さよりも短く形成される、請求項 3 または 4 に記載の電力変換装置。

【請求項 6】

前記第 2 基板は、前記ケース部の内方を、前記第 1 接続端子と干渉することなく通過可
能なように、縁部に切り欠き部が形成されている、請求項 2 に記載の電力変換装置。

【請求項 7】

前記ケース部の前記第 1 接続端子の一方端は、前記ケース部の内面から前記第 1 基板側
に突出するように形成され、かつ、前記第 2 接続端子の一方端は、前記ケース部の内面か
ら前記第 2 基板側に突出するように形成され、

前記ケース部の前記第 1 接続端子の一方端が、前記第 1 基板の前記電力変換素子側に配
設された前記第 1 導体パターンの接続部と当接する際、前記第 2 接続端子の一方端も、前
記第 2 基板の前記電力変換素子と反対側に配設された前記第 2 導体パターンの接続部と当
接するように、前記ケース部の前記第 1 接続端子の一方端の高さ位置と、前記第 2 接続端
子の一方端の高さ位置との差は、前記第 1 導体パターンの接続部の高さ位置と、前記第 2
導体パターンの接続部の高さ位置との差に略等しくなるように形成されている、請求項 1
～ 6 のいずれか 1 項に記載の電力変換装置。

【請求項 8】

前記ケース部の前記第 1 接続端子および前記第 2 接続端子の他方端は、前記ケース部の
一方の端面から引き出され、かつ、それぞれの高さ位置が略等しくなるように前記ケー
ス部の外周方向または内周方向に折り曲げて形成される、請求項 1 ～ 7 のいずれか 1 項に記
載の電力変換装置。

【請求項 9】

前記第 2 基板の前記電力変換素子と反対側に配設された前記第 2 導体パターンは、前記電力変換素子と電氣的に接続されている、請求項 1 ~ 8 のいずれか 1 項に記載の電力変換装置。

【請求項 10】

前記ケース部の他方の端面には、前記第 1 基板の外縁部が当接する際、前記第 1 基板の位置決めを行うための位置決め部が設けられている、請求項 1 ~ 9 のいずれか 1 項に記載の電力変換装置。

【請求項 11】

前記第 1 接続端子は、主電流および制御信号のうちの少なくとも一方を供給し、かつ、前記第 2 接続端子は、制御信号を供給するように構成されており、

10

主電流を供給する前記第 1 接続端子の断面は、前記第 2 接続端子の断面よりも大きい断面積を有するように構成されている、請求項 1 ~ 10 のいずれか 1 項に記載の電力変換装置。

【請求項 12】

前記第 1 基板、前記第 2 基板および前記電力変換素子を覆い、かつ、前記第 1 接続端子および前記第 2 接続端子の他方端が露出するように、前記ケース部の内方に充填される絶縁性の封止部材をさらに備える、請求項 1 ~ 11 のいずれか 1 項に記載の電力変換装置。

【請求項 13】

前記第 1 接続端子と接続される前記第 1 導体パターンの接続部および前記第 2 接続端子と接続される前記第 2 導体パターンの接続部は、それぞれ、前記第 1 基板および前記第 2

20

基板の縁部に設けられる、請求項 1 ~ 12 のいずれか 1 項に記載の電力変換装置。

【請求項 14】

前記第 1 基板には、前記電力変換素子が設置される反対側の面に、放熱板が設けられている、請求項 1 ~ 13 のいずれか 1 項に記載の電力変換装置。

【請求項 15】

前記電力変換素子は、第 1 電力変換素子および第 2 電力変換素子を含み、

前記放熱板は、前記第 1 電力変換素子および前記第 2 電力変換素子が設置される領域にそれぞれ個別に設けられる第 1 放熱板および第 2 放熱板を含む、請求項 14 に記載の電力変換装置。

【請求項 16】

30

第 1 基板と、

前記第 1 基板に対向して配置される第 2 基板と、

前記第 1 基板と前記第 2 基板との間に実装される電力変換素子と、

前記第 1 基板および前記第 2 基板を取り囲むように設けられるケース部とを備え、

前記ケース部は、前記第 1 基板の前記電力変換素子側に配設された第 1 導体パターンに接続される第 1 接続端子と、前記第 2 基板の前記電力変換素子と反対側に配設された第 2 導体パターンに接続される第 2 接続端子とを含む、半導体装置。

【請求項 17】

電力変換素子を第 1 基板と第 2 基板との間に実装するステップと、

前記電力変換素子が実装された前記第 1 基板および前記第 2 基板を、前記第 2 基板側から、ケース部の内方に挿入して装着するステップと、

40

前記ケース部が有する第 1 接続端子と、前記第 1 基板に配設された第 1 導体パターンの接続部とを接合するステップと、

前記ケース部が有する第 2 接続端子と、前記第 2 基板に配設された第 2 導体パターンの接合部とを接合するステップと、を備える、電力変換装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力変換装置、半導体装置および電力変換装置の製造方法に関し、特に、接続端子を備える電力変換装置、半導体装置および電力変換装置の製造方法に関する。

50

【背景技術】

【0002】

従来、接続端子を備える電力変換装置が知られている（たとえば、特許文献1参照）。

【0003】

上記特許文献1には、絶縁基板と、絶縁基板の表面上に取り付けられる半導体素子（IGBT、パワーMOSFETなどの電力変換素子）と、半導体素子の主電極に電氣的に接続される外部接続用端子（接続端子）とを備える半導体装置（電力変換装置）が開示されている。この半導体装置では、半導体素子の主電極と外部接続用端子とは、水平方向に延びるボンディングワイヤを介して電氣的に接続されている。

【先行技術文献】

10

【特許文献】

【0004】

【特許文献1】特開2010-98036号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記特許文献1に記載の半導体装置では、半導体素子の主電極と外部接続用端子とが水平方向に延びるボンディングワイヤを介して接続されている。ボンディングワイヤが水平方向に延びると、ボンディングワイヤ同士が干渉する恐れがあるので、それを回避すると半導体装置（電力変換装置）が大型になってしまう場合がある。その結果、電力変換装置の小型化を図ることが困難であるという問題点がある。

20

【0006】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、小型化を図ることが可能な電力変換装置、半導体装置および電力変換装置の製造方法を提供することである。

【課題を解決するための手段および発明の効果】

【0007】

上記目的を達成するために、この発明の第1の局面による電力変換装置は、第1基板と、第1基板に対向して配置される第2基板と、第1基板と第2基板との間に実装される電力変換素子と、第1基板および第2基板を取り囲むように設けられるケース部とを備え、ケース部は、第1基板の電力変換素子側に配設された第1導体パターンに接続される第1接続端子と、第2基板の電力変換素子と反対側に配設された第2導体パターンに接続される第2接続端子とを含む。

30

【0008】

この第1の局面による電力変換装置では、ケース部が、第1基板の電力変換素子側に配設された第1導体パターンに接続される第1接続端子と、第2基板の電力変換素子と反対側に配設された第2導体パターンに接続される第2接続端子とを含むことによって、第1接続端子および第2接続端子と、第1基板と第2基板との間に実装される電力変換素子とを、たとえば水平方向に延びるボンディングワイヤを介さずに電氣的に接続することができるので、電力変換装置の小型化を図ることができる。

40

【0009】

この発明の第2の局面による半導体装置は、第1基板と、第1基板に対向して配置される第2基板と、第1基板と第2基板との間に実装される電力変換素子と、第1基板および第2基板を取り囲むように設けられるケース部とを備え、ケース部は、第1基板の電力変換素子側に配設された第1導体パターンに接続される第1接続端子と、第2基板の電力変換素子と反対側に配設された第2導体パターンに接続される第2接続端子とを含む。

【0010】

この第2の局面による半導体装置では、ケース部が、第1基板の電力変換素子側に配設された第1導体パターンに接続される第1接続端子と、第2基板の電力変換素子と反対側に配設された第2導体パターンに接続される第2接続端子とを含むことによって、第1接

50

続端子および第2接続端子と、第1基板と第2基板との間に実装される電力変換素子とを、たとえば水平方向に延びるボンディングワイヤを介さずに電氣的に接続することができるので、半導体装置の小型化を図ることができる。

【0011】

この発明の第3の局面による電力変換装置の製造方法は、電力変換素子を第1基板と第2基板との間に実装するステップと、電力変換素子が実装された第1基板および第2基板を、第2基板側から、ケース部の内方に挿入して装着するステップと、ケース部が有する第1接続端子と、第1基板に配設された第1導体パターンの接続部とを接合するステップと、ケース部が有する第2接続端子と、第2基板に配設された第2導体パターンの接合部とを接合するステップと、を備える。

10

【0012】

この第3の局面による電力変換装置の製造方法では、ケース部が有する第1接続端子と、第1基板に配設された第1導体パターンの接続部とを接合するステップと、ケース部が有する第2接続端子と、第2基板に配設された第2導体パターンの接合部とを接合するステップとを備えることによって、第1接続端子および第2接続端子と、第1基板と第2基板との間に実装される電力変換素子とを、たとえば水平方向に延びるボンディングワイヤを介さずに電氣的に接続することができるので、小型化を図ることが可能な電力変換装置の製造方法を提供することができる。

【図面の簡単な説明】

【0013】

20

【図1】本発明の第1実施形態によるパワーモジュールの回路図である。

【図2】本発明の第1実施形態によるパワーモジュールの平面図である。

【図3】図2の300-300線に沿った断面図である。

【図4】図2の400-400線に沿った断面図である。

【図5】本発明の第1実施形態によるパワーモジュールの第1基板の上面図である。

【図6】本発明の第1実施形態によるパワーモジュールの第1基板の下面図である。

【図7】本発明の第1実施形態によるパワーモジュールの第2基板の下面図である。

【図8】本発明の第1実施形態によるパワーモジュールの第2基板の上面図である。

【図9】本発明の第1実施形態によるパワーモジュールの第1基板に導電パターンを形成する工程を説明するための図である。

30

【図10】本発明の第1実施形態によるパワーモジュールの第1基板の導電パターンに導電部材を取り付ける工程を説明するための図である。

【図11】本発明の第1実施形態によるパワーモジュールの第2基板に導電パターンを形成する工程を説明するための図である。

【図12】本発明の第1実施形態によるパワーモジュールの第2基板の導電パターンにMOSFETを取り付ける工程を説明するための図である。

【図13】本発明の第1実施形態によるパワーモジュールの第1基板と第2基板とを重ねる工程を説明するための図である。

【図14】本発明の第1実施形態によるパワーモジュールのP側(N側、U相、V相、W相)接続端子を形成する工程を説明するための図である。

40

【図15】本発明の第1実施形態によるパワーモジュールのゲート接続端子を形成する工程を説明するための図である。

【図16】本発明の第1実施形態によるパワーモジュールのケース部を形成する工程を説明するための図である。

【図17】本発明の第1実施形態によるパワーモジュールのケース部内に第1基板および第2基板を挿入する工程を説明するための図である。

【図18】本発明の第2実施形態によるパワーモジュールの平面図である。

【図19】本発明の第2実施形態によるパワーモジュールの第2基板の上面図である。

【発明を実施するための形態】

【0014】

50

以下、本発明の実施形態を図面に基づいて説明する。

【0015】

(第1実施形態)

図1の回路図に示すように、本発明の第1実施形態のパワーモジュール100は、モータ200などに接続される3相のインバータ回路を構成している。パワーモジュール100は、6つのMOSFET3a~3fを含む。なお、MOSFET3a~3fは、ここでは、n型の電界効果トランジスタを示す。また、パワーモジュール100は、本発明の「電力変換装置」および「半導体装置」の一例である。また、MOSFET3a、3c、3eは、パワーモジュール100の上アームを構成しており、本発明の「電力変換素子」、「第1電力変換素子」の一例である。また、MOSFET3b、3d、および3fは、パ

10

【0016】

MOSFET3a、3cおよび3eのドレイン(D)は、P側接続端子5aに接続されている。MOSFET3bのソース(S)は、N側接続端子5bに接続されている。また、MOSFET3dのソース(S)は、N側接続端子5bに接続されている。また、MOSFET3fのソース(S)は、N側接続端子5bに接続されている。また、MOSFET3aのソース(S)とMOSFET3bのドレイン(D)とは、モータ200の電源のU相接続端子5cに接続されている。また、MOSFET3cのソース(S)とMOSFET3dのドレイン(D)とは、モータ200の電源のV相接続端子5dに接続されている。また、MOSFET3eのソース(S)とMOSFET3fのドレイン(D)とは、モータ200の電源のW相接続端子5eに接続されている。

20

【0017】

次に、図2~図5を参照して、パワーモジュール100の構造について説明する。また、ここでは、パワーモジュール100のU相の上アームおよび下アームを構成する部分(図1の破線で囲まれた部分)の断面構造(図3および図4参照)を中心に説明し、V相およびW相の上アームおよび下アームを構成する部分の断面構造は、U相の断面構造と同様であるので、その説明を省略する。

【0018】

図2~図4に示すように、ケース部4内には、第1基板1および第2基板2が配置されている。図3および図4に示すように、下側の第1基板1と上側の第2基板2とは、Z方向(上下方向)に対向した状態でケース部4内に配置されている。第1基板1および第2基板2は、セラミックなどの絶縁材料を基材とする。ここで、第1実施形態では、上側の第2基板2の面積は、下側の第1基板1の面積よりも小さく形成されている。具体的には、上側の第2基板2のX方向の幅W1およびY方向の幅W2(図7参照)は、それぞれ、下側の第1基板1のX方向の幅W3およびY方向の幅W4(図5参照)よりも小さくなるように構成されている。これにより、第1基板1および第2基板2が下方からケース部4の内部に挿入される際に、ケース部4の内面から第1基板1側に突出するP側接続端子5a(51a)およびN側接続端子5b(51b)(図3参照)に干渉することなく上側の第2基板2が上方に通過可能になる。

30

40

【0019】

下側の第1基板1の下面(Z1方向)には、放熱板12aおよび12bが形成されている。なお、放熱板12aおよび12bは、たとえば銅箔やアルミニウム箔からなり、約100μm以上約500μm以下の厚みを有する。放熱板12aは、平面的に見て(X-Y方向において)、第1基板1の上面(Z2方向)に設けられる後述する導電パターン13aとオーバーラップし、第1基板1を介して略対向する位置に設けられている。また、放熱板12bは、平面的に見て(X-Y方向において)、導電パターン13b(MOSFET3b)および導電パターン13cとオーバーラップし、第1基板1を介して略対向する位置に設けられている。つまり、放熱板12aおよび12bが、第1基板1を介して導電パターン13a~13cと対称的な位置に設けられる。これにより、半田接合時あるいは

50

稼動時の冷熱サイクルのストレスによって生じることが懸念される第1基板1の反りを抑制することが可能となる。なお、放熱板12aは、本発明の「第1放熱板」の一例である。また、放熱板12bは、本発明の「第2放熱板」の一例である。

【0020】

また、下側の第1基板1の上面（Z2方向）には、導電パターン13a、13bおよび13cが設けられている。導電パターン13a～13cは、たとえば銅箔からなり、約100μm以上約500μm以下の厚みを有する。放熱板12aおよび12bと同等の厚みにすることによって、冷熱サイクルのストレスによって生じることが懸念される第1基板1の反りを抑えることができる。ここで、第1実施形態では、導電パターン13aは、導電パターン13aのX1方向の端部の部分131a（図5参照）において、P側接続端子5aと接続されるように構成されている。また、導電パターン13bは、導電パターン13bのX2方向の端部の部分131b（図5参照）において、U相接続端子5c（図4参照）と接続されるように構成されている。また、導電パターン13cは、導電パターン13cのX2方向の端部の部分131c（図5参照）において、N側接続端子5bと接続されるように構成されている。すなわち、接続端子と接続される部分131a～部分131cは、下側の第1基板1の縁部に設けられている。なお、導電パターン13a～13cは、本発明の「第1導体パターン」の一例である。また、接続端子と接続される部分131a～部分131cは、本発明の「接続部」の一例である。

【0021】

上側の第2基板2の下面（Z1方向）には、導電パターン21aおよび21dが形成されている。また、図4に示すように、MOSFET3a（3b）のゲート（G）に対応する部分には、導電パターン22a（22d）が形成されている。また、上側の第2基板2の上面（Z2方向）には、導電パターン23aおよび23bが形成されている。なお、導電パターン23aおよび23bは、本発明の「第2導体パターン」の一例である。ここで、第1実施形態では、ケース部4に設けられるゲート接続端子6a（6b）は、導電パターン23a（23b）および導電パターン22a（22d）を介して、MOSFET3a（3b）のゲート（G）に電氣的に接続されるように構成されている。なお、導電パターン23aおよび23bとゲート接続端子6aおよび6bとが接続される部分231aおよび231b（図8参照）が、上側の第2基板2の端部近傍（縁部）に配置されるように、導電パターン23aおよび23bが形成される。また、ゲート接続端子と接続される部分231aおよび231bは、本発明の「接続部」の一例である。

【0022】

また、図3に示すように、下側の第1基板1の導電パターン13aの表面上には、低温半田層32を介してMOSFET3aのドレイン（D）が取り付けられている。なお、低温半田層32は、たとえば融解温度が183のSn-37Pbからなる。また、MOSFET3aのソース（S）は、半田ボール33を介して上側の第2基板2の導電パターン21aに接続されている。なお、半田ボール33は、たとえば融解温度が217のSn-3Ag-0.5Cuからなる。なお、MOSFET3aのソース（S）と上側の第2基板2の導電パターン21aとは、15個の半田ボール33（図2参照）により、接続されている。

【0023】

また、図3に示すように、下側の第1基板1の導電パターン13bの表面上には、高温半田層34を介して柱状の導電部材14aが取り付けられている。なお、高温半田層34は、たとえば融解温度が217のSn-3Ag-0.5Cuからなる。また、導電部材14aは、低温半田層32を介して第2基板2の導電パターン21aに接続されている。また、導電パターン13bの表面上には、低温半田層32を介してMOSFET3bのドレイン（D）が取り付けられている。また、MOSFET3bのソース（S）は、半田ボール33を介して上側の第2基板2の導電パターン21dに接続されている。

【0024】

また、図3に示すように、下側の第1基板1の導電パターン13cの表面上には、高温

10

20

30

40

50

半田層 3 4 を介して柱状の導電部材 1 4 b が取り付けられている。また、導電部材 1 4 b は、低温半田層 3 2 を介して上側の第 2 基板 2 の導電パターン 2 1 d に接続されている。

【0025】

ケース部 4 は、図 2 に示すように、第 1 基板 1 および第 2 基板 2 を取り囲むように設けられている。また、ケース部 4 は、平面的に見て (X - Y 方向において)、枠状に形成されている。ここで、第 1 実施形態では、ケース部 4 には、第 1 基板 1 に設けられる導電パターン 1 3 a および 1 3 c に接続される金属製の P 側接続端子 5 a および N 側接続端子 5 b が、樹脂製のケース部 4 に埋め込まれるように設けられている。また、ケース部 4 には、第 2 基板 2 に設けられる導電パターン 2 3 a および 2 3 b に接続されるゲート接続端子 6 a および 6 b がケース部 4 に埋め込まれるように設けられている。なお、P 側接続端子 5 a および N 側接続端子 5 b は、M O S F E T 3 a のソース (S) および M O S F E T 3 b のドレイン (D) に主電流 (電力用電流) を供給するように構成されている。また、ゲート接続端子 6 a および 6 b は、M O S F E T 3 a および 3 b のゲート (G) に M O S F E T をオンオフさせる制御信号 (制御信号用電流) を供給するように構成されている。なお、P 側接続端子 5 a および N 側接続端子 5 b は、本発明の「第 1 接続端子」の一例である。また、ゲート接続端子 6 a および 6 b は、本発明の「第 2 接続端子」の一例である。

【0026】

また、図 3 に示すように、P 側接続端子 5 a の一方端 5 1 a は、ケース部 4 の内面から下側の第 1 基板 1 側に突出するように形成されている。また、P 側接続端子 5 a の他方端 5 2 a は、ケース部 4 の上面から Z 2 方向に突出した後、略 90 度折り曲げられて、第 1 基板 1 とは反対側 (X 1 方向、ケース部 4 の外周方向) に延びるように形成されている。また、P 側接続端子 5 a の一方端 5 1 a および他方端 5 2 a 以外の部分は、ケース部 4 内に埋め込まれて構成されている。また、P 側接続端子 5 a の一方端 5 1 a は、第 1 基板 1 がケース部 4 内に配置された状態で、半田層 3 1 を介して導電パターン 1 3 a に接続されるように構成されている。

【0027】

図 4 に示すように、ゲート接続端子 6 a の一方端 6 1 a は、ケース部 4 の内面から上側の第 2 基板 2 側に突出するように形成されている。また、ゲート接続端子 6 a の他方端 6 2 a は、ケース部 4 の上面から Z 2 方向に突出した後、略 90 度折り曲げられて、第 2 基板 2 とは反対側 (X 1 方向、ケース部 4 の外周方向) に延びるように形成されている。また、ゲート接続端子 6 a の一方端 6 1 a および他方端 6 2 a 以外の部分は、ケース部 4 内に埋め込まれるように構成されている。また、ゲート接続端子 6 a の一方端 6 1 a は、第 2 基板 2 がケース部 4 内に配置された状態で、半田層 3 1 を介して導電パターン 2 3 a に接続されるように構成されている。

【0028】

ここで、第 1 実施形態では、図 3 に示すように、P 側接続端子 5 a および N 側接続端子 5 b のケース部 4 の内面から第 1 基板 1 側に突出する部分の突出長さ L 2 は、第 2 基板 2 の外周端からケース部 4 の内面までの長さ L 1 よりも小さくなる ($L 2 < L 1$) ように構成されている。これにより、第 1 基板 1 と第 2 基板 2 との間に M O S F E T が実装された状態において、第 1 基板 1 と第 2 基板 2 とが対向する領域に P 側接続端子 5 a および N 側接続端子 5 b が侵入しないようにすることが可能となる。

【0029】

また、第 1 実施形態では、P 側接続端子 5 a のケース部 4 の内面から第 1 基板 1 側に突出する部分の突出長さ L 2 は、ゲート接続端子 6 a および 6 b のケース部 4 の内面から第 2 基板 2 側に突出する部分の突出長さ L 3 よりも小さくなるように構成されている。また、P 側接続端子 5 a (N 側接続端子 5 b) の一方端 5 1 a の高さ位置と、ゲート接続端子 6 a (ゲート接続端子 6 b) の一方端 6 1 a の高さ位置との差を L 4 とする。また、第 1 基板 1 の P 側接続端子 5 a (N 側接続端子 5 b) が接続される部分 (半田層 3 1 の表面) の高さ位置と、第 2 基板 2 のゲート接続端子 6 a (6 b) が接続される部分 (半田層 3 1 の表面) の高さ位置との差を L 5 とする。このとき、L 4 と L 5 とは略等しくなるように

構成されている。すなわち、P側接続端子5a(N側接続端子5b)が、第1基板1の半田層31と当接する際、ゲート接続端子6a(ゲート接続端子6b)も第2基板2の半田層31に当接するように構成されている。

【0030】

また、図2に示すように、P側接続端子5aおよびN側接続端子5bと、ゲート接続端子6aおよび6bとは、平面的に見て(X-Y方向において)、オーバーラップしないようにずらして配置されている。また、平面的に見て(X-Y方向において)、P側接続端子5a(N側接続端子5b)の幅W5は、ゲート接続端子6a(6b)の幅W6よりも大きい($W5 > W6$)。また、図3および図4に示すように、P側接続端子5a(N側接続端子5b)の厚みt1は、ゲート接続端子6a(6b)の厚みt2と略等しい。すなわち、第1実施形態では、主電流が流れるP側接続端子5aおよびN側接続端子5bの断面積は、制御信号が流れるゲート接続端子6aおよび6bの断面積よりも大きくなるように構成されている。なお、各接続端子の断面積は、各接続端子を流れる電流の大きさに応じて設定される。

10

【0031】

また、図3および図4に示すように、P側接続端子5a(N側接続端子5b)の他方端52a(52b)の高さ位置と、ゲート接続端子6a(ゲート接続端子6b)の他方端62a(62b)の高さ位置とは、略等しくなるように構成されている。すなわち、P側接続端子5a(N側接続端子5b)の他方端52a(52b)のケース部4の上面からの突出高さH1(図3参照)と、ゲート接続端子6a(6b)の他方端62a(62b)のケース部4の上面からの突出高さH2(図4参照)とは、略等しい。

20

【0032】

また、第1実施形態では、ケース部4の下部(Z1方向側の端面)には、第1基板1および第2基板2がケース部4内に挿入された状態で、下側の第1基板1の外側面部と導電パターン13aおよび13cの上面とが当接することにより、下側の第1基板1の位置決めを行うための逆L字形状の位置決め部4a(図3および図4参照)が設けられている。具体的には、位置決め部4aは、第1基板1の外側面を位置決めするための側方位置決め部41aと、導電パターン13aおよび13cの上面が当接する上下方向位置決め部42aとを含んでいる。この位置決め部4aは、枠状のケース部4の下部の全周に渡って設けられている。

30

【0033】

また、第1実施形態では、第1基板1、第2基板2、MOSFET3aおよび3bを覆い、かつ、P側接続端子5a(N側接続端子5b)の他方端52a(52b)、および、ゲート接続端子6a(6b)の他方端62a(62b)が露出するように、封止部材7が、ケース部4内に充填されている。なお、封止部材7は、液状のエポキシ樹脂などの絶縁性の部材からなる。

【0034】

次に、図2および図5～図8を参照して、パワーモジュール100のU相、V相およびW相の平面的な構造について説明する。

【0035】

図5に示すように、下側の第1基板1の上面(Z2方向)上には、導電パターン13a、13b、13c、13dおよび13eが設けられている。導電パターン13aは、MOSFET3a、3cおよび3eのドレイン(D)に電氣的に接続されるように構成されている。また、導電パターン13bは、柱状の導電部材14aと、MOSFET3bのドレイン(D)とに電氣的に接続されるように構成されている。また、導電パターン13cは、柱状の導電部材14b(図2参照)と電氣的に接続されるように構成されている。また、導電パターン13dは、柱状の導電部材14cと、MOSFET3dのドレイン(D)とに電氣的に接続されるように構成されている。また、導電パターン13dは、導電パターン13dのX2方向の端部の部分131dにおいて、V相接続端子5d(図2参照)と接続されるように構成されている。また、導電パターン13eは、柱状の導電部材14d

40

50

と、M O S F E T 3 f のドレイン (D) とに電氣的に接続されるように構成されている。また、導電パターン 1 3 e は、導電パターン 1 3 e の X 2 方向の端部の部分 1 3 1 e において、W 相接続端子 5 e (図 2 参照) と接続されるように構成されている。なお、導電パターン 1 3 d および 1 3 e は、本発明の「第 1 導体パターン」の一例である。また、部分 1 3 1 d および 1 3 1 e は、本発明の「接続部」の一例である。

【 0 0 3 6 】

また、図 6 に示すように、下側の第 1 基板 1 の下面 (Z 1 方向、図 3 参照) 上には、放熱板 1 2 a ~ 1 2 d が形成されている。また、放熱板 1 2 c は、平面的に見て (X - Y 方向において)、導電パターン 1 3 d (M O S F E T 3 d) とオーバーラップするように設けられている。また、放熱板 1 2 d は、平面的に見て (X - Y 方向において)、導電パターン 1 3 e (M O S F E T 3 f) とオーバーラップするように設けられている。なお、放熱板 1 2 c および 1 2 d は、本発明の「第 2 放熱板」の一例である。

【 0 0 3 7 】

また、図 7 に示すように、上側の第 2 基板 2 の下面 (Z 1 方向) 上には、導電パターン 2 1 a、2 1 b、2 1 c および 2 1 d が形成されている。導電パターン 2 1 a は、M O S F E T 3 a のソース (S) と導電部材 1 4 a とを電氣的に接続するように形成されている。また、導電パターン 2 1 a に囲まれるように、M O S F E T 3 a のゲート (G) とゲート接続端子 6 a (図 2 参照) とを電氣的に接続するための導電パターン 2 2 a が設けられている。導電パターン 2 1 b は、M O S F E T 3 c のソース (S) と導電部材 1 4 c とを電氣的に接続するように形成されている。また、導電パターン 2 1 b に囲まれるように、M O S F E T 3 c のゲート (G) とゲート接続端子 6 c (図 2 参照) とを電氣的に接続するための導電パターン 2 2 b が設けられている。導電パターン 2 1 c は、M O S F E T 3 e のソース (S) と導電部材 1 4 d とを電氣的に接続するように形成されている。また、導電パターン 2 1 c に囲まれるように、M O S F E T 3 e のゲート (G) とゲート接続端子 6 e (図 2 参照) とを電氣的に接続するための導電パターン 2 2 c が設けられている。

【 0 0 3 8 】

導電パターン 2 1 d は、M O S F E T 3 b、3 d および 3 f のソース (S) と、導電部材 1 4 b とを電氣的に接続するように形成されている。また、導電パターン 2 1 d に囲まれるように、M O S F E T 3 b のゲート (G) とゲート接続端子 6 b (図 2 参照) とを電氣的に接続するための導電パターン 2 2 d が設けられている。また、M O S F E T 3 d のゲート (G) とゲート接続端子 6 d (図 2 参照) とを電氣的に接続するための導電パターン 2 2 e が、導電パターン 2 1 d の近傍に形成されている。また、M O S F E T 3 f のゲート (G) とゲート接続端子 6 f (図 2 参照) とを電氣的に接続するための導電パターン 2 2 f が、導電パターン 2 1 d の近傍に形成されている。

【 0 0 3 9 】

また、図 8 に示すように、上側の第 2 基板 2 の上面 (Z 2 方向) 上には、導電パターン 2 3 a、2 3 b、2 3 c、2 3 d、2 3 e および 2 3 f が形成されている。なお、導電パターン 2 3 a ~ 2 3 f は、本発明の「第 2 導体パターン」の一例である。また、ケース部 4 に設けられるゲート接続端子 6 a ~ 6 f (図 2 参照) は、それぞれ、導電パターン 2 3 a ~ 2 3 f および導電パターン 2 2 a ~ 2 2 f (図 7 参照) を介して、M O S F E T 3 a ~ 3 f のゲート (G) に電氣的に接続されるように構成されている。なお、導電パターン 2 3 a ~ 2 3 f とゲート接続端子 6 a ~ 6 f とが接続される部分 2 3 1 a、2 3 1 b、2 3 1 c、2 3 1 d、2 3 1 e および 2 3 1 f が、第 2 基板 2 の端部近傍 (縁部) に配置されるように、導電パターン 2 3 a ~ 2 3 f が形成される。また、部分 2 3 1 a ~ 2 3 1 f は、本発明の「接続部」の一例である。

【 0 0 4 0 】

また、図 2 に示すように、ケース部 4 には、第 1 基板 1 に設けられる導電パターン 1 3 a ~ 1 3 e に接続される P 側接続端子 5 a、N 側接続端子 5 b、U 相接続端子 5 c、V 相接続端子 5 d、W 相接続端子 5 e が、ケース部 4 に埋め込まれるように設けられている。また、ケース部 4 には、第 2 基板 2 に設けられる導電パターン 2 3 a ~ 2 3 f に接続され

るゲート接続端子 6 a ~ 6 f が、ケース部 4 に埋め込まれるように設けられている。なお、P 側接続端子 5 a、N 側接続端子 5 b、U 相接続端子 5 c、V 相接続端子 5 d、および、W 相接続端子 5 e は、M O S F E T 3 a ~ 3 f のソース (S) またはドレイン (D) に主電流を供給するように構成されている。また、ゲート接続端子 6 a ~ 6 f は、M O S F E T 3 a ~ 3 f のゲート (G) に M O S F E T をオンオフさせる制御信号を供給するように構成されている。なお、P 側接続端子 5 a、N 側接続端子 5 b、U 相接続端子 5 c、V 相接続端子 5 d および W 相接続端子 5 e は、本発明の「第 1 接続端子」の一例である。また、ゲート接続端子 6 a ~ 6 f は、本発明の「第 2 接続端子」の一例である。

【 0 0 4 1 】

次に、図 3 および図 9 ~ 図 1 7 を参照して、第 1 実施形態のパワーモジュール 1 0 0 の製造方法について説明する。なお、図 3 および図 9 ~ 図 1 7 は、パワーモジュール 1 0 0 の U 相の上アームおよび下アームを構成する部分を示しているが、V 相および W 相のアームについても U 相と同時に形成される。

【 0 0 4 2 】

図 9 に示すように、Z 2 方向側の表面上 (上面上) に、銅箔からなる導電パターン 1 3 a ~ 1 3 e が形成されるとともに、Z 1 方向側の表面上 (下面上) に、銅箔またはアルミニウム箔からなる放熱板 1 2 a ~ 1 2 d が形成されている第 1 基板 1 を準備する。

【 0 0 4 3 】

次に、図 1 0 に示すように、導電パターン 1 3 b および導電パターン 1 3 c の表面上に、それぞれ、導電部材 1 4 a および導電部材 1 4 b を、融解温度が 2 1 7 の S n - 3 A g - 0 . 5 C u からなる高温半田層 3 4 により取り付ける。同様に、導電パターン 1 3 d および導電パターン 1 3 e の表面上に、それぞれ、導電部材 1 4 c および導電部材 1 4 d を高温半田層 3 4 により取り付ける。

【 0 0 4 4 】

次に、図 1 1 に示すように、Z 1 方向側の表面上 (下面上) に、銅箔からなる導電パターン 2 1 a ~ 2 1 d と導電パターン 2 2 a ~ 2 2 f (図 7 参照) とが形成されるとともに、Z 2 方向側の表面上 (上面上) に、銅箔からなる導電パターン 2 3 a ~ 2 3 f が形成されている第 2 基板 2 を準備する。

【 0 0 4 5 】

次に、図 1 2 に示すように、たとえば融解温度が 2 1 7 の S n - 3 A g - 0 . 5 C u からなる半田ボール 3 3 により、M O S F E T 3 a、3 c および 3 e のソース (S) を、それぞれ、導電パターン 2 1 a、2 1 b および 2 1 c に取り付ける。なお、M O S F E T 3 a、3 c および 3 e のゲート G は、それぞれ、導電パターン 2 2 a、2 2 b および 2 2 c (図 7 参照) に半田ボール 3 3 により取り付けられる。また、半田ボール 3 3 により、M O S F E T 3 b、3 d および 3 f のソース (S) を導電パターン 2 1 d に取り付ける。なお、M O S F E T 3 b、3 d および 3 f のゲート G は、それぞれ、導電パターン 2 2 d、2 2 e および 2 2 f (図 7 参照) に半田ボール 3 3 により取り付けられる。

【 0 0 4 6 】

なお、M O S F E T 3 a ~ 3 f を導電パターン 2 1 a ~ 2 1 d に取り付けた状態で、M O S F E T 3 a ~ 3 f と導電パターン 2 1 a ~ 2 1 d との間の隙間にアンダーフィル樹脂を充填してもよい。その結果、M O S F E T 3 a ~ 3 f や導電パターン 2 1 a ~ 2 1 d に対する短絡を抑制することが可能となる。また、M O S F E T 3 a ~ 3 f の熱膨張係数と第 2 基板 2 の熱膨張係数との違いに起因する半田ボール 3 3 への影響 (応力) が緩和され、半田ボール 3 3 と M O S F E T 3 a ~ 3 f (導電パターン 2 1 a ~ 2 1 d) との接合が外れるのを抑制することが可能となる。

【 0 0 4 7 】

次に、図 1 3 に示すように、下側の第 1 基板 1 と上側の第 2 基板 2 との間に、M O S F E T 3 a ~ 3 f を実装する。具体的には、下側の第 1 基板 1 および上側の第 2 基板 2 を対向させた状態で、たとえば融解温度が 1 8 3 の S n - 3 7 P b からなる低温半田層 3 2 により、M O S F E T 3 a、3 c および 3 e のドレイン (D) を導電パターン 1 3 a に取

10

20

30

40

50

り付ける。また、低温半田層 3 2 により、M O S F E T 3 b、3 d および 3 f のドレイン (D) を、それぞれ、導電パターン 1 3 b、導電パターン 1 3 d および導電パターン 1 3 e に取り付ける。また、低温半田層 3 2 により、導電部材 1 4 a および 1 4 b (1 4 c、1 4 d) を導電パターン 2 1 a および 2 1 d (2 1 b、2 1 c) に取り付ける。なお、低温半田層 3 2 の代わりに半田シートを配置して、下側の第 1 基板 1 に上側の第 2 基板 2 を重ね合わせた後、リフロー処理を行うことにより、M O S F E T 3 a ~ 3 f を導電パターン 1 3 a ~ 1 3 e に一括して取り付けてもよい。これにより、容易に、M O S F E T 3 a ~ 3 f を導電パターン 1 3 a ~ 1 3 e に取り付けることが可能となる。また、融解温度の比較的高い半田 (半田ボール 3 3、高温半田層 3 4) による接合を行った後に、融解温度の比較的低い半田 (低温半田層 3 2) またはリフロー処理による接合を行う。これにより、融解温度の比較的低い半田またはリフロー処理による接合を先に行った後、融解温度の比較的高い半田による接合を行う場合と異なり、融解温度の比較的高い半田による接合の際の温度によって、融解温度の比較的低い半田が融解するのを抑制することが可能となる。

10

【 0 0 4 8 】

また、下側の第 1 基板 1 と上側の第 2 基板 2 とが対向された状態で、平面的に見て (X - Y 方向において)、P 側接続端子 5 a および N 側接続端子 5 b のケース部 4 の内面から第 1 基板 1 側に突出する部分の突出長さ L 2 (図 2 参照) が、第 2 基板 2 の外周端から第 1 基板 1 の外周端までの長さ L 1 よりも小さくなるように、第 1 基板 1 に対して第 2 基板 2 を配置する。

20

【 0 0 4 9 】

次に、図 1 4 に示す予めプレス加工などにより自動的に折り曲げられている金属製の P 側接続端子 5 a、N 側接続端子 5 b、U 相接続端子 5 c、V 相接続端子 5 d および W 相接続端子 5 e と、図 1 5 に示す予めプレス加工などにより自動的に折り曲げられている金属製のゲート接続端子 6 a ~ 6 f とが、たとえばインサート樹脂成形により埋め込まれた樹脂製のケース部 4 (図 1 6 参照) を準備する。なお、P 側接続端子 5 a、N 側接続端子 5 b、U 相接続端子 5 c、V 相接続端子 5 d、W 相接続端子 5 e、および、ゲート接続端子 6 a ~ 6 f の折り曲げ加工の前または後に、めっき加工によってニッケル (N i) / 金 (A u) 層のコーティング膜を各々の接続端子の表面に形成してもよい。

30

【 0 0 5 0 】

次に、図 1 7 に示すように、第 1 基板 1 と第 2 基板 2 とを対向させた状態で、第 1 基板 1 と第 2 基板 2 とをケース部 4 内に挿入する。なお、上記のように、第 2 基板 2 が第 1 基板 1 に対して小さくなるように形成されている。また、P 側接続端子 5 a および N 側接続端子 5 b のケース部 4 の内面から第 1 基板 1 側に突出する部分の突出長さ L 2 (図 2 参照) が、第 2 基板 2 の外縁部 (外周端) から第 1 基板 1 の外縁部 (外周端) までの長さ L 1 よりも小さくなるように形成される。これにより、第 2 基板 2 が、P 側接続端子 5 a および N 側接続端子 5 b (U 相接続端子 5 c、V 相接続端子 5 d および W 相接続端子 5 e) に干渉することなく、第 2 基板 2 がケース部 4 内に挿入される。そして、図 3 に示すように、第 1 基板 1 の導電パターン 1 3 a ~ 1 3 e が、ケース部 4 の下部の位置決め部 4 a に当接することにより、第 1 基板 1 の位置決めが行われる。その後、半田層 3 1 により、P 側接続端子 5 a、N 側接続端子 5 b、U 相接続端子 5 c、V 相接続端子 5 d、W 相接続端子 5 e を、それぞれ、導電パターン 1 3 a、導電パターン 1 3 c、導電パターン 1 3 b、導電パターン 1 3 d、導電パターン 1 3 e に接続する。また、半田層 3 1 により、ゲート接続端子 6 a ~ 6 f を、それぞれ、導電パターン 2 3 a ~ 2 3 f に接続する。なお、半田層 3 1 の代わりに半田シートを用いてリフロー処理を行うことにより、各接続端子を導電パターンに一括して接続してもよい。

40

【 0 0 5 1 】

最後に、第 1 基板 1、第 2 基板 2 および M O S F E T 3 a ~ 3 f を覆うとともに、P 側接続端子 5 a (N 側接続端子 5 b、U 相接続端子 5 c、V 相接続端子 5 d、W 相接続端子 5 e) の他方端 5 2 a、および、ゲート接続端子 6 a (ゲート接続端子 6 b ~ 6 f) の他

50

方端 6 2 a を露出するように、封止部材 7 を、ケース部 4 内に充填する。これにより、パワーモジュール 1 0 0 が完成される。

【 0 0 5 2 】

第 1 実施形態では、上記のように、ケース部 4 が第 1 基板 1 に接続される P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) と、第 2 基板 2 に接続されるゲート接続端子 6 a ~ 6 f とを含む。これにより、P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) およびゲート接続端子 6 a ~ 6 f と、M O S F E T 3 a ~ 3 f とを、たとえば水平方向に延びるボンディングワイヤを介さずに電氣的に接続することができる。その結果、ボンディングワイヤによる配線によって占有されていたスペースを縮小することができるように

10

【 0 0 5 3 】

また、水平方向に延びるボンディングワイヤを介して電気接続を行なうよりも配線の断面積を大きくすることができ、配線距離を短くすることができる。これにより、各接続端子の配線抵抗や配線インダクタンスを小さくすることができる。その結果、低損失なパワーモジュール 1 0 0 を構成することができる。

【 0 0 5 4 】

また、第 1 実施形態では、上記のように、ケース部 4 内に第 1 基板 1 および第 2 基板 2 を挿入する際に、第 2 基板 2 が、ケース部 4 の内面から第 1 基板 1 側に突出する P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) に干渉することなく通過可能なように、第 1 基板 1 よりも小さくなるように第 2 基板 2 を形成する。これにより、P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) と、第 2 基板 2 とが干渉するのを回避することができるので、第 2 基板 2 を容易にケース部 4 内に配置することができる。

20

【 0 0 5 5 】

また、第 1 実施形態では、上記のように、第 1 基板 1 と第 2 基板 2 との間に M O S F E T が実装された状態において、第 1 基板 1 と第 2 基板 2 とが対向する領域に、P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) が侵入しないようにする。すなわち、P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) のケース部 4 の内面から第 1 基板 1 側に突出する部分の突出長さ L 2 を、第 2 基板 2 の外周端から第 1 基板 1 の外周端 (ケース部 4 の内面) までの長さ L 1 よりも小さくする。これにより、P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) と、第 2 基板 2 とが干渉するのを回避することができる。

30

【 0 0 5 6 】

また、第 1 実施形態では、上記のように、P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) のケース部 4 の内面から第 1 基板 1 側に突出する部分の突出長さ L 2 を、ゲート接続端子 6 a ~ 6 f のケース部 4 の内面から第 2 基板 2 側に突出する部分の突出長さ L 3 よりも小さくなるように構成する。これにより、第 2 基板 2 が P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) に干渉することなくケース部 4 内に挿入することができる。また、第 2 基板 2 がケース部 4 内に挿入された状態で第 2 基板 2 とゲート接続端子 6 a ~ 6 f とを当接させることができる。

40

【 0 0 5 7 】

また、第 1 実施形態では、上記のように、ケース部 4 の P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) の一方端 5 1 a の高さ位置と、ゲート接続端子 6 a (ゲート接続端子 6 b ~ 6 f) の一方端 6 1 a の高さ位置との差 L 4 を、第 1 基板 1 の P 側接続端子 5 a (N 側接続端子 5 b 、 U 相接続端子 5 c 、 V 相接続端子 5 d 、 W 相接続端子 5 e) が接続される部分の高さ位置と、第 2 基板 2 のゲート接続端子 6 a ~ 6 f が接続される部分の高さ位置との差 L 5 と略等しくなるように構

50

成する。これにより、P側接続端子5a(N側接続端子5b、U相接続端子5c、V相接続端子5d、W相接続端子5e)と第1基板1(導電パターン13a~13e)とが当接する際、ゲート接続端子6a~6fと第2基板2(導電パターン23a~23f)とも当接する。すなわち、一括して接合することができるようになるので、半田による接合作業が容易になり、接合作業に要する時間を大幅に短縮することができる。

【0058】

また、第1実施形態では、上記のように、P側接続端子5a(N側接続端子5b、U相接続端子5c、V相接続端子5d、W相接続端子5e)の他方端52aの高さ位置と、ゲート接続端子6a(ゲート接続端子6b~6f)の他方端62aの高さ位置とが、略等しくなるように構成する。これにより、P側接続端子5a(N側接続端子5b、U相接続端子5c、V相接続端子5d、W相接続端子5e)の他方端52aおよびゲート接続端子6a(ゲート接続端子6b~6f)の他方端62aと、外部機器(たとえば、演算機器または電動機器と接続する基板)との接続を容易に行なうことができる。

10

【0059】

また、第1実施形態では、上記のように、ゲート接続端子6a~6fを、それぞれ、第2基板2の導電パターン23a~23fを介して、MOSFET3a~3fのゲート(G)に電氣的に接続する。これにより、MOSFET3a~3fのゲート(G)と、ゲート接続端子6a~6fとを、水平方向に延びるボンディングワイヤを用いて電氣的に接続する場合と異なり、水平方向に延びるボンディングワイヤを設けない分、パワーモジュール100の小型化を図ることができる。

20

【0060】

また、第1実施形態では、上記のように、ケース部4の下部(端面)に、第1基板1および第2基板2がケース部4内に配置された状態で、第1基板1の外縁部(導電パターン13a~13e)が当接することにより、第1基板1の位置決めを行うための位置決め部4aを設ける。これにより、第1基板1の位置決めを容易に行うことができる。

【0061】

また、第1実施形態では、上記のように、P側接続端子5a、N側接続端子5b、U相接続端子5c、V相接続端子5dおよびW相接続端子5eの断面積を、ゲート接続端子6a~6fの断面積よりも大きくなるように構成する。これにより、制御信号よりも大きい、モータを駆動するための主電流をP側接続端子5a、N側接続端子5b、U相接続端子5c、V相接続端子5dおよびW相接続端子5eに流すことができる。

30

【0062】

また、第1実施形態では、上記のように、第1基板1、第2基板2およびMOSFET3a~3fを覆うとともに、P側接続端子5a(N側接続端子5b、U相接続端子5c、V相接続端子5d、W相接続端子5e)の他方端52aおよびゲート接続端子6a(ゲート接続端子6b~6f)の他方端62aが露出するようにケース部4の内方に絶縁性の封止部材7を充填する。これにより、MOSFET3a~3fや各接続端子間における短絡を抑止することができ、信頼性が向上する。

【0063】

また、第1実施形態では、上記のように、P側接続端子5a、N側接続端子5b、U相接続端子5c、V相接続端子5dおよびW相接続端子5eの第1基板1に接続される部分131a~131eと、ゲート接続端子6a~6fの第2基板2に接続される部分231a~231fとを、それぞれ、第1基板1および第2基板2の端部近傍(縁部)に設ける。これにより、P側接続端子5a、N側接続端子5b、U相接続端子5c、V相接続端子5d、W相接続端子5e、および、ゲート接続端子6a~6fの長さを短くすることができるので、各接続端子の配線抵抗や配線インダクタンスを小さくすることができる。その結果、低損失なパワーモジュール100を構成することができる。

40

【0064】

また、第1実施形態では、上記のように、第1基板1のMOSFET3a~3fとは反対側のMOSFET3a、3cおよび3eに対応する領域に設けられる放熱板12aと、

50

MOSFET 3 b、3 d および 3 f に対応する領域にそれぞれ設けられる放熱板 1 2 b、1 2 c および 1 2 d とを備える。これにより、MOSFET 3 a ~ 3 f により発生した熱を放熱板 1 2 a ~ 1 2 d により、効率的に放熱することができ、放熱性が向上する。

【0065】

(第2実施形態)

次に、図18および図19を参照して、第2実施形態のパワーモジュール110について説明する。この第2実施形態では、上記第2基板2が第1基板1に対して小さくなるように形成されている第1実施形態と異なり、第2基板111に切り欠き部112a~112eが設けられている。なお、パワーモジュール110は、本発明の「電力変換装置」および「半導体装置」の一例である。

10

【0066】

図19に示すように、第2実施形態のパワーモジュール110の第2基板111のX方向の幅W7とY方向の幅W8とは、それぞれ、第1基板1(図5参照)のX方向の幅W3とY方向の幅W4と略等しくなるように構成されている。また、図18および図19に示すように、第2基板111の縁部には、切り欠き部112a、112b、112c、112dおよび112eが形成されている。なお、切り欠き部112a~112eは、ケース部4内に第1基板1および第2基板111を挿入する際に、P側接続端子5a、N側接続端子5b、U相接続端子5c、V相接続端子5d、W相接続端子5eと干渉することなく第2基板111を通過可能な大きさに形成されている。なお、第2実施形態のその他の構成は、上記第1実施形態と同様である。

20

【0067】

第2実施形態では、上記のように、第2基板111が、P側接続端子5a、N側接続端子5b、U相接続端子5c、V相接続端子5dおよびW相接続端子5eに干渉することなく通過可能なように、切り欠き部112a~112eを第2基板111に形成する。その結果、P側接続端子5a、N側接続端子5b、U相接続端子5c、V相接続端子5dおよびW相接続端子5eと、第2基板111とが干渉するのを抑制することができるので、第2基板111を容易にケース部4に配置することができる。また、第2実施形態のその他の構成は、上記第1実施形態と同様である。

【0068】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

30

【0069】

たとえば、上記第1および第2実施形態では、本発明の電力変換素子としてn型の電界効果トランジスタ(MOSFET)を用いる例を示したが、本発明はこれに限らない。本発明では、電力変換素子として、p型の電界効果トランジスタ、IGBT、ダイオードなどを用いてもよい。

【0070】

また、上記第1および第2実施形態では、P側接続端子、N側接続端子、U相接続端子、V相接続端子およびW相接続端子が第1基板に接続されるとともに、ゲート接続端子が第2基板に接続される例を示したが、本発明はこれに限らない。たとえば、P側接続端子、N側接続端子、U相接続端子、V相接続端子およびW相接続端子を第2基板に接続するとともに、ゲート接続端子を第1基板に接続するようにしてもよい。

40

【0071】

また、上記第1および第2実施形態では、主電流を供給するP側接続端子、N側接続端子、U相接続端子、V相接続端子およびW相接続端子と、制御信号を供給するゲート接続端子とが、ケース部の外周方向に折り曲げられている例を示したが、本発明はこれに限らない。たとえば、主電流を供給する接続端子と、制御信号を供給するゲート接続端子とを、ケース部の内周方向に折り曲げてよい。

50

【 0 0 7 2 】

また、上記第 1 および第 2 実施形態では、P 側接続端子、N 側接続端子、U 相接続端子、V 相接続端子、W 相接続端子、および、ゲート接続端子の一方端および他方端以外の部分がケース部内に含まれる例を示したが、本発明はこれに限らない。たとえば、各接続端子の一方端および他方端以外の部分を、ケース部の内面に貼り付けるように構成してもよい。

【 0 0 7 3 】

また、上記第 1 および第 2 実施形態では、ケース部の下面に位置決め部を設けることにより、第 1 基板の位置決めを行う例を示したが、本発明はこれに限らない。たとえば、ケース部の内面から突出するボス状の位置決め部を設けることにより、第 1 基板の位置決めを行ってもよい。

10

【 符号の説明 】

【 0 0 7 4 】

1 第 1 基板

2、1 1 1 第 2 基板

3 a、3 c、3 e MOSFET (電力変換素子、第 1 電力変換素子)

3 b、3 d、3 f MOSFET (電力変換素子、第 2 電力変換素子)

4 ケース部

4 a 位置決め部

5 a P 側接続端子 (第 1 接続端子)

20

5 b N 側接続端子 (第 1 接続端子)

5 c U 相接続端子 (第 1 接続端子)

5 d V 相接続端子 (第 1 接続端子)

5 e W 相接続端子 (第 1 接続端子)

6 a、6 b、6 c、6 d、6 e、6 f ゲート接続端子 (第 2 接続端子)

7 封止部材

1 2 a 放熱板 (第 1 放熱板)

1 2 b、1 2 c、1 2 d 放熱板 (第 2 放熱板)

1 3 a、1 3 b、1 3 c、1 3 d、1 3 e 導電パターン (第 1 導体パターン)

2 3 a、2 3 b、2 3 c、2 3 d、2 3 e、2 3 f 導電パターン (第 2 導体パターン)

30

)

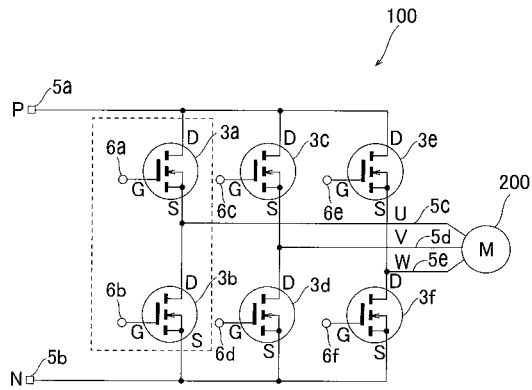
1 0 0、1 1 0 パワーモジュール (電力変換装置、半導体装置)

1 1 2 a、1 1 2 b、1 1 2 c、1 1 2 d、1 1 2 e 切り欠き部

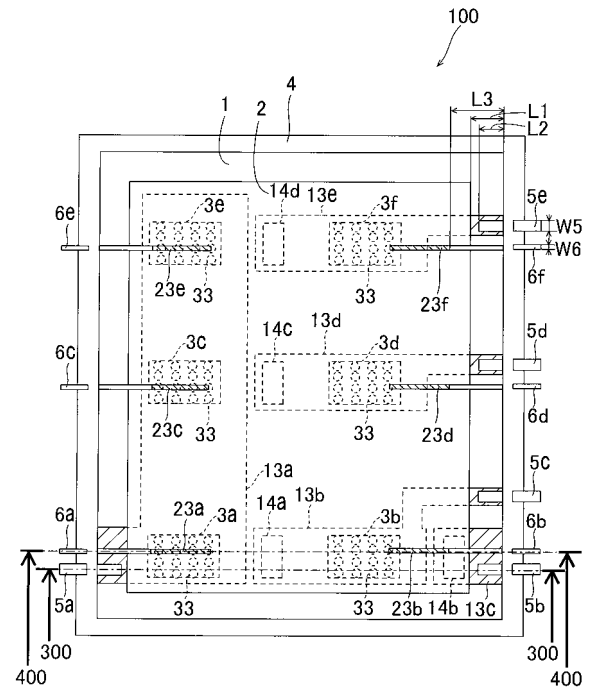
1 3 1 a、1 3 1 b、1 3 1 c、1 3 1 d、1 3 1 e 部分 (接続部)

2 3 1 a、2 3 1 b、2 3 1 c、2 3 1 d、2 3 1 e、2 3 1 f 部分 (接続部)

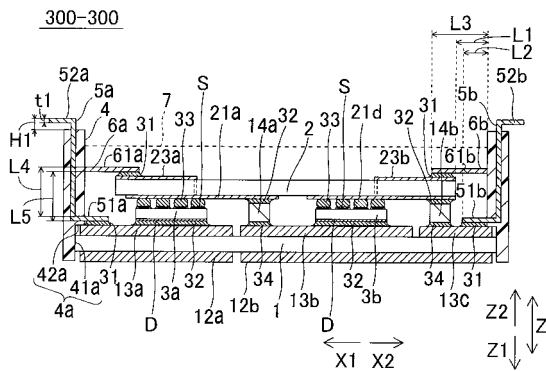
【図 1】



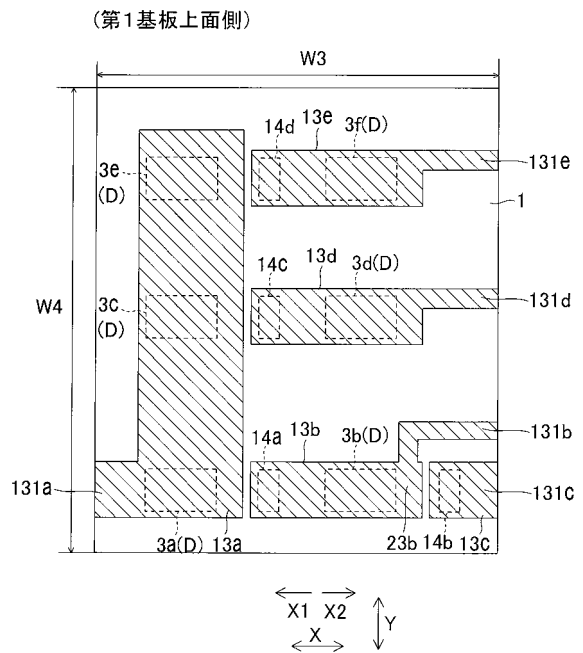
【図 2】



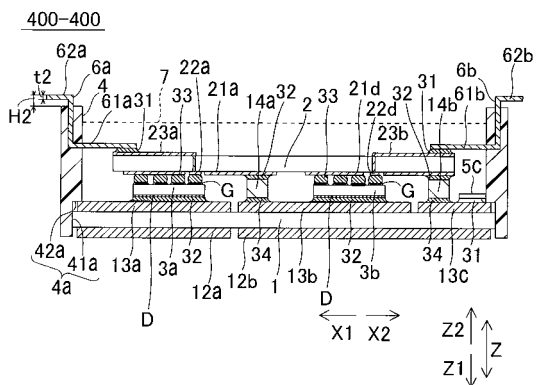
【図 3】



【図 5】

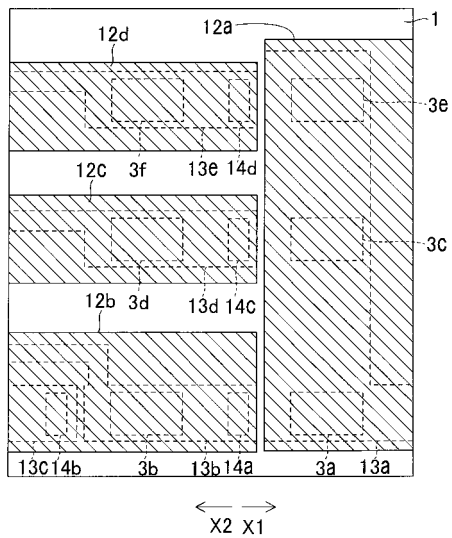


【図 4】



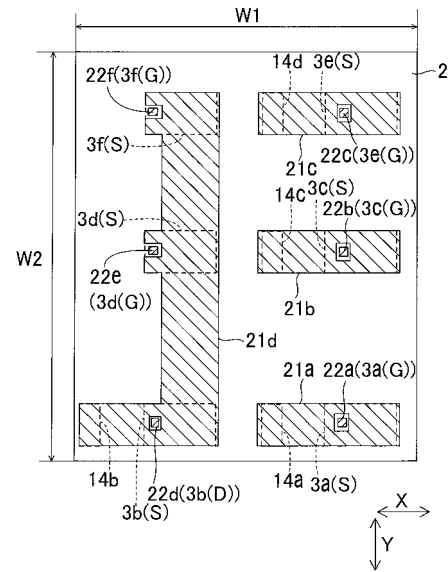
【 図 6 】

(第1基板下面側)



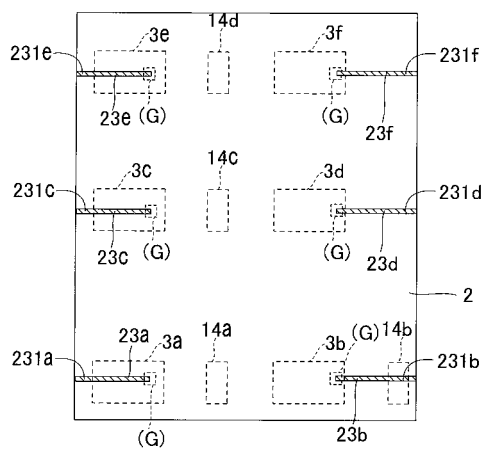
【 図 7 】

(第2基板下面側)

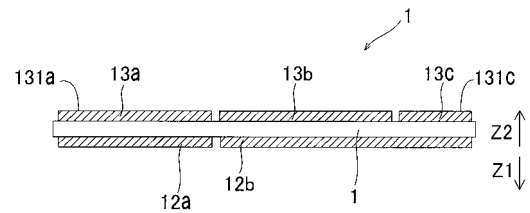


【 図 8 】

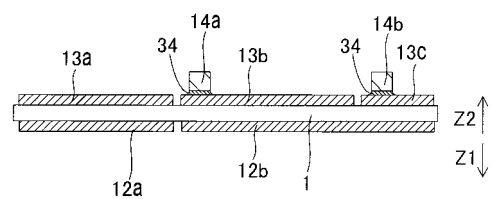
(第2基板上側)



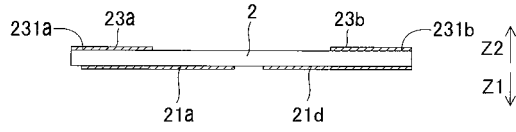
【 図 9 】



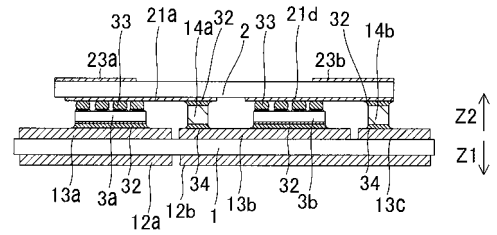
【 図 10 】



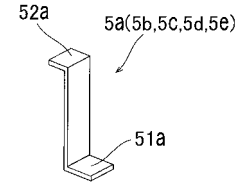
【図 1 1】



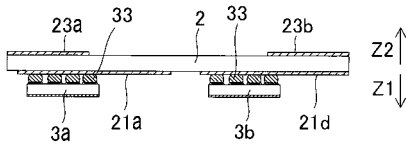
【図 1 3】



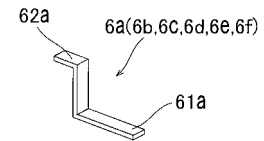
【図 1 4】



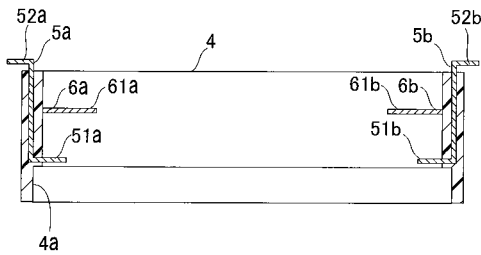
【図 1 2】



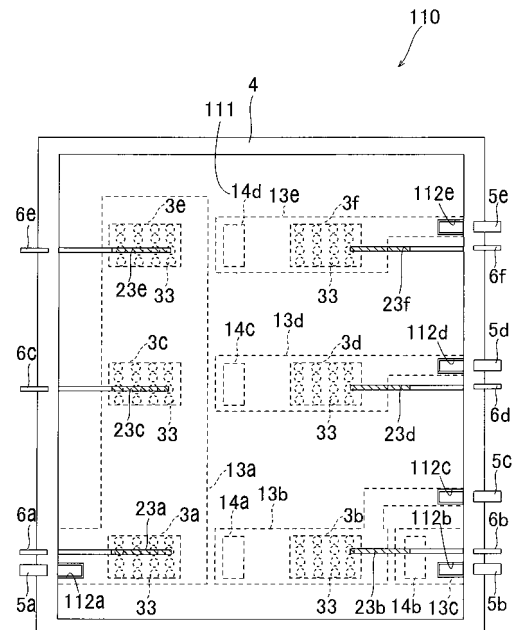
【図 1 5】



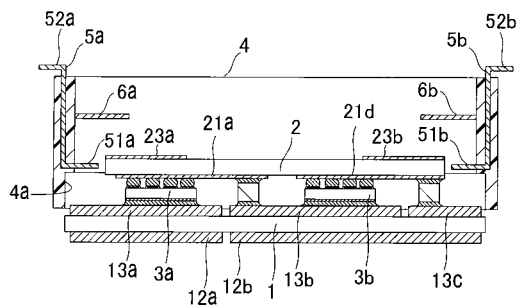
【図 1 6】



【図 1 8】



【図 1 7】



【図 19】

