

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-129787

(P2012-129787A)

(43) 公開日 平成24年7月5日(2012.7.5)

(51) Int.Cl.	F 1	テーマコード (参考)
H03F 1/02 (2006.01)	H03F 1/02	5J500
H03F 3/26 (2006.01)	H03F 3/26	

審査請求 未請求 請求項の数 1 O L (全 23 頁)

(21) 出願番号	特願2010-279310 (P2010-279310)	(71) 出願人	000001122
(22) 出願日	平成22年12月15日 (2010.12.15)		株式会社日立国際電気
			東京都千代田区外神田四丁目14番1号
		(74) 代理人	100098132
			弁理士 守山 辰雄
		(72) 発明者	永作 俊幸
			東京都小平市御幸町32番地 株式会社日立国際電気内
		(72) 発明者	中村 学
			東京都小平市御幸町32番地 株式会社日立国際電気内
		(72) 発明者	伊藤 太造
			東京都小平市御幸町32番地 株式会社日立国際電気内

最終頁に続く

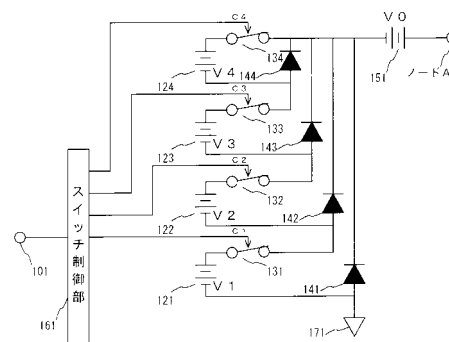
(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】電力変換効率を改善する電源回路を提供する。

【解決手段】出力端子（ノードA）から電源電圧を出力する電源回路で、スイッチ131～134と直流電圧源121～124とダイオード141～144が直列に接続されダイオードの一端が出力端子側と接続された回路部を1つのブロックとして、複数のブロックが、隣接する異なるブロックのうちの出力端子側のブロックのダイオードの他端ともう一方のブロックとが接続されるように、接続されて構成された電源電圧生成回路を備え、電源電圧制御手段161が、所定の参照信号の信号レベルに応じて、電源電圧生成回路を構成する複数のブロックのスイッチについてオン/オフを制御することで、電源電圧生成回路から出力される電源電圧を制御する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

出力端子から電源電圧を出力する電源回路において、

スイッチと直流電圧源とダイオードが直列に接続され前記ダイオードの一端が前記出力端子側と接続された回路部を 1 つのブロックとして、複数のブロックが、隣接する異なるブロックのうちの前記出力端子側のブロックの前記ダイオードの他端ともう一方のブロックとが接続されるように、接続されて構成された電源電圧生成回路と、

所定の参照信号の信号レベルに応じて、前記電源電圧生成回路を構成する前記複数のブロックのスイッチについてオン/オフを制御することで、前記電源電圧生成回路から出力される電源電圧を制御する電源電圧制御手段と、

10

を備えたことを特徴とする電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源回路に関し、特に、電力変換効率を改善する電源回路に関する。

【背景技術】

【0002】

送信機の電力増幅器への要求として、設置場所の制約や据付コストの低減のために、小型・軽量化が強く求められている。装置の体積や重量としては、電力損失によって発生する熱を放熱するための放熱フィンが多くを占めるが、電力効率を改善することで放熱フィンを小さくすることが可能になり、小型・軽量化に寄与する。

20

電力効率を改善する方法として、電力増幅器に入力される信号の電圧振幅に応じて、電力増幅器に印加する電源電圧を制御する E T (Envelope Tracking) 方式や、飽和型の電力増幅器の電源電圧を変動させる E E R (Envelope Elimination and Restoration) 方式がある。

【0003】

図 8 (a) には、E T 方式の装置の構成例 (ブロック構成例) を示してある。

本例の装置は、入力端子 401 と出力端子 402、分配器 411、主増幅器 412、包絡線検波器 413、電源回路 414 から構成されている。

具体的には、入力端子 401、分配器 411、主増幅器 412、出力端子 402 が直列に接続されている。また、分配器 411 には包絡線検波器 413 が接続されており、包絡線検波器 413 には電源回路 414 が接続されており、電源回路 414 が主増幅器 412 の電源回路となっている。

30

【0004】

図 8 (b) には、E E R 方式の装置の構成例 (ブロック構成例) を示してある。

E E R 方式の装置では、図 8 (a) に示される E T 方式の装置と比べて、分配器 411 と主増幅器 412 との間に、R F リミット増幅器 421 が接続されて備えられている。

【0005】

上述のように、E T 方式や E E R 方式において、主増幅器 412 は高効率で動作することが可能となるが、全体効率については、電源回路 414 の効率も重要になってくる。W - C D M A (Wideband - Code Division Multiple Access) の信号や O F D M (Orthogonal Frequency Division Multiplexing) の信号のような広帯域の信号の包絡線信号の帯域は広く、この場合、電源回路 414 は高速に動作する必要がある。

40

【0006】

高速に動作する電源回路としては、例えば、非特許文献 1 や非特許文献 2 に記載されている (非特許文献 1、2 参照。)。

図 9 には、高速に動作する電源回路 (例えば、図 8 (a) や図 8 (b) に示される電源回路 414) の構成例を示してある。

本例の電源回路は、入力端子 501 と出力端子 502、広帯域な電圧源のプッシュプル

50

増幅器 5 2 1、制御回路である電流検出器 5 3 1 及びヒステリシスコンパレータ 5 3 2、高効率な D C / D C コンバータ 5 3 3 から構成されている。

なお、プッシュプル増幅器 5 2 1 の詳細については後述する。

【 0 0 0 7 】

ここで、入力端子 5 0 1 は包絡線検波器（例えば、図 8（a）や図 8（b）に示される包絡線検波器 4 1 3）の出力端子と接続され、出力端子 5 0 2 は主増幅器（例えば、図 8（a）や図 8（b）に示される主増幅器 4 1 2）の電源に関する入力端子と接続される。電流検出器 5 3 1 は、例えば、抵抗から構成される。

D C / D C コンバータ 5 3 3 は、電圧電源 5 4 1、スイッチ素子 5 4 2、ダイオード 5 4 3、インダクタンス 5 4 4 から構成されている。

10

【 0 0 0 8 】

本例の電源回路では、低い周波数成分は、高効率である D C / D C コンバータ 5 3 3 から供給し、高い周波数成分は、高速動作が可能なプッシュプル増幅器 5 2 1 から供給することで、高効率で高速な動作が可能となる。

【 0 0 0 9 】

主増幅器の出力電力が大きい場合には、電源回路からも多くの電流を供給する必要がある。本例の電源回路において、D C / D C コンバータ 5 3 3 としては、スイッチ素子 5 4 2、ダイオード 5 4 3、インダクタンス 5 4 4 が必要な電流を流せる部品を選択すればよいが、高スループートで動作するオペアンプ 5 0 3 については一般的に大電流を流せる部品はない。このため、本例のように、出力に N P N トランジスタ 5 0 8 と P N P トランジスタ 5 0 9 を接続することで、出力できる電流の容量を増やすことが可能である。

20

【 0 0 1 0 】

次に、従来方式のプッシュプル増幅器 5 2 1 の詳細を説明する。

本例のプッシュプル増幅器 5 2 1 は、入力端子（図示せず）と出力端子（図示せず）、演算増幅器（オペアンプ）5 0 3、バイアス回路を構成する抵抗器 5 0 4、ダイオード 5 0 5、ダイオード 5 0 6、抵抗器 5 0 7、プッシュプル回路の N P N トランジスタ 5 0 8 と P N P トランジスタ 5 0 9、直流電圧源 5 1 0 と直流電圧源 5 1 1 から構成されている。

【 0 0 1 1 】

N P N トランジスタ 5 0 8 と P N P トランジスタ 5 0 9 の各々の出力波形は、正弦波を半波整流した波形であり、これは B 級にバイアスされた増幅器に相当する。B 級増幅器が正弦波を出力するときの電力変換効率 η は（式 1）で表されることが知られている。

30

【 数 1 】

$$\eta = \pi / 4 \times V_{o m a x} / V_{d d}$$

・ ・ （式 1）

【 0 0 1 2 】

N P N トランジスタ 5 0 8 について（式 1）を説明すると、 $V_{d d}$ は直流電圧源 5 1 0 の電源電圧であり、 $V_{o m a x}$ は N P N トランジスタ 5 0 8 の出力電圧の最大値である。（式 1）の $V_{o m a x}$ が直流電圧源 5 1 0 の電圧 $V_{d d}$ と同じ電圧である場合（つまり、飽和出力時）の電圧変換効率 η は 7 8 . 5 % となるが、最大出力電圧 $V_{o m a x}$ が下がると電力変換効率 η も低下する。

40

【 0 0 1 3 】

図 1 0 には、従来方式のプッシュプル増幅器における電力変換効率特性の一例を示してある。

図 1 0 のグラフでは、横軸はバックオフ（d B）を表しており、縦軸は電力変換効率（%）を表しており、出力電圧に対する電力変換効率 η の一例を示してある。

ここで、横軸はバックオフで、 $V_{o m a x} / V_{d d}$ の対数表示をしており、零点が飽和

50

出力を示す。

【 0 0 1 4 】

なお、ここでは、NPNトランジスタ508について説明したが、PNPトランジスタ509についても同様のことが言える。従って、NPNトランジスタ508とPNPトランジスタ509を組み合わせたプッシュプル増幅器の電力変換効率も(式1)及び図10に示すようになる。

【 0 0 1 5 】

プッシュプル増幅器では、オペアンプやバイアス回路も電力を消費するが、NPNトランジスタ508及びPNPトランジスタ509の電流増幅率 h_{fe} が大きいため、オペアンプの消費電力はプッシュプル増幅器の消費電力と比較すると僅かであるため、図10に示される電力変換効率特性とほぼ一致する。

10

【 0 0 1 6 】

ところで、W-CDMA信号やOFDM信号は、広帯域な信号であるとともに、平均電力とピーク電力との比であるPAPR(Peak to Average Power Ratio)が8dB程度である。

図11には、OFDM信号における包絡線信号のスペクトラムの累積確率密度分布の一例を示してある。

図11のグラフでは、横軸は周波数(MHz)を表しており、縦軸は累積確率密度分布(%)を表している。

これは、帯域が10MHzでPAPRが8dBであるOFDM変調信号の包絡線を求めて、電力の累積確率密度分布をDCから10MHzまでプロットしたグラフである。

20

【 0 0 1 7 】

ここで、電源回路(例えば、図9に示される電源回路)では、DC成分と低い周波数成分はDC/DCコンバータ533から供給し、高い周波数成分はプッシュプル増幅器521から供給するが、仮に、3MHz以下をDC/DCコンバータ533から供給し、3MHz以上をプッシュプル増幅器521から供給すると、図11のグラフから、電源回路が供給する電力の内、DC/DCコンバータ533から90%の電力を供給し、プッシュプル増幅器521から10%の電力を供給することになる。

【 0 0 1 8 】

また、DC/DCコンバータ533の電力変換効率は、スイッチ素子542のオン抵抗やスイッチング損失、ダイオード543の順方向電圧、インダクタンス544の損失などで決まり、 η_d とする。一方、プッシュプル増幅器521の電力変換効率は、図10から読み取れ、OFDM信号のPAPRが8dBであることから、当該電力変換効率は-8dBの電力変換効率となり、ここでは、このときの電力変換効率を η_b とする。

30

【 0 0 1 9 】

以上の条件において、電源回路が主増幅器へ供給する電力の内、10%を電力変換効率 η_b のプッシュプル増幅器から供給し、90%を電力変換効率 η_d のDC/DCコンバータ533から供給することになる。これにより、電源回路の電力変換効率 η_s は(式2)により計算できる。

【数2】

40

$$\eta_s = 1 / (10\% / \eta_b + 90\% / \eta_d) \quad \cdot \cdot \quad (式2)$$

【 0 0 2 0 】

仮に、 $\eta_b = 30\%$ 、 $\eta_d = 90\%$ として計算すると、 $\eta_s = 75\%$ となる。電源回路の電力変換効率を改善するためには、電力変換効率が低いプッシュプル増幅器の効率を上げることが必要である。

50

【 0 0 2 1 】

上述のように、図 9 に示されるような電源回路では、広帯域、且つ、PAPR が高い信号においては、プッシュプル増幅器の電力変換効率が低いため、電源回路としての電力変換効率が低下するという問題があった。

【 先行技術文献 】

【 特許文献 】

【 0 0 2 2 】

【 特許文献 1 】 特開 2 0 0 9 - 1 5 9 2 1 8 号 公 報

【 非特許文献 】

【 0 0 2 3 】

10

【 非特許文献 1 】 “ An Improved Power - Added Efficiency 19 - dBm Hybrid Envelope Elimination and Restoration Power Amplifier for 802.11g WLAN Applications ”、Feipeng Wang et al.、IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES、VOL. 54、NO. 12、DECEMBER 2006、p. 4086 - 4099

【 非特許文献 2 】 “ A Class B Switch - Mode Assisted Linear Amplifier ”、Geoffrey R. Walker、IEEE TRANSACTIONS ON POWER ELECTRONICS、VOL. 18、NO. 6、NOVEMBER 2003、p. 1278 - 1285

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 4 】

上述のように、従来の電源回路では、電力変換効率を向上させることが要求されていた。

本発明は、このような従来の事情に鑑み為されたもので、電力変換効率を改善した電源回路を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 2 5 】

30

上記目的を達成するため、本発明では、出力端子から電源電圧を出力する電源回路において、次のような構成とした。

すなわち、スイッチと直流電圧源とダイオードが直列に接続され前記ダイオードの一端が前記出力端子側と接続された回路部を 1 つのブロックとして、複数のブロックが、隣接する異なるブロックのうちの前記出力端子側のブロックの前記ダイオードの他端ともう一方のブロックとが接続されるように、接続されて構成された電源電圧生成回路を備えた。

そして、電源電圧制御手段が、所定の参照信号の信号レベルに応じて、前記電源電圧生成回路を構成する前記複数のブロックのスイッチについてオン / オフを制御することで、前記電源電圧生成回路から出力される電源電圧を制御する。

従って、電力変換効率を改善した電源回路を実現することができる。

40

【 0 0 2 6 】

以下で、更なる構成例を示す。

一構成例として、前記電源電圧生成回路と同様な構成を有する複数の回路であって前記ブロックの段数が同一のもの又は異なるものが直列に接続され、

この場合に、隣接する異なる電源電圧生成回路のうちの前記出力端子側の電源電圧生成回路を構成する当該出力端子側とは反対側の端のブロックの前記ダイオードの他端（のみ）ともう一方の電源電圧生成回路を構成する前記複数のブロックの前記ダイオードの一端とが接続される。

従って、複数の電源電圧生成回路を直列に接続して用いることができる。

【 0 0 2 7 】

50

一構成例として、前記所定の参照信号と前記出力端子側へ伝送する信号を入力する誤差増幅器と、

前記誤差増幅器側から前記出力端子側へ伝送する信号に前記電源電圧生成回路からの信号を加算する加算器と、

を備えた。

従って、誤差増幅器により波形歪を小さくすることができる。

【0028】

一構成例として、プッシュプル増幅器を構成する増幅器の端子に当該電源回路の前記出力端子が直接又は間接に接続され、

当該電源回路は前記プッシュプル増幅器を構成する前記増幅器へ電源電圧を供給する。

10

従って、一例として、プッシュプル増幅器の電源回路として適用することができる。

【0029】

一構成例として、増幅器のコレクタ端子又はドレイン端子に当該電源回路の前記出力端子が直接又は間接に接続され、

当該電源回路は前記増幅器へ電源電圧を供給する。

従って、一例として、増幅器のコレクタ端子又はドレイン端子への電源電圧の供給に適用することができる。

【0030】

一構成例として、入力信号を増幅する電力増幅器であって、

前記入力信号を増幅する増幅素子と、

20

前記電源電圧生成回路と、

前記電源電圧制御手段と、を備え、

前記電源電圧生成回路は、前記増幅素子に対して電源電圧を出力し、

前記電源電圧制御手段は、前記所定の参照信号として、前記入力信号の信号レベル又は前記増幅素子で増幅された出力信号の信号レベルを用いる。

従って、増幅素子を備えた電力増幅器を実現することができる。

【0031】

一構成例として、入力信号を差動増幅器及びプッシュプル回路により増幅するプッシュプル増幅器であって、

前記差動増幅器からの出力信号を前記プッシュプル回路により増幅し、前記プッシュプル回路からの出力信号を前記差動増幅器の入力信号として帰還する構成を有しており、

30

当該プッシュプル増幅器は、前記プッシュプル回路を構成する複数の増幅素子の各々の電源電圧を生成する回路として、前記電源電圧生成回路を備え、また、前記電源電圧制御手段を備えた。

従って、差動増幅器及びプッシュプル回路を備えたプッシュプル増幅器を実現することができる。

【0032】

一構成例として、プッシュプル増幅器を備え、入力信号を増幅して出力する電源用の回路であって、

前記プッシュプル増幅器からの出力の電流値を検出する電流検出器と、

40

前記電流検出器により検出された電流値を入力するヒステリシスコンパレータと、

前記ヒステリシスコンパレータからの出力信号に応じて制御されるDC/DCコンバータと、を備え、

前記プッシュプル増幅器からの出力信号と前記DC/DCコンバータからの出力信号が合成されて当該電源用の回路の出力信号として出力される構成を有する、

ことを特徴とする電源用の回路。

従って、電源用の回路（電源電圧生成回路を備えた電源回路を有するプッシュプル増幅器を用いて構成された電源回路）を実現することができる。

【発明の効果】

【0033】

50

以上説明したように、電力変換効率を改善した電源回路を実現することができる。

【図面の簡単な説明】

【0034】

【図1】本発明の一実施例（第1実施例）に係るプッシュプル増幅器の構成例を示す図である。

【図2】（a）はプッシュプル増幅器におけるスイッチ制御信号の一例を示す図であり、（b）はトランジスタのコレクタ（C）端子の電圧を示す図である。

【図3】プッシュプル増幅器における電力変換効率特性の一例を示す図である。

【図4】本発明の一実施例（第2実施例）に係る制御用電源回路（印加電圧制御回路）の構成例を示す図である。

10

【図5】ノードA端子の電圧を示す図である。

【図6】本発明の一実施例（第3実施例）に係る制御用電源回路（印加電圧制御回路）の構成例を示す図である。

【図7】本発明の一実施例（第4実施例）に係る制御用電源回路（印加電圧制御回路）の構成例を示す図である。

【図8】（a）はET方式の装置の構成例を示す図であり、（b）はEER方式の装置の構成例を示す図である。

【図9】高速に動作する電源回路の構成例を示す図である。

【図10】従来方式のプッシュプル増幅器における電力変換効率特性の一例を示す図である。

20

【図11】OFDM信号における包絡線信号のスペクトラムの累積確率密度分布の一例を示す図である。

【発明を実施するための形態】

【0035】

本発明に係る実施例を図面を参照して説明する。

【実施例1】

【0036】

本発明の第1実施例を説明する。

図1には、本発明の一実施例に係るプッシュプル増幅器の構成例を示してある。

本例のプッシュプル増幅器は、入力端子1と出力端子2、演算増幅器（オペアンプ）3、バイアス回路を構成する抵抗器4、ダイオード5、ダイオード6、抵抗器7、プッシュプル回路のNPNトランジスタ8とPNPトランジスタ9、直流電圧源10と直流電圧源11を備えており、これらの構成については、概略的には、図9（プッシュプル増幅器521の部分）に示される対応する部分と同様であるが、本例では、NPNトランジスタ8のコレクタ（C）端子（ノードA）の接続の仕方と、PNPトランジスタ9のコレクタ（C）端子（ノードB）の接続の仕方が異なっている。

30

【0037】

本例のプッシュプル増幅器は、上記のような従来方式と同様な構成を有するとともに、更に、複数（本例では、8つ）の直流電圧源21～28、これと同数（本例では、8つ）のスイッチ31～38、これと同数（本例では、8つ）のダイオード41～48、直流電圧源51と直流電圧源52、スイッチ制御部61を備えている。

40

また、直流電圧源51の－側の出力点71と、直流電圧源52の＋側の出力点72を示してある。

【0038】

具体的な接続の仕方を説明する。

まず、NPNトランジスタ8側について説明する。

NPNトランジスタ8のコレクタ（C）端子（ノードA）と直流電圧源51（電圧V0）の＋側とが接続されている。

直流電圧源51の－側（出力点71）には、直列に設けられた4段の回路のそれぞれが接続されている。

50

【 0 0 3 9 】

各段の回路は、1つのダイオード（それぞれ、4 1、4 2、4 3、4 4）と、1つの直流電圧源（それぞれ、2 1、2 2、2 3、2 4）と、1つのスイッチ（それぞれ、3 1、3 2、3 3、3 4）から構成されている。

初段である1段目の回路は、端点（本例では、接地されている点）8 1に対して直流電圧源2 1の－側とダイオード4 1のアノード端子を並列に接続し、直流電圧源2 1の＋側とスイッチ3 1の一端を接続し、ダイオード4 1のカソード端子と出力点7 1を接続して、構成されている。

【 0 0 4 0 】

初段及び最終段ではない中間段の回路（本例では、2～3段目の回路）は、前段のスイッチ3 1、3 2の他端（前段の直流電圧源2 1、2 2とは接続されていない方の端子）に対して直流電圧源2 2、2 3の－側とダイオード4 2、4 3のアノード端子を並列に接続し、直流電圧源2 2、2 3の＋側とスイッチ3 2、3 3の一端を接続し、ダイオード4 2、4 3のカソード端子と出力点7 1を接続して、構成されている。

【 0 0 4 1 】

最終段の回路（本例では、4段目の回路）は、前段のスイッチ3 3の他端（前段の直流電圧源2 3とは接続されていない方の端子）に対して直流電圧源2 4の－側とダイオード4 4のアノード端子を並列に接続し、直流電圧源2 4の＋側とスイッチ3 4の一端を接続し、スイッチ3 4の他端及びダイオード4 4のカソード端子と出力点7 1を接続して、構成されている。

ここで、全ての段の回路のダイオード4 1～4 4のカソード端子は、共通の出力点7 1に接続される。

なお、1段目の回路から4段目の回路まで、順に、直流電圧源2 1、2 2、2 3、2 4の電圧をV 1、V 2、V 3、V 4とする。

【 0 0 4 2 】

次に、PNPトランジスタ9側について説明する。

PNPトランジスタ9のコレクタ（C）端子（ノードB）と直流電圧源5 2（電圧V 0）の－側とが接続されている。

直流電圧源5 2の＋側（出力点7 2）には、直列に設けられた4段の回路のそれぞれが接続されている。

【 0 0 4 3 】

各段の回路は、1つのダイオード（それぞれ、4 5、4 6、4 7、4 8）と、1つの直流電圧源（それぞれ、2 5、2 6、2 7、2 8）と、1つのスイッチ（それぞれ、3 5、3 6、3 7、3 8）から構成されている。

初段である1段目の回路は、端点（本例では、接地されている点）8 2に対してスイッチ3 5の一端とダイオード4 5のカソード端子を並列に接続し、スイッチ3 5の他端と直流電圧源2 5の＋側を接続し、ダイオード4 5のアノード端子と出力点7 2を接続して、構成されている。

【 0 0 4 4 】

初段及び最終段ではない中間段の回路（本例では、2～3段目の回路）は、前段の直流電圧源2 5、2 6の－側に対してスイッチ3 6、3 7の一端とダイオード4 6、4 7のカソード端子を並列に接続し、スイッチ3 6、3 7の他端と直流電圧源2 6、2 7の＋側を接続し、ダイオード4 6、4 7のアノード端子と出力点7 2を接続して、構成されている。

【 0 0 4 5 】

最終段の回路（本例では、4段目の回路）は、前段の直流電圧源2 7の－側に対してスイッチ3 8の一端とダイオード4 8のカソード端子を並列に接続し、スイッチ3 8の他端と直流電圧源2 8の＋側を接続し、直流電圧源2 8の－側及びダイオード4 8のアノード端子と出力点7 2を接続して、構成されている。

ここで、全ての段の回路のダイオード4 5～4 8のアノード端子は、共通の出力点7 2

10

20

30

40

50

に接続される。

なお、１段目の回路から４段目の回路まで、順に、直流電圧源２５、２６、２７、２８の電圧を V_1 、 V_2 、 V_3 、 V_4 とする。

【００４６】

次に、ＮＰＮトランジスタ８側とＰＮＰトランジスタ９側に共通な部分について説明する。

入力端子１とオペアンプ３の＋端子との間の接続線に、スイッチ制御部６１が接続されている。

スイッチ制御部６１は、入力端子１から入力される信号に基づいて、ＮＰＮトランジスタ８側の４段の回路のそれぞれのスイッチ３１～３４と、ＰＮＰトランジスタ９側の４段の回路のそれぞれのスイッチ３５～３８を制御する。

なお、スイッチ制御部６１からＮＰＮトランジスタ８側の４段の回路のそれぞれのスイッチ３１～３４への制御信号（スイッチ制御信号）を C_1 、 C_2 、 C_3 、 C_4 とし、スイッチ制御部６１からＰＮＰトランジスタ９側の４段の回路のそれぞれのスイッチ３５～３８への制御信号（スイッチ制御信号）を C_5 、 C_6 、 C_7 、 C_8 とする。

【００４７】

このように、本例のプッシュプル増幅器では、図９（プッシュプル増幅器５２１の部分）の従来方式との違いは、ＮＰＮトランジスタ８及びＰＮＰトランジスタ９のコレクタ（ C ）端子に接続されている電源回路にある。

なお、従来方式では、ＮＰＮトランジスタ５０８のコレクタ（ C ）端子には直流電圧源５１０が接続されているとともに、ＰＮＰトランジスタ５０９のコレクタ（ C ）端子には直流電圧源５１１が接続されており、ＮＰＮトランジスタ５０８及びＰＮＰトランジスタ５０９のコレクタ（ C ）端子の電圧は固定であった。

【００４８】

これに対して、本例の方式では、スイッチ３１～３８を入力レベルによって切り替えることにより、ＮＰＮトランジスタ８及びＰＮＰトランジスタ９のコレクタ（ C ）端子の電圧値が変化する。

直流電圧源２１とスイッチ３１とダイオード４１で１つのブロック（１つの段の回路）を構成し、このような同じ構成を有するブロックが４段と直流電圧源５１が接続されてＮＰＮトランジスタ８のコレクタ（ C ）端子に接続される。同様に、直流電圧源２５とスイッチ３５とダイオード４５で１つのブロック（１つの段の回路）を構成し、このような同じ構成を有するブロックが４段と直流電圧源５２が接続されてＰＮＰトランジスタ９のコレクタ（ C ）端子に接続される。

スイッチ３１～３８は、スイッチ制御部６１から出力されるスイッチ制御信号 C_1 ～ C_8 で制御される。

【００４９】

ここで、本例では、印加電圧を制御するための回路（印加電圧制御回路）をプッシュプル増幅器の電源に適用した場合の例を示している。

具体的には、各段のダイオード４１～４８は各段から印加電圧制御回路の出力点７１、７２へ直接接続される。本例では、ＮＰＮトランジスタ８のコレクタ（ C ）側に接続されている印加電圧制御回路においては、４つのダイオード４１～４４のカソード端子が出力点７１に接続される。同様に、ＰＮＰトランジスタ９のコレクタ（ C ）側に接続されている印加電圧制御回路においては、４つのダイオード４５～４８のアノード端子が出力点７２に接続される。また、各スイッチ３１～３８は、スイッチ制御部６１から出力されるスイッチ制御信号 C_1 ～ C_8 で制御される。

【００５０】

本例のプッシュプル増幅器における動作について説明する。

図２（ａ）には、本例のプッシュプル増幅器におけるスイッチ制御信号 C_1 ～ C_8 の一例を示してあり、これに対応して、図２（ｂ）には、トランジスタ８、９のコレクタ（ C ）端子の電圧を示してある。

10

20

30

40

50

図 2 (a) のグラフでは、横軸は時間を表しており、縦軸はスイッチ制御信号がスイッチをオン (O N) にする状態 (本例では、ハイ (H) の状態) であるか或いはスイッチをオフ (O F F) にする状態 (本例では、ロウ (L) の状態) であるかを表している。

図 2 (b) のグラフでは、横軸は時間を表しており、縦軸はノード A、B について電圧を表している。なお、基準電圧としては、例えば、ゼロ (0) が用いられる。

【 0 0 5 1 】

図 2 (a)、(b) により、スイッチ制御信号 C 1 ~ C 8 の状態に対する、N P N トランジスタ 8 のコレクタ (C) 端子 (ノード A) の電圧及び P N P トランジスタ 9 のコレクタ (C) 端子 (ノード B) の電圧の関係が示されている。

なお、説明のために、時間 (時刻) T 1 ~ T 1 6 を示してある。

10

【 0 0 5 2 】

より具体的に説明する。

本例では、スイッチ制御信号 C 1 ~ C 8 が H であるときに、対応するスイッチ 3 1 ~ 3 8 がオンする。

プッシュプル増幅器が基準電圧よりも高い信号を出力する場合、即ち、N P N トランジスタ 8 が動作する場合について、N P N トランジスタ 8 のコレクタ (C) 側に接続された印加電圧制御回路に着目して動作を説明する。

全てのスイッチ 3 1 ~ 3 4 のスイッチ制御信号 C 1 ~ C 4 が L であるときには、直流電圧源 2 1 ~ 2 4 には電流が流れず、電流はダイオード 4 1 に流れる。スイッチ 3 1 のスイッチ制御信号 C 1 が H であり他のスイッチ 3 2 ~ 3 4 のスイッチ制御信号 C 2 ~ C 4 が L であるときは、電流は直流電圧源 2 1 とダイオード 4 2 に流れ、ダイオード 4 1 には電流が流れない。スイッチ 3 1 のスイッチ制御信号 C 1 とスイッチ 3 2 のスイッチ制御信号 C 2 が H であり他のスイッチ 3 3、3 4 のスイッチ制御信号 C 3、C 4 が L であるときには、直流電圧源 2 1 及び直流電圧源 2 2 とダイオード 4 3 に電流が流れ、ダイオード 4 1 とダイオード 4 2 には電流が流れない。スイッチ 3 1 ~ 3 3 のスイッチ制御信号 C 1 ~ C 3 が H であり他のスイッチ 3 4 のスイッチ制御信号 C 4 が L であるときには、直流電圧源 2 1 ~ 2 3 とダイオード 4 4 に電流が流れ、ダイオード 4 1 ~ 4 3 には電流が流れない。全てのスイッチ 3 1 ~ 3 4 のスイッチ制御信号 C 1 ~ C 4 が H であるときには、直流電圧源 2 1 ~ 2 4 に電流が流れ、ダイオード 4 1 ~ 4 4 には電流が流れない。

20

【 0 0 5 3 】

30

次に、ノード A の電圧に着目して説明する。

時間が 0 から T 1 までの間は、スイッチ制御信号 C 1 ~ C 4 が全て L であるため、スイッチ 3 1 ~ 3 4 は全てオフであり、従って、電流はダイオード 3 1 を流れ、ノード A には直流電圧源 5 1 の電圧 V 0 からダイオード 3 1 の順方向電圧 V F を差し引いた電圧 V 0 - V F が印加される。

続いて、時間が T 1 から T 2 までの間はスイッチ制御信号 C 1 のみが H であり他のスイッチ制御信号 C 2 ~ C 4 は L であるため、スイッチ 3 1 のみがオンしている。すると、電流は直流電圧源 2 1 とダイオード 4 2 及び直流電圧源 5 1 を流れるため、ノード A の電圧は $V_0 + V_1 - V_F$ となる。つまり、スイッチがオンになるブロックの直流電圧源の電圧を直流電圧源 5 1 の電圧 V 0 に加算した電圧からダイオード一個分の順方向電圧 V F を差し引いた電圧がノード A にかかる。

40

【 0 0 5 4 】

続いて、時間 T 2、T 3 のそれぞれでスイッチ制御信号 C 2、C 3 のそれぞれが H となりスイッチ 3 2、3 3 のそれぞれがオンになることで、ノード A の電圧としては、電圧 V 2、V 3 のそれぞれが加算される。

続いて、時間 T 4 でスイッチ制御信号 C 1 ~ C 4 の全てが H となり、スイッチ 3 1 ~ 3 4 の全てがオンになると、電流は直流電圧源 2 1 ~ 2 4 (のみ) を通過し、ダイオード 4 1 ~ 4 4 は通過しないため、ノード A に印加される電圧は $V_0 + V_1 + V_2 + V_3 + V_4$ となる。

【 0 0 5 5 】

50

また、時間 T_5 でスイッチ制御信号 C_4 が L となりスイッチ 3_4 がオフになることで、ノード A に印加される電圧は $V_0 + V_1 + V_2 + V_3 - V_F$ となる。

続いて、時間 T_6 、 T_7 、 T_8 のそれぞれでスイッチ制御信号 C_3 、 C_2 、 C_1 のそれぞれが L となりスイッチ 3_3 、 3_2 、 3_1 のそれぞれがオフになることで、ノード A の電圧としては、電圧 V_3 、 V_2 、 V_1 のそれぞれが減算される。

本例では、いずれの状態においても、電流が流れるダイオードは 1 個以下であるため、差し引かれるダイオードの順方向電圧は 1 個分の V_F 以下となる。

【0056】

次に、ノード B の電圧に着目して説明する。

ノード B の電圧についても、ノード A の電圧について説明したのと同様に、スイッチ制御信号 $C_5 \sim C_8$ で制御されるスイッチ $3_5 \sim 3_8$ がオン、オフ切り替えすることで、対応する電圧 $V_1 \sim V_4$ の大きさの加算、減算などがされる。

なお、時間 $T_9 \sim T_{16}$ におけるノード B の電圧の変化の例が図 2 (a)、(b) に示されている。ノード B の電圧については、ノード A の電圧に対して正負が逆になっている。

【0057】

ここで、以上の説明では、簡単のために、全てのダイオード $4_1 \sim 4_8$ の特性は等しいものとして、等しい大きさの順方向電圧 V_F を持つものとして説明したが、必要なダイオードの耐圧などの特性を考慮して、各段に応じて最適なダイオード（例えば、順方向電圧が異なるダイオード）を選択することも可能である。

【0058】

スイッチ制御部 61 の動作について説明する。

ノード A の電圧を制御するためのスイッチ $3_1 \sim 3_4$ を制御するスイッチ制御信号 $C_1 \sim C_4$ は、出力波形が正であるときに変化する。

スイッチ制御信号 C_1 は出力波形の電圧が $V_0 - V_F$ よりも大きいときに H となり、スイッチ制御信号 C_2 は出力波形の電圧が $V_0 + V_1 - V_F$ よりも大きいときに H となり、スイッチ制御信号 C_3 は出力波形の電圧が $V_0 + V_1 + V_2 - V_F$ よりも大きいときに H となり、スイッチ制御信号 C_4 は出力波形の電圧が $V_0 + V_1 + V_2 + V_3 - V_F$ よりも大きいときに H となる。

【0059】

ノード B の電圧を制御するためのスイッチ $3_5 \sim 3_8$ を制御するスイッチ制御信号 $C_5 \sim C_8$ は、出力波形が負であるときに変化する。

スイッチ制御信号 C_5 は出力波形の電圧が $-V_0 + V_F$ よりも小さいときに H となり、スイッチ制御信号 C_6 は出力波形の電圧が $-V_0 - V_1 + V_F$ よりも小さいときに H となり、スイッチ制御信号 C_7 は出力波形の電圧が $-V_0 - V_1 - V_2 + V_F$ よりも小さいときに H となり、スイッチ制御信号 C_8 は出力波形の電圧が $-V_0 - V_1 - V_2 - V_3 + V_F$ よりも小さいときに H となる。

【0060】

その他の条件では、スイッチ制御信号 $C_1 \sim C_8$ は L となる。

以上のような条件でスイッチ制御信号 $C_1 \sim C_8$ が動作するようにスイッチ制御部 61 は構成されており、このような構成は例えばコンパレータ回路を用いることで容易に実現することができる。このコンパレータ回路にはヒステリシス特性を持たせてもよい。

【0061】

図 1 に示されるように、本例では、スイッチ制御部 61 は、入力端子 1 から入力される信号からスイッチ制御信号 $C_1 \sim C_8$ を作成するため、入力レベルに対する出力レベルの利得を考慮して設計される。

なお、他の構成例として、スイッチ制御部 61 が、出力端子 2 から出力される信号（或いは、他のところの信号）に基づいてスイッチ制御信号 $C_1 \sim C_8$ を作成する構成が用いられてもよい。

【0062】

ここで、各電圧 V_0 、 V_1 、 V_2 、 V_3 、 V_4 としては、それぞれ種々な値が用いられてもよく、例えば、同じ電圧であってもよく、また、それぞれ異なった電圧であってもよい。

また、本例では、ノード A の電圧及びノード B の電圧は、それぞれ 5 段階に変化するよう構成されているが、何段でも構わない。具体例として、本例では、オンオフ切り替えが可能な直流電圧源を 4 段使用する構成例を示したが、必要な電圧ステップが得られるように他の段数が選択されて実施されてもよい。

また、本例では、スイッチ制御信号 $C_1 \sim C_8$ について、出力波形と V_0 、 V_1 、 V_2 、 V_3 、 V_F の加算又は減算で組み合わせた値とを比較して信号レベルを決めているが、必ずしもそのようにする必要はなく、他の構成が用いられてもよい。

10

【0063】

本例の方式では、図 2 (a)、(b) を参照して説明したように、NPN トランジスタ 8 のコレクタ (C) 端子 (ノード A) の電圧及び PNP トランジスタ 9 のコレクタ (C) 端子 (ノード B) の電圧が、出力波形に応じて変化する。つまり、出力波形が小さいときはコレクタ (C) 端子の電圧の絶対値も小さくなるように、ノード A の電圧及びノード B の電圧を制御する。

【0064】

一方、従来方式では、図 10 に示されるように、出力レベルが飽和出力から下がるに従って、電力変換効率も下がってしまう。これは (式 1) で示される通りである。

これに対して、本例の方式では、コレクタ (C) 端子の電圧を出力波形に応じて制御するため、常に飽和出力に近い状態で動作する。このため、本例の方式では、従来方式と比較して、電力変換効率が向上する。

20

【0065】

図 3 には、本例のプッシュプル増幅器における電力変換効率特性の一例を示してある。

図 3 のグラフでは、横軸はバックオフ (dB) を表しており、縦軸は電力変換効率 (%) を表しており、出力電圧に対する電力変換効率の一例を示してある。

ここで、横軸はバックオフで、(式 1) における V_{omax} / V_{dd} の対数表示をしており、零点が飽和出力を示す。

【0066】

図 3 に示される本例の電力変換特性では、図 10 に示される従来方式の電力変換特性と比較して、飽和出力よりも低い出力で効率が向上している。

30

なお、本例では、バイポーラトランジスタによる回路で説明しているが、電界効果トランジスタによる回路でもよく、同様の効果が得られる。

【0067】

以上のように、本例の印加電圧制御回路 (制御型電源回路) では、次のような構成とした。

すなわち、複数の電源入力端子、スイッチ $3_1 \sim 3_8$ 、及び、ダイオード $4_1 \sim 4_8$ を持つ。前記複数の電源入力端子には、それぞれ、直流電圧源 $2_1 \sim 2_8$ が接続される。前記複数のスイッチ $3_1 \sim 3_8$ は、前記複数の電源入力端子に接続された直流電圧源 $2_1 \sim 2_8$ を個別に導通又は非導通に切り替えるように接続され、且つ、前記複数のスイッチ $3_1 \sim 3_8$ の導通、非導通の状態により、前記複数の直流電圧源 $2_1 \sim 2_8$ が直列に接続され、且つ、直列に接続される直流電圧源 $2_1 \sim 2_8$ の個数が制御されることが可能である。制御型電源において、前記複数のダイオード $4_1 \sim 4_8$ は、直列に接続されたスイッチ $3_1 \sim 3_8$ と直流電圧源 $2_1 \sim 2_8$ の一方の端子と出力端子との間に接続される。前記複数のスイッチ $3_1 \sim 3_8$ と縦続接続される電源の個数によって決まる、切り替え可能な従属段数の数よりも、出力信号が通過するダイオード $4_1 \sim 4_8$ の個数が少ない。

40

【0068】

また、本例の印加電圧制御回路では、出力段にプッシュプル回路を具備し、参照信号 (例えば、入力信号や出力信号など) の波形に応じて、出力電圧を制御する構成とし、この場合に、本例に示されるような印加電圧制御回路をプッシュプル増幅器の電源に適用した

50

。

また、本例では、コレクタ（Ｃ）端子又はドレイン（Ｄ）端子の電圧を制御することで、高効率を実現するプッシュプル増幅器において、本例に示されるような印加電圧制御回路により、コレクタ（Ｃ）端子又はドレイン（Ｄ）端子の電圧を制御する。ここで、本例では、コレクタ（Ｃ）端子の電圧を制御する構成例を示したが、ドレイン（Ｄ）端子などの電圧を制御する構成が用いられてもよい。

また、本例の印加電圧制御回路やプッシュプル増幅器は、例えば、広帯域の高周波信号で無線通信を行う送信機などに適用することが可能である。

【００６９】

ここで、例えば、図９に示されるような従来方式に係るプッシュプル増幅器５２１では、ＮＰＮトランジスタ５０８のコレクタ（Ｃ）端子、ＰＮＰトランジスタ５０９のコレクタ（Ｃ）端子に接続される直流電圧源５１０、直流電圧源５１１の電圧は出力レベルに関係なく一定であるため、出力レベルが下がるに従って電力変換効率も低下してしまった。

そこで、本例では、ＮＰＮトランジスタ８のコレクタ（Ｃ）端子の電圧及びＰＮＰトランジスタ９のコレクタ（Ｃ）端子の電圧を出力レベルに応じて制御するようにした。

【００７０】

一構成例として、入力信号を差動増幅器（本例では、オペアンプ３）及びプッシュプル回路（本例では、トランジスタ８、９を用いて構成されるもの）により電力増幅を行うプッシュプル増幅器であって、差動増幅器の出力信号をプッシュプル回路において増幅すること、プッシュプル回路の出力を差動増幅器の入力に帰還すること、プッシュプル回路を構成する複数の増幅素子（本例では、トランジスタ８、９）の各々の電源電圧を当該プッシュプル増幅器の入力信号若しくは出力信号の信号レベルに応じて制御すること、を行う。

【００７１】

従って、本例では、増幅器（本例では、プッシュプル増幅器）において、オペアンプ３の出力を補助するために接続される増幅器（主に、本例のようにプッシュプル回路）の高効率化を実現して増幅効率を向上させることができる。

このように、本例では、従来方式のプッシュプル増幅器（プッシュプル回路で出力を強化したオペアンプ回路）の電力変換効率が、出力レベルが下がるに従って低下する、という問題を改善することができる。

【００７２】

以上に説明したように、本例の印加電圧制御回路やプッシュプル増幅器では、複数の直流電圧源２１～２８を直列に接続して、各々の直流電圧源２１～２８をオン／オフすることで、直列に導通される直流電圧源２１～２８の段数を制御することを可能とし、そして、ダイオード４１～４８の順方向電圧により生じる電力損失の増大を最小限に抑え、効率を改善することができる。これにより、本例では、例えば、ＥＥＲ方式の電力変換効率を向上することが可能となり、消費電力の低減、電力損失により発生する熱を放熱するための放熱フィンの小型化に寄与する。また、本例では、トランジスタ８、９のコレクタ電圧を出力レベル（出力レベル自体が参照されずに、出力レベルに関する他の指標が参照されてもよい）に応じて制御することから、トランジスタ８、９のコレクタ－エミッタにかかる電圧を低く抑えることができるため、設計時に低い耐圧のトランジスタを選択することができる。

【実施例２】

【００７３】

本発明の第２実施例を説明する。

上述した第１実施例では、制御用電源回路（印加電圧制御回路）をプッシュプル増幅器の電圧源として使用する例を示したが、他の例として、このような印加電圧制御回路を単独で使用することもでき、例えば、図８（ａ）や図８（ｂ）に示される電源回路４１４として使用することが可能であり、つまり、ＥＴ方式やＥＥＲ方式の電源回路として適用することが可能である。

10

20

30

40

50

【 0 0 7 4 】

図 4 には、本発明の一実施例に係る制御用電源回路（印加電圧制御回路）の構成例を示してある。

本例の印加電圧制御回路は、図 1 に示されるノード A 側の印加電圧制御回路と同様な構成を有しており、同様な動作を行う。

具体的には、本例の印加電圧制御回路は、入力端子 1 0 1、4 個の直流電圧源 1 2 1 ~ 1 2 4、4 個のスイッチ 1 3 1 ~ 1 3 4、4 個のダイオード 1 4 1 ~ 1 4 4、直流電圧源 1 5 1、スイッチ制御部 1 6 1 を備えている。また、端点（本例では、接地されている点）1 7 1 を示してある。

【 0 0 7 5 】

10

図 5 には、ノード A 端子の電圧を示してある。

図 5 のグラフでは、横軸は時間を表しており、縦軸はノード A について電圧を表している。なお、基準電圧としては、例えば、ゼロ（0）が用いられる。

本例においても、図 2（a）、（b）に示されるのと同様な動作が行われ、いずれの状態においても、電流が流れるダイオードは 1 個以下であるため、差し引かれるダイオードの順方向電圧は 1 個分の V_F 以下となる。

本例のような構成をとることで、より簡易な構成で出力信号に追従した電源を作ることができる。

【 0 0 7 6 】

20

ここで、上述した第 1 実施例で述べた内容において、本例と同様な構成に関するものについては、本例に適用することが可能である。例えば、本例では、スイッチ制御部 1 6 1 は、入力端子 1 0 1 から入力される信号からスイッチ制御信号 C 1 ~ C 4 を作成するため、入力レベルに対する出力レベルの利得を考慮して設計される。また、各電圧 V_0 、 V_1 、 V_2 、 V_3 、 V_4 としては、それぞれ種々な値が用いられてもよく、例えば、同じ電圧であってもよく、また、それぞれ異なった電圧であってもよい。また、本例では、ノード A の電圧は、それぞれ 5 段階に変化するように構成されているが、何段でも構わない。また、本例では、スイッチ制御信号 C 1 ~ C 4 について、出力波形と V_0 、 V_1 、 V_2 、 V_3 、 V_F の加算又は減算で組み合わせた値とを比較して信号レベルを決めているが、必ずしもそのようにする必要はなく、他の構成が用いられてもよい。

【 0 0 7 7 】

30

本例の印加電圧制御回路を図 8（a）や図 8（b）に示される電源回路 4 1 4 として使用する場合には、入力端子 1 0 1 は図 8（a）や図 8（b）に示される包絡線検波器 4 1 3 の出力端子と接続されており、出力端子（ノード A）は図 8（a）や図 8（b）に示される電源回路の主増幅器 4 1 2 の電源入力端子と接続されている。

【 実施例 3 】

【 0 0 7 8 】

本発明の第 3 実施例を説明する。

図 6 には、本発明の一実施例に係る制御用電源回路（印加電圧制御回路）の構成例を示してある。

本例の印加電圧制御回路は、図 4 に示されるのと同様な構成において、更に、誤差増幅器（誤差アンプ）2 0 1 と、加算器 2 0 2 を備えている。

40

【 0 0 7 9 】

誤差増幅器 2 0 1 の 2 つの入力端子のうちの一方は入力端子 1 0 1 と接続されており、他方はノード A と接続されている。

加算器 2 0 2 の 2 つの入力端子のうちの一方は誤差増幅器 2 0 1 の出力端子と接続されており、他方は直流電圧源 1 5 1 の + 側と接続されている。

加算器 2 0 2 の出力端子はノード A 側と接続されており、その接続線を通る信号（出力信号）が誤差増幅器 2 0 1 へフィードバックされる。

【 0 0 8 0 】

本例の印加電圧制御回路では、誤差増幅器 2 0 1 を追加して、参照信号（本例では、入

50

力信号)と出力信号とを比較して、その誤差分の補正を行うことで、より所望の出力信号波形を得ることが可能となる。このように、本例の印加電圧制御回路から出力される信号の波形は、より所望の波形に近づき、例えば、波形歪の小さい信号を出力することが可能となる。

【0081】

以上のように、本例の印加電圧制御回路(制御型電源回路)では、誤差増幅器201を具備し、参照信号の波形と印加電圧制御回路の出力波形を比較し、その差分を補正することにより、参照信号の波形に応じた出力信号の波形を得ることができる。

【実施例4】

【0082】

10

本発明の第4実施例を説明する。

図7には、本発明の一実施例に係る制御用電源回路(印加電圧制御回路)の構成例を示してある。

本例の制御用電源回路(印加電圧制御回路)は、概略的には、図6に示されるような構成に対して、更に、もう1つの印加電圧制御回路(説明の便宜上から、印加電圧制御回路要素と言う。)を縦(直列)に接続したような構成となっている。

【0083】

具体的には、本例の印加電圧制御回路は、入力端子301、誤差増幅器201、加算器202、直流電圧源151、スイッチ制御部311、第1の印加電圧制御回路要素、第2の印加電圧制御回路要素を備えている。

20

第1の印加電圧制御回路要素は、図6に示されるものと同様に、4個の直流電圧源121-1~124-1、4個のスイッチ131-1~134-1、4個のダイオード141-1~144-1を備えている。

また、第2の印加電圧制御回路要素は、第1の印加電圧制御回路要素と同様に、4個の直流電圧源121-2~124-2、4個のスイッチ131-2~134-2、4個のダイオード141-2~144-2を備えている。

【0084】

ここで、第1の印加電圧制御回路要素と第2の印加電圧制御回路要素は同様な構成を有しており、本例では、第1の印加電圧制御回路要素における初段の直流電圧源121-1の-端子及びダイオード141-1のアノード端子と、第2の印加電圧制御回路要素における各段のダイオード141-2~144-2のカソード端子及び最終段のスイッチ134-2とが接続されており、また、第2の印加電圧制御回路要素における初段の直流電圧源121-2の-端子及びダイオード141-2のアノード端子と端点(本例では、接地されている点)171とが接続されている。

30

【0085】

また、本例では、スイッチ制御部311は、入力信号に応じて、第1の印加電圧制御回路要素における各スイッチ131-1~134-1に対するスイッチ制御信号C1-1~C4-1及び第2の印加電圧制御回路要素における各スイッチ131-2~134-2に対するスイッチ制御信号C1-2~C4-2を出力する。

【0086】

40

このように、本例の印加電圧制御回路では、複数の印加電圧制御回路(印加電圧制御回路要素)を縦続接続している。これにより、電流が通過するダイオードの個数を少なく抑えつつ、ダイオード1個あたりに印加される最大逆方向電圧を低減することが可能である。

以上のように、本例では、印加電圧制御回路要素(制御型電源回路要素)が複数従属接続される。

【実施例5】

【0087】

本発明の第5実施例を説明する。

本発明の一実施例として、第1実施例の図1に示されるプッシュプル増幅器を適用した

50

電源回路の例を示す。

本例の電源回路は、図 9 に示される電源回路において、図 9 に示される構成のプッシュプル増幅器 5 2 1 の代わりに、図 1 に示される構成のプッシュプル増幅器（第 1 実施例に係るプッシュプル増幅器）を用いた構成となっている。

具体的には、図 1 に示されるプッシュプル増幅器の入力端子 1 は図 9 に示される電源回路の入力端子 5 0 1 と接続されており（或いは、入力端子 5 0 1 自体でもよい）、図 1 に示されるプッシュプル増幅器の出力端子 2 は図 9 に示される電源回路の電流検出器 5 3 1 の一端（ノード P 1）と接続されている。

【0088】

本例のように、図 1 に示されるプッシュプル増幅器を図 9 に示される電源回路に適用すると、効率が改善する。例えば、（式 2）において、 $\eta_b = 55\%$ 、 $\eta_d = 90\%$ として計算すると $\eta_s = 84.6\%$ となり、従来方式の $\eta_s = 75\%$ から電力変換効率が 9.6% 向上する。これにより、EER方式などの装置の全体の効率が向上する。

【0089】

一構成例として、入力信号を増幅して出力する電源回路であって、入力信号を増幅する差動増幅器（本例では、オペアンプ 3）を用いたプッシュプル増幅器（例えば、DC/DCコンバータ 5 3 3 に比べて広帯域な信号を増幅するもので、主に電圧源となるもの）と、プッシュプル増幅器からの出力電流値を検出して出力する電流検出器 5 3 1 と、電流検出器 5 3 1 で検出した電流値を入力するヒステリシスコンパレータ 5 3 2 と、ヒステリシスコンパレータ 5 3 2 の出力信号に応じて制御される DC/DCコンバータ 5 3 3 と、プッシュプル増幅器の出力信号と DC/DCコンバータ 5 3 3 の出力信号を合成して当該電源回路の出力信号として出力する合成部（本例では、プッシュプル増幅器の出力信号と DC/DCコンバータ 5 3 3 の出力信号を合成する回路構成部分）と、を備え、更に、プッシュプル増幅器として、図 1 に示されるような増幅器（第 1 実施例に係るプッシュプル増幅器）を用いる。

【0090】

従って、本例の電源回路では、プッシュプル増幅器においてオペアンプ 3 の出力を補助するために接続される増幅器（一例として、本例のようにプッシュプル回路）の高効率化を実現して増幅効率を向上させることができる。

具体的には、本例では、例えば、EER方式などの電力変換効率を向上させることが可能となり、消費電力の低減、電力損失により発生する熱を放熱するための放熱フィンの小型化に寄与する。また、本例では、トランジスタ 8、9 のコレクタ電圧を出力レベル（出力レベル自体が参照されずに、出力レベルに関する他の指標が参照されてもよい）に応じて制御することから、トランジスタ 8、9 のコレクタ・エミッタにかかる電圧を低く抑えることができるため、設計時に低い耐圧のトランジスタを選択することが可能である。

【0091】

（実施例のまとめ）

（以下、構成例の説明）

（構成例 1：図 1 との対応例を示す。図 4、図 6、図 7 との対応についても同様である。）

出力端子（ノード A 又はノード B）から電源電圧を出力する電源回路において、

スイッチと直流電圧源とダイオード（スイッチ 3 1 ~ 3 4 と直流電圧源 2 1 ~ 2 4 とダイオード 4 1 ~ 4 4 又はスイッチ 3 5 ~ 3 8 と直流電圧源 2 5 ~ 2 8 とダイオード 4 5 ~ 4 8）が直列に接続され前記ダイオードの一端が前記出力端子側と接続された（例えば、前記出力端子と直接又は間接に接続された）回路部を 1 つのブロックとして、複数のブロックが、隣接する異なるブロックのうちの前記出力端子側のブロックの前記ダイオードの他端ともう一方のブロックとが接続されるように、接続されて構成された電源電圧生成回路と、

所定の参照信号（本例では、入力信号）の信号レベルに応じて、前記電源電圧生成回路を構成する前記複数のブロックのスイッチについてオン/オフを制御することで、前記電

10

20

30

40

50

源電圧生成回路から出力される電源電圧を制御する電源電圧制御手段（本例では、スイッチ制御部 61 の機能）と、

を備えたことを特徴とする電源回路。

【0092】

ここで、スイッチと直流電圧源とダイオードの接続の順序としては、任意の態様が用いられてもよい。

また、例えば、出力端子側に、一定電圧の直流電圧源などが備えられてもよい。

また、電源電圧制御手段により行われる制御の態様としては、種々なものが用いられてもよい。所定の参照信号としては、種々な信号が用いられてもよく、例えば、入力信号、出力信号、或いは、これらの両方、或いは、他のところの信号を用いることができる。

10

【0093】

（構成例 2：図 7 との対応例を示す。）

前記電源電圧生成回路と同様な構成を有する複数の回路（本例では、2 つの回路）であって前記ブロックの段数が同一のもの又は異なるもの（ブロックの段数はそれぞれ任意でもよく、本例では、同一で 4 段のもの）が直列に接続され、

この場合に、隣接する異なる電源電圧生成回路のうちの前記出力端子（本例では、ノード A）側の電源電圧生成回路を構成する当該出力端子側とは反対側の端のブロックの前記ダイオード（本例では、ダイオード 141 - 1）の他端（のみ）ともう一方の電源電圧生成回路を構成する前記複数のブロックの前記ダイオード（本例では、ダイオード 141 - 2 ~ 144 - 2）の一端とが接続される。

20

ここで、電源電圧生成回路と同様な構成を有する複数の回路の数としては、種々な数が用いられてもよい。

【0094】

（構成例 3：図 6 との対応例を示す。図 7 との対応についても同様である。）

前記所定の参照信号（本例では、入力信号）と前記出力端子（本例では、ノード A）側へ伝送する信号（本例では、出力信号）を入力する誤差増幅器（本例では、誤差増幅器 201）と、

前記誤差増幅器側から前記出力端子側へ伝送する信号（本例では、誤差増幅器 201 からの出力信号）に前記電源電圧生成回路からの信号を加算する加算器（本例では、加算器 202）と、

30

を備えた。

【0095】

（構成例 4：図 1 との対応例を示す。）

プッシュプル増幅器を構成する増幅器（本例では、NPN トランジスタ 8 や PNP トランジスタ 9）の端子に当該電源回路の前記出力端子が直接又は間接に接続され、

当該電源回路は前記プッシュプル増幅器を構成する前記増幅器へ電源電圧を供給する。

【0096】

（構成例 5：図 1 との対応例を示す。）

増幅器（本例では、NPN トランジスタ 8 や PNP トランジスタ 9）のコレクタ端子（又は、ドレイン端子）に当該電源回路の前記出力端子が直接又は間接に接続され、

40

当該電源回路は前記増幅器へ電源電圧を供給する。

【0097】

（構成例 6：図 1 との対応例を示す。）

入力信号を増幅するプッシュプル増幅器（図 1 に示される構成のもの）であって、前記入力信号を増幅する増幅素子（本例では、差動増幅器（オペアンプ）3 及びプッシュプル回路）と、

前記電源電圧生成回路（本例では、ノード A 側の回路と、ノード B 側の回路）と、

前記電源電圧制御手段（本例では、スイッチ制御部 61 の機能）と、を備え、

前記電源電圧生成回路は、前記増幅素子（本例では、NPN トランジスタ 8 や PNP トランジスタ 9）に対して電源電圧を出力し、

50

前記電源電圧制御手段は、前記所定の参照信号として、前記入力信号の信号レベル（又は、前記増幅素子で増幅された出力信号の信号レベル）を用いる。

【0098】

（構成例7：図1との対応例を示す。）

入力信号を差動増幅器（本例では、オペアンプ3）及びプッシュプル回路（本例では、トランジスタ8、9を用いて構成されるもの）により増幅するプッシュプル増幅器（図1に示される構成のもの）であって、

前記差動増幅器からの出力信号を前記プッシュプル回路により増幅し、前記プッシュプル回路からの出力信号を前記差動増幅器の入力信号として帰還する構成を有しており、

当該プッシュプル増幅器は、前記プッシュプル回路を構成する複数の増幅素子（本例では、トランジスタ8、9）の各々の電源電圧を生成する回路として、前記電源電圧生成回路を備え、また、前記電源電圧制御手段（本例では、スイッチ制御部61の機能）を備えた。

【0099】

（構成例8：図1の構成を図9の構成に適用したものの対応例を示す。）

プッシュプル増幅器（本例では、図1に示されるプッシュプル増幅器）を備え、入力信号を増幅して出力する電源用の回路（図9に示される構成のもの）であって、

前記プッシュプル増幅器からの出力の電流値を検出する電流検出器（本例では、電流検出器531）と、

前記電流検出器により検出された電流値を入力するヒステリシスコンパレータ（本例では、ヒステリシスコンパレータ532）と、

前記ヒステリシスコンパレータからの出力信号に応じて制御されるDC/DCコンバータ（本例では、DC/DCコンパレータ533）と、を備え、

前記プッシュプル増幅器からの出力信号と前記DC/DCコンバータからの出力信号が合成されて当該電源用の回路の出力信号として出力される構成を有する、

ことを特徴とする電源用の回路。

（以上、構成例の説明）

【0100】

ここで、本発明に係るシステムや装置などの構成としては、必ずしも以上に示したものに限られず、種々な構成が用いられてもよい。また、本発明は、例えば、本発明に係る処理を実行する方法或いは方式や、このような方法や方式を実現するためのプログラムや当該プログラムを記録する記録媒体などとして提供することも可能であり、また、種々なシステムや装置として提供することも可能である。

また、本発明の適用分野としては、必ずしも以上に示したものに限られず、本発明は、種々な分野に適用することが可能なものである。

また、本発明に係るシステムや装置などにおいて行われる各種の処理としては、例えばプロセッサやメモリ等を備えたハードウェア資源においてプロセッサがROM（Read Only Memory）に格納された制御プログラムを実行することにより制御される構成が用いられてもよく、また、例えば当該処理を実行するための各機能手段が独立したハードウェア回路として構成されてもよい。

また、本発明は上記の制御プログラムを格納したフロッピー（登録商標）ディスクやCD（Compact Disc）-ROM等のコンピュータにより読み取り可能な記録媒体や当該プログラム（自体）として把握することもでき、当該制御プログラムを当該記録媒体からコンピュータに入力してプロセッサに実行させることにより、本発明に係る処理を遂行させることができる。

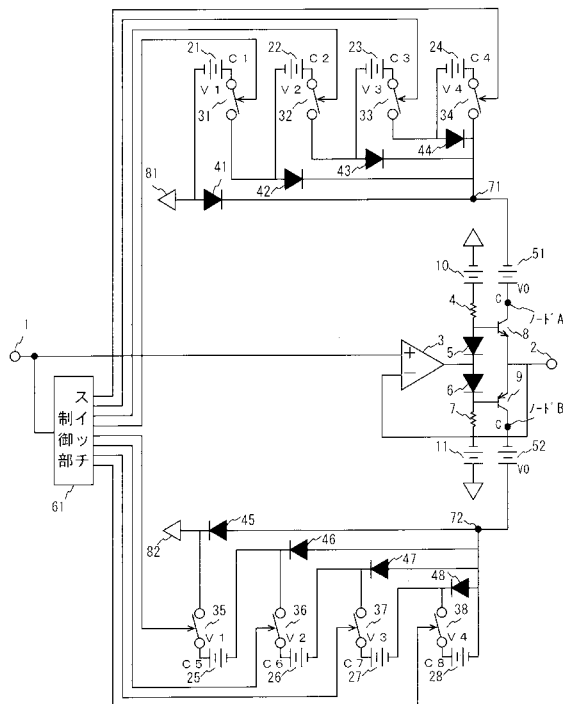
【符号の説明】

【0101】

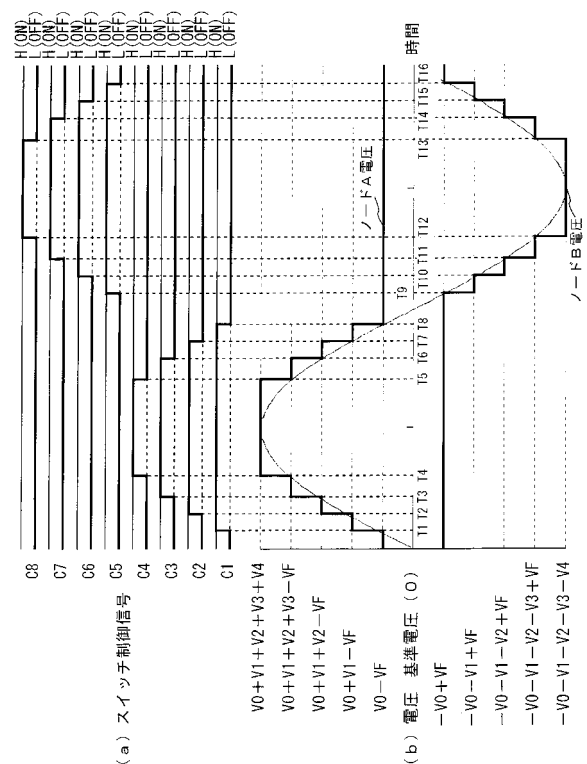
1、101、301、401、501・・・入力端子、 2、402、502・・・出力端子、 3、503・・・オペアンプ、 4、7、504、5077・・・抵抗器、 5、6、41～48、141～144、505、506、543・・・ダイオード、 8、508・

・NPNトランジスタ、 9、509・・・PNPトランジスタ、 10、11、21～28、51、52、121～124、151、510、511・・・直流電圧源、 31～38、131～134・・・スイッチ、 61、161、311・・・スイッチ制御部、 71、72・・・出力点、 81、82、171・・・端点、 201・・・誤差増幅器、 202・・・加算器、 411・・・分配器、 412・・・主増幅器、 413・・・包絡線検波器、 414・・・電源回路、 421・・・RFリミット増幅器、 521・・・プッシュプル増幅器、 531・・・電流検波器、 532・・・ヒステリシスコンパレータ、 533・・・DC/DCコンバータ、 541・・・電源電圧、 542・・・スイッチ素子、 544・・・インダクタンス、

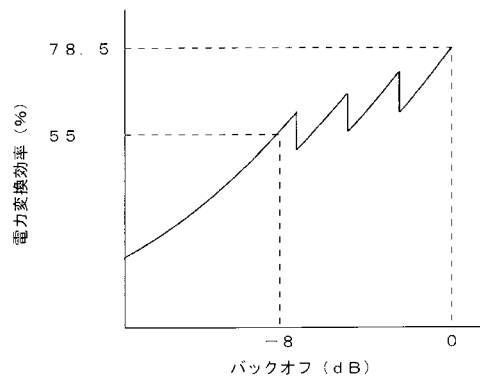
【図1】



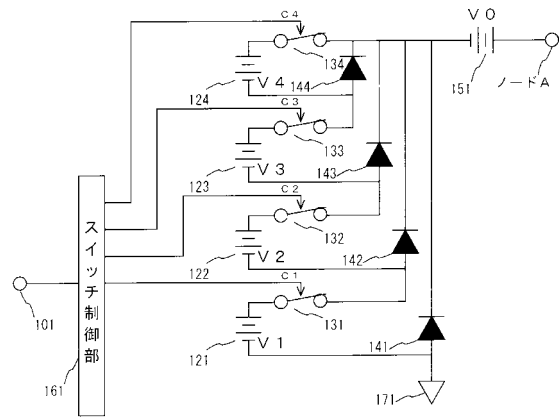
【図2】



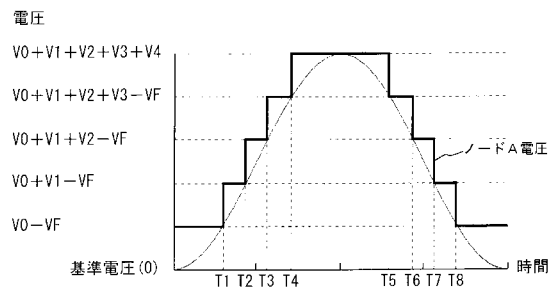
【図 3】



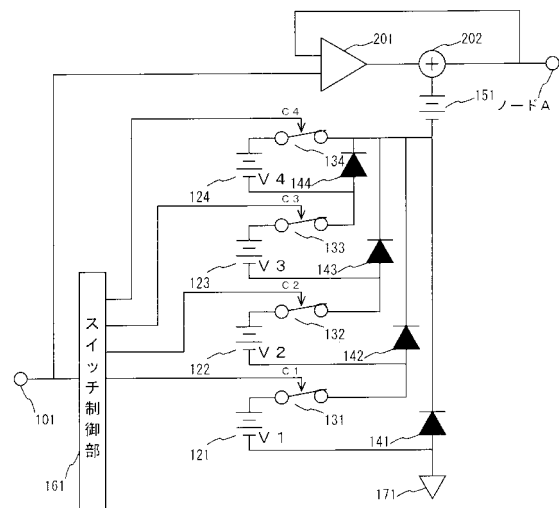
【図 4】



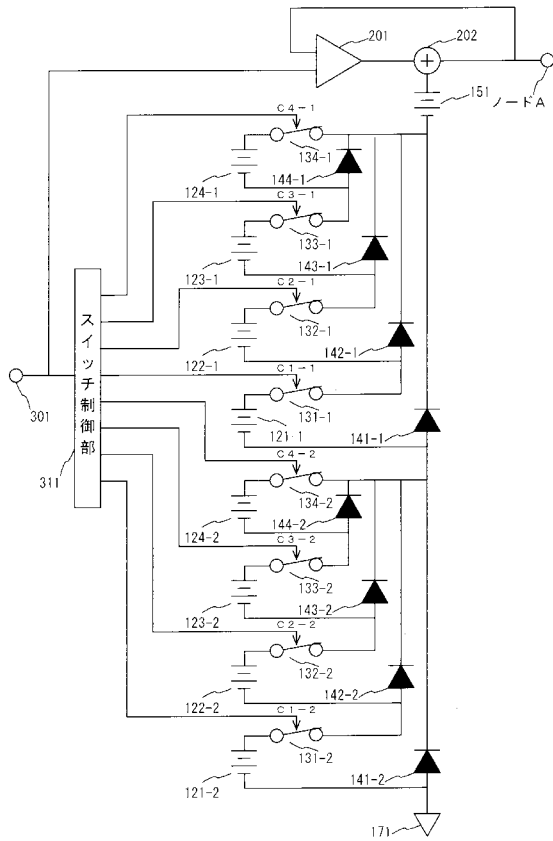
【図 5】



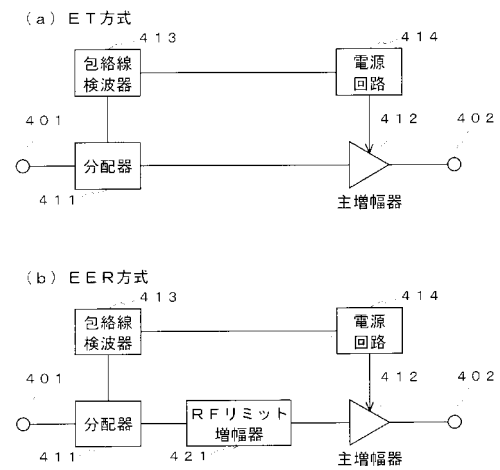
【図 6】



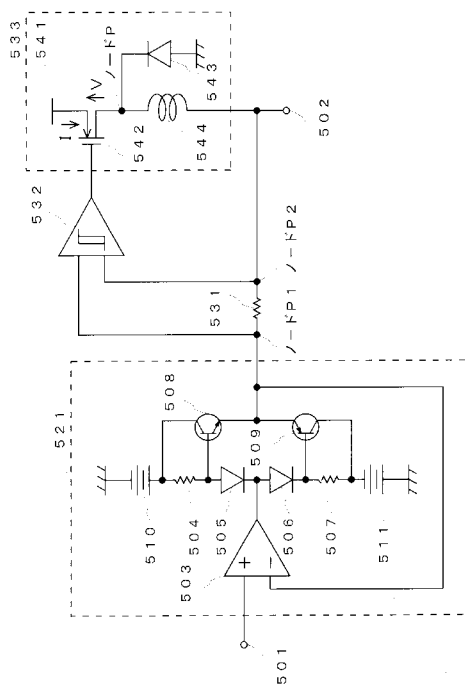
【図 7】



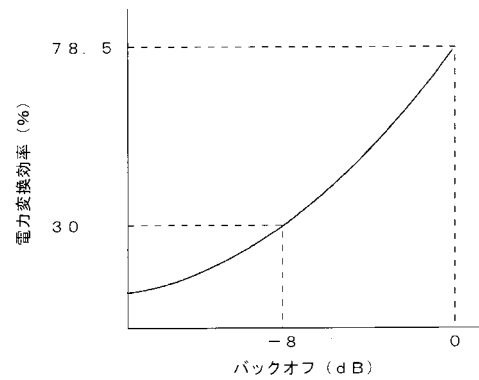
【図 8】



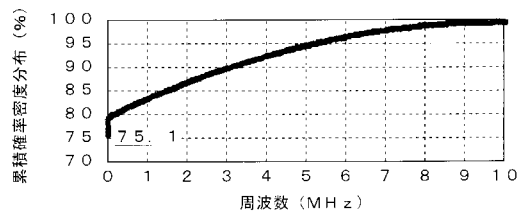
【図 9】



【図 10】



【図 11】



フロントページの続き

F ターム(参考) 5J500 AA01 AA15 AC36 AF10 AF18 AH08 AH19 AH25 AH39 AK01
AK12 AK26 AT01 AT02