(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 1 月 19 日 (19.01.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/008332 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) *H01L 29/24* (2006.01)
H01L 29/66 (2006.01) *H01L 27/12* (2006.01)

(21) 国际申请号: PCT/CN2015/085159

(22) 国际申请日: 2015 年 7 月 27 日 (27.07.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510414025.0 2015 年 7 月 14 日 (14.07.2015) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **吕晓文 (LV, Xiaowen)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE)**; 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: TFT SUBSTRATE STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) **发明名称** : TFT 基板结构及其制作方法

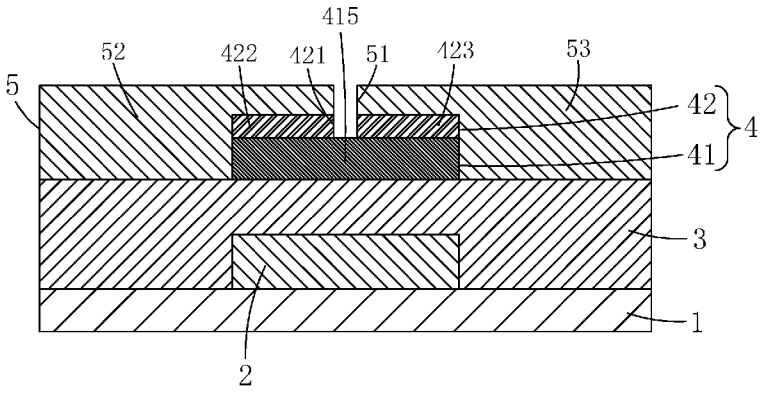


图3

(57) **Abstract**: The present invention provides a TFT substrate structure and a manufacturing method therefor. A metal oxide semiconductor layer is formed on an A-Si layer to replace an N-type heavily-doped layer, a barrier between the A-Si layer and a metal layer is smaller, an ohmic contact can be formed, the current efficiency is improved, and other ions do not need to be doped to form the N-type heavily-doped layer. Moreover, since there are many defects of hole trapping in the metal oxide semiconductor layer, even if a great negative pressure is exerted on a gate to form a hole conductive channel in a TFT working process, it is very difficult for holes to reach the conductive channel from a source/drain after passing through the metal oxide semiconductor layer and a semiconductor layer, such that the problem of electric leakage of a hole conductive area of a traditional TFT substrate structure is improved. Moreover, the problems of severe hole current warping and poor reliability are improved.

(57) **摘要**:

[见续页]

WO 2017/008332 A1

本发明提供一种 TFT 基板结构及其制作方法，通过在非晶硅层上形成金属氧化物半导体层代替 N 型重掺杂层，非晶硅层与金属层间的势垒较小，可形成欧姆接触，提高电流效率，无需再掺杂其它离子形成 N 型重掺杂层，并且由于金属氧化物半导体层中有很多抓空穴的缺陷，在 TFT 工作过程中即使栅极施加很大负压，形成空穴导电通道，空穴也很难由源/漏极通过金属氧化物半导体层及半导体层到达导电通道，改善了传统 TFT 基板结构的空穴导电区的漏电问题，同时改善了空穴电流翘曲严重，信赖性差的问题。

TFT 基板结构及其制作方法

技术领域

本发明涉及显示技术领域，尤其涉及一种 TFT 基板结构及其制作方法。

背景技术

非晶硅（A-Si）是目前半导体行业应用最广泛的半导体层材料，A-Si 材料与金属接触时因为有较大的势能差，难以形成欧姆接触，实际应用中，为了获得金属和半导体之间的欧姆接触，一般对半导体表面进行重掺杂 P 元素，降低金属和半导体的接触阻抗，提高电流效率。

图 1 所示为一种现有 TFT 基板结构的剖面示意图。该 TFT 基板结构包括基板 100、设于所述基板 100 上的栅极 200、设于所述基板 100 上覆盖所述栅极 200 的栅极绝缘层 300、对应所述栅极 200 上方设于所述栅极绝缘层 300 上的非晶硅层 400、及设于所述栅极绝缘层 300 上的源极 500 与漏极 600。所述非晶硅层 400 的中部向下凹陷，对应所述栅极 200 的上方形成有沟道区 450；所述非晶硅层 400 表面对应所述沟道区 450 的两侧分别经过离子掺杂，形成有第一、第二 N 型重掺杂区 410、420。所述源极 500 与漏极 600 分别与所述第一、第二 N 型重掺杂区 410、420 的表面相接触。

图 2 为具有图 1 的 TFT 基板结构的 A-Si 器件的漏电流的曲线图，从图 2 中可以看出，图 1 的 TFT 基板结构在增大工作电流（Ion）的同时，也存在一定的问题，当加负电压到一定程度时，会引出正电荷形成空穴导电通道，漏电流（Ioff）也随之增大，曲线翘曲严重，造成信赖性的问题。

因此，有必要提供一种 TFT 基板结构及其制作方法，以解决上述问题。

发明内容

本发明的目的在于提供一种 TFT 基板结构，采用金属氧化物半导体层代替 N 型重掺杂层，金属氧化物半导体层与金属层间的势垒较小，可形成欧姆接触，提高电流效率，并降低漏电流。

本发明的目的还在于提供一种 TFT 基板结构的制作方法，通过在非晶硅层上形成金属氧化物半导体层以代替 N 型重掺杂层，金属氧化物半导体层与金属层间的势垒较小，可形成欧姆接触，无需再掺杂其它离子形成 N 型重掺杂层，同时使得空穴导电区的漏电流降低，曲线翘曲变缓，提升了 TFT 基板结构的信赖性。

为实现上述目的，本发明提供一种 TFT 基板结构，包括基板、设于所述基板上的栅极、设于所述基板上覆盖所述栅极的栅极绝缘层、设于所述栅极绝缘层上对应所述栅极上方的岛状有源层、及设于所述栅极绝缘层与岛状有源层上的第二金属层；

所述第二金属层包括一第一条形通道、及分别设于所述第一条形通道两侧的源极与漏极；

所述岛状有源层包括非晶硅层及设于所述非晶硅层上的金属氧化物半导体层；所述金属氧化物半导体层包括一对应于所述第一条形通道的第二条形通道、及分别设于所述第二条形通道两侧的第一、第二金属氧化物半导体段；所述非晶硅层上对应于所述第二条形通道下方的位置形成沟道区，所述非晶硅层上位于沟道区的厚度小于或等于其它区域的厚度；

所述源极与漏极分别与所述第一金属氧化物半导体段、及第二金属氧化物半导体段的表面相接触，且所述源极在基板上分布的面积大于所述第一金属氧化物半导体段在基板上分布的面积，所述漏极在基板上分布的面积大于所述第二金属氧化物半导体段在基板上分布的面积。

所述金属氧化物半导体层的材料为 IGZO。

本发明还提供一种 TFT 基板结构的制作方法，包括如下步骤：

步骤 1、提供基板，在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，形成栅极；

步骤 2、依次在所述基板与栅极上沉积栅极绝缘层、非晶硅层、及金属氧化物半导体层；

步骤 3、依次对所述金属氧化物半导体层、及非晶硅层进行图案化处理，得到岛状有源层，所述岛状有源层包括对应所述栅极上方的非晶硅层及金属氧化物半导体层；

步骤 4、在所述栅极绝缘层、及岛状有源层上沉积第二金属层，并采用一道光刻制程对所述第二金属层及金属氧化物半导体层进行图案化处理；在所述第二金属层上形成一对应于所述栅极上方的第一条形通道、及分别设于所述第一条形通道两侧的源极与漏极；在所述金属氧化物半导体层上形成一对应于所述第一条形通道的第二条形通道、及分别设于所述第二条形通道两侧的第一金属氧化物半导体段、及第二金属氧化物半导体段；所述非晶硅层上对应于所述第二条形通道下方的位置形成沟道区，且所述非晶硅层上位于沟道区的厚度等于其它区域的厚度；

所述源极与漏极分别与所述第一金属氧化物半导体段、及第二金属氧化物半导体段的表面相接触，且所述源极在基板上分布的面积大于所述第

一金属氧化物半导体段在基板上分布的面积，所述漏极在基板上分布的面积大于所述第二金属氧化物半导体段在基板上分布的面积。

还包括步骤 5、对位于沟道区的非晶硅层进行表面处理，去除位于沟道区上方的残留的金属氧化物半导体层，处理后所述非晶硅层上位于沟道区的厚度依然等于其它区域的厚度。

还包括步骤 5、以所述源、漏极、及第一、第二金属氧化物半导体段为刻蚀阻挡层，对位于沟道区的非晶硅层进行部分蚀刻，从而使得所述非晶硅层上位于沟道区的厚度小于其它区域的厚度。

所述步骤 2 采用化学气相沉积法沉积所述栅极绝缘层、及非晶硅层，采用物理气相沉积法沉积所述金属氧化物半导体层。

所述金属氧化物半导体层的材料为 IGZO。

所述步骤 3 采用湿法蚀刻制程对所述金属氧化物半导体层进行图案化处理；采用干法蚀刻制程对所述非晶硅层进行图案化处理。

所述步骤 4 采用湿法蚀刻制程对所述第二金属层及金属氧化物半导体层进行图案化处理。

所述步骤 5 采用干法蚀刻制程对位于沟道区的非晶硅层进行蚀刻。

本发明还提供一种 TFT 基板结构的制作方法，包括如下步骤：

步骤 1、提供基板，在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，形成栅极；

步骤 2、依次在所述基板与栅极上沉积栅极绝缘层、非晶硅层、及金属氧化物半导体层；

步骤 3、依次对所述金属氧化物半导体层、及非晶硅层进行图案化处理，得到岛状有源层，所述岛状有源层包括对应所述栅极上方的非晶硅层及金属氧化物半导体层；

步骤 4、在所述栅极绝缘层、及岛状有源层上沉积第二金属层，并采用一道光刻制程对所述第二金属层及金属氧化物半导体层进行图案化处理；在所述第二金属层上形成一对应于所述栅极上方的第一条形通道、及分别设于所述第一条形通道两侧的源极与漏极；在所述金属氧化物半导体层上形成一对应于所述第一条形通道的第二条形通道、及分别设于所述第二条形通道两侧的第一金属氧化物半导体段、及第二金属氧化物半导体段；所述非晶硅层上对应于所述第二条形通道下方的位置形成沟道区，且所述非晶硅层上位于沟道区的厚度等于其它区域的厚度；

所述源极与漏极分别与所述第一金属氧化物半导体段、及第二金属氧化物半导体段的表面相接触，且所述源极在基板上分布的面积大于所述第

一金属氧化物半导体段在基板上分布的面积，所述漏极在基板上分布的面积大于所述第二金属氧化物半导体段在基板上分布的面积；

其中，所述步骤 2 采用化学气相沉积法沉积所述栅极绝缘层、及非晶硅层，采用物理气相沉积法沉积所述金属氧化物半导体层；

其中，所述金属氧化物半导体层的材料为 IGZO；

其中，所述步骤 3 采用湿法蚀刻制程对所述金属氧化物半导体层进行图案化处理；采用干法蚀刻制程对所述非晶硅层进行图案化处理；

其中，所述步骤 4 采用湿法蚀刻制程对所述第二金属层及金属氧化物半导体层进行图案化处理。

本发明的有益效果：本发明的 TFT 基板结构，非晶硅层上设有金属氧化物半导体层代替 N 型重掺杂层，非晶硅层与金属层间的势垒较小，可形成欧姆接触，提高电流效率。本发明的 TFT 基板结构的制作方法，通过在非晶硅层上形成金属氧化物半导体层代替 N 型重掺杂层，非晶硅层与金属层间的势垒较小，可形成欧姆接触，提高电流效率，无需再掺杂其它离子形成 N 型重掺杂层，并且由于金属氧化物半导体层中有很多抓空穴的缺陷，在 TFT 工作过程中即使栅极施加很大负压，形成空穴导电通道，空穴也很难由源/漏极通过金属氧化物半导体层及半导体层到达导电通道，改善了传统 TFT 基板结构的空穴导电区的漏电问题，同时改善了空穴电流翘曲严重，信赖性差的问题。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为一种现有 TFT 基板结构的剖面示意图；

图 2 为具有图 1 的 TFT 基板结构的 A-Si 器件的漏电流的曲线图；

图 3 为本发明的 TFT 基板结构第一实施例的剖面示意图；

图 4 为本发明的 TFT 基板结构第二实施例的剖面示意图；

图 5 为具有图 4 的 TFT 基板结构的 A-Si 器件的漏电流与具有图 1 的 TFT 基板结构的 A-Si 器件的漏电流的曲线对比图；

图 6 为本发明的 TFT 基板结构的制作方法的流程图；

图 7 为本发明的 TFT 基板结构的制作方法的步骤 1 的示意图；

图 8 为本发明的 TFT 基板结构的制作方法的步骤 2 的示意图；

图 9 为本发明的 TFT 基板结构的制作方法的步骤 3 的示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 3-4，本发明首先提供一种 TFT 基板结构，包括基板 1、设于所述基板 1 上的栅极 2、设于所述基板 1 上覆盖所述栅极 2 的栅极绝缘层 3、设于所述栅极绝缘层 3 上对应所述栅极 2 上方的岛状有源层 4、及设于所述栅极绝缘层 3 与岛状有源层 4 上的第二金属层 5。

所述第二金属层 5 包括一第一条形通道 51、及分别设于所述第一条形通道 51 两侧的源极 52 与漏极 53。

所述岛状有源层 4 包括非晶硅层 41 及设于所述非晶硅层 41 上的金属氧化物半导体层 42；所述金属氧化物半导体层 42 包括一对应于所述第一条形通道 51 的第二条形通道 421、及分别设于所述第二条形通道 421 两侧的第一、第二金属氧化物半导体段 422、423；所述非晶硅层 41 上对应于所述第二条形通道 421 下方的位置形成沟道区 415，所述非晶硅层 41 上位于沟道区 415 的厚度小于或等于其它区域的厚度。

所述源极 52 与漏极 52 分别与所述第一金属氧化物半导体段 422、及第二金属氧化物半导体段 423 的表面相接触，且所述源极 52 在基板 1 上分布的面积大于所述第一金属氧化物半导体段 422 在基板 1 上分布的面积，所述漏极 53 在基板 1 上分布的面积大于所述第二金属氧化物半导体段 423 在基板 1 上分布的面积。

具体的，所述第一条形通道 51 与第二条形通道 421 的宽度相同，且小于所述栅极 2 的宽度。

如图 3 所示，为本发明的 TFT 基板结构第一实施例的剖面示意图，其中，所述非晶硅层 41 上位于沟道区 415 的厚度等于其它区域的厚度。

如图 4 所示，为本发明的 TFT 基板结构第二实施例的剖面示意图，其中，所述非晶硅层 41 上位于沟道区 415 的厚度小于其它区域的厚度。

具体的，所述基板 1 为玻璃基板。

所述栅极 2、源极 52 与漏极 53 的材料可以是钼、钛、铝和铜中的一种或多种的堆栈组合。

所述栅极绝缘层 3 的材料可以是氧化硅、氮化硅、或二者的组合。

具体的，所述金属氧化物半导体层 5 的材料为 IGZO（Indium Gallium Zinc Oxide，氧化铟镓锌）。

图 5 为具有图 4 的 TFT 基板结构的 A-Si 器件的漏电流与具有图 1 的 TFT 基板结构的 A-Si 器件的漏电流的曲线对比图，其中，“N+”代表具有图 1 的 TFT 基板结构的 A-Si 器件的漏电流 Ioff 随栅电压 Vg 变化的曲线，“IGZO”代表具有图 4 的 TFT 基板结构的 A-Si 器件的漏电流 Ioff 随栅电压 Vg 变化的曲线，从图 5 中可以看出，与具有图 1（现有技术）的 TFT 基板结构的 A-Si 器件相比，具有图 4（本发明）的 TFT 基板结构的 A-Si 器件的漏电流 Ioff 降低，曲线的翘曲变缓（虚线框内所示），提高了 A-Si 器件的信赖性。

上述 TFT 基板结构中，非晶硅层上设有 IGZO 层以代替 N 型重掺杂层，IGZO 层与源/漏极间的势垒较小，可形成欧姆接触，提高电流效率。

基于同一发明构思，本发明还提供一种 TFT 基板结构的制作方法。

请参阅图 6，本发明的 TFT 基板结构的制作方法包括如下步骤：

步骤 1、如图 7 所示，提供基板 1，在所述基板 1 上沉积第一金属层，并对所述第一金属层进行图案化处理，形成栅极 2。

具体的，所述基板 1 为玻璃基板。所述栅极 2 的材料可以是钼、钛、铝和铜中的一种或多种的堆栈组合。

步骤 2、如图 8 所示，依次在所述基板 1 与栅极 2 上沉积栅极绝缘层 3、非晶硅层 41、及金属氧化物半导体层 42。

具体的，采用化学气相沉积（CVD）法沉积所述栅极绝缘层 3、及非晶硅层 41，采用物理气相沉积（PVD）法沉积所述金属氧化物半导体层 42。

具体的，所述栅极绝缘层 3 的材料可以是氧化硅、氮化硅、或二者的组合。

具体的，所述金属氧化物半导体层 42 的材料为 IGZO。

步骤 3、如图 9 所示，依次对所述金属氧化物半导体层 42、及非晶硅层 41 进行图案化处理，得到岛状有源层 4，所述岛状有源层 4 包括对应所述栅极 2 上方的非晶硅层 41、及金属氧化物半导体层 42。

具体的，采用湿法蚀刻（Wet Etch）制程对所述金属氧化物半导体层 42 进行图案化处理，采用干法蚀刻（Dry Etch）制程对所述半导体层 41 进行图案化处理。

步骤 4、请参阅图 3，在所述栅极绝缘层 3、及岛状有源层 4 上沉积第二金属层 5，并采用一道光刻制程对所述第二金属层 5 及金属氧化物半导体层 42 进行图案化处理；在所述第二金属层 5 上形成一对应于所述栅极 2 上方的第一条形通道 51、及分别设于所述第一条形通道 51 两侧的源极 52 与漏极 53；在所述金属氧化物半导体层 42 上形成一对应于所述第一条形通道

51 的第二条形通道 421、及分别设于所述第二条形通道 421 两侧的第一、第二金属氧化物半导体段 422、423; 所述非晶硅层 41 上对应于所述第二条形通道 421 下方的位置形成沟道区 415;

所述源极 52 与漏极 52 分别与所述第一金属氧化物半导体段 422、及第二金属氧化物半导体段 423 的表面相接触，且所述源极 52 在基板 1 上分布的面积大于所述第一金属氧化物半导体段 422 在基板 1 上分布的面积，所述漏极 53 在基板 1 上分布的面积大于所述第二金属氧化物半导体段 423 在基板 1 上分布的面积。

具体的，所述第一条形通道 51 与第二条形通道 421 的宽度相同，且小于所述栅极 2 的宽度。

具体的，采用湿法蚀刻制程对所述第二金属层 5 及金属氧化物半导体层 42 进行图案化处理; 在湿蚀刻过程中需要对蚀刻条件进行调试以避免产生 Undercut（底切）现象。

如果所述步骤 4 进行完之后，位于沟道区 415 的非晶硅层 41 上方没有金属氧化物半导体层 42 残留，即所述步骤 4 能够将位于沟道区 415 上方的金属氧化物半导体层 42 蚀刻干净的话，就无需再进行其它步骤，得到如图 3 所示的 TFT 基板结构;

如果所述步骤 4 没有将位于沟道区 415 上方的金属氧化物半导体层 42 蚀刻干净的话，则继续进行步骤 5 或步骤 5’:

步骤 5、对位于沟道区 415 的非晶硅层 41 进行表面处理，去除位于沟道区 415 上方的残留的金属氧化物半导体层 42, 处理后所述非晶硅层 41 上位于沟道区 415 的厚度依然等于其它区域的厚度，得到如图 3 所示的 TFT 基板结构。

步骤 5’、以所述源、漏极 52、53、及第一、第二金属氧化物半导体段 52、53 为刻蚀阻挡层，对位于沟道区 415 的非晶硅层 41 进行部分蚀刻，从而使得所述非晶硅层 41 上位于沟道区 415 的厚度小于其它区域的厚度，最终制得如图 4 所示的 TFT 基板结构。

具体的, 采用干法蚀刻制程对位于沟道区 415 的非晶硅层 41 进行蚀刻。

上述 TFT 基板结构的制作方法，通过在非晶硅层上形成 IGZO 层，以代替传统结构中的 N 型重掺杂层，IGZO 层与源/漏极间的势垒较小，可形成欧姆接触，提高电流效率，无需再掺杂其它离子形成 N 型重掺杂层，并且由于 IGZO 层中有很多抓空穴的缺陷，在 TFT 工作过程中即使栅极施加很大负压，形成空穴导电通道，空穴也很难由源/漏极通过 IGZO 层及非晶硅层到达导电通道，改善了传统 TFT 基板结构的空穴导电区的漏电问题，

同时改善了空穴电流翘曲严重，信赖性差的问题。

综上所述，本发明的 TFT 基板结构，非晶硅层上设有金属氧化物半导体层代替 N 型重掺杂层，非晶硅层与金属层间的势垒较小，可形成欧姆接触，提高电流效率。本发明的 TFT 基板结构的制作方法，通过在非晶硅层上形成金属氧化物半导体层代替 N 型重掺杂层，非晶硅层与金属层间的势垒较小，可形成欧姆接触，提高电流效率，无需再掺杂其它离子形成 N 型重掺杂层，并且由于金属氧化物半导体层中有很多抓空穴的缺陷，在 TFT 工作过程中即使栅极施加很大负压，形成空穴导电通道，空穴也很难由源/漏极通过金属氧化物半导体层及半导体层到达导电通道，改善了传统 TFT 基板结构的空穴导电区的漏电问题，同时改善了空穴电流翘曲严重，信赖性差的问题。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种 TFT 基板结构，包括基板、设于所述基板上的栅极、设于所述基板上覆盖所述栅极的栅极绝缘层、设于所述栅极绝缘层上对应所述栅极上方的岛状有源层、及设于所述栅极绝缘层与岛状有源层上的第二金属层；

所述第二金属层包括一第一条形通道、及分别设于所述第一条形通道两侧的源极与漏极；

所述岛状有源层包括非晶硅层及设于所述非晶硅层上的金属氧化物半导体层；所述金属氧化物半导体层包括一对应于所述第一条形通道的第二条形通道、及分别设于所述第二条形通道两侧的第一、第二金属氧化物半导体段；所述非晶硅层上对应于所述第二条形通道下方的位置形成沟道区，所述非晶硅层上位于沟道区的厚度小于或等于其它区域的厚度；

所述源极与漏极分别与所述第一金属氧化物半导体段、及第二金属氧化物半导体段的表面相接触，且所述源极在基板上分布的面积大于所述第一金属氧化物半导体段在基板上分布的面积，所述漏极在基板上分布的面积大于所述第二金属氧化物半导体段在基板上分布的面积。

2、如权利要求 1 所述的 TFT 基板结构，其中，所述金属氧化物半导体层的材料为 IGZO。

3、一种 TFT 基板结构的制作方法，包括如下步骤：

步骤 1、提供基板，在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，形成栅极；

步骤 2、依次在所述基板与栅极上沉积栅极绝缘层、非晶硅层、及金属氧化物半导体层；

步骤 3、依次对所述金属氧化物半导体层、及非晶硅层进行图案化处理，得到岛状有源层，所述岛状有源层包括对应所述栅极上方的非晶硅层及金属氧化物半导体层；

步骤 4、在所述栅极绝缘层、及岛状有源层上沉积第二金属层，并采用一道光刻制程对所述第二金属层及金属氧化物半导体层进行图案化处理；在所述第二金属层上形成一对应于所述栅极上方的第一条形通道、及分别设于所述第一条形通道两侧的源极与漏极；在所述金属氧化物半导体层上形成一对应于所述第一条形通道的第二条形通道、及分别设于所述第二条形通道两侧的第一金属氧化物半导体段、及第二金属氧化物半导体段；所述非晶硅层上对应于所述第二条形通道下方的位置形成沟道区，且所述非

晶硅层上位于沟道区的厚度等于其它区域的厚度;

所述源极与漏极分别与所述第一金属氧化物半导体段、及第二金属氧化物半导体段的表面相接触，且所述源极在基板上分布的面积大于所述第一金属氧化物半导体段在基板上分布的面积，所述漏极在基板上分布的面积大于所述第二金属氧化物半导体段在基板上分布的面积。

4、如权利要求 3 所述的 TFT 基板结构的制作方法，其中，还包括步骤 5、对位于沟道区的非晶硅层进行表面处理，去除位于沟道区上方的残留的金属氧化物半导体层，处理后所述非晶硅层上位于沟道区的厚度依然等于其它区域的厚度。

5、如权利要求 3 所述的 TFT 基板结构的制作方法，其中，还包括步骤 5、以所述源、漏极、及第一、第二金属氧化物半导体段为刻蚀阻挡层，对位于沟道区的非晶硅层进行部分蚀刻，从而使得所述非晶硅层上位于沟道区的厚度小于其它区域的厚度。

6、如权利要求 3 所述的 TFT 基板结构的制作方法，其中，所述步骤 2 采用化学气相沉积法沉积所述栅极绝缘层、及非晶硅层，采用物理气相沉积法沉积所述金属氧化物半导体层。

7、如权利要求 3 所述的 TFT 基板结构的制作方法，其中，所述金属氧化物半导体层的材料为 IGZO。

8、如权利要求 3 所述的 TFT 基板结构的制作方法，其中，所述步骤 3 采用湿法蚀刻制程对所述金属氧化物半导体层进行图案化处理；采用干法蚀刻制程对所述非晶硅层进行图案化处理。

9、如权利要求 3 所述的 TFT 基板结构的制作方法，其中，所述步骤 4 采用湿法蚀刻制程对所述第二金属层及金属氧化物半导体层进行图案化处理。

10、如权利要求 5 所述的 TFT 基板结构的制作方法，其中，所述步骤 5 采用干法蚀刻制程对位于沟道区的非晶硅层进行蚀刻。

11、一种 TFT 基板结构的制作方法，包括如下步骤:

步骤 1、提供基板，在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，形成栅极;

步骤 2、依次在所述基板与栅极上沉积栅极绝缘层、非晶硅层、及金属氧化物半导体层;

步骤 3、依次对所述金属氧化物半导体层、及非晶硅层进行图案化处理，得到岛状有源层，所述岛状有源层包括对应所述栅极上方的非晶硅层及金属氧化物半导体层;

步骤 4、在所述栅极绝缘层、及岛状有源层上沉积第二金属层，并采用一道光刻制程对所述第二金属层及金属氧化物半导体层进行图案化处理；在所述第二金属层上形成一对应于所述栅极上方的第一条形通道、及分别设于所述第一条形通道两侧的源极与漏极；在所述金属氧化物半导体层上形成一对应于所述第一条形通道的第二条形通道、及分别设于所述第二条形通道两侧的第一金属氧化物半导体段、及第二金属氧化物半导体段；所述非晶硅层上对应于所述第二条形通道下方的位置形成沟道区，且所述非晶硅层上位于沟道区的厚度等于其它区域的厚度；

所述源极与漏极分别与所述第一金属氧化物半导体段、及第二金属氧化物半导体段的表面相接触，且所述源极在基板上分布的面积大于所述第一金属氧化物半导体段在基板上分布的面积，所述漏极在基板上分布的面积大于所述第二金属氧化物半导体段在基板上分布的面积；

其中，所述步骤 2 采用化学气相沉积法沉积所述栅极绝缘层、及非晶硅层，采用物理气相沉积法沉积所述金属氧化物半导体层；

其中，所述金属氧化物半导体层的材料为 IGZO；

其中，所述步骤 3 采用湿法蚀刻制程对所述金属氧化物半导体层进行图案化处理；采用干法蚀刻制程对所述非晶硅层进行图案化处理；

其中，所述步骤 4 采用湿法蚀刻制程对所述第二金属层及金属氧化物半导体层进行图案化处理。

12、如权利要求 11 所述的 TFT 基板结构的制作方法，其中，还包括步骤 5、对位于沟道区的非晶硅层进行表面处理，去除位于沟道区上方的残留的金属氧化物半导体层，处理后所述非晶硅层上位于沟道区的厚度依然等于其它区域的厚度。

13、如权利要求 11 所述的 TFT 基板结构的制作方法，其中，还包括步骤 5、以所述源、漏极、及第一、第二金属氧化物半导体段为刻蚀阻挡层，对位于沟道区的非晶硅层进行部分蚀刻，从而使得所述非晶硅层上位于沟道区的厚度小于其它区域的厚度。

14、如权利要求 13 所述的 TFT 基板结构的制作方法，其中，所述步骤 5 采用干法蚀刻制程对位于沟道区的非晶硅层进行蚀刻。

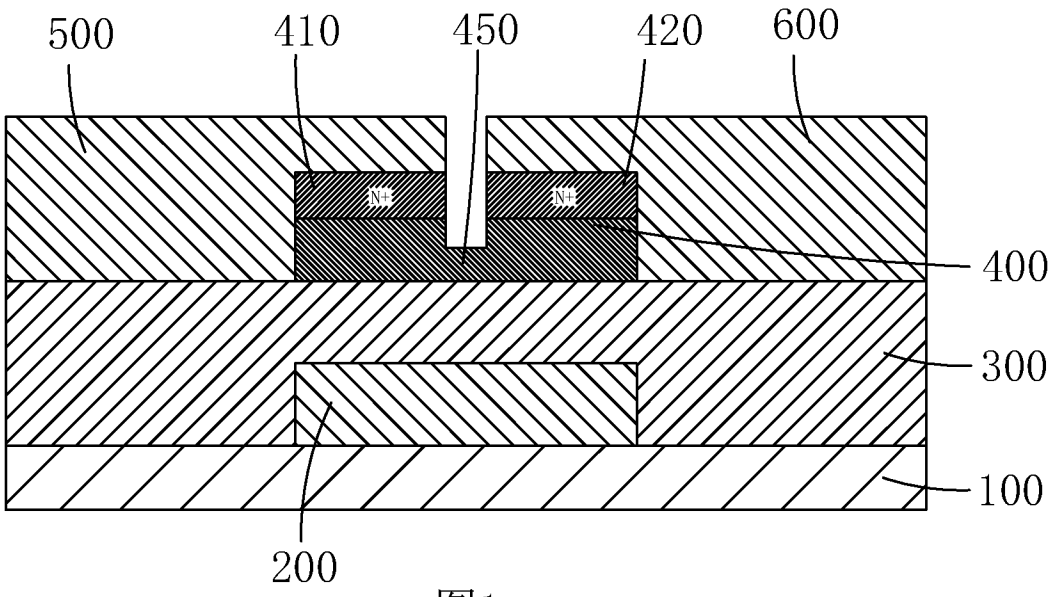

500
410
450
420
600
N+
N+
400
300
100
200

图1

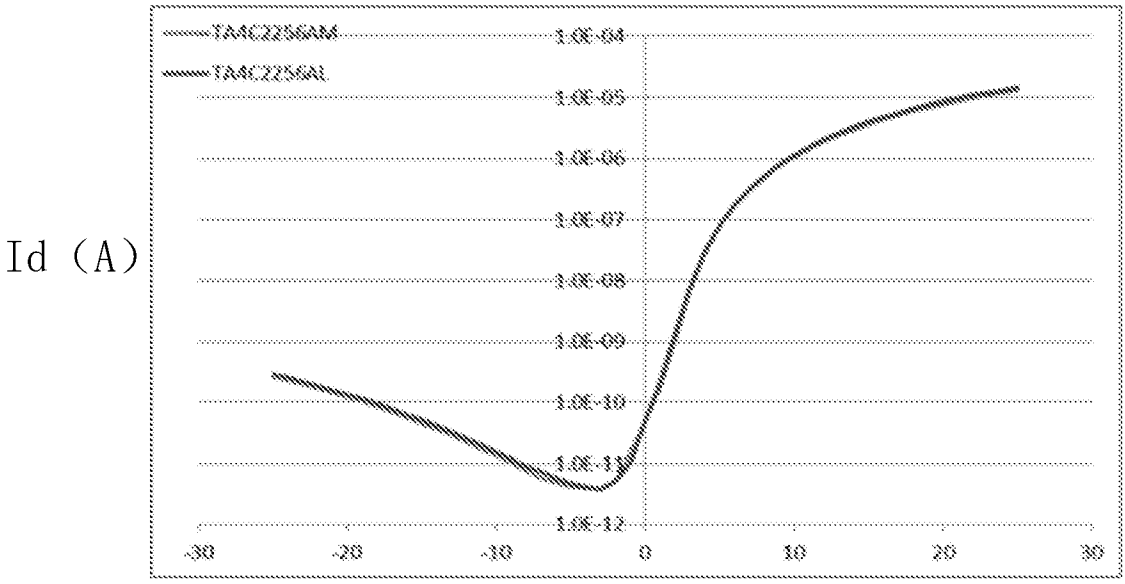

TA4C22SAM
TA4C22SAL
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
-30
-20
-10
0
10
20
30
Id（A）
Vg（V）

图2

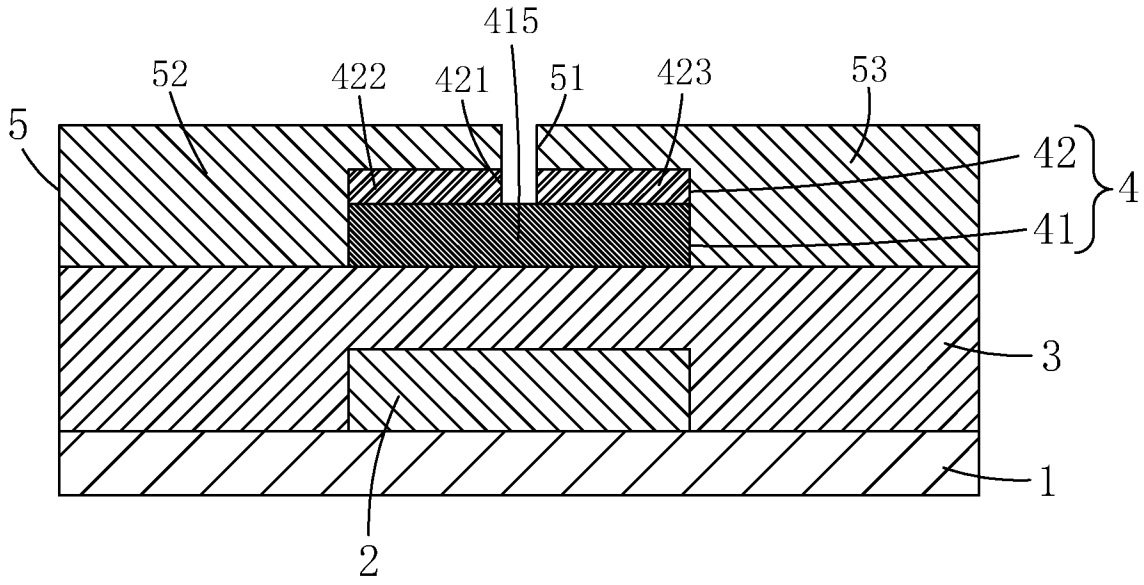

415
52
422
421
51
423
53
5
42
4
41
3
1
2

图3

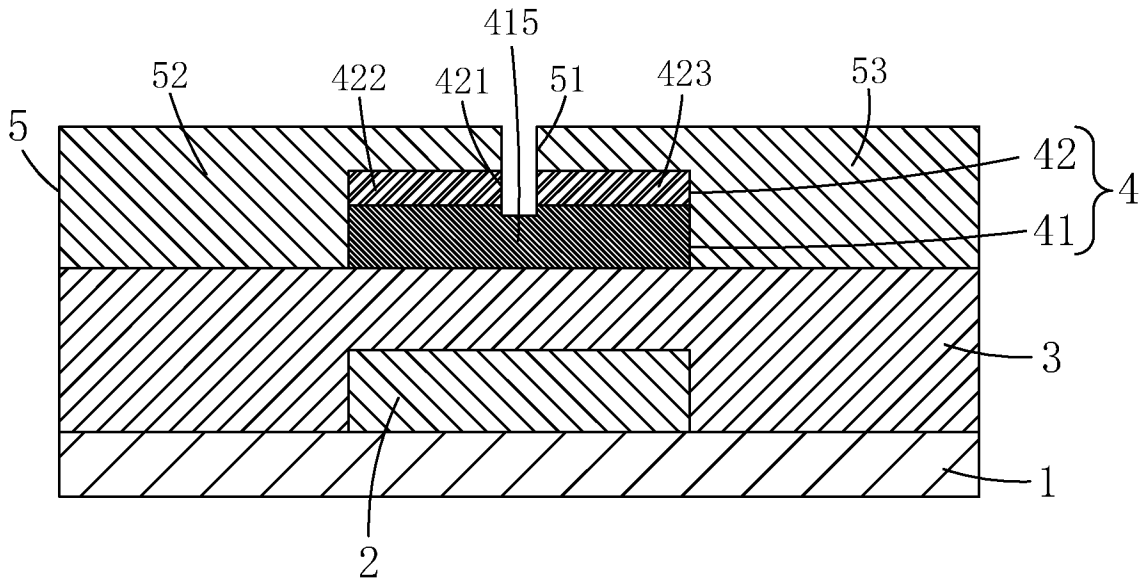

415
52
422
421
51
423
53
5
42
4
41
3
1
2

图4

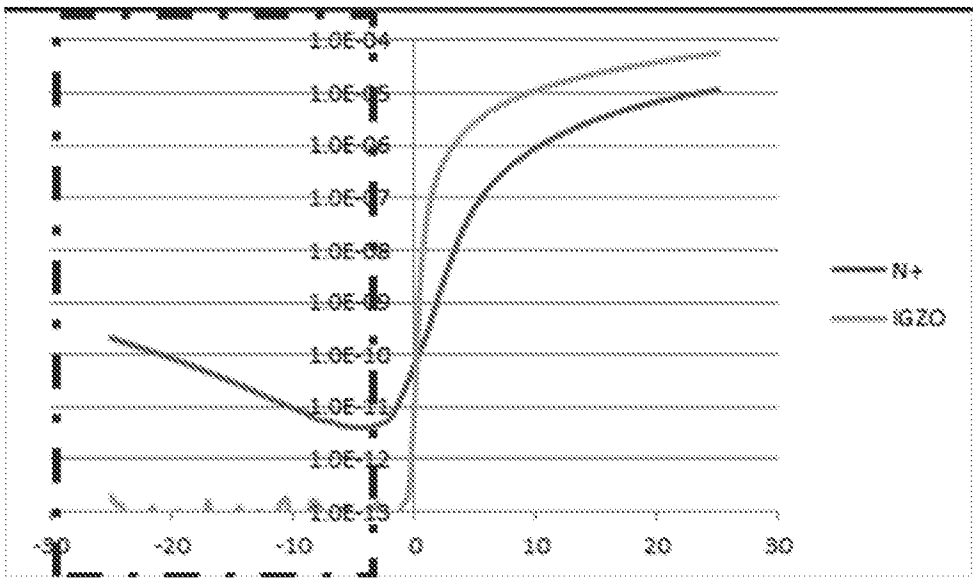

Id（A）
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
1.0E-13
-30
-20
-10
0
10
20
30
N+
IGZO
Vg（V）

图5

步骤1、提供基板（1），在所述基板（1）上沉积第一金属层，并对所述第一金属层进行图案化处理，形成栅极（2）；

步骤2、依次在所述基板（1）与栅极（2）上沉积栅极绝缘层（3）、非晶硅层（41）、及金属氧化物半导体层（42）；

步骤3、依次对所述金属氧化物半导体层（42）、及非晶硅层（41）进行图案化处理，得到岛状有源层（4），所述岛状有源层（4）包括对应所述栅极（2）上方的非晶硅层（41）及金属氧化物半导体层（42）；

步骤4、在所述栅极绝缘层（3）、及岛状有源层（4）上沉积第二金属层，并采用一道光刻制程对所述第二金属层及金属氧化物半导体层（42）进行图案化处理；在所述第二金属层上形成一对应于所述栅极（2）上方的第一条形通道（51）、及分别设于所述第一条形通道（51）两侧的源极（52）与漏极（53）；在所述金属氧化物半导体层（42）上形成一对应于所述第一条形通道（51）的第二条形通道（421）、及分别设于所述第二条形通道（421）两侧的第一金属氧化物半导体段（422）、及第二金属氧化物半导体段（423）；所述非晶硅层（41）上对应于所述第二条形通道（421）的位置形成沟道区（415），且所述非晶硅层（41）上位于沟道区（415）的厚度等于其它区域的厚度；

所述源极（51）与漏极（52）分别与所述第一金属氧化物半导体段（422）、及第二金属氧化物半导体段（423）的表面相接触，且所述源极（52）在基板（1）上分布的面积大于所述第一金属氧化物半导体段（422）在基板（1）上分布的面积，所述漏极（53）在基板（1）上分布的面积大于所述第二金属氧化物半导体段（423）在基板（1）上分布的面积。

图6

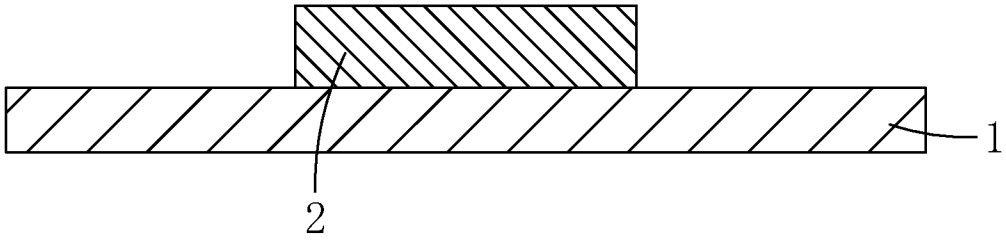


图7

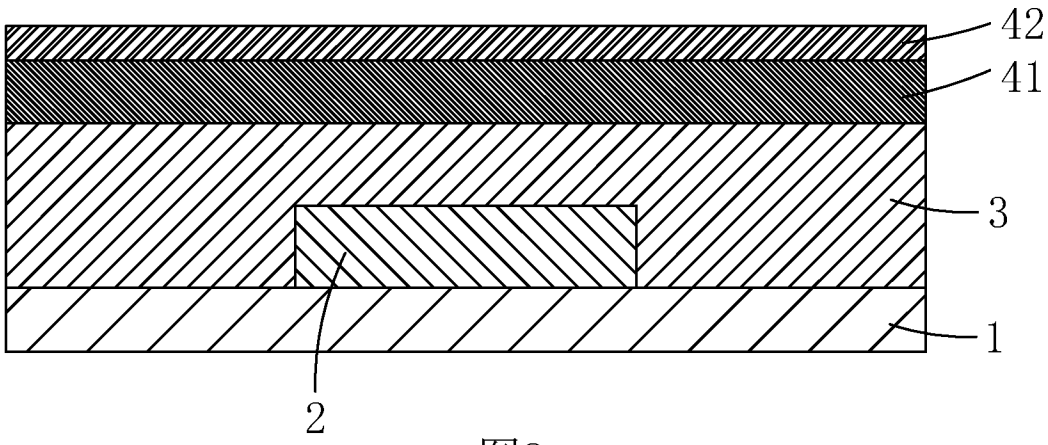


图8

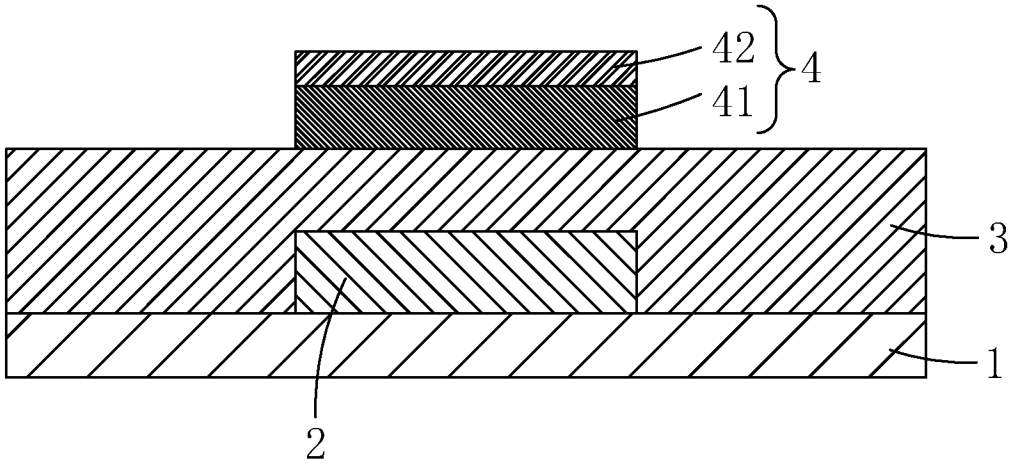


图9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/085159

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i; H01L 29/66 (2006.01) i; H01L 29/24 (2006.01) i; H01L 27/12 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/786; H01L 27

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABA, VEN: H01L29/786, amorphous si ITO ZnO IGZO channel active metal oxide

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101471348 A (SHENGHUA SCI TECH CO., LTD.) 01 July 2009 (01.07.2009) description, paragraphs [0086]-[0097], and figures 7 and 8	1-2
Y	CN 101471348 A (SHENGHUA SCI TECH CO., LTD.) 01 July 2009 (01.07.2009) description, paragraphs [0086]-[0097], and figures 7 and 8	3-14
Y	CN 1901169 A (SANSUNG ELECTRONICS CO., LTD.) 24 January 2007 (24.01.2007) description, pages 12-15, and figures 3-10	3-14
Y	CN 104576526 A (BEIJING BOE OPTOELECTRONIC CO., LTD.) 29 April 2015 (29.04.2015) description, paragraphs [0099]-[0104], and figures 1-3,11 and 12	3-14

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 March 2016	13 April 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHONG, Yi Telephone No. (86-10) 62411332

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/085159

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102751240 A (BEIJING BOE OPTOELECTRONIC CO., LTD.) 24 October 2012 (24.10.2012) The whole document	1-14
A	CN 101640219 A (SEMICONDUCTOR ENERGY LAB.) 03 February 2010 (03.02.2010) The whole document	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/085159

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101471348 A	01 July 2009	CN 101471348 B	04 August 2010
CN 1901169 A	24 January 2007	KR 20070010868 A	24 January 2007
		US 2007020836 A1	25 January 2007
		JP 2007027768 A	01 February 2007
CN 104576526 A	29 April 2015	None	
CN 102751240 A	24 October 2012	KR 101447843 B1	13 October 2014
		KR 20140010361 A	24 January 2014
		WO 2013170605 A1	21 November 2013
		JP 2015521383 A	27 July 2015
		CN 102751240 B	11 March 2015
		EP 2677537 A1	25 December 2013
		US 8912538 B2	16 December 2014
		EP 2677537 A4	23 April 2014
		US 2014103333 A1	17 April 2014
CN 101640219 A	03 February 2010	KR 101325521 B1	07 November 2013
		TW 201440229 A	16 October 2014
		TW 201019478 A	16 May 2010
		KR 101427612 B1	08 August 2014
		US 9087745 B2	21 July 2015
		JP 2016001746 A	07 January 2016
		TW 201220503 A	16 May 2012
		JP 5409818 B2	05 February 2014
		US 8129717 B2	06 March 2012
		CN 102169906 B	20 November 2013
		US 8729544 B2	20 May 2014
		KR 20110020287 A	02 March 2011
		JP 5409819 B2	05 February 2014
		CN102169906A	31 August 2011

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/085159

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
		TWI 413260 B	21 October 2013
		KR 101088646 B1	02 December 2011
		JP 2014160818 A	04 September 2014
		KR 20130124467 A	14 November 2013
		JP 5789685 B2	07 October 2015
		JP 2012089879 A	10 May 2012
		TWI 476921 B	11 March 2015
		JP 2010056539 A	11 March 2010
		KR 101493305 B1	13 February 2015
		CN 102569189 B	04 February 2015
		US 2015349099 A1	03 December 2015
		JP 5480174 B2	23 April 2014
		CN 102569189 A	11 July 2012
		TW 201218386 A	01 May 2012
		US 2012108007 A1	03 May 2012
		TWI 469354 B	11 January 2015
		KR 20100014164 A	10 February 2010
		KR 101541704 B1	05 August 2015
		JP 5268818 B2	21 August 2013
		US 2012108006 A1	03 May 2012
		US 9111804 B2	18 August 2015
		JP 2012109593 A	07 June 2012
		KR 20120023159 A	12 March 2012
		KR 20120096881 A	31 August 2012
		US 2010025678 A1	04 February 2010
		CN 102593051 B	06 January 2016
		TW 201121056 A	16 June 2011
		CN102544109A	04 July 2012

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/085159

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
		KR 20120044946 A	08 May 2012
		CN 102593051 A	18 July 2012
		KR 20130037234 A	15 April 2013
		TW 201218385 A	01 May 2012
		JP 2011129943 A	30 June 2011
		US 2011115763 A1	19 May 2011

国际检索报告

国际申请号
PCT/CN2015/085159

A. 主题的分类

H01L 29/786(2006.01)i; H01L 29/66(2006.01)i; H01L 29/24(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L29/786; H01L27

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,VEN:h01129/786，非晶硅，金属氧化物，有源区，amorphous si ITO ZnO IGZO channel active

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 101471348 A (胜华科技股份有限公司) 2009年 7月 1日 (2009-07-01) 说明书第86-97段，附图7-8	1-2
Y	CN 101471348 A (胜华科技股份有限公司) 2009年 7月 1日 (2009-07-01) 说明书第86-97段，附图7-8	3-14
Y	CN 1901169 A (三星电子株式会社) 2007年 1月 24日 (2007-01-24) 说明书第12-15页，附图3-10	3-14
Y	CN 104576526 A (北京京东方光电科技有限公司) 2015年 4月 29日 (2015-04-29) 说明书第99-104段，附图1-3，11-12	3-14
A	CN 102751240 A (京东方科技集团股份有限公司) 2012年 10月 24日 (2012-10-24) 全文	1-14
A	CN 101640219 A (株式会社半导体能源研究所) 2010年 2月 3日 (2010-02-03) 全文	1-14

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 3月 22日	2016年 4月 13日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 钟翊 电话号码 (86-10)62411332

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/085159

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101471348	A	2009年 7月 1日	CN	101471348	B	2010年 8月 4日
CN	1901169	A	2007年 1月 24日	KR	20070010868	A	2007年 1月 24日
				US	2007020836	A1	2007年 1月 25日
				JP	2007027768	A	2007年 2月 1日
CN	104576526	A	2015年 4月 29日		无		
CN	102751240	A	2012年 10月 24日	KR	101447843	B1	2014年 10月 13日
				KR	20140010361	A	2014年 1月 24日
				WO	2013170605	A1	2013年 11月 21日
				JP	2015521383	A	2015年 7月 27日
				CN	102751240	B	2015年 3月 11日
				EP	2677537	A1	2013年 12月 25日
				US	8912538	B2	2014年 12月 16日
				EP	2677537	A4	2014年 4月 23日
				US	2014103333	A1	2014年 4月 17日
CN	101640219	A	2010年 2月 3日	KR	101325521	B1	2013年 11月 7日
				TW	201440229	A	2014年 10月 16日
				TW	201019478	A	2010年 5月 16日
				KR	101427612	B1	2014年 8月 8日
				US	9087745	B2	2015年 7月 21日
				JP	2016001746	A	2016年 1月 7日
				TW	201220503	A	2012年 5月 16日
				JP	5409818	B2	2014年 2月 5日
				US	8129717	B2	2012年 3月 6日
				CN	102169906	B	2013年 11月 20日
				US	8729544	B2	2014年 5月 20日
				KR	20110020287	A	2011年 3月 2日
				JP	5409819	B2	2014年 2月 5日
				CN	102169906	A	2011年 8月 31日
				TW	I413260	B	2013年 10月 21日
				KR	101088646	B1	2011年 12月 2日
				JP	2014160818	A	2014年 9月 4日
				KR	20130124467	A	2013年 11月 14日
				JP	5789685	B2	2015年 10月 7日
				JP	2012089879	A	2012年 5月 10日
				TW	I476921	B	2015年 3月 11日
				JP	2010056539	A	2010年 3月 11日
				KR	101493305	B1	2015年 2月 13日
				CN	102569189	B	2015年 2月 4日
				US	2015349099	A1	2015年 12月 3日
				JP	5480174	B2	2014年 4月 23日
				CN	102569189	A	2012年 7月 11日
				TW	201218386	A	2012年 5月 1日
				US	2012108007	A1	2012年 5月 3日
				TW	I469354	B	2015年 1月 11日
				KR	20100014164	A	2010年 2月 10日
				KR	101541704	B1	2015年 8月 5日
				JP	5268818	B2	2013年 8月 21日
				US	2012108006	A1	2012年 5月 3日
				US	9111804	B2	2015年 8月 18日
				JP	2012109593	A	2012年 6月 7日

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/085159

检索报告引用的专利文件	公布日 (年/月/日)	同族专利			公布日 (年/月/日)
		KR	20120023159	A	2012年 3月 12日
		KR	20120096881	A	2012年 8月 31日
		US	2010025678	A1	2010年 2月 4日
		CN	102593051	B	2016年 1月 6日
		TW	201121056	A	2011年 6月 16日
		CN	102544109	A	2012年 7月 4日
		KR	20120044946	A	2012年 5月 8日
		CN	102593051	A	2012年 7月 18日
		KR	20130037234	A	2013年 4月 15日
		TW	201218385	A	2012年 5月 1日
		JP	2011129943	A	2011年 6月 30日
		US	2011115763	A1	2011年 5月 19日