



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0029104
(43) 공개일자 2022년03월08일

(51) 국제특허분류(Int. Cl.)
H02M 3/156 (2006.01) H02M 1/00 (2007.01)
H02M 1/08 (2006.01) H02M 3/07 (2006.01)
(52) CPC특허분류
H02M 3/156 (2013.01)
H02M 1/0003 (2021.05)
(21) 출원번호 10-2020-0111015
(22) 출원일자 2020년09월01일
심사청구일자 2020년09월01일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221 도곡렉슬아파트
박인호
서울특별시 은평구 응암로 319 서강스카이빌
(뒷면에 계속)
(74) 대리인
이기성

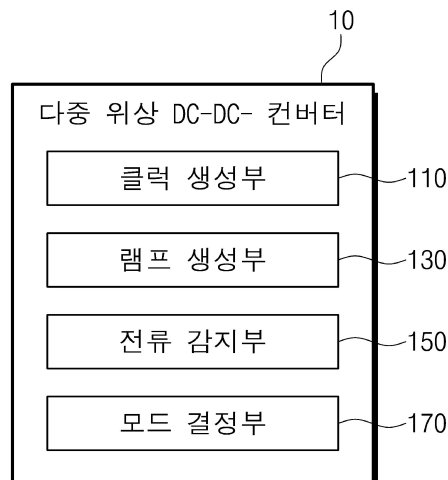
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 다중 위상 하이브리드 승/강압 DC-DC 컨버터 및 그 동작 방법

(57) 요약

본 발명은 다중 위상 하이브리드 승/강압 DC-DC 컨버터 및 그 동작 방법에 관한 것이다. 다중 위상 DC-DC 컨버터는 동작 주파수보다 빠른 클럭 신호가 입력되어, 복수개로 분주된 클럭(clock) 신호를 생성하는 클럭 생성부, 동일 구조를 가진 복수개의 파워 스테이지(power stage)를 상기 클럭(clock) 신호에 맞춰 동작시키기 위해, 복수개로 분주된 램프 신호를 생성하는 램프 생성부, 및 상기 파워 스테이지를 제1 모드 및 제2 모드 중 하나로 동작시키기 위한 모드를 결정하는 모드 결정부를 포함한다.

대표도 - 도1



(52) CPC특허분류

H02M 1/08 (2013.01)

H02M 3/07 (2013.01)

(72) 발명자

맹준영

서울특별시 성북구 고려대로12길 68

전진우

서울특별시 강남구 선릉로112길 53 롯데캐슬킹덤아파트

명세서

청구범위

청구항 1

동작 주파수보다 빠른 클럭 신호가 입력되어, 복수개로 분주된 클럭(clock) 신호를 생성하는 클럭 생성부;

동일 구조를 가진 복수개의 파워 스테이지(power stage)를 상기 클럭(clock) 신호에 맞춰 동작시키기 위해, 복수개로 분주된 램프 신호를 생성하는 램프 생성부; 및

상기 파워 스테이지를 제1 모드 및 제2 모드 중 하나로 동작시키기 위한 모드를 결정하는 모드 결정부를 포함하는 다중 위상 DC-DC 컨버터.

청구항 2

제1항에 있어서,

상기 파워 스테이지의 인덕터 전류가 0A가 되는 순간을 감지하기 위한 전류 감지부를 더 포함하는 다중 위상 DC-DC 컨버터.

청구항 3

제1항에 있어서,

상기 파워 스테이지는,

입력 전압이 인가되는 단자와 제1 노드 사이에 연결된 제1 pMOS;

상기 제1 노드와 제2 노드 사이에 연결된 커패시터;

상기 제1 노드와 제4 노드 사이에 연결된 인덕터;

상기 입력 전압이 인가되는 단자와 제3 노드 사이에 연결된 제2 pMOS;

상기 제2 노드와 상기 제4노드 사이에 연결된 제3 pMOS; 및

상기 제3 노드와 접지 사이에 연결된 nMOS를 포함하는 다중 위상 DC-DC 컨버터.

청구항 4

제3항에 있어서,

상기 인덕터는 패키지 본딩 와이어의 기생 인덕터인 다중 위상 DC-DC 컨버터.

청구항 5

제3항에 있어서,

상기 제1 모드 및 제2 모드는 상기 파워 스테이지의 동작 순서에 기반하여 결정되고,

제1 모드는 승압모드이고, 제2 모드는 승압모드인 다중 위상 DC-DC 컨버터.

청구항 6

제5항에 있어서,

상기 제1 모드는 상기 커패시터와 상기 인덕터의 전류를 출력단에 전달하고,

상기 제2 모드는 상기 인덕터가 상기 출력단과 연결되는 다중 위상 DC-DC 컨버터.

청구항 7

제6항에 있어서,

상기 제1 모드 및 제2 모드는 제1 내지 제3 상태를 포함하고,
 상기 제1 상태는 인덕터 전류를 충전하는 상태이고,
 상기 제2 상태는 상기 인덕터 전류를 방전하는 상태이고,
 상기 제3 상태는 모든 스위치를 열고 대기하는 상태인 다중 위상 DC-DC 컨버터.

청구항 8

제7항에 있어서,
 상기 제1 모드의 상기 제1 상태에서, 상기 입력 전압으로부터 전류가 상기 제2 pMOS, 상기 커패시터, 및 상기 인덕터에 흐르고, 상기 커패시터는 방전되고 상기 인덕터는 충전되며,
 상기 제1 모드의 상기 제2 상태에서, 상기 입력 전압으로부터 전류가 상기 제1 pMOS와 상기 인덕터, 및 상기 커패시터와 상기 nMOS에 흐르고, 상기 인덕터는 방전되고 상기 커패시터는 충전되며,
 상기 제1 모드의 제3 상태에서, 상기 인덕터가 방전되어 상기 제1 내지 제3 pMOS 및 상기 nMOS를 열고 다음 클럭을 기다리는 다중 위상 DC-DC 컨버터.

청구항 9

제7항에 있어서,
 상기 제2 모드의 상기 제1 상태에서, 상기 입력 전압으로부터 전류가 상기 제1 pMOS와 상기 인덕터, 및 상기 커패시터와 상기 제3 pMOS에 흐르고,
 상기 제2 모드의 상기 제2 상태에서, 상기 인덕터, 상기 커패시터, 및 상기 nMOS에 전류가 흐르고,
 상기 제2 모드의 상기 제3 상태에서, 상기 인덕터와 상기 커패시터의 전류가 모두 방전되는 다중 위상 DC-DC 컨버터.

청구항 10

제1항에 있어서,
 상기 복수개로 분주된 클럭(clock) 신호는 상기 복수개로 분주된 램프 신호와 동일한 개수를 가지는 다중 위상 DC-DC 컨버터.

청구항 11

제10항에 있어서,
 상기 파워 스테이지는 상기 분주된 클럭 신호와 동일한 갯수인 다중 위상 DC-DC 컨버터.

청구항 12

다중 위상 DC-DC 컨버터의 동작 방법에 있어서,
 클럭 생성부가 동작 주파수보다 빠른 클럭 신호가 입력되서 복수개로 분주된 클럭(clock) 신호를 생성하는 단계;
 램프생성부가 동일 구조를 가진 복수개의 파워 스테이지(power stage)를 상기 클럭(clock) 신호에 맞춰 동작시키기 위해, 복수개로 분주된 램프 신호를 생성하는 단계; 및
 모드 결정부가 상기 파워 스테이지가 제1 모드 및 제2 모드 중 하나로 동작시키기 위한 모드를 결정하는 단계를 포함하는 다중 위상 DC-DC 컨버터의 동작 방법.

청구항 13

제12항에 있어서,
 전류 감지부가 상기 파워 스테이지의 인덕터 전류가 0A가 되는 순간을 감지하는 단계를 더 포함하는 다중 위상

DC-DC 컨버터의 동작 방법.

청구항 14

제12항에 있어서,

상기 파워 스테이지는 제1 내지 제3 pMOS, 커패시터, 인덕터 및 nMOS를 포함하고,

상기 모드 결정부는 모드에 기반하여 상기 파워 스테이지의 동작 순서를 결정하는 단계를 포함하는 다중 위상 DC-DC 컨버터의 동작 방법.

청구항 15

제14항에 있어서,

상기 제1 모드는 상기 커패시터와 상기 인덕터의 전류를 출력단에 전달하는 단계를 포함하고,

상기 제2 모드는 상기 인덕터가 상기 출력단과 연결되어, 상기 인덕터의 전류를 상기 출력단에 전달하는 단계를 포함하는 다중 위상 DC-DC 컨버터의 동작 방법.

청구항 16

제15항에 있어서,

상기 제1 모드 및 제2 모드는 제1 내지 제3 상태를 포함하고,

상기 제1 상태는 인덕터 전류를 충전하는 단계이고,

상기 제2 상태는 인덕터 전류를 방전하는 단계이고,

상기 제3 상태는 모든 스위치를 열고 대기하는 단계인 다중 위상 DC-DC 컨버터의 동작 방법.

청구항 17

제16항에 있어서,

상기 제1 모드의 상기 제1 상태는, 상기 입력 전압으로부터 전류가 상기 제2 pMOS, 상기 커패시터, 및 상기 인덕터에 흐르고, 상기 커패시터는 방전되고 상기 인덕터는 충전되는 단계이고,

상기 제1 모드의 상기 제2 상태는, 상기 입력 전압으로부터 전류가 상기 제1 pMOS와 상기 인덕터, 및 상기 커패시터와 상기 nMOS에 흐르고, 상기 인덕터는 방전되고 상기 커패시터는 충전되는 단계이고,

상기 제1 모드의 상기 제3 상태는, 상기 인덕터가 방전되어 상기 제1 내지 제3 pMOS 및 상기 nMOS를 열고 다음 클럭을 기다리는 단계인 다중 위상 DC-DC 컨버터의 동작 방법.

청구항 18

제16항에 있어서,

상기 제2 모드의 상기 제1 상태는, 상기 입력 전압으로부터 전류가 상기 제1 pMOS와 상기 인덕터, 및 상기 커패시터와 상기 제3 pMOS에 흐르는 단계이고,

상기 제2 모드의 상기 제2 상태는, 상기 인덕터, 상기 커패시터, 및 상기 nMOS에 전류가 흐르는 단계이고,

상기 제2 모드의 상기 제3 상태는, 상기 인덕터와 상기 커패시터의 전류가 모두 방전되는 단계인 다중 위상 DC-DC 컨버터의 동작 방법.

청구항 19

제12항에 있어서,

상기 복수개로 분주된 클럭(clock) 신호는 상기 복수개로 분주된 램프 신호와 동일한 개수를 가지는 다중 위상 DC-DC 컨버터의 동작 방법.

청구항 20

제19항에 있어서,

상기 파워 스테이지는 상기 분주된 클럭 신호와 동일한 갯수인 다중 위상 DC-DC 컨버터의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 다중 위상 하이브리드 승/강압 DC-DC 컨버터 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 5G 차량용 전력관리용 회로 설계에 있어서 면적의 최소화가 요구됨에 따라, 단일 입력을 통해 다중 출력 전압을 생성하는 DC-DC 컨버터에 대한 수요가 증가하고 있다. 그러나 소형 인덕터 경우 DC 저항이 수백 mΩ 이상이므로, 기존의 인덕터 기반의 DC-DC 컨버터로는 DC 저항에서 발생하는 높은 conduction loss로 인해 높은 전력 변환 효율을 얻을 수 없다.

[0003] 최근 몇 년간, 전력 저장용 장치로써 인덕터와 커패시터를 동시에 사용하는 하이브리드 DC-DC 컨버터 기술에 관한 연구가 활발히 진행되어오고 있으며, 실용성을 인정받아 최신 반도체 시스템에 적용하려는 움직임이 증가하는 추세다. 그러나 여전히 큰 부피의 외부 인덕터를 PCB에 납땜하여 연결해야 한다. 결국, 큰 PCB 면적 및 부품 사용에 따른 제조단가 상승은 불가피하다.

[0004] 인덕터 사용으로 인한 제조단가 상승을 줄이기 위해 on-chip spiral 인덕터, 패키지 본딩 와이어의 기생 인덕턴스 등 수많은 연구가 진행되어 왔으나, 전력 저장 소자로써의 역할을 수행하기에는 여전히 작은 인덕턴스와 큰 DC 저항으로 인한 높은 전력 손실이 한계점으로 지적됐다.

[0005] 따라서, DC 저항이 높은 본딩 와이어를 이용하여 PCB 면적 및 제조단가 절감 뿐만 아니라 높은 효율로 전력을 전달하는 승, 강압 DC-DC 컨버터에 관한 연구가 필요하다.

발명의 내용

해결하려는 과제

[0006] 본 출원은 승압 및 강압이 모두 가능하며, 기존 기술 대비 인덕터 전류 및 커패시터 전류를 동시에 출력단으로 공급하는 다중 위상 DC-DC 컨버터 및 그 동작 방법을 개발하는데 목적이 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터는 동작 주파수보다 빠른 클럭 신호가 입력되어, 복수개로 분주된 클럭(clock) 신호를 생성하는 클럭 생성부, 동일 구조를 가진 복수개의 파워 스테이지(power stage)를 상기 클럭(clock) 신호에 맞춰 동작시키기 위해, 복수개로 분주된 램프 신호를 생성하는 램프 생성부, 및 상기 파워 스테이지를 제1 모드 및 제2 모드 중 하나로 동작시키기 위한 모드를 결정하는 모드 결정부를 포함한다.

[0008] 본 발명의 일 실시예에 있어서, 상기 파워 스테이지의 인덕터 전류가 0A가 되는 순간을 감지하기 위한 전류 감지부를 더 포함한다.

[0009] 본 발명의 일 실시예에 있어서, 상기 파워 스테이지는, 입력 전압이 인가되는 단자와 제1 노드 사이에 연결된 제1 pMOS, 상기 제1 노드와 제2 노드 사이에 연결된 커패시터, 상기 제1 노드와 제4 노드 사이에 연결된 인덕터, 상기 입력 전압이 인가되는 단자와 제3 노드 사이에 연결된 제2 pMOS, 상기 제2 노드와 상기 제4노드 사이에 연결된 제3 pMOS 및 상기 제3 노드와 접지 사이에 연결된 nMOS를 포함한다.

[0010] 본 발명의 일 실시예에 있어서, 상기 인덕터는 패키지 본딩 와이어의 기생 인덕터이다.

[0011] 본 발명의 일 실시예에 있어서, 상기 제1 모드 및 제2 모드는 상기 파워 스테이지의 동작 순서에 기반하여 결정되고, 제1 모드는 승압모드이고, 제2 모드는 강압모드이다.

[0012] 본 발명의 일 실시예에 있어서, 상기 제1 모드는 상기 커패시터와 상기 인덕터의 전류를 출력단에 전달하고, 상기 제2 모드는 상기 인덕터가 상기 출력단과 연결된다.

- [0013] 본 발명의 일 실시예에 있어서, 상기 제1 모드 및 제2 모드는 제1 내지 제3 상태를 포함하고, 상기 제1 상태는 인덕터 전류를 충전하는 상태이고, 상기 제2 상태는 상기 인덕터 전류를 방전하는 상태이고, 상기 제3 상태는 모든 스위치를 열고 대기하는 상태이다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 제1 모드의 상기 제1 상태에서, 상기 입력 전압으로부터 전류가 상기 제2 pMOS, 상기 커패시터, 및 상기 인덕터에 흐르고, 상기 커패시터는 방전되고 상기 인덕터는 충전되며, 상기 제1 모드의 상기 제2 상태에서, 상기 입력 전압으로부터 전류가 상기 제1 pMOS와 상기 인덕터, 및 상기 커패시터와 상기 nMOS에 흐르고, 상기 인덕터는 방전되고 상기 커패시터는 충전되며, 상기 제1 모드의 제3 상태에서, 상기 인덕터가 방전되어 상기 제1 내지 제3 pMOS 및 상기 nMOS를 열고 다음 클럭을 기다린다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 제2 모드의 상기 제1 상태에서, 상기 입력 전압으로부터 전류가 상기 제1 pMOS와 상기 인덕터, 및 상기 커패시터와 상기 제3 pMOS에 흐르고, 상기 제2 모드의 상기 제2 상태에서, 상기 인덕터, 상기 커패시터, 및 상기 nMOS에 전류가 흐르고, 상기 제2 모드의 상기 제3 상태에서, 상기 인덕터와 상기 커패시터의 전류가 모두 방전된다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 복수개로 분주된 클럭(clock) 신호는 상기 복수개로 분주된 램프 신호와 동일한 개수를 가지는 다중 위상 DC-DC 컨버터의 동작 방법.
- [0017] 본 발명의 일 실시예에 있어서, 상기 파워 스테이지는 상기 분주된 클럭 신호와 동일한 갯수이다.
- [0018] 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터의 동작 방법에 있어서, 클럭 생성부가 동작 주파수보다 빠른 클럭 신호가 입력되서 복수개로 분주된 클럭(clock) 신호를 생성하는 단계, 램프생성부가 동일 구조를 가진 복수개의 파워 스테이지(power stage)를 상기 클럭(clock) 신호에 맞춰 동작시키기 위해, 복수개로 분주된 램프 신호를 생성하는 단계, 및 모드 결정부가 상기 파워 스테이지가 제1 모드 및 제2 모드 중 하나로 동작시키기 위한 모드를 결정하는 단계를 포함한다.
- [0019] 본 발명의 일 실시예에 따른 전류 감지부가 상기 파워 스테이지의 인덕터 전류가 0A가 되는 순간을 감지하는 단계를 더 포함한다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 파워 스테이지는 제1 내지 제3 pMOS, 커패시터, 인덕터 및 nMOS를 포함하고, 상기 모드 결정부는 모드에 기반하여 상기 파워 스테이지의 동작 순서를 결정하는 단계를 포함한다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 제1 모드는 상기 커패시터와 상기 인덕터의 전류를 출력단에 전달하는 단계를 포함하고, 상기 제2 모드는 상기 인덕터가 상기 출력단과 연결되어, 상기 인덕터의 전류를 상기 출력단에 전달하는 단계를 포함한다.
- [0022] 본 발명의 일 실시예에 있어서, 상기 제1 모드 및 제2 모드는 제1 내지 제3 상태를 포함하고, 상기 제1 상태는 인덕터 전류를 충전하는 단계이고, 상기 제2 상태는 인덕터 전류를 방전하는 단계이고, 상기 제3 상태는 모든 스위치를 열고 대기하는 단계이다.
- [0023] 본 발명의 일 실시예에 있어서, 상기 제1 모드의 상기 제1 상태는, 상기 입력 전압으로부터 전류가 상기 제2 pMOS, 상기 커패시터, 및 상기 인덕터에 흐르고, 상기 커패시터는 방전되고 상기 인덕터는 충전되는 단계이고, 상기 제1 모드의 상기 제2 상태는, 상기 입력 전압으로부터 전류가 상기 제1 pMOS와 상기 인덕터, 및 상기 커패시터와 상기 nMOS에 흐르고, 상기 인덕터는 방전되고 상기 커패시터는 충전되는 단계이고, 상기 제1 모드의 상기 제3 상태는, 상기 인덕터가 방전되어 상기 제1 내지 제3 pMOS 및 상기 nMOS를 열고 다음 클럭을 기다리는 단계이다.
- [0024] 본 발명의 일 실시예에 있어서, 상기 제2 모드의 상기 제1 상태는, 상기 입력 전압으로부터 전류가 상기 제1 pMOS와 상기 인덕터, 및 상기 커패시터와 상기 제3 pMOS에 흐르는 단계이고, 상기 제2 모드의 상기 제2 상태는, 상기 인덕터, 상기 커패시터, 및 상기 nMOS에 전류가 흐르는 단계이고, 상기 제2 모드의 상기 제3 상태는, 상기 인덕터와 상기 커패시터의 전류가 모두 방전되는 단계이다.
- [0025] 본 발명의 일 실시예에 있어서, 상기 복수개로 분주된 클럭(clock) 신호는 상기 복수개로 분주된 램프 신호와 동일한 개수를 가진다.
- [0026] 본 발명의 일 실시예에 있어서, 상기 파워 스테이지는 상기 분주된 클럭 신호와 동일한 갯수이다.

발명의 효과

[0027] 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터는 별도의 인덕터가 필요없이 제조 단가를 줄일 수 있으며, 인덕터에 적은 전류가 흐름으로써 전력 손실 감소 및 전력 변환 효율을 증가시킬 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터의 구조도이다.

도 3은 본 발명의 일 실시예에 따른 파워 스테이지(power stage)의 회로도이다.

도 4a 내지 4c는 본 발명의 일 실시예에 따른 승압 모드에서의 동작을 보여주는 도면이다.

도 5a 내지 5c는 본 발명의 일 실시예에 따른 강압 모드에서의 동작을 보여주는 도면이다.

도 6은 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터의 회로도이다.

도 7은 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터의 동작을 보여주는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부된 도면을 참조하여 본 개시를 설명한다. 본 개시는 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들이 도면에 예시되고 관련된 상세한 설명이 기재되어 있다. 그러나, 이는 본 개시를 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 개시의 사상 및 기술 범위에 포함되는 모든 변경 및 /또는 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용되었다.

[0030] 본 개시에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0031] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 개시에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0032] 도 1은 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터의 블록도이다.

[0033] 도 2는 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터의 구조도이다.

[0034] 도 1 및 도 2를 참조하면, 다중 위상 DC-DC 컨버터(10)는 클럭 생성부(110), 램프 생성부(130), 전류 감지부, 및 모드 결정부(170)를 포함할 수 있다.

[0035] 클럭 생성부(110)는 동작 주파수보다 빠른 클럭 신호가 입력되서 복수개로 분주된 클럭(clock) 신호를 생성한다. 클럭 생성부(110)는 한 클럭 주기를 4분주하여 4개의 클럭 신호를 생성한다. 클럭 생성부(110)는 4개의 클럭 신호의 상승 에지에 기반하여 파워 스테이지가 동작될 수 있도록 한다. 일 실시예에 있어서, 클럭 생성부(110)는 한 클럭 주기를 3분주 또는 6분주와 같이, 자연수로 분주할 수 있다.

[0036] 램프 생성부(130)는 동일 구조를 가진 복수개의 파워 스테이지(power stage)를 클럭(clock) 신호에 맞춰 동작시키기 위해, 복수개로 분주된 램프 신호를 생성한다. 램프 생성부(130)는 상승 에지(rising edge)에 맞춰서 복수개로 분주된 램프 신호를 생성한다. 일 실시예에 있어서, 복수개로 분주된 램프 신호는 클럭 신호 및 파워 스테이지와 동일한 갯수 일 수 있다. 램프 신호는 타겟 전압과 출력 전압(V_{OUT}) 사이의 차이를 나타내는 전압과 비교됨으로써, 각 파워 스테이지를 위한 펄스-폭 변조(pulse-width modulation) 신호를 생성할 수 있다.

[0037] 전류 감지부(150)는 파워 스테이지의 인덕터 전류가 0A가 되는 순간을 감지한다. 전류 감지부(150)는 게이트(gate)신호가 원하는 타이밍보다 빠르거나 느린지를 판단하여 단항 부호(thermometer code)를 조절할 수 있다. 조절된 단항 부호는 스위치 제어 로직(210)으로 전달되어 최종 파워 스테이지를 조절하는 제어 신호를 생성한다.

[0038] 전류 감지부(150)는 회로 내부의 제어 신호가 증폭 회로(amplifier)의 속도 제한, 레벨 이동, 및 드라이버(driver)를 거치게 되면서 발생하는 전달 지연(propagation delay)에 의해 정확성이 떨어지는 것을 방지할 수

있다.

- [0039] 모드 결정부(170)는 파워 스테이지를 제1 모드 및 제2 모드 중 하나로 동작시키기 위한 모드를 결정한다. 일 실시예에 있어서, 제1 모드는 승압 모드이고, 제2 모드는 강압 모드일 수 있다. 제1 모드 및 제2 모드는 파워 스테이지의 동작 순서에 기반하여 결정될 수 있다.
- [0040] 다중 위상 DC-DC 컨버터(10)는 패키지 본딩 와이어를 이용한 하이브리드 구조의 승, 강압 DC-DC 컨버터 회로에 관한 것으로서, 별도의 추가 인덕터 없이 커패시터 및 칩과 PCB 패드를 연결하는 본딩 와이어의 기생 인덕턴스를 이용해 전력을 안정적으로 전달하는 것에 그 목적이 있다. 인덕터 전류 및 커패시터 전류를 동시에 출력단으로 공급함으로써 본딩 와이어의 높은 DC 저항에 흐르는 인덕터 전류에 의한 전력 손실을 효과적으로 감소시킬 수 있다.
- [0041] 도 3은 본 발명의 일 실시예에 따른 파워 스테이지(power stage)의 회로도이다.
- [0042] 도 3을 참조하면, 파워 스테이지(300)는 3개의 pMOS, 1개의 nMOS(S4)로 구성될 수 있다. 제1 pMOS(S1)는 입력 전압(V_{IN})이 인가되는 단자와 제1 노드 사이에 연결되어 있다. 제2 pMOS(S2)는 입력 전압(V_{IN})이 인가되는 단자와 제3 노드(N3) 사이에 연결되어 있다. 제3 pMOS(S3)는 제2 노드(N2)와 제4 노드(N4) 사이에 연결되어 있다. nMOS(S4)는 제3 노드(N3)와 접지사이에 연결되어 있다. 커패시터(C1)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결되어 있고, 인덕터(L1)는 제1 노드(N1)와 제4 노드(N4)에 연결되어 있다. 일 실시예에 있어서, 인덕터(L1)는 패키지 본딩 와이어의 기생 인덕터(L1)일 수 있다.
- [0043] 파워 스테이지(300)는 동작 순서에 따라 제1 모드 및 제2 모드 동작이 가능하다. 제1 모드의 경우, 인덕터(L1)가 출력단에 연결됨으로써, 입력 전류보다 더 낮은 출력 전류가 곧 인덕터(L1)의 전류가 된다. 인덕터 전류가 낮아짐으로써, DC 저항에 의한 전력 손실도 줄일 수 있다.
- [0044] 제2 모드의 경우, 인덕터(L1) 전류와 커패시터(C1) 전류를 동시에 형성하고 출력단으로 전달함으로써, 낮은 인덕터(L1) 전류 레벨에도 불구하고 더 큰 부하 전류를 공급할 수 있다.
- [0045] 제1 모드 및 제2 모드는 인덕터(L1)에 흐르는 전류량을 줄임으로써, 전력 손실을 줄이는 것에 목적이 있으나, 제1 모드와 제2 모드에서 인덕터(L1)에 흐르는 전류량을 줄이는 방식에 차이가 있다. 제1 모드 및 제2 모드에 따른 동작 방법은 도 5 및 도 6에서 후술될 것이다.
- [0046] 파워 스테이지(300)는 제1 내지 제3 상태에 따른 위상으로 동작하게 된다. 제1 상태는 파워 스테이지(300)가 인덕터(L1) 전류를 충전하는 상태, 제2 상태는 파워 스테이지(300)가 인덕터(L1) 전류를 방전하는 상태, 및 제3 상태는 파워 스테이지(300)가 모든 스위치를 끄고 대기하는 상태일 수 있다.
- [0047] 도 4a 내지 4c는 본 발명의 일 실시예에 따른 제1 모드에서의 동작을 보여주는 도면이다.
- [0048] 도 4a 내지 4c를 참조하면, 제1 모드는 승압 모드일 수 있다. 제1 모드는 인덕터(L1)의 위치를 변경시켜, 인덕터(L1)와 출력단이 연결되도록 동작할 수 있다. 인덕터(L1)와 출력단이 연결됨으로써, 출력 전류(I_{out})가 입력 전류(I_{in})보다 작아질 수 있다. 다중 위상 DC-DC 컨버터는 DC-DC 컨버터는 discontinuous conduction mode (DCM)으로 동작할 수 있다.
- [0049] 도 4a는 제1 모드에서의 제1 상태의 동작을 보여주는 회로도이다. 제1 상태는 인덕터(L1) 전류를 충전하는 상태일 수 있다. 제1 상태는, 입력 전압(V_{IN})으로부터 전류가 제2 pMOS(S2), 커패시터(C1) 및 인덕터(L1)에 흐른다. 따라서, 커패시터(C1)와 인덕터(L1)에 같은 전류가 흐르며, 커패시터(C1) 전압은 방전되고 인덕터(L1)의 전류는 충전될 수 있다.
- [0050] 도 4b는 제1 모드에서의 제2 상태의 동작을 보여주는 회로도이다. 제2 상태는 인덕터(L1) 전류를 방전하는 상태일 수 있다. 제2 상태는, 입력 전압(V_{IN})으로부터 전류가 제1 pMOS(S1)와 인덕터(L1), 및 커패시터(C1)와 nMOS(S4)에 흐른다. 따라서, 입력 전압(V_{IN})으로부터 인덕터(L1)의 전류는 방전되고 커패시터(C1)의 전압은 충전될 수 있다.
- [0051] 제1 상태 및 제2 상태를 통해, 커패시터(C1) 및 인덕터(L1)의 전하량 균형(charge balance)이 성립되게 된다.
- [0052] 도 4c는 제1 모드에서의 제3 상태의 동작을 보여주는 회로도이다. 제3 상태는 인덕터(L1)가 방전되어, 제1 내지 제3 pMOS(S1 내지 S3) 및 nMOS(S4)를 열고 다음 클럭을 기다린다. 따라서, 모든 스위치를 열고 대기하는 상태일

수 있다.

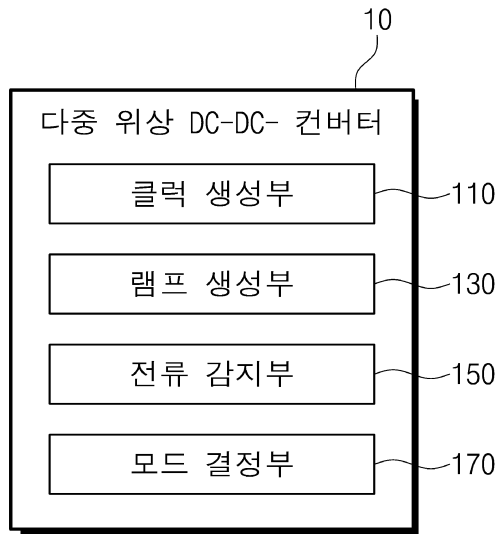
- [0053] 제1 모드는 인덕터(L1)의 위치가 입력단이 아닌 출력단과 연결됨에 따라 인덕터(L1) 전류가 출력 전류가 되게 된다. 그로 인해, 낮은 출력 전류가 인덕터(L1)에 흐르게 되므로 인덕터(L1) DCR에 의한 전력 손실을 줄일 수 있다.
- [0054] 도 5a 내지 5c는 본 발명의 일 실시예에 따른 제2 모드에서의 동작을 보여주는 도면이다.
- [0055] 도 5a 내지 5c를 참조하면, 제2 모드는 강압 모드일 수 있다. 제2 모드는 인덕터(L1) 전류와 커패시터(C1) 전류를 동시에 출력단에 전달되도록 동작할 수 있다. 인덕터(L1) 전류와 커패시터(C1) 전류가 동시에 출력단에 전달됨으로써, 인덕터(L1) 전류가 갖는 부담을 줄일 수 있다.
- [0056] 도 5a는 제2 모드에서의 제1 상태의 동작을 보여주는 회로도이다. 제1 상태는 입력 전압(V_{IN})으로부터 전류가 제1 pMOS(S1)와 인덕터(L1), 및 커패시터(C1)와 제3 pMOS(S3)에 흐르며, 인덕터(L1) 전류를 충전하는 상태일 수 있다. 제1 상태는, 입력 전압(V_{IN})으로부터 전류가 커패시터(C1) 및 인덕터(L1)로 흐르게 된다. 일 실시예에 있어서, 커패시터(C1)의 전압이 충전됨과 동시에 커패시터(C1)의 전류가 출력단으로 흐르게 된다. 또한, 인덕터(L1)의 전류가 축적(build-up)된다.
- [0057] 따라서, 인덕터(L1)의 전류뿐만 아니라, 커패시터(C1)의 전류까지 출력단으로 흐르기 때문에, 인덕터(L1) 전류의 제곱평균제곱근(RMS) 레벨이 줄어들고, 이로 인해 인덕터(L1)의 DC 임피던스(DCR)에 의한 전도 손실(conduction loss)이 줄어들 수 있다.
- [0058] 도 5b는 제2 모드에서의 제2 상태의 동작을 보여주는 회로도이다. 제2 상태는 인덕터(L1), 커패시터(C1), 및 nMOS(S4)에 전류가 흐르며, 인덕터(L1) 전류를 방전하는 상태일 수 있다. 제2 상태는, 커패시터(C1) 전류 및 커패시터(C1) 전류와 동일한 인덕터(L1) 전류가 V_{SS} 에서 출력 전압(V_{OUT})으로 흐르게 된다.
- [0059] 도 5c는 제2 모드에서의 제3 상태의 동작을 보여주는 회로도이다. 제3 상태는 인덕터(L1)와 커패시터(C1)의 전류가 모두 방전되며, 모든 스위치를 열고 대기하는 상태일 수 있다. 제3 상태는, 커패시터(C1) 전압 및 인덕터(L1) 전류가 모두 방전된 상태이므로 전력 전달을 마치고 모든 스위치를 연다.
- [0060] 제2 모드는 인덕터(L1) 전류 및 커패시터(C1) 전류를 동시에 출력단으로 전달함(dual-current path)으로써, 인덕터(L1) 전류 레벨을 낮출 수 있다.
- [0061] 도 6은 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터의 회로도이다.
- [0062] 도 6을 참조하면, 0° , 90° , 180° , 및 270° 의 메인 클럭 신호의 위상을 가지는 DC-DC 컨버터는 각각의 메인 클럭 신호의 위상을 가지는 각각의 파워 스테이지를 포함한다. 일 실시예에 있어서, 4개의 위상을 가지는 DC-DC 컨버터는 4개의 파워 스테이지를 포함할 수 있다. 제1 파워 스테이지 내지 제4 파워 스테이지는 동일한 형태일 수 있다.
- [0063] 본 발명의 일 실시예에 있어서, 다중 위상 DC-DC 컨버터가 제2 모드로 동작할 때, 제1 파워 스테이지(300_1)의 전류는 제1 파워 스테이지(300_1)의 인덕터의 전류($I_{L,A}$)와 커패시터의 전류($I_{C,A}$) 합과 같다. 제2 파워 스테이지(300_2)의 전류는 제2 파워 스테이지(300_2)의 인덕터의 전류($I_{L,B}$)와 커패시터의 전류($I_{C,BA}$) 합과 같다. 제3 파워 스테이지(300_3)의 전류는 제3 파워 스테이지(300_3)의 인덕터의 전류($I_{L,C}$)와 커패시터의 전류($I_{C,C}$) 합과 같다. 제4 파워 스테이지(300_4)의 전류는 제4 파워 스테이지(300_4)의 인덕터의 전류($I_{L,D}$)와 커패시터의 전류($I_{C,D}$) 합과 같다. 따라서, 다중 위상 DC-DC 컨버터의 전류는 제1 내지 제4 파워 스테이지(300_1 내지 300_4)의 전류의 합일 수 있다.
- [0064] 따라서, 다중 위상 DC-DC 컨버터는 승압 및 강압이 모두 가능하며, 기존 기술 대비 인덕터 전류 및 커패시터 전류를 동시에 출력단으로 공급함으로써 인덕터 전류의 RMS 레벨을 줄이고 이를 통해 본딩 와이어의 큰 DC 저항에 의한 전력 손실을 감소시키고 전력 전달 효율을 증가시킬 수 있다.
- [0065] 본 발명의 일 실시예에 있어서, 제1 인덕터 내지 제4 인덕터 각각과 출력단을 연결하는 와이어들의 길이가 모두 같도록 작업하기 위하여, PCB 또는 패키지에 플로팅 패드(floating pad)를 두어서 각 노드와 출력단을 연결하는 본딩 와이어(bonding wire)의 길이를 같게 만들고, 등가 인덕턴스(equivalent inductance)를 더 확보할 수 있다.

- [0066] 도 7은 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터의 동작을 보여주는 순서도이다.
- [0067] 도 7을 참조하면, 다중 위상 DC-DC 컨버터는 클럭 생성부가 복수개로 분주된 클럭 신호를 생성하는 단계(S11), 램프 생성부가 복수개로 분주된 램프 신호를 생성하는 단계(S13), 및 모드 결정부가 제1 모드 및 제2 모드 중 하나의 모드로 결정하는 단계(S15)를 포함한다. 다중 위상 DC-DC 컨버터는 전류 감지부가 파워 스테이지의 인덕터 전류가 0A가 되는 순간을 감지하는 단계를 더 포함할 수 있다.
- [0068] 클럭 신호를 생성하는 단계(S11)는 동작 주파수보다 빠른 클럭 신호가 입력되어, 복수개로 분주된 클럭 신호를 생성한다.
- [0069] 램프 신호를 생성하는 단계(S13)는 동일 구조를 가진 복수개의 파워 스테이지를 클럭 신호에 맞춰 동작시키기 위해 복수개로 분주된 램프 신호를 생성한다.
- [0070] 모드를 결정하는 단계(S15)는 인덕터의 전류를 출력단에 전달하는 단계(S17) 및 커패시터와 인덕터의 전류를 출력단에 전달하는 단계(S19)를 포함할 수 있다. 모드를 결정하는 단계(S15)는 결정된 모드에 기반하여 파워 스테이지의 동작 순서를 결정하는 단계를 더 포함할 수 있다.
- [0071] 인덕터의 전류를 출력단에 전달하는 단계(S17) 및 커패시터와 인덕터의 전류를 출력단에 전달하는 단계(S19)는 제1 상태인 인덕터를 충전하는 단계, 제2 상태인 인덕터를 방전하는 단계, 및 제3 상태인 모든 스위치를 열고 대기하는 단계를 포함할 수 있다.
- [0072] 인덕터의 전류를 출력단에 전달하는 단계(S17)에서의 인덕터를 충전하는 단계는, 입력 전압으로부터 전류가 제2 pMOS, 커패시터, 인덕터에 흐르며, 커패시터는 방전되고 인덕터는 충전되는 단계이다. 인덕터를 방전하는 단계는, 입력 전압으로부터 전류가 제1 pMOS와 인덕터, 및 커패시터와 nMOS로 흐르며, 인덕터는 방전되고 커패시터는 충전되는 단계이다. 모든 스위치를 열고 대기하는 단계는, 제1 내지 제3 pMOS 및 nMOS를 열고 다음 클럭을 기다리는 단계이다.
- [0073] 커패시터와 인덕터의 전류를 출력단에 전달하는 단계(S19)에서의 인덕터를 충전하는 단계는, 입력 전압으로부터 전류가 제1 pMOS와 인덕터, 및 커패시터와 제3 pMOS에 흐르는 단계이다. 인덕터를 방전하는 단계는, 인덕터, zjvolxj, 및 nMOS에 전류가 흐르는 단계이다. 모든 스위치를 열고 대기하는 단계는, 인덕터와 커패시터의 전류가 모두 방전되는 단계이다.
- [0074] 본 발명의 일 실시예에 따른 다중 위상 DC-DC 컨버터는 별도의 인덕터가 필요없이 제조 단가를 줄일 수 있으며, 인덕터에 적은 전류가 흐름으로써 전력 손실 감소 및 전력 변환 효율을 증가시킬 수 있다.

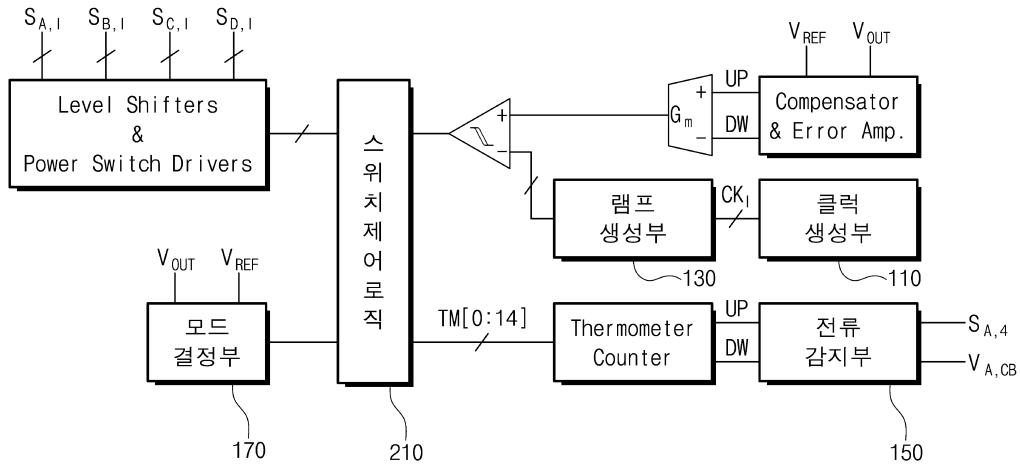
부호의 설명

도면

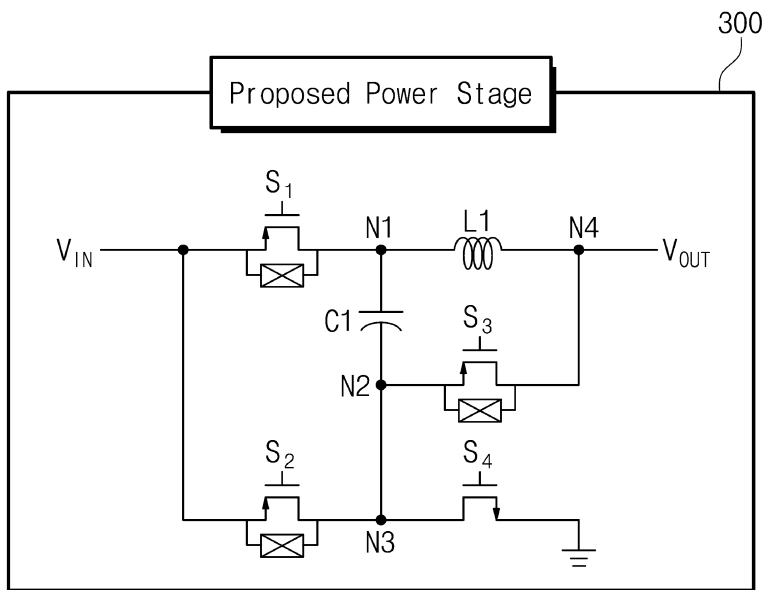
도면1



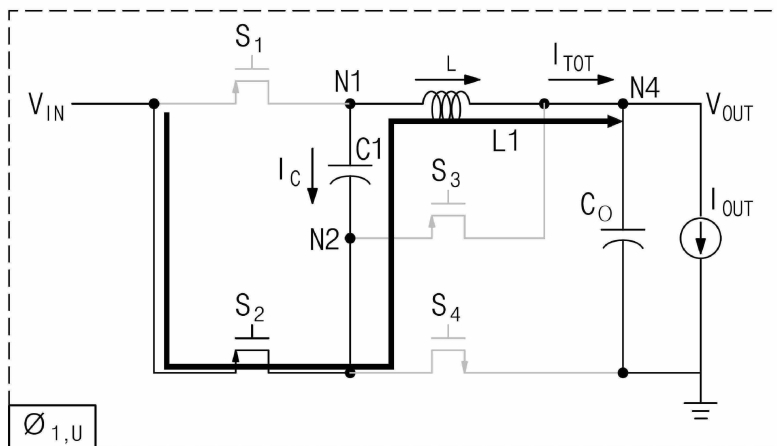
도면2



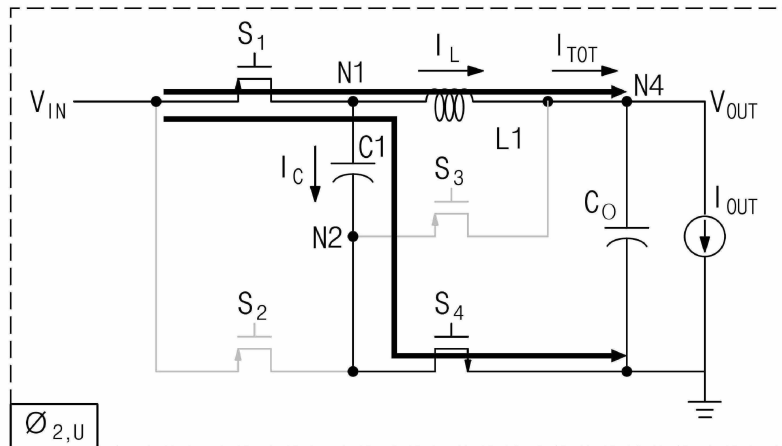
도면3



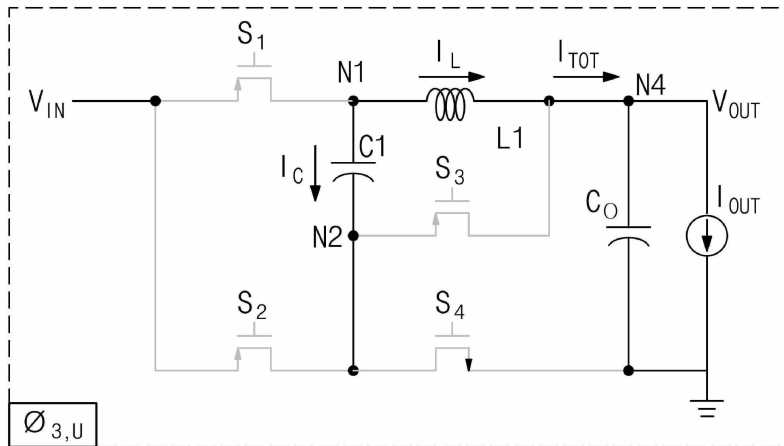
도면4a



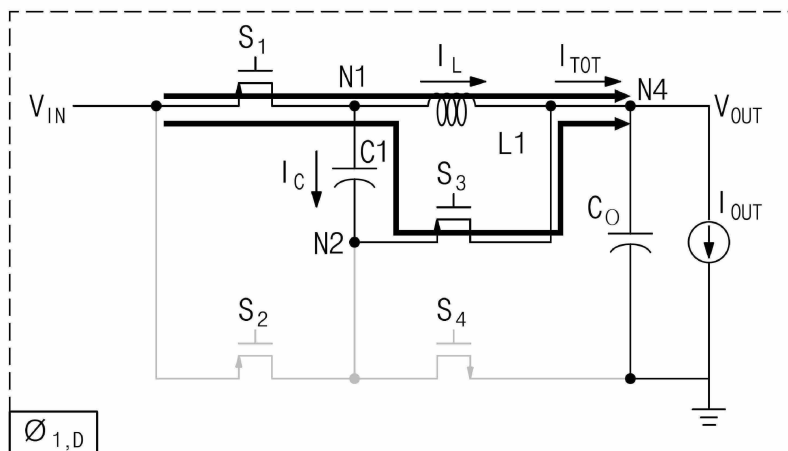
도면4b



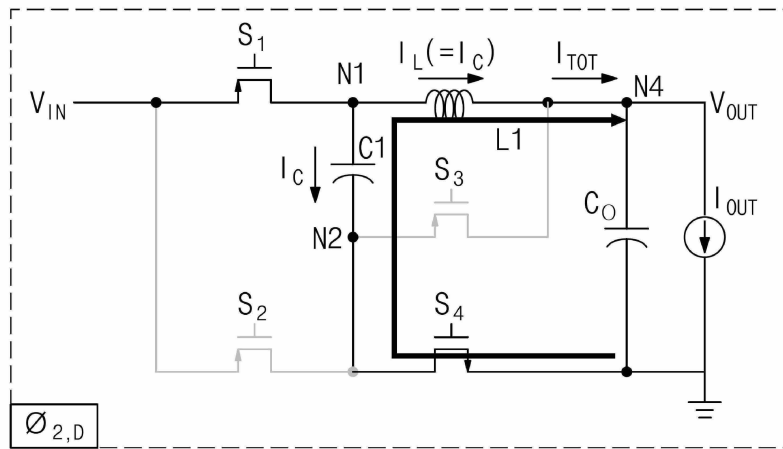
도면4c



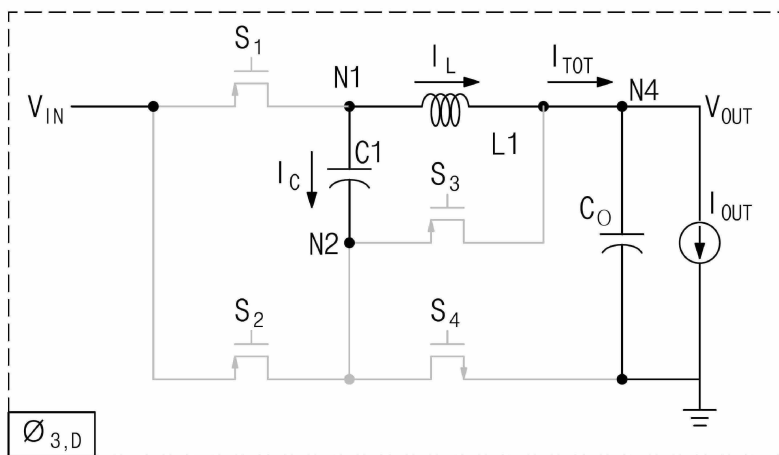
도면5a



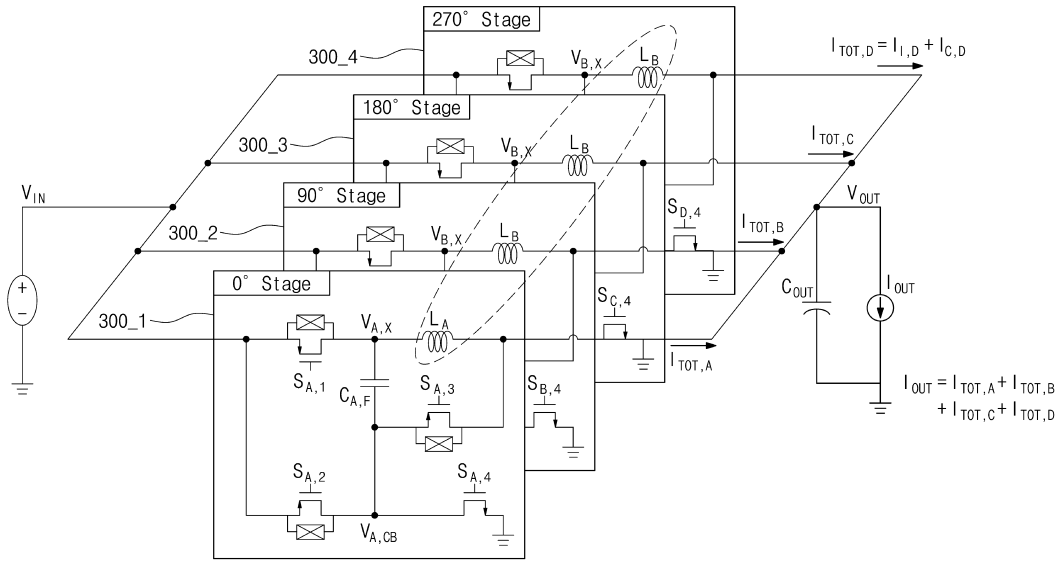
도면5b



도면5c



도면6



도면7

