



[12] 发明专利说明书

专利号 ZL 200610140931.7

[45] 授权公告日 2010年1月13日

[11] 授权公告号 CN 100580890C

[22] 申请日 2006.10.17

[21] 申请号 200610140931.7

[30] 优先权

[32] 2005.10.17 [33] US [31] 11/253,229

[73] 专利权人 应用材料公司

地址 美国加利福尼亚州

[72] 发明人 R·苏亚那拉亚南 萨恩吉夫·唐顿

[56] 参考文献

CN1420552A 2003.5.28

US5670431A 1997.9.23

US6821825B2 2004.11.23

JP2000-311992 2000.11.7

审查员 孟超

[74] 专利代理机构 北京东方亿思知识产权代理有
限责任公司

代理人 肖善强

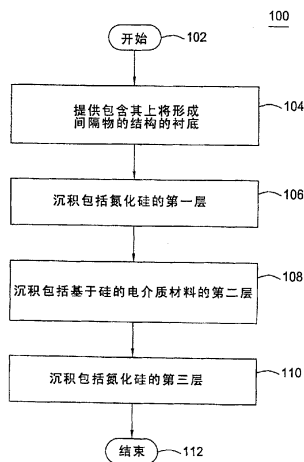
权利要求书2页 说明书10页 附图3页

[54] 发明名称

用于制备氮化硅间隙壁结构的方法

[57] 摘要

本发明提供用于半导体衬底上制备间隙壁结构的方法的实施例。在一个实施例中，用于在半导体衬底上制备间隙壁结构的方法包括提供包含基底结构的衬底，所述间隙壁结构将被形成在所述基底结构上。间隙壁结构通过如下步骤形成在基底结构上：在所述基底结构上沉积包括氮化硅的第一层；在所述第一层上沉积包括基于硅的电介质材料的第二层；以及在所述第二层上沉积包括氮化硅的第三层。第一、第二和第三层在一个处理反应器中沉积。



1. 一种用于在半导体衬底上制备间隙壁结构的方法，包括：
提供包含基底结构的衬底，所述间隙壁结构将被形成在所述基底结构上；以及
通过如下步骤形成所述间隙壁结构：
 - (a) 在所述基底结构上沉积包括氮化硅的第一层；
 - (b) 在所述第一层上沉积包括基于硅的电介质材料的第二层；以及
 - (c) 在所述第二层上沉积包括氮化硅的第三层；其中，步骤 (a) - (c) 在一个处理反应器中进行，并且其中步骤 (b) 还包括在沉积第二层时保持所述处理反应器中 10—350 Torr 的室压强。
2. 如权利要求 1 所述的方法，其中，所述第一层的厚度为 20-1500 埃。
3. 如权利要求 1 所述的方法，其中，所述第一层还包括：
至少一种掺杂剂，所述掺杂剂包括硼、碳、锆或氢。
4. 如权利要求 1 所述的方法，其中，所述第二层的所述基于硅的电介质材料包括氧化硅或者氧氮化硅。
5. 如权利要求 4 所述的方法，其中，所述第二层的厚度为 20—1500 埃。
6. 如权利要求 4 所述的方法，其中，所述基底结构是晶体管的栅极结构。
7. 如权利要求 6 所述的方法，其中，所述步骤 (a) 还包括在所述栅极结构的侧壁上和所述衬底的靠近所述栅极结构的区域沉积所述第一层。
8. 如权利要求 6 所述的方法，其中，所述栅极结构包括栅极电介质层和栅极层。
9. 如权利要求 8 所述的方法，其中，所述栅极电介质层包括至少一层由氧化硅、氧氮化硅、氧化铪或硅酸铪形成的膜。
10. 如权利要求 8 所述的方法，其中，所述栅极层由多晶硅形成。

11. 如权利要求 1 所述的方法，其中，所述第二层的所述基于硅的电介质材料由掺杂硼、碳或氧中的至少之一的氮化硅形成。

12. 如权利要求 11 所述的方法，其中，所述第二层的厚度为 20-1500 埃。

13. 如权利要求 11 所述的方法，其中，所述第二层的厚度为 500 埃。

14. 如权利要求 11 所述的方法，其中，所述基底结构包括暴露的金属层。

15. 如权利要求 1 所述的方法，其中，所述第三层的厚度为 20—1500 埃。

16. 如权利要求 1 所述的方法，其中，所述间隙壁结构的总厚度为 100—1500 埃。

17. 如权利要求 1 所述的方法，其中，所述间隙壁结构的总厚度为 600 埃。

18. 如权利要求 1 所述的方法，其中，所述第一层到第三层中的至少之一的厚度响应于所述第二层中包含的元素在给定热预算下的扩散率而变化。

19. 如权利要求 1 所述的方法，其中，其中步骤 (b) 还包括通过化学气相沉积工艺或原子层沉积工艺中的至少一种来沉积所述第二层。

20. 如权利要求 1 所述的方法，其中，步骤 (a) - (c) 是在每个步骤都保持 10—350 Torr 的室压强的条件下进行的。

21. 一种用于在半导体衬底上制备间隙壁结构的方法，包括：
提供包含基底结构的衬底，所述间隙壁结构将被形成在所述基底结构上；以及

通过如下步骤形成所述间隙壁结构：

(a) 在所述基底结构上沉积包括氮化硅的第一层；

(b) 在所述第一层上沉积包括基于硅的电介质材料的第二层；以及

(c) 在所述第二层上沉积包括氮化硅的第三层；

其中，步骤 (a) - (c) 在一个处理反应器中在每个步骤都保持 10—350 Torr 的室压强的条件下进行。

用于制备氮化硅间隙壁结构的方法

技术领域

本发明的实施例一般地涉及用于沉积基于硅的材料的方法。更具体地，本发明涉及用于制备多层氮化硅间隙壁结构的化学气相沉积技术。

背景技术

间隙壁（spacer）结构是形成在集成电路（IC）上的许多器件的组成部分。在一个实例中，间隙壁结构可用于场效应晶体管（例如，互补金属-氧化物-半导体（CMOS）场效应晶体管等），以将晶体管的栅极结构与紧邻栅极结构布置的材料绝缘并且对其进行保护。间隙壁结构布置在晶体管的多个电介质层和导体层之间，并且具有复杂的界面要求，例如扩散和阻挡特性、内应力、结合强度、材料相容性等。

间隙壁结构的制备是一项具有挑战性的任务，并且所述多个界面要求往往仅部分得到满足，或者以低的产率为代价得到满足。此外，目前的制造技术使用不同的处理工具，导致制备间隙壁结构的周期延长并且成本很高。

因此，在本领域中存在对于制备场效应晶体管的间隙壁结构的改进方法的需要。

发明内容

本发明提供用于半导体衬底上制备间隙壁结构的方法的实施例。在一个实施例中，用于在半导体衬底上制备间隙壁结构的方法包括提供包含基底结构的衬底，所述间隙壁结构将被形成在所述基底结构上。间隙壁结构通过如下步骤形成在基底结构上：在所述基底结构上沉积包括氮化硅的第一层；在所述第一层上沉积包括基于硅的电介质材料的第二层；以及在所述第二层上沉积包括氮化硅的第三层。第一、第二和第三层在一个处理反

应器中沉积。

附图说明

通过结合附图来考虑下面的详细描述，本发明的教导将变得清楚，在如图中：

图 1 描绘了示出根据本发明的一个实施例的用于制备场效应晶体管的间隙壁结构的方法的流程图；

图 2A-2D 共同描绘了衬底的一系列的示意性剖视图，其中在衬底上根据图 1 的方法制备间隙壁结构；

图 3 描绘了可以用于实施图 1 的方法中的多个部分的一类示例性 CVD 反应器的示意图。

如果适用的话，在本文中所使用的相同的标号指代附图中共用的相同元件。附图中的图像为了说明的目的而被简化，没有按比例绘制。

附图图示了本发明的示例性实施例，因此，不因被认为是对本发明的范围的限制，本发明可以允许其它等效实施例。

具体实施方式

本发明一般地涉及用于制备集成电路和器件中的间隙壁结构的方法。

图 1 描绘了示出根据本发明的一个实施例的用于在衬底的期望特征（feature）上制备间隙壁结构的方法 100 的流程图。方法 100 包括在间隙壁结构的制备过程对衬底进行的多个处理步骤。从属步骤和辅助工艺（例如，工艺控制从属步骤、光刻过程等）是本领域公知的，因此在此省略对其的描述。如在方法 100 中所述地形成的间隙壁结构适用于例如场效应晶体管（FET）、动态随机访问存储器（DRAM）、快闪存储器等的制造。

方法 100 的步骤可以使用低压化学气相沉积（LPCVD）反应器来完成，也可以使用本领域技术人员公知的其它合适的处理反应器，诸如化学气相沉积（CVD）反应器、原子层沉积（ALD）反应器、批沉积反应器等。适用于执行本发明的方法的 LPCVD 反应器将在下面参考图 3 进行简单讨论。一种适于执行方法 100 的 LPCVD 反应器是 SiNgen[®] Plus LPCVD 反应器，其可从加利福尼亚 Santa Clara 的应用材料公司得到。

图 2A-2D 共同描绘了衬底的一系列示意性剖视图，其中在该衬底上使用图 1 的方法的一个实施例制备间隙壁结构。图 2A-2D 的剖视图涉及用来制备用于 FET 制造的间隙壁结构的各个处理步骤。图 2A-2D 中的图像没有按比例绘制，并且为了说明的目的而被简化。为了最好地理解本发明，读者应该同时参考图 1 和图 2A-2D。

方法 100 开始于步骤 102，并且进行到步骤 104，在步骤 104 提供衬底 200（图 2A）。衬底 200 的实施例包括但不限于半导体衬底，诸如结晶硅（例如，Si<100>或者 Si<111>）、氧化硅，应变硅、SOI、硅锗、掺杂或者未掺杂多晶硅晶片等。一般来说，其上形成间隙壁结构的表面可以包含裸露硅、阻挡材料、低 k 或高 k 电介质材料、导体材料等的区域。可选地，在形成间隙壁结构之前，可以通过选择性执行诸如抛光、退火、烘烤、刻蚀、还原、氧化、卤化、羟化等之类的工艺来预处理衬底 200。在一个实施例中，衬底 200 是结晶硅晶片。

在图 2A-2D 所描绘的实施例中，衬底 200 包括至少一种基底结构，间隙壁结构将形成在所述基底结构上。在一个实施例中，基底结构包括被制造的晶体管的栅极结构 201（仅仅在图 2A 中标出了标号）。例如，栅极结构 201 被布置在区域 230 中晶体管的沟道区域 221，源极区域 222 和漏极区域 223 上方（区域 221-223 用虚线描绘）。栅极结构 201 一般包括栅极电介质层 202、栅极层 204 和可选的金属接触层 206。栅极电介质层 202 可以由例如氧化硅（SiO₂）、氧氮化硅（SiON）、氧化铪（HfO₂）、硅酸铪（HfSi_xO_y，其中 x 和 y 为整数）等或者其组合形成到约 10~60 埃的厚度。栅极层 204 可以由多晶硅（Si）形成到约 500~2000 埃的厚度，并且接触层 206 一般由钨（W）、钴（Co）、镍（Ni）等形成到约 100~500 埃的厚度。可以想到可以使用其它的材料和厚度来形成与本文所公开的间隙壁结构结合使用的栅极结构 201。

在步骤 106，包括氮化硅的第一层被沉积在衬底上。在图 2B 中所描绘的实施例中，第一层 212 被沉积在栅极结构 201（在图 2A 中标出）的侧壁和衬底 200 在区域 232 中的暴露表面上。第一层 212 包括氮化硅（Si₃N₄），并且可以被沉积到约 20-1500 埃的厚度。在一个实施例中，

第一层 212 被沉积到约 50 埃的厚度。可以想到可以可选地使用具有其它厚度的层。

第一层 212 可以使用下面所述的示例性化学剂和工艺来形成。可选地，第一层 212 可以掺杂其它元素，以控制间隙壁结构的最终介电常数。在一个实施例中，第一层 212 可以掺杂硼 (B)、碳 (C)、锗 (Ge)、或者氢 (H) 中的至少之一。用于形成氮化硅和掺杂氮化硅膜的其它工艺被公开于 R. Suryanarayanan Iyer 等 2005 年 10 月 6 日递交的标题为 “METHOD AND APPARATUS FOR THE LOW TEMPERATURE DEPOSITION OF DOPED SILICON NITRIDE FILMS” 的美国专利申请 Ser. No. 11/245,373 中，这里通过引用将其全文包含于此。

在一个实施例中，第一层 212 可以使用包含氮化化学剂和硅源化学剂（都以气态或者液态的形式）的混合物来形成。在一个实施例中，氮化化学剂包括氮气 (N_2)、氨气 (NH_3)、肼 (N_2H_4) 等中的至少一种，硅源化学剂包括二(叔丁基氨基)硅烷 (BTBAS)、甲硅烷 (SiH_4)、二硅烷 (Si_2H_6)、二氯硅烷 (SiH_2Cl_2)、六氯二硅烷 (Si_2Cl_6) 等中的至少一种。

在其它实施例中，步骤 106 可以使用具有化学式 $R(C)-C_xN_yR(N)$ 的含碳氮化化学剂，其中 $R(C)$ 是氢或者其它烃基， $R(N)$ 是氮或者其它含氮基团， x 和 y 是整数。合适的化学剂的实例包括 $(CH_3)_3-N$ 、 H_3C-NH_2 、甲胺、 $H_3C-NH-NH_2$ 、甲基肼、 $(H_3C)-N=NH$ 和 HCN ，及其其它的此类化学剂。

在另外的实施例中，步骤 106 可以使用具有化学式 $(SiR_3)_3-N$ 、 $(SiR_3)_2N-N(SiR_3)_2$ 、或 $(SiR_3)N=(SiR_3)N$ 的含氢硅源化学剂，其中 R 是氢 (H)、烃基、或者由甲基、乙基、苯基、叔丁基或其组合构成的片断。在一个实施例中， R 包含氢，并且不包含卤素。在另一个实施例中， R 包含氢和一种或多种卤素元素。合适的硅源化学剂的实例包括 $(SiH_3)_3-N$ 、 $(SiH_3)_2N-N(SiH_3)_2$ 、 $(SiH_3)N=(SiH_3)N$ 、三甲硅烷基胺，以及其它此类的化学剂。此外，针对下面所述的其它层和步骤所公开的其它源气体可以被用于形成本文所描述的任何层中的类似材料。

掺杂化学剂可以包括例如三氯化硼 (BCl_3)、硼烷 (BH_3)、二硼烷

(B_2H_6) 或者其它含硼前驱体中的至少一种作为硼源, 上面所提及的含碳硅前驱体中的至少一种作为碳源, 锗烷 (GeH_4) 或二锗烷 (Ge_2H_6) 中的至少一种作为锗源, 以及氢气 (H_2) 或上面所提及的含氢的氮或硅前驱体中的任何一种中的至少一种作为氢源。

使用上面所公开的化学剂的工艺方案的选择性控制允许控制第一层 212 相对于相邻层的界面性质 (例如, 应力、扩散阻挡特性等), 以及控制层 212 (和整个间隙壁叠层) 的介电常数。第一层 212 还可以被制成相对于在间隙壁制备后工艺中所进一步使用的化学剂具有高的刻蚀选择性。

在一个实施例中, 氮化硅第一层 212 可以在诸如 SiNgen[®] Plus 300 mm 反应器之类的 LPCVD 反应器通过如下工艺形成: 以约 10-15000sccm 提供氨气 (NH_3) 并以约 1-100sccm 提供甲硅烷 (SiH_4) (即, NH_3 : SiH_4 流率比的范围为 1: 10~15000: 1), 同时保持约 650-800°C 的衬底底座温度和约 10-350 Torr 的室压强。沉积工艺的持续时间为约 10-600 秒。一种具体的工艺提供 10000 sccm NH_3 、17 sccm SiH_4 (即, NH_3 : SiH_4 流率比为 588: 1), 同时保持约 700°C 的衬底温度和约 240 Torr 的室压强。用于掺杂氮化硅第一层 212 的工艺条件的其它实例在前面所引入的美国专利申请 Ser. No. 11/245,373 中有描述。

在步骤 108, 包含基于硅的电介质材料的第二层被沉积在第一层上。第二层可以包括氧化硅 (SiO_2) 或者氧氮化硅 ($SiON$)。氧化物层降低了间隙壁的总的介电常数。或者, 在其中希望间隙壁结构具有低的电容的实施例 (例如 DRAM 器件中的间隙壁结构) 中, 第二层可以包括含硼 (B) 和/或碳 (C) 和/或氧 (O) 的氮化硅 (Si_3N_4) 膜。因为第一层 (和下面讨论的第三层) 的阻挡性质基本将第二层中存在的硼、碳或者氧隔离而不接触相邻的金属层, 所以由于第二层的含硼和/或碳和/或氧的氮化硅膜而具有较低电容的间隙壁结构可以有利地用于具有相邻的多个金属层的应用, 诸如 DRAM 应用。第一层还可以有利地用于提供阻挡层, 用于阻止掺杂剂扩散到衬底中。

在图 2C 所描绘的实施例中, 第二层 214 被沉积在第一层 212 上。在一个实施例中, 第二层 214 可以包括氧化硅 (SiO_2) 或者氧氮化硅

(SiON)，并且可以形成到约 20—1500 埃之间的厚度。或者，第二层 214 可以包括含硼 (B) 和/或碳 (C) 和/或氧 (O) 的氮化硅 (Si_3N_4) 膜，并且可以形成到约 20—1500 埃之间的厚度。在一个实施例中，第二层 214 的厚度为 500 埃。一般来说，当栅极结构 201 包括金属接触层 206 时，第二层 214 由含硼和/或碳和/或氧的氮化硅膜形成。

步骤 108 可以使用例如 LPCVD 反应器来执行。在一个实施例中，第二层 214 被原位地沉积，即在前面的步骤 106 期间在其中沉积第一层 212 的同一反应器的处理室中沉积。

包括 SiO_2 的第二层可以使用在美国专利 Ser. No. 6,713,127 (2004 年 3 月 30 日授权给 Subramony 等，以后称为 '127 专利) 中公开的化学剂和工艺来形成，上述美国专利的全文通过引用被包含于此。例如，包括 SiO_2 的第二层 214 可以使用硅源气体 (诸如甲硅烷、二硅烷、甲基甲硅烷、卤代硅烷等) 和氧化源气体 (诸如氧气、氧化氮、臭氧、四乙氧基硅烷 (TEOS) 等) 来形成。相应地，包括 SiON 的第二层 214 可以使用与上面所公开的用于形成氧化硅层的相同的化学剂连同氮化源气体 (诸如氨气、肼等) 来沉积。类似于第一层 212，包括 SiO_2 或 SiON 的第二层 214 可选地被掺杂。在一个实施例中，上面参考步骤 106 所讨论的掺杂剂气体可以用于对 SiO_2 或 SiON 第二层 214 掺杂碳 (C) 或硼 (B) 中的至少一种。

包括含硼和/或碳和/或氧的氮化硅膜的第二层 214 可以使用上面针对步骤 106 所述的氮化硅化学剂，并且加上诸如在上面所述的和在前面所引入的美国专利申请 Ser. No. 11/245,373 和 '127 专利中所述的碳、氧和硼源的掺杂化学剂，来形成。

使用 LPCVD 反应器， SiO_2 第二层 214 可以通过如下工艺形成：以约 1-20sccm 提供甲硅烷 (SiH_4) (可选地使用约 3000—15000 sccm 的氮气载气) 并以约 1000-10000 sccm 提供氧化氮 (N_2O) (即， SiH_4 : N_2O 流率比的范围为 1: 50~1: 10000)，同时保持约 650-800°C 的衬底温度和约 10—350 Torr 的室压强。沉积工艺的持续时间为约 10—600 秒。一种具体的工艺提供 4.5 sccm SiH_4 、3000 sccm N_2O (即， SiH_4 : N_2O 流率比为 666: 1) 和约 12000 sccm 的氮气，同时保持约 675°C 的衬底温度和约 275 Torr

的室压强。用于沉积掺杂氧化硅第二层 214 的工艺条件的其它实例在前面所并入的'127 专利中有描述。

或者, SiON 第二层 214 可以通过如下工艺形成: 以约 1-20sccm 提供甲硅烷 (SiH_4) (可选地使用约 3000-15000 sccm 的氮气载气) 并以约 1000-10000 sccm 提供氧化氮 (N_2O) (即, SiH_4 : N_2O 流率比的范围为 1: 50~1: 10000), 以及以约 1000-10000 sccm 提供诸如氨气 (NH_3) 或肼 (N_2H_4) 之类的氮化源气体 (即, SiH_4 : 氮化气体流率比的范围为 1: 50~1: 10000), 同时保持约 650-800°C 的衬底底座温度和约 10-350 Torr 的室压强。沉积工艺的持续时间为约 10-600 秒。一种具体的工艺提供 4.5 sccm 甲硅烷、3000 sccm 氧化氮 (即, SiH_4 : N_2O 流率比为 666: 1) 以及提供约 3000 sccm 的氨气和 12000 sccm 的氮气, 同时保持约 675°C 的衬底温度和约 275 Torr 的室压强。用于沉积掺杂氧氮化硅第二层 214 的工艺条件的其它实例在前面所并入的'127 专利中有描述。

在另一个实施例中, Si_3N_4 第二层 214 可以通过使用上面参考步骤 106 所述的工艺来形成, 其中在此工艺中, 使用参考掺杂氮化硅第一层 212 所述的化学剂和工艺来提供掺杂。

在步骤 110, 第三层形成在第二层的顶部以完成间隙壁结构。第三层一般包括氮化硅 (Si_3N_4), 并且可以使用上面参考步骤 106 所述的工艺来形成。第三层可以形成到约 20-1500 埃的厚度。在一个实施例中, 第三层的厚度为约 50 埃。可以想到, 第一、第二和/或第三层中的任一层或所有层的厚度可以根据热预算和第二层中所包含的、对于形成在衬底上紧邻间隙壁结构的接触层来说不希望元素的扩散率, 来进行调节。例如, 如果第二层包括含碳或氧的氮化硅膜, 并且在所制造的器件 (例如 DRAM 器件) 中存在紧邻的金属层, 则可以基于碳或氧在间隙壁结构在处理过程中或者在最终在制成的器件使用过程中将承受的温度和处理时间下的扩散率, 来调节间隙壁结构的层的厚度。通常, 总的间隙壁厚度的值在约 100-1500 埃之间。在一个实施例中, 总厚度为约 600 埃。

在一个实施例中, 第三层可以原位沉积, 即, 在步骤 106 和 108 期间分别沉积第一层和第二层的同一反应器的处理室中进行沉积。在图 2D 所

描绘的实施例中，第三层 216 被沉积在第二层 214 上。层 212、214 和 216 一起形成间隙壁结构 240。

在完成步骤 110 后，方法 100 结束于步骤 112。在场效应晶体管的制造中，方法 100 有利地使用组成层的特性，并且形成具有受控界面性能、应力、扩散阻挡特性和电容的间隙壁结构。间隙壁结构可以有利地在同一个处理反应器中形成，由此防止了间隙壁结构层的污染。

在完成间隙壁结构之后，可以在同一处理室或其它处理室中继续进行附加的处理，以完成衬底上的各种器件的形成。例如，图 2D 以虚线（为了说明的目的）描绘了刻蚀停止层 218，源极和漏极插塞 208、210 和金属前电介质层 220，这些可以在形成间隙壁结构 240 之后相继形成在衬底 200 上，以继续 FET 器件的制造。

图 3 描绘了可以用于实施图 1 的方法 100 中的部分步骤的一个示例性 LPCVD 反应器 300 的示意图。合适的 LPCVD 反应器的其它实例在 Iyer 等 2004 年 8 月 4 日递交的美国专利申请 Ser. No. 10/911,208 和 Smith 等 2005 年 6 月 8 日递交的美国专利申请 Ser. No. 11/147,938 中有描述。在图 3 所描绘的实施例中，反应器 300 包括处理室 301、泵系统 338、气体板 336、功率源 316 和控制器 346。

处理室 301 一般包括上部组件 303、底部组件 308 和底座提升组件 331。上部组件 303 一般包括具有入口端口 334 和喷淋头 344 的盖 310。底部组件 308 容纳衬底支撑底座 324，并且包括具有壁 306 的室主体 302。衬底出入口 328 形成在室主体 302 中，以便于衬底 322 进入或者退出处理室 301。底座提升组件 331 耦合到衬底支撑底座 324，并且包括提升机构 330、提升板 318 和一组提升钉 314。

衬底支撑底座 324 被布置在处理室 301 的内部空间 304 中，并且在处理过程中支撑衬底 322。底座 324 包括加热器 320，其被配置来调控衬底 322 的温度和/或内部空间 304 中的温度。加热器 320 耦合到功率源 316，并且能够将衬底 322 保持在达到约 800°C 的温度。

喷淋头 344 通过多个开口 354 提供从气体板 336 输送来的气体或者蒸汽的分配。开口 354 的尺寸、几何形状、数量和位置被选择性地选择，以

有利于到衬底 322 的预定的气体/蒸汽流模式。

气体板 336 将液体和/或气态的形式处理化学剂提供到处理室 301。气体板 336 利用多个气体管线 340 耦合到盖 310。每个气体管线 340 可以被选择性地适用于将特定的化学剂从气体板 336 运输到入口端口 334，以及可以进行温度控制。

在操作中，底座提升组件 330 控制底座 324 在处理位置（如图 3 所示）和下方位置之间的抬升，其中，衬底 322 可以从所述下方位置通过衬底出入端口 128 传输到和传输出处理室 301。组件 301 利用可伸缩软管 332 被密封地耦合到室主体 302，并且可选地被配置来旋转衬底支撑底座 324。

壁 306 可以被热调控。在一个实施例中，多个导管 312 被布置在壁 306 中，并且配置来循环调控壁的温度传热流体。

泵系统 338 被耦合到形成在壁 306 中的泵端口 326。泵系统 338 一般包括节流阀和一个或者多个被布置来控制内部空间 304 中的压强的泵。从处理室 301 流出的气体行进通过泵吸环 342，以提高衬底 322 的表面上的气流均一性。一种这样的泵吸环在 Iyer 等 2004 年 10 月 4 日递交的题为“Thermal Chemical Vapor Deposition of Silicon Nitride Using BTBAS Bis(Tertiary-Butylamino Silane) in a Single Wafer Chamber”美国专利申请 Ser. No. 10/911,208 中有描述，该美国专利申请通过引用被包含于此。

在可选实施例（没有示出）中，反应器 300 可以包含光激发系统，以及耦合到入口端口 334 的远程等离子体源，其中所述光激发系统通过盖 310 中的窗口将辐射能量输送到衬底 322。

系统控制器 346 一般包括中央处理单元（CPU）350、存储器 343，并且辅助电路 352 耦合到并且控制反应器 300 的多个模块和装置。在操作中，控制器 346 直接控制系统 300 的多个模块和装置，或者，管理与这些模块和装置相关联的计算机（和/或控制器）。

本发明可以使用其它工艺和/或处理装置来实施，在这些工艺和/或处理装置中，本领域技术人员调节参数来实现可接受的特性，这没有偏离本发明的精神。虽然前面的讨论针对的是场效应晶体管的间隙壁结构的制

备，但是用于集成电路的其它器件和结构的制造也可受益于本发明。

虽然前述内容涉及本发明的多个实施例，但是可以在不偏离本发明的基本范围的情况下设计本发明的其它和进一步的实施例，并且本发明的范围由所附权利要求确定。

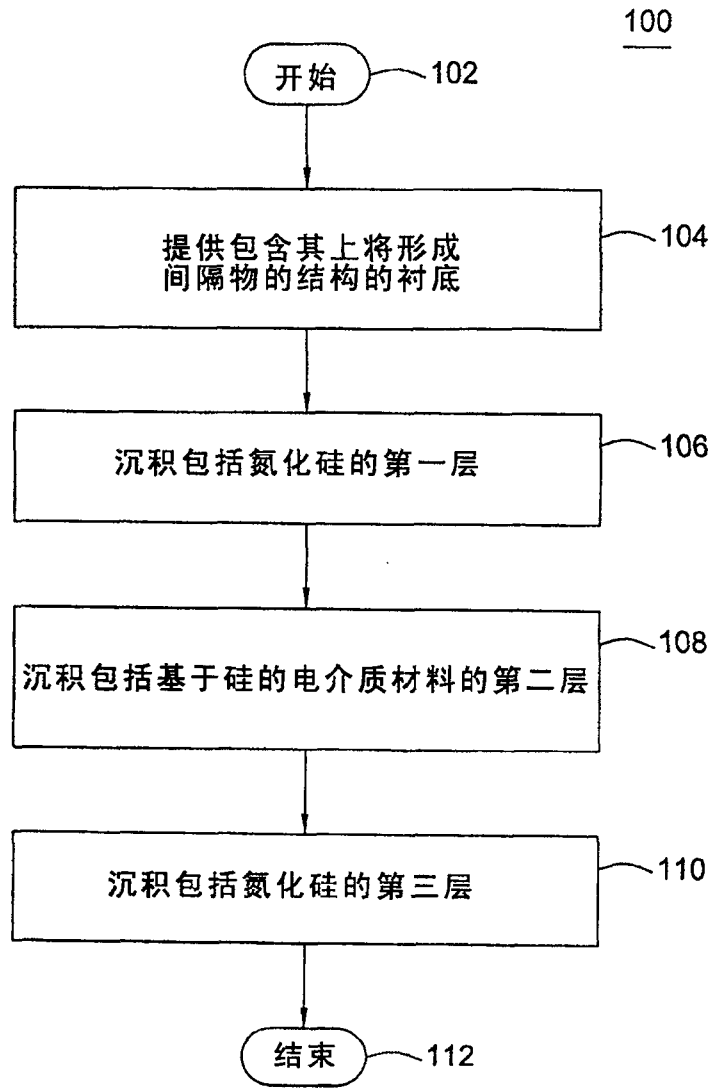


图1

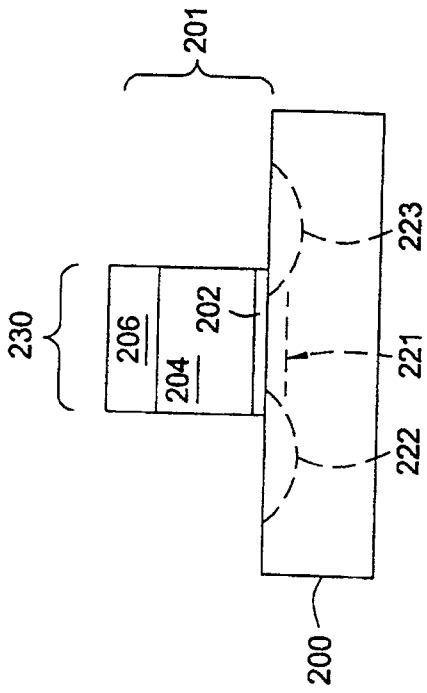


图2A

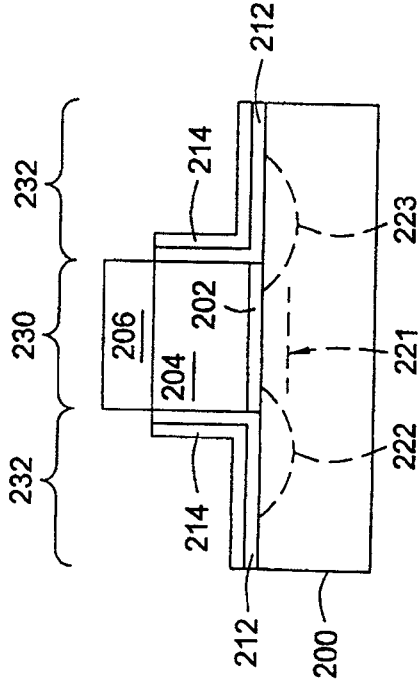


图2C

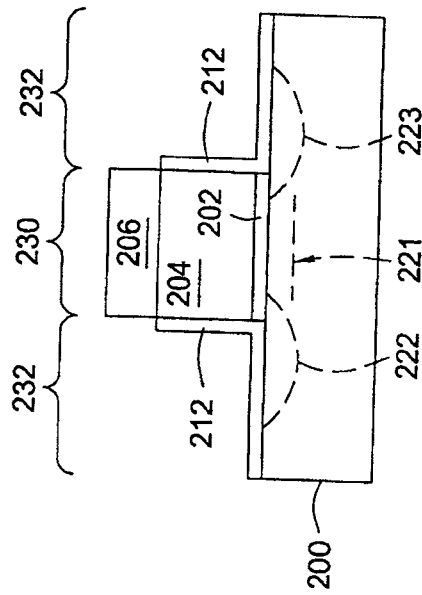


图2B

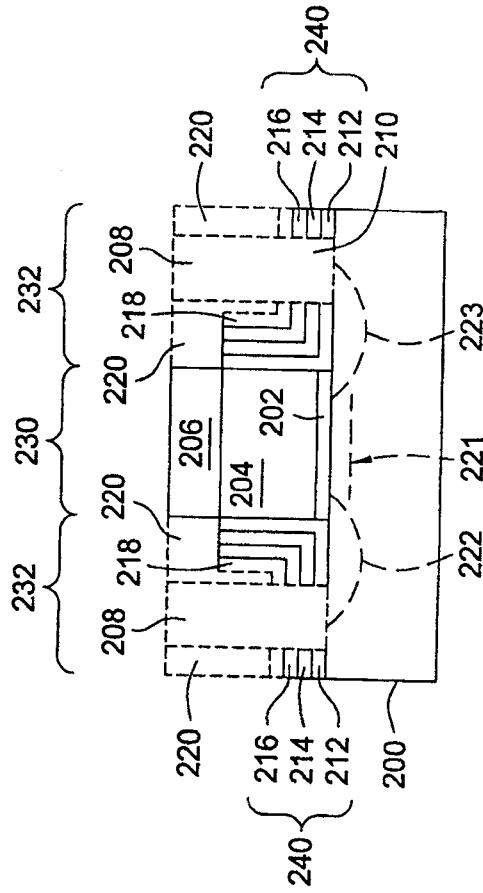


图2D

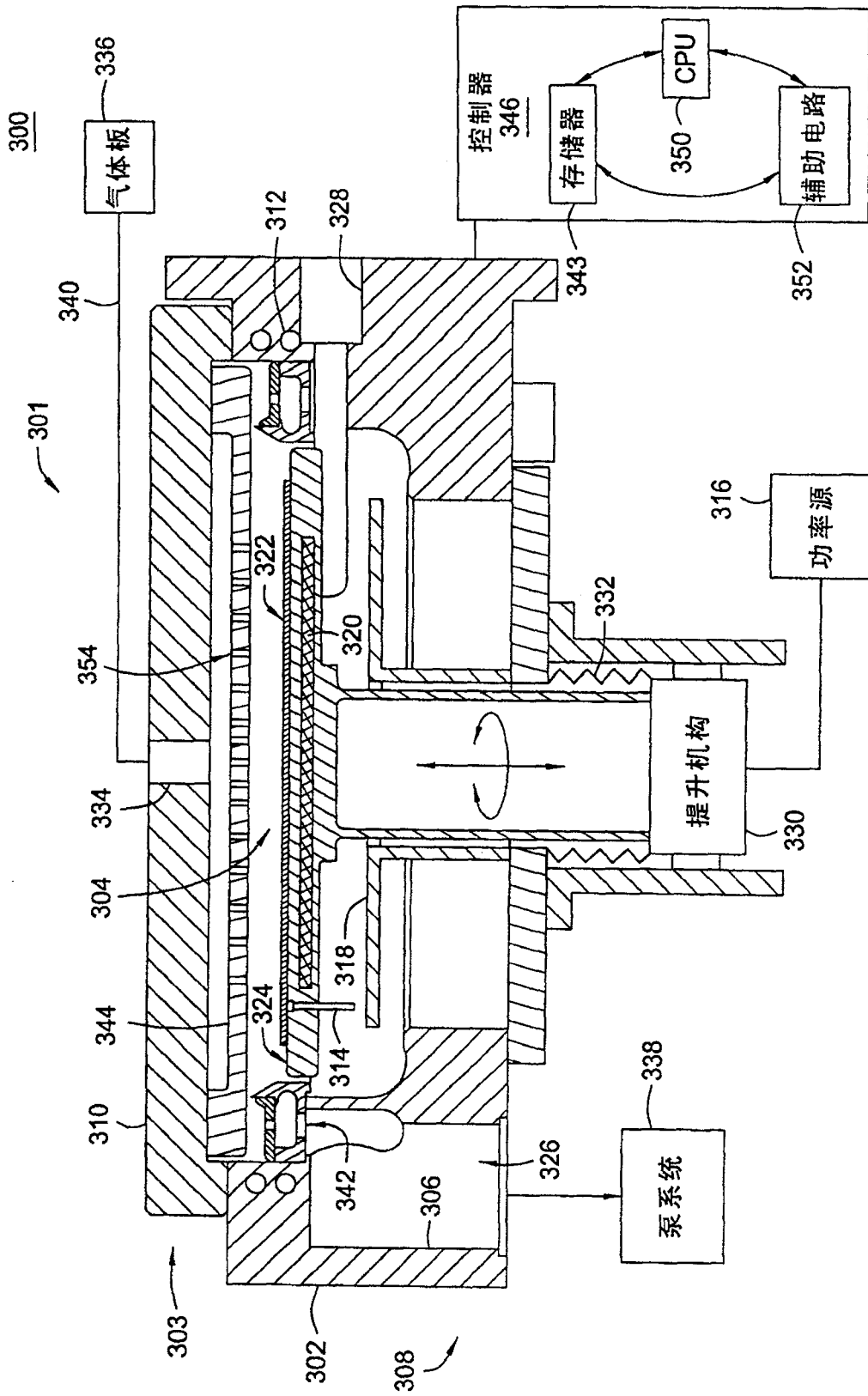


图3