(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3586002号
(P3586002)
(45)発行日　平成16年11月10日(2004.11.10)　(24)登録日　平成16年8月13日(2004.8.13)

(51)Int.Cl.[7]	F I		
H04N 9/78	H04N	9/78	A
H04N 9/79	H04N	9/79	Z

請求項の数 1　(全 7 頁)

(21)出願番号　特願平7-207030
(22)出願日　平成7年8月14日(1995.8.14)
(65)公開番号　特開平9-55958
(43)公開日　平成9年2月25日(1997.2.25)
審査請求日　平成13年2月21日(2001.2.21)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100112128
弁理士　村山　光威
(72)発明者　藤井　栄子
大阪府門真市大字門真１００６番地
松下電器産業株式会社内
(72)発明者　臼木　直司
大阪府門真市大字門真１００６番地
松下電器産業株式会社内
(72)発明者　田中　博司
大阪府門真市大字門真１００６番地
松下電器産業株式会社内

最終頁に続く

(54)【発明の名称】映像信号処理装置

(57)【特許請求の範囲】
【請求項１】
輝度信号、色信号分離回路とその出力信号を入力とする輝度水平高域補強信号復調回路とで構成される映像信号処理装置において、第１の入力信号と第２の入力信号と第３の入力信号をそれぞれ順次化して多重信号とする順次化手段と、前記多重信号をフィールドメモリにて１フィールド期間遅延するメモリ手段と、前記メモリ手段にて遅延された多重信号を元の３つの形態の遅延信号に同時化して分離する同時化手段とを備え、第１の遅延信号を第１の出力信号とし、第２の遅延信号を前記第３の入力信号とし、第３の遅延信号を更に１水平期間遅延後第２の出力信号とし、前記第１の出力信号の入出力間で得られる１フィールド遅延を前記輝度水平高域補強信号復調回路で利用し、前記第２の出力信号の入出力間で得られる１フレーム遅延を前記輝度信号、色信号分離回路で利用することを特徴とする映像信号処理装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、1995年に開始されるＥＤＴＶ放送システムにおける受信装置に用いられる映像信号処理装置に関するものである。
【０００２】
【従来の技術】
現行のＮＴＳＣ方式の更なる高画質化を目的として第２世代ＥＤＴＶ放送(以下ＥＤＴＶ

２という)が1995年に開始される。このＥＤＴＶ２に採用されている新技術として輝度信号の水平方向の広帯域化があり、これに伴い送信時に多重化されてくる輝度水平高域補強信号(以下ＨＨ成分という)の復調回路(以下ＨＨ復調回路という)の導入が必要となる。このようなＨＨ復調回路を含む映像信号処理装置としては、例えば吹抜敬彦著、日刊工業新聞社発行の文献「ＴＶ画像の多次元信号処理」に示されており、以下これについて図面を参照しつつ説明する。

【０００３】

図２はこの従来の映像信号処理装置の構成を示すブロック図であり、図中、２aは映像信号が入力される入力端子、201は前記入力端子２aからの映像信号を分離する３次元のＹＣ分離回路、202は前記ＹＣ分離回路201に接続された第１メモリ、203は前記ＹＣ分離回路201からのＨＨ成分を復調するＨＨ復調回路、204は前記ＨＨ復調回路203に接続された第２メモリ、２bは出力端子である。

【０００４】

以下その動作を説明するに、まず、入力端子２aからの入力映像信号には、送信側で低域変換されたＨＨ成分が３次元周波数ホールに多重化されてくるので、３次元ＹＣ分離処理が必要となり、次のようにしてこれを輝度信号，色信号，ＨＨ成分に分離する。即ち、前記ＹＣ分離回路201で第１メモリ202を用い、まず、現行ＮＴＳＣ方式の映像信号処理と同様のフレーム間処理を行うことにより輝度信号と色信号に分離するが、この際色信号の共役領域に配置されているＨＨ成分は色信号側に分離される。次にこのＨＨ成分の分離には、図４に示すような関係にある色信号副搬送波とＨＨ成分副搬送波の位相を利用し、フィールド間処理を行うことによりこれを分離することができるので、これを第２メモリ204を有するＨＨ復調回路203において復調し、輝度信号に付加することにより輝度信号の広帯域化を図っている。このように従来のＥＤＴＶ２の受信装置においては、ＹＣ分離やＨＨ復調等の機能毎にメモリを持ち、その信号処理を行っていた。

【０００５】

【発明が解決しようとする課題】

しかしながら、上記従来の映像信号処理装置においては、ＹＣ分離回路とＨＨ復調回路の両方にメモリを持っているため、コストがかかるという問題を有しており、本発明は、ＹＣ分離等の各機能に用いられるメモリを共有化すると共に入力映像信号の信号方式に応じてこのメモリの割り当てを最適化したＥＤＴＶ２対応の受信装置における映像信号処理装置である。

【０００６】

また、ＹＣ分離回路がフレーム単位の遅延を必要とするのに対して、ＨＨ復調回路はフィールド単位の遅延が必要となり、メモリ共有化の結果、メモリを複数個のフィールド単位に分割しなければならなくなり、回路を集積化する場合、このメモリは規模が大きいため外部に接続する関係上、このような構成ではインターフェイスの信号線が増加し、機器の小型化ができなくなるという問題点が発生することになるので、本発明の第２の目的は、１個のメモリでフレーム単位の遅延とフィールド単位の遅延を実現して、信号処理回路の集積化を容易にし、ＥＤＴＶ２対応の受信装置における映像信号処理装置の小型化を図ることを目的とする。

【０００７】

【課題を解決するための手段】

本発明は上記の目的を達成するために、輝度信号、色信号分離回路とその出力信号を入力とする輝度水平高域補強信号復調回路とで構成される映像信号処理装置において、第１の入力信号と第２の入力信号と第３の入力信号をそれぞれ順次化して多重信号とする順次化手段と、前記多重信号をフィールドメモリにて１フィールド期間遅延するメモリ手段と、前記メモリ手段にて遅延された多重信号を元の３つの形態の遅延信号に同時化して分離する同時化手段とを備え、第１の遅延信号を第１の出力信号とし、第２の遅延信号を前記第３の入力信号とし、第３の遅延信号を更に１水平期間遅延後第２の出力信号とし、前記第１の出力信号の入出力間で得られる１フィールド遅延を前記輝度水平高域補強信号復調回

路で利用し、前記第２の出力信号の入出力間で得られる１フレーム遅延を前記輝度信号、色信号分離回路で利用するようにした。

【０００８】

【作用】

本発明の上記した構成によれば、入力映像信号の信号方式を判別し、その結果に応じて各機能にメモリを最適に割り当てることにより、現行ＮＴＳＣ方式信号処理に最低限必要とされる小容量のメモリで、３次元ＹＣ分離処理と共にＥＤＴＶ２機能の１つであるＨＨ復調処理も行うことができる。また、メモリの入出力に順次化手段と同時化手段を設けることにより、１個のメモリでフレーム単位の遅延とフィールド単位の遅延を実現することができる。

【０００９】

【実施例】

以下本発明の一実施例について図面を参照しながら説明する。

【００１０】

図１は本発明の映像信号処理装置の実施例を説明するための参考例の構成を示すブロック図であり、図中１aは映像信号が入力される入力端子、101は前記映像信号の信号方式を判別する信号方式判別回路、102，103はメモリ制御信号を発生する第１および第２制御回路、104は前記信号方式判別回路101の判別結果に応じて前記メモリ制御信号を選択する第１選択回路、105はメモリ、１ 06は前記信号方式判別回路101の判別結果に応じて制御される第２選択回路、107はＹＣ分離回路、108はＨＨ復調回路、109は前記信号方式判別回路101の判別結果に応じて制御される第３選択回路、１bは出力端子である。

【００１１】

次にその動作について説明する。入力端子１aに入力された映像信号は、信号方式判別回路101に入力され、入力映像信号が現行のＮＴＳＣ方式の映像信号であるか、ＥＤＴＶ２の映像信号であるかを判別し、その判別結果が例えば現行のＮＴＳＣ方式の映像信号であったとすれば、前記第１選択回路104にその旨の指示を与え、この第１選択回路104はＮＴＳＣ方式のメモリ制御信号を生成している第１制御回路102を選択してこれをメモリ105に接続し、メモリ105をＮＴＳＣ方式のメモリ制御信号によって制御する。また、判別結果がＥＤＴＶ２の映像信号であったとすれば、前記第１選択回路104にその旨の指示を与え、この第１選択回路104はＥＤＴＶ２のメモリ制御信号を生成している第２制御回路103を選択してこれをメモリ105に接続し、メモリ105をＥＤＴＶ２のメモリ制御信号によって制御する。

【００１２】

このようにして選択された制御信号により、メモリ105のメモリ容量の利用区分が次のように設定制御される。即ち、メモリ105のメモリ容量Ｍは、現行のＮＴＳＣ方式の映像信号をＹＣ分離するために最低限必要となる容量を有しており、図３(a)に示すようにＮＴＳＣフォーマットの有効ライン数480本分の内、後述の理由により、360本分を図１の信号線Ａに、120本分を信号線Ｂに分けて使用できるようにしてある。今前記の判別結果が現行のＮＴＳＣ方式の映像信号であったとすれば、第２選択回路106はＹＣ分離回路107側に切り換えられ、メモリ105のメモリ容量Ｍは信号線Ａ，Ｂを介して全てこのＹＣ分離回路107で使用され、第１制御回路102では、メモリ105によって有効ライン480本／フレーム分の映像信号を全てフレーム遅延するような制御信号が生成されて、この制御信号に従った３次元ＹＣ分離するために必要なフレーム遅延信号が得られる。以上の処理をして得られたフレーム遅延信号と現在の入力映像信号間でＹＣ分離回路107において３次元ＹＣ分離を行い、分離された輝度信号と色信号は第３選択回路109に出力される。この第３選択回路109は信号方式判別回路101の判別結果が現行のＮＴＳＣ方式の映像信号であることからＹＣ分離回路107の出力側に切り換えられており、出力端子１ｂから前記の輝度信号と色信号が出力されることになる。

【００１３】

前記判別結果がＥＤＴＶ２の映像信号であった場合、ＥＤＴＶ２の映像信号は図３(b)に

示すようにレターボックス型であり、ＮＴＳＣ方式の映像信号の有効ライン数480本／フレームに対して上下60本、計120本／フレームが無画部となっており、従って、その部分にＹＣ分離を施さずに映像信号が存在する中央の有効ライン360本／フレームの主画部についてのみＹＣ分離を行ったとしても、視覚的には全く問題を生じないので、ＹＣ分離で使用するメモリは有効ライン480本／フレームから360本／フレームに減らすことができ、前記メモリ105の全メモリ容量Ｍの３／４を使用すれば良いことになる。

【００１４】

本参考例ではメモリ105の内、ＹＣ分離用として３／４Ｍ、ＨＨ成分復調処理用として１／４Ｍを割り当てるような制御信号を第２制御回路103で生成する。ここで前記第１選択回路104は前記メモリ制御信号を生成しているこの第２制御回路103を選択してこれをメモリ105に接続し、メモリ105をＥＤＴＶ２のメモリ制御信号によって上記のように制御することになる。このような処理をして得られたフレーム遅延信号と現在の入力映像信号間でＹＣ分離回路107において３次元ＹＣ分離を行い、入力映像信号を輝度信号と色信号に分離する。この時、色信号の共役領域に配置されているＨＨ成分は色信号と共に分離されるため、更にこのＨＨ成分を復元して元の周波数帯に変換するには、色信号との分離が必要であるが、この分離は図４に示すような関係にある色信号副搬送波とＨＨ成分副搬送波の位相を利用しフィールド間処理を行えば良い。このＨＨ復調処理は前記３次元ＹＣ分離同様、主画部にのみ施せば良いので、使用メモリ容量としてはライン180本／フィールド分となって、これは前記３次元ＹＣ分離で使用するメモリ容量３／４Ｍの１／２に相当する。しかしながら、この値は３次元ＹＣ分離で使用しない残りのメモリ容量１／４Ｍに１／８Ｍを加えれば充足できる値であり、前記従来の装置では１／２Ｍという大容量のメモリをＨＨ復調処理のために増設しているのに対し、大幅にメモリの増設を削減できる。

【００１５】

このようなメモリ構成に基づき、前記第２選択回路106はＨＨ復調回路108側に切り換えられて、信号線Ｂよりの前記メモリ105の一部はＨＨ復調処理に使用され、このメモリによって遅延されたフィールド遅延信号と現在の入力信号間で分離処理が行われ、得られたＨＨ成分はＨＨ復調回路108によって復調処理された後、輝度信号に付加されて広帯域輝度信号となり第３選択回路109に出力される。この第３選択回路109は信号方式判別回路101の判別結果がＥＤＴＶ２の映像信号であることからＨＨ復調回路108の出力側に切り換えられており、出力端子１bから前記の広帯域輝度信号が出力されることになる。

【００１６】

以上の参考例によれば、入力映像信号の信号方式に応じて各機能へのメモリの割り当てを最適化することにより、ＥＤＴＶ２対応の映像信号処理装置を低コストで実現することができる。

【００１７】

図５は本発明の映像信号処理装置の実施例の構成を示すブロック図であり、図中５a，５bは映像信号が入力される入力端子、５cは再入力端子、501は順次化回路、502は制御回路で、前記順次化回路501，メモリ503，同時化回路504を制御する。505は１Ｈ遅延回路、５d，５eは出力端子である。

【００１８】

次にその動作について説明する。入力端子５a，５b，再入力端子５cに供給される入力１，入力２，入力３の３つの信号は順次化回路501に供給され、順次化されて多重信号となり、制御回路502により制御されたメモリ503において１フィールド期間(ＮＴＳＣ信号では262水平期間)遅延されて同時化回路504により同時化されて３つの出力、出力１，出力２，出力３となり、出力１は出力端子５dへ、出力２は前記再入力端子５cへ、出力３は１Ｈ遅延回路505を経由して出力端子５eにそれぞれ出力される。この際、入力端子５aよりの入力１として第１の映像信号を入力すると、前記の処理を経て出力端子５dに１フィールド遅延した信号として出力されるので、これはＨＨ復調処理に利用でき、また入力端子５bよりの入力２として第２の映像信号を入力すると、前記の処理を経て１フィールド遅延した信号として再入力端子５cに戻り、更に１フィールド遅延して、計１フレーム遅延

した信号(ＮＴＳＣ信号では525水平期間)となって１Ｈ遅延回路505を経由し、出力端子５eより出力されるので、これは前記のフレーム相関によるＹＣ分離に利用できる。

【００１９】

なお、メモリ503は制御回路502の制御信号を受けて、１フィールド期間の遅延を施すのであるが、入力信号は多重信号であるのでそれを扱えるだけの容量とサイクルタイムが必要である。

【００２０】

以上の実施例によれば、１個のメモリユニットでフィールド単位の遅延とフレーム単位の遅延を実現することができ、その結果メモリの入出力信号が１系統にできるのでインターフェイスが容易となり、これを用いてＨＨ復調処理やＹＣ分離を行えば、低コストでしかも小型化を図りうるＥＤＴＶ２対応の映像信号処理装置を提供することが可能となる。

【００２１】

参考例に本発明の実施例を組み合わせて効果的なＥＤＴＶ２対応の映像信号処理装置ができる。また、本発明は上記実施例に限定されるものではなく、いろいろな構成で実現可能である。

【００２２】

【発明の効果】

以上のように、本発明は、各機能へのメモリの割り当てを入力映像信号の信号方式に応じて最適化し、メモリを共有化することにより、メモリ容量を最小限に抑え、１個のメモリユニットでフィールド単位の遅延とフレーム単位の遅延を両立させ、メモリインターフェイスを容易にし、低コストで小型のＥＤＴＶ２対応の映像信号処理装置を実現することができる。

【図面の簡単な説明】

【図１】本発明の映像信号処理装置の実施例を説明するための参考例の構成を示すブロック図である。

【図２】従来の映像信号処理装置の構成を示すブロック図である。

【図３】本発明の映像信号処理装置の実施例を説明するための信号フォーマットを示す図である。

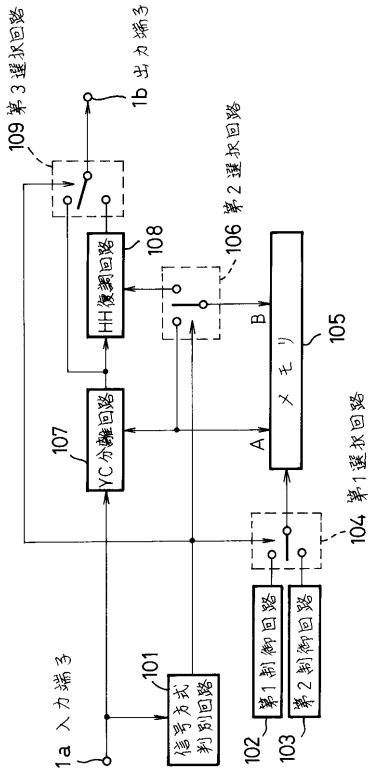
【図４】本発明の映像信号処理装置の参考例におけるＨＨ復調回路を説明するための図である。

【図５】本発明の映像信号処理装置の実施例の構成を示すブロック図である。

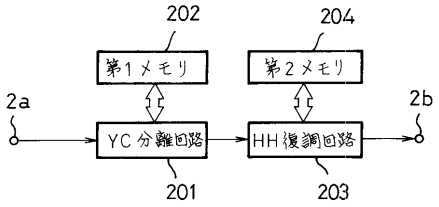
【符号の説明】

１a，５a，５b…入力端子、　５c…再入力端子、　１b，５d，５e…出力端子、　101…信号方式判別回路、　102…第１制御回路、　103…第２制御回路、　104…第１選択回路、　105，503…メモリ、　106…第２選択回路、　107，201…ＹＣ分離回路、　108，203…ＨＨ復調回路、　109…第３選択回路、　202…第１メモリ、　204…第２メモリ、　501…順次化回路、　502…制御回路、　504…同時化回路、　505…１Ｈ遅延回路。

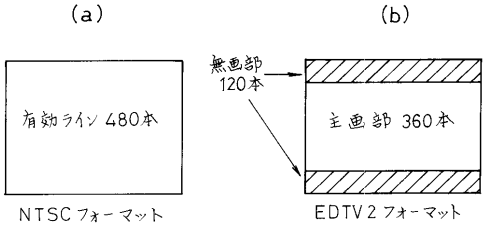
【図１】


109 第３選択回路
1b 出力端子
108
HH復調回路
106 第２選択回路
B
105
メモリ
107
YC分離回路
A
104 第１選択回路
1a 入力端子
101
信号方式判別回路
102 第１制御回路
103 第２制御回路

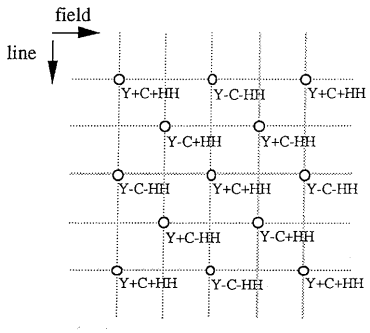
【図２】


202
204
第１メモリ
第２メモリ
2a
2b
YC分離回路
HH復調回路
201
203

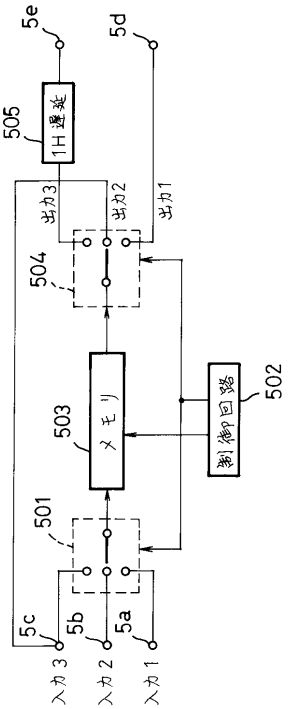
【図３】


(a)
(b)
有効ライン 480本
無画部 120本
主画部 360本
NTSCフォーマット
EDTV2フォーマット

【図４】


field
line
Y+C+HH
Y-C-HH

【図５】


5e
5d
505
1H遅延
出力3
出力2
出力1
504
503
メモリ
制御回路
502
501
5c
5b
5a
入力3
入力2
入力1

フロントページの続き

審査官　野村　章子

(56)参考文献　特開平０９－０３７２９３（ＪＰ，Ａ）
特開平０６－２９２２２６（ＪＰ，Ａ）
特開平０７－１４３４２０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04N 9/44 - 9/898