

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

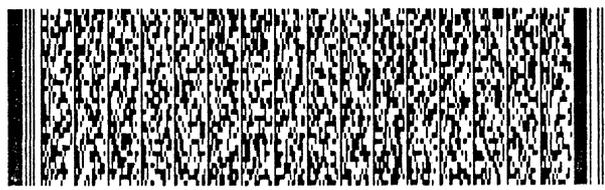
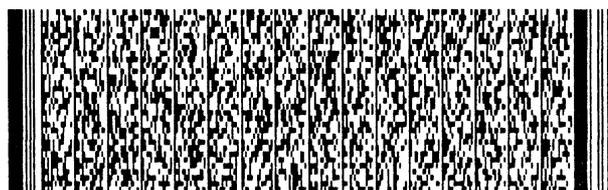
【發明所屬之技術領域】

本發明係關於一種匯流排整合系統，更詳而言之，係有關於一種將不同資料傳輸規格的匯流排集成整合之匯流排整合系統。

【先前技術】

匯流排 (BUS) 是一組建立在許多電腦元件與元件間之電子電路 (electrical circuits)，用來在電腦系統的元件間傳送資料。實際上可以將匯流排理解成是一條使用者可共用的高速公路 (shared highway)，連接著電腦系統的各種不同部分，如中央處理器、記憶體、磁碟機、印表機、影像系統或輸入輸出埠等。匯流排不只是電性連接不同之組件及裝置，並具有傳送資訊之功能。且匯流排是由中央處理器管理。沿著一條匯流排，同時能傳送的資料量，是由移動的二進位電子信息數目的連接量來決定。在一台 PC 裡面一般都有下列的四條匯流排：處理器匯流排 (processor bus)、記憶體匯流排 (memory bus)、位址匯流排 (address bus) 以及輸入輸出匯流排 (I/O bus)。

以前述的輸入輸出匯流排為例，其亦稱為延伸匯流排 (expansion bus)，可讓個人電腦的使用者採用標準化的連接器，自行加裝諸如顯示卡、印表機、光碟機等周邊裝置，故輸入輸出匯流排是使用頻率最高的匯流排。目前所習用的匯流排架構可分為下列五者：工業標準建構匯流排 (ISA— Industry Standard Architecture bus)、微通道建構匯流排 (MCA— Micro Channel Architecture bus

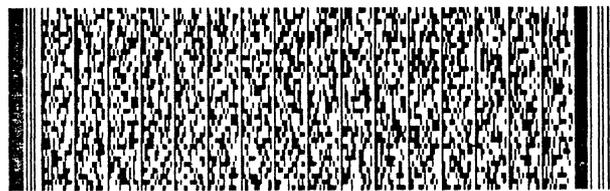
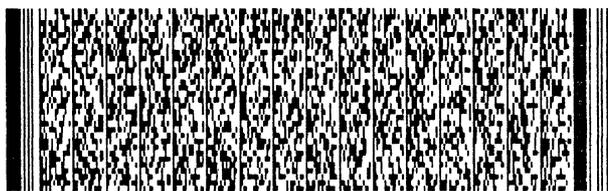


五、發明說明 (2)

)、延伸工業標準建構匯流排 (EISA—Extended Industry Standard Architecture bus)、視訊電子標準協會區域匯流排 (VESA local—Video Electronics Standard Association Local BUS)、周邊組件互連區域匯流排 (PCI local—Peripheral Component Interconnect Local BUS) 以及 AGP匯流排 (AGP—Accelerated Graphics Port) 等。

上述之周邊組件互連區域匯流排 (PCI Local BUS) 係由 INTEL公司所發表之規格，該規格之定義允許多個與周邊組件互連 (PCI) 相容的擴充卡安裝在電腦中的區域匯流排系統。PCI控制器和中央處理器可依執行的狀況決定一次交換 32位元或 64位元的資料，並允許具有智慧多個 PCI相容擴充卡可藉由使用匯流排主控 (bus mastering) 的技術與中央處理器同時執行工作，且 PCI規格允許在匯流排上同時存在超過一個以上之 PCI相容裝置的多工技術，故亦得將其稱之為分享匯流排 (share bus)。

除了前述針對個人電腦所設計的匯流排以外，尚有主要設計為提供筆記型電腦、膝上型電腦、掌上型電腦和其他可攜式電腦及智慧型電子裝置中，用以安裝 PC卡 (PC Card) Card BUS插槽的共同標準，其係由個人電腦記憶卡國際協會 (Personal Computer Memory Card International Association; PCMCIA) 所制定周邊設備連結標準。其中之 PC卡係為一可移除式的裝置，約略如同信用卡般大小，被設計插入於 PCMCIA規格的 Card BUS插槽



五、發明說明 (3)

(PCMCIA Slot) 中使用。而其中 32位元的 PC卡之 PCMCIA 匯流排標準稱之為卡片匯流排 (Card BUS)。不同於前述之 PCI Local BUS得以分享方式提供允許在匯流排上同時存在超過一個以上之 PCI相容裝置的多工技術，單一的主橋接器 (Host Bridge) 其僅能提供單一的 Card BUS的裝置與之連接，故亦得將其稱之為點對點匯流排 (point to point bus) 。

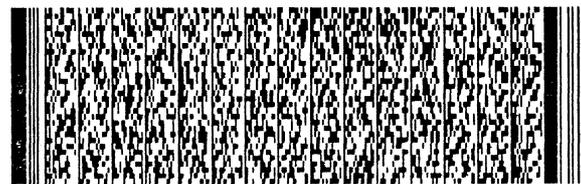
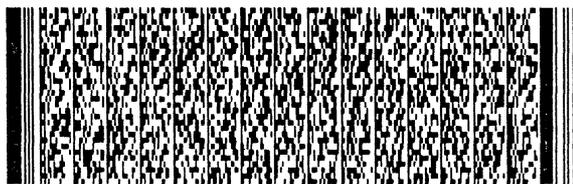
承前所述，雖然 PCI Local BUS與 Card BUS在單一匯流排上是否得提供超過一個以上之電子裝置方面有所不同，然而兩者在系統運作與設定方法上係極為相同的。然而，迄今兩者仍係分別由不同的控制器與中央處理器作溝通，若能將此兩種不同規格的匯流排架構加以整合，將能夠減少硬體所佔的空間及製造成本，是故如何將兩者整合乃目前亟待解決的問題。

【發明內容】

為解決上述習知技術之缺點，本發明之主要目的在於提供一種匯流排整合系統，藉以提供不同資料傳輸規格但傳輸協定相似之匯流排架構，透過單一匯流排及一整合之匯流排控制模組進行周邊裝置資料存取的控制。

本發明之另一目的在於提供一種匯流排整合系統，藉以提供以點對點進行資料傳輸之匯流排架構，得透過單一匯流排及一整合之匯流排控制模組進行分享式周邊裝置資料存取的控制。

為達成以上所述之目的，本發明之匯流排整合系統包



五、發明說明(4)

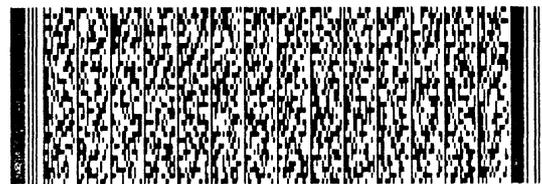
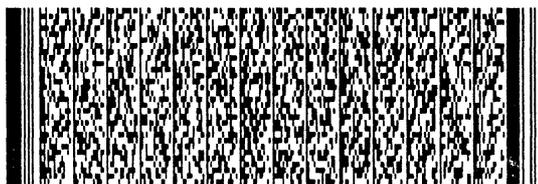
括有：一匯流排控制模組，其係搭接至至少一周邊裝置，用以依據該周邊裝置發出之資料存取訊號，致能對應該周邊裝置資料存取訊號之裝置，俾進行資料存取；以及一匯流排整合處理器，其包括至少一第一匯流排資料存取訊號接腳以及至少一第二匯流排資料存取訊號接腳，俾供該匯流排控制模組控制一第一資料傳輸規格匯流排及一第二資料傳輸規格匯流排之周邊裝置透過該單一匯流排，與相同及相異資料傳輸規格之另一周邊裝置進行資料存取。

相較於習知的匯流排控制系統架構，本發明之匯流排整合系統除得提供不同資料傳輸規格之匯流排架構，透過單一整合之匯流排控制模組進行周邊裝置資料存取的控制外，復得提供原須以點對點進行資料傳輸之匯流排架構，透過單一整合之匯流排控制模組進行分享式周邊裝置資料存取的控制，俾達到減少硬體所佔的空間及製造成本之目的。

【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

於以下實施例中，本發明之匯流排整合系統係應用於一個人電腦系統中，該個人電腦系統至少具有一周邊組件



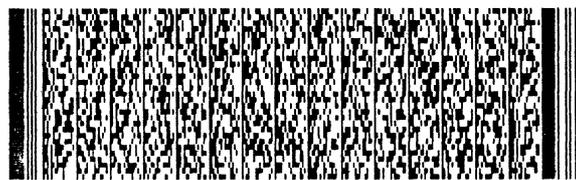
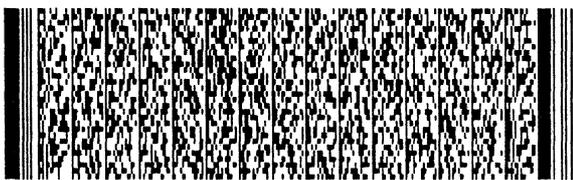
五、發明說明 (5)

互連區域匯流排 (PCI Local BUS) 系統，以及一卡片匯流排 (Card BUS) 系統。其中，該 PCI Local BUS 系統，係用以提供使用者透過諸如周邊組件互連插槽 (PCI Slot)，安裝符合該 PCI 資料傳輸規格之擴充卡，其得例如為網路卡及 / 或顯示卡等；而該 Card BUS 系統則係用以提供使用者透過 PCMCIA 規格的 Card BUS 插槽 (PCMCIA Slot)，安裝符合該 PCMCIA 規格之 PC 卡 (PC Card)，且於本實施例中，該 PC 卡係 32 位元之規格。由於該 PCI 及該 Card BUS 之匯流排架構係為習知，故以下將僅針對與本發明之匯流排整合系統有關之部分加以陳述，合先敘明。

請參閱第 1 圖其中顯示本發明之匯流排整合系統 100 之系統架構示意圖，該匯流排整合系統包括：一匯流排控制模組 110 以及一 PCI 匯流排整合處理器 120。

該匯流排控制模組 110，其係用以分別搭接至中央處理單元 130、記憶單元 140 與 PCI 匯流排 150，用以依據中央處理單元 130 所發出之資料存取訊號，致能該中央處理單元 130、該記憶單元 140 或周邊裝置間資料存取。於本實施例中，該匯流排控制模組 110 除包括該用以處理 PCI 匯流排之 PCI 匯流排整合處理器 120 外，復包括有一處理與該中央處理單元 130 間匯流排之中央處理單元匯流排處理器 (未圖示)，以及一處理與該記憶單元 140 間匯流排之記憶單元匯流排處理器 (未圖示)。

該 PCI 匯流排整合處理器 120，其係建置於該匯流排控制模組 110 中，至少包括一 PCI BUS 資料傳輸起始訊號接腳

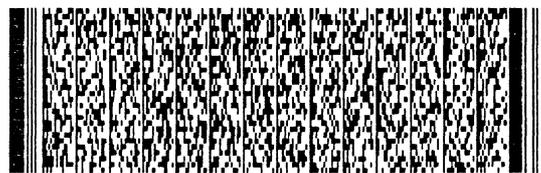
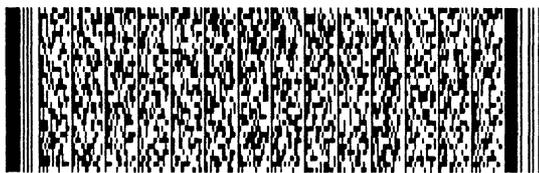


五、發明說明 (6)

(frame)111以及至少一 Card BUS資料傳輸起始訊號接腳 (cframe)112, 俾供該匯流排控制模組控制 PCI及 /或 Card BUS之周邊裝置進行資料存取。其中該 PCI BUS資料傳輸起始訊號接腳 (frame)111係於一 PCI裝置發出資料存取要求訊號或其他裝置對該 PCI裝置發出資料存取要求訊號致能; 而該 Card BUS資料傳輸起始訊號接腳 (cframe)112係於一 Card BUS裝置發出資料存取要求訊號或其他裝置對該 Card BUS裝置發出資料存取要求訊號致能。透過致能不同之起始訊號接腳, 俾供相對應之周邊裝置間進行資料存取。

其中, 該中央處理單元 130係用以提供該個人電腦系統擷取、解碼及執行指令之功能, 並得透過資料傳輸路徑如前述藉於與該匯流排控制模組 110間之中央處理單元匯流排處理器等, 自其他資源處傳遞及接收資料。

該記憶單元 140係用以提供該個人電腦系統之其他模組或單元快速存取所需資料之隨機存取記憶單元 (Random Access Memory; RAM), 其得例如為動態隨機存取記憶單元 (Dynamic Random Access Memory; DRAM)、同步動態隨機存取記憶體 (Synchronous Dynamic Random Access Memory; SDRAM) 或雙讀取率同步動態隨機存取記憶體 (Double Data Rate Synchronous Dynamic Random Access Memory; DDRSDRAM) 等。且其亦得如該中央處理單元 130般透過與該匯流排控制模組 110間之記憶單元匯流排處理器等, 自其他資源處傳遞及接收資料。



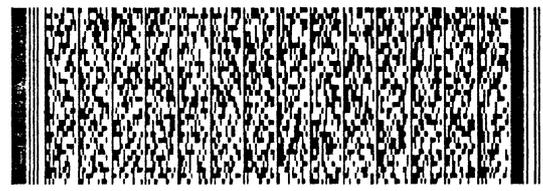
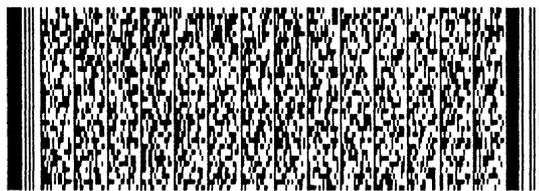
五、發明說明 (7)

該 PCI匯流排 150於本實施例中係為一 PCI Local BUS 架構，並分別搭接至一 PCI插槽 151與 PCI slot152，以及一 PCMCIA規格的 Card BUS插槽 153；其中，該 PCI插槽 151與 152分別用以提供使用者安裝符合該 PCI資料傳輸規格之網路卡 154與顯示卡 155；而該 PCMCIA規格的 Card BUS插槽 153則係用以提供使用者安裝符合該 PCMCIA規格之無線網路卡 156。需特別說明者，係於本實施例中為便於突顯本發明之技術特徵所在，該 PCI匯流排 150係指除該 PCI BUS資料傳輸起始訊號接腳 (frame)111及該 Card BUS資料傳輸起始訊號接腳 (cframe)112兩接腳以外之資料傳輸線，與習知之包括所有資料傳輸線在內之 PCI BUS有所不同。

承前所述，該匯流排控制模組 110與該 PCI匯流排 150間至少設有以下之訊號輸出入接腳：該 PCI BUS資料傳輸起始訊號接腳 (frame)111係於一 PCI裝置發出資料存取要求訊號或其他裝置對該 PCI裝置發出資料存取要求訊號致能，以及該 Card BUS資料傳輸起始訊號接腳 (cframe)112係於一 Card BUS裝置發出資料存取要求訊號或其他裝置對該 Card BUS裝置發出資料存取要求訊號致能。此外，該匯流排控制模組 110與該 PCI匯流排 150間復包括以下訊號輸出入接腳：

(1) 時脈訊號接腳 (CLK)，其係用以提供各該周邊裝置接收時序 (Timing) 訊號輸入之接腳。

(2) 啟動器就緒接腳 (Initiator Ready; IRDY)，其係用以提供該主要裝置發出告知目標裝置已準備接



五、發明說明 (8)

收傳輸資料的訊號。

(3) 目標就緒接腳 (Target Ready; TRDY)，其係用以提供該目標裝置 (Target) 所發出告知該主要裝置已準備傳輸資料的訊號。

(4) 裝置選擇接腳 (Device Select; DEVSEL)，其係用以提供該目標裝置發出告知已被主要裝置選擇的訊號。

(5) 停止接腳 (Stop)，其係用以提供該目標裝置發出停止資料傳輸的訊號。

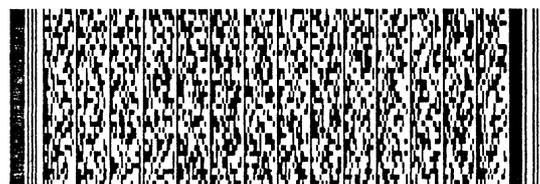
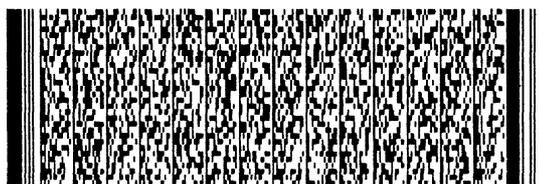
(6) 位址資料接腳 (Address and Data; AD)，其係用以傳輸位址及資料的訊號。

(7) 匯流排命令與位元致能接腳 (Bus Command and Byte Enable; C/BE)，其係用以提供該主要裝置發出傳輸匯流排控制命令之訊號。

承前所述，需特別說明者，係於本實施例中，除該 Card BUS資料傳輸起始訊號接腳 (cframe)112外，各該接腳均係與習知的 PCI Local BUS之接腳功能相容，且於此處僅顯示與本發明之匯流排整合系統有關之接腳，其餘之接腳均係相容於該 PCI Local BUS之規格，故於此不另為文贅述之。

請參閱第 2圖，其中顯示該匯流排控制模組 110於執行周邊裝置間資料傳輸時的波形示意圖。

承前所述，於本實施例中，當該無線網路卡 156欲自該記憶單元 140讀取資料時，該無線網路卡 156係設定為主



五、發明說明 (9)

要裝置，而該 PCI匯流排整合處理器 120則設為目標裝置，藉以令該 PCI匯流排整合處理器 120得依據該無線網路卡 156之讀取資料請求，透過介於該記憶單元 140間之記憶單元匯流排處理器向該記憶單元 140讀取資料。此外，由該無線網路卡 156發出一匯流排資料存取訊號，在此實施範例該一匯流排資料存取訊號係指一 Card BUS資料傳輸起始訊號接腳 (cframe)112發出一低電位訊號，用以顯示符合卡片匯流排資料傳輸規格之該無線網路卡 156欲進行資料讀取，並將該訊號傳送至該 PCI匯流排整合處理器 120。

其次，令該無線網路卡 156發出啟動器就緒之訊號至該 PCI匯流排整合處理器 120，用以表示該無線網路卡 156已做好資料讀取之準備。

接著，令該 PCI匯流排整合處理器 120發出一裝置選擇訊號用以表示該 PCI匯流排整合處理器 120係被選取，之後透過該記憶單元匯流排處理器取得該記憶單元 140之資料，令該 PCI匯流排整合處理器 120發出一目標就緒訊號，用以表示該 PCI匯流排整合處理器 120已做好被資料讀取之準備。

同時，於該無線網路卡 156依據該匯流排命令與位元致能所設定之命令內容，透過該匯流排控制模組 110之 PCI匯流排整合處理器 120進行資料之讀取。

承前所述，若有另一網路卡 154欲自該記憶單元 140讀取資料時，該網路卡 154係設定為主要裝置，而該 PCI匯流排整合處理器 120則設為目標裝置，藉以令該 PCI匯流排整



五、發明說明 (10)

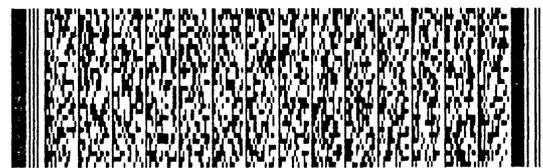
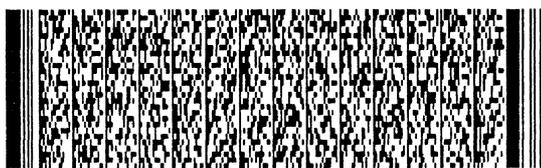
合處理器 120 得依據該網路卡 154 之讀取資料請求，透過介於該記憶單元 140 間之記憶單元匯流排處理器向該記憶單元 140 讀取資料。由該網路卡 154 發出另一匯流排資料存取訊號，在此實施範例該另一匯流排資料存取訊號係指一 PCI BUS 資料傳輸起始訊號接腳 (frame) 111 發出一低電位訊號，用以顯示符合 PCI 資料傳輸規格之該網路卡 154 欲進行資料讀取，並將該訊號傳送至該 PCI 匯流排整合處理器 120。

其次，令該網路卡 154 發出啟動器就緒之訊號至該 PCI 匯流排整合處理器 120，用以表示該網路卡 154 已做好資料讀取之準備。

接著，令該 PCI 匯流排整合處理器 120 發出一裝置選擇訊號用以表示該 PCI 匯流排整合處理器 120 係被選取，之後透過該記憶單元匯流排處理器取得該記憶單元 140 之資料，令該 PCI 匯流排整合處理器 120 發出一目標就緒訊號，用以表示該 PCI 匯流排整合處理器 120 已做好被資料讀取之準備。

同時，於該網路卡 154 依據該匯流排命令與位元致能所設定之命令內容，透過該匯流排控制模組 110 之 PCI 匯流排整合處理器 120 進行資料之讀取。

承前所述，該匯流排控制模組 110 之 PCI 匯流排整合處理器 120 透過接收不同匯流排資料傳輸規格的周邊裝置所發出的資料存取請求，藉以判斷該周邊裝置資料傳輸規格，並依據該周邊資料傳輸規格提供該周邊裝置進行資料



五、發明說明 (11)

存取。

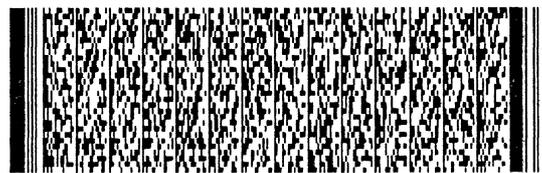
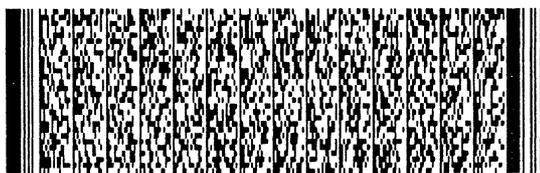
此外，另該 PCI匯流排整合處理器 120 監控該 PCI匯流排之資料傳輸狀況，俾供周邊裝置於允符該匯流排規格下進行資料傳輸，藉以避免不同資料傳輸之匯流排間發生匯流排競爭之情況。

本發明之匯流排整合系統只需於該 PCI匯流排整合處理器 120 上增加 Card BUS 資料傳輸起始訊號接腳

(cframe)，即可連接相同於該 Card BUS 資料傳輸起始訊號接腳 (cframe) 之卡片匯流排規格之周邊裝置，換言之，複數個卡片匯流排規格周邊裝置藉由該 PCI匯流排整合處理器 120，僅需透過一匯流排介面即可進行資料之傳輸，而達到如同周邊裝置匯流排般，允許在匯流排上同時存在超過一個以上之電子訊號的多工技術。

綜上所述，本發明之匯流排整合系統除得提供不同資料傳輸規格之匯流排架構，透過單一匯流排及一整合之匯流排控制模組進行周邊裝置資料存取的控制外，復得提供原須以點對點進行資料傳輸之匯流排架構，透過單一匯流排及一整合之匯流排控制模組進行分享式周邊裝置資料存取的控制，俾達到減少硬體所佔的空間及製造成本之目的。

此外，本發明之匯流排整合系統應用於 Card BUS 規格之周邊裝置時，該 Card BUS 資料傳輸起始訊號接腳 (cframe) 之數量得依據該 Card BUS 周邊裝置之數量作增減，是則該 Card BUS 周邊裝置的數量得視使用者之需要作



五、發明說明 (12)

增減。另一方面，依據前述之匯流排整合系統之原理，該匯流排整合系統亦得應用於僅具有多個 Card BUS 周邊裝置之個人電腦系統上，透過對應該些 Card BUS 周邊裝置數量之多個 Card BUS 資料傳輸起始訊號接腳 (cframe)，提供該些 Card BUS 周邊裝置於其他周邊裝置進行資料之存取工作。

又，本發明之匯流排整合系統復得整合於一集成電路晶片 (IC Chip) 中，用以提供各種電子裝置有效率的匯流排整合之解決方案。

以上所述僅為本發明之匯流排整合系統的較佳實施例，非用以限定本發明之實質技術內容之範圍。本發明之匯流排整合系統其實質技術內容係廣義地定義於下述之申請專利範圍中，任何他人所完成之技術實體或方法，若與下述之申請專利範圍所定義者完全相同，或為等效之變更，均將被視為涵蓋於此專利範圍之中。



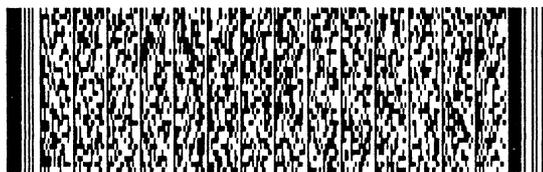
圖式簡單說明

【圖式簡單說明】

第 1圖為一系統架構方塊示意圖，用以顯示本發明之匯流排整合的系統架構；以及

第 2圖為一匯流排整合系統於資料傳輸時之波形示意圖。

- 100 匯流排整合系統
- 110 匯流排控制模組
- 111 PCI BUS資料傳輸起始訊號接腳 (frame)
- 112 Card BUS資料傳輸起始訊號接腳 (cframe)
- 120 PCI匯流排整合處理器
- 130 中央處理單元
- 140 記憶單元
- 150 PCI匯流排
- 151 PCI插槽
- 152 PCI插槽
- 153 Card BUS插槽
- 154 網路卡
- 155 顯示卡
- 156 無線網路卡



四、中文發明摘要 (發明名稱：匯流排整合系統)

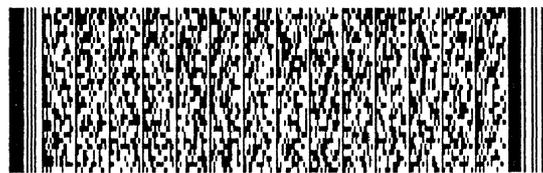
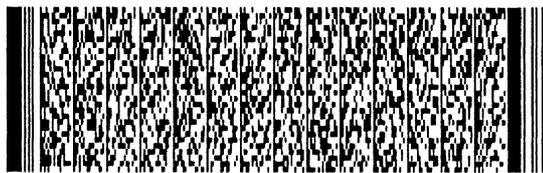
一種匯流排整合系統，其得應用於資料處理系統中，係包括一匯流排控制模組，其係搭接至至少一周邊裝置，用以依據該周邊裝置發出之資料存取訊號，致能對應該周邊裝置資料存取訊號之裝置，俾進行資料存取；以及一匯流排整合處理器，其包括至少一第一匯流排資料存取訊號接腳以及至少一第二匯流排資料存取訊號接腳，俾供該匯流排控制模組控制一第一資料傳輸規格匯流排及一第二資料傳輸規格匯流排之周邊裝置透過該單一匯流排，與相同及相異資料傳輸規格之另一周邊裝置進行資料存取。透過該匯流排整合系統，能提供不同資料傳輸規格的匯流排僅透過單一匯流排及一整合之匯流排控制系統即得進行資料傳輸之控制。

本案代表圖：第 1 圖

100 匯流排整合系統

六、英文發明摘要 (發明名稱：BUS INTEGRATING SYSTEM)

A bus integrating system, applied to a data processing system, is provided. A bus controlling module is coupled to at least one peripheral device for enabling a corresponding device according to a data accessing signal which send from the peripheral device, to access the data. A bus integrating processing unit includes at least one first bus data accessing signal pin and at

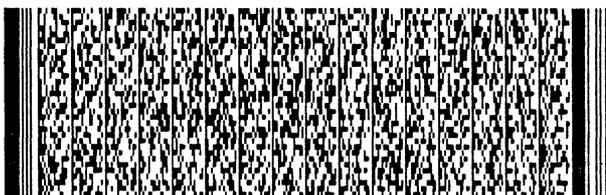


四、中文發明摘要 (發明名稱：匯流排整合系統)

- 110 匯流排控制模組
- 111 PCI BUS資料傳輸起始訊號接腳 (frame)
- 112 Card BUS資料傳輸起始訊號接腳 (cframe)
- 120 匯流排整合處理器
- 130 中央處理單元
- 140 記憶單元
- 150 PCI匯流排
- 151 PCI插槽
- 152 PCI插槽
- 153 Card BUS插槽
- 154 網路卡
- 155 顯示卡
- 156 無線網路卡

六、英文發明摘要 (發明名稱：BUS INTEGRATING SYSTEM)

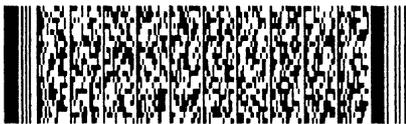
least one second bus data accessing signal pin, so as to allow the peripheral device coupled to the bus controlling module to control a first data transferring bus and a second data transferring bus and access the data with another peripheral device of the same or distinct data transferring standard by single bus. Thereby, the bus integrating system allows busses with distinct



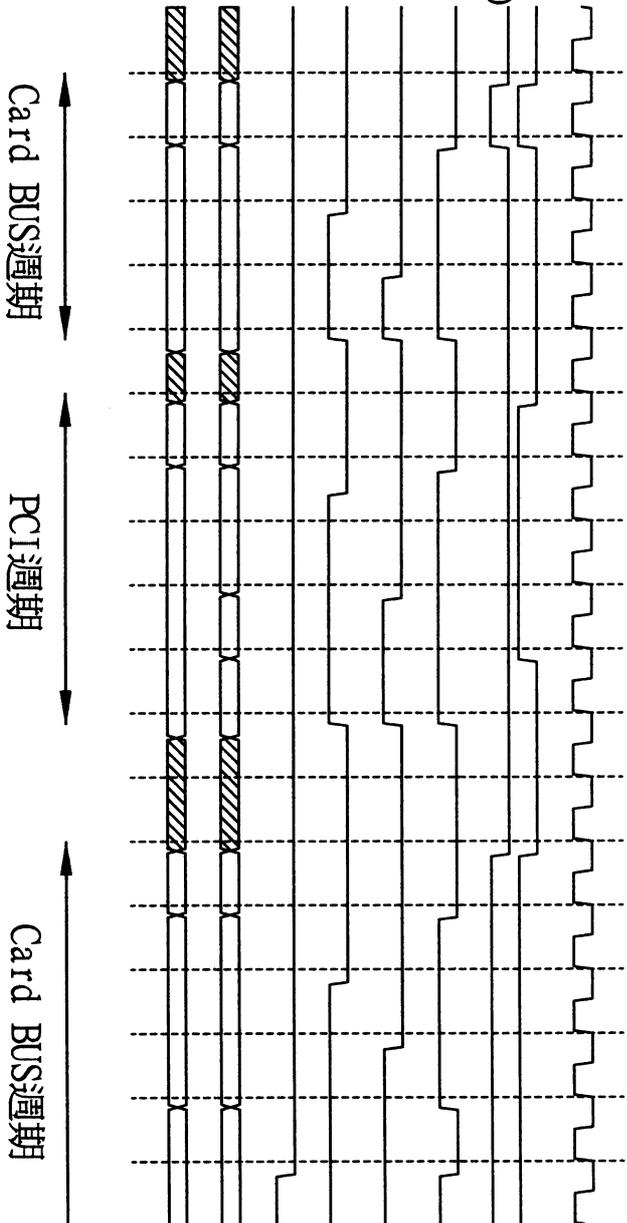
四、中文發明摘要 (發明名稱：匯流排整合系統)

六、英文發明摘要 (發明名稱：BUS INTEGRATING SYSTEM)

data transferring standard to transfer data in an
integrating bus controlling system.



週邊PCI時脈訊號
 PCI資料傳輸起始訊號 (frame)
 Card BUS資料傳輸起始訊號 (cframe)
 啟動器就緒
 目標就緒
 裝置選擇
 停止
 位址資料
 匯流排命令與位元致能



第 2 圖

修正替換頁
93年10月12日

公告本

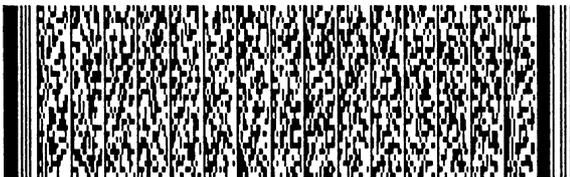
I226552

申請日期: 92.11.20	IPC分類
申請案號: 92132532	G06F13/36

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	匯流排整合系統
	英文	BUS INTEGRATING SYSTEM
二、 發明人 (共2人)	姓名 (中文)	1. 蔡志福
	姓名 (英文)	1. TSAI, CHIH-FU
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市科學工業園區力行路2-1號6樓之1
	住居所 (英文)	1. 6F-1, No. 2-1, Lihsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 金麗科技股份有限公司
	名稱或姓名 (英文)	1. RDC SEMICONDUCTOR CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學工業園區力行路2-1號6樓之1 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 6F-1, No. 2-1, Lihsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 陳有諒
	代表人 (英文)	1. CHEN, YU LIANG



17278全麗.ptd

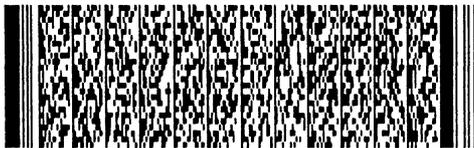
1226552
93-10-72

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 謝建民
	姓名 (英文)	2. HSIEH, CHIEN-MIN
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 新竹市科學工業園區力行路2-1號6樓之1
	住居所 (英文)	2. 6F-1, No. 2-1, Lihsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



附件一

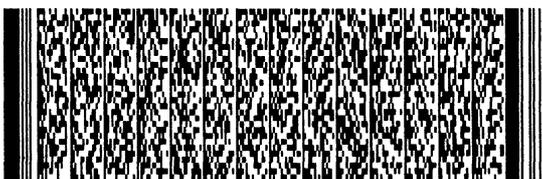
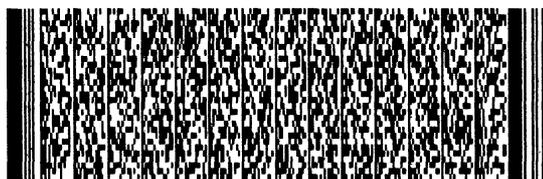
六、申請專利範圍

1. 一種匯流排整合系統，其得應用於一資料處理系統中，用以提供與該資料處理系統相互連接之不同資料傳輸規格之周邊裝置，透過一單一匯流排整合處理機制對於傳輸架構不同但傳輸協定相似的匯流排規格進行資料傳輸，該匯流排整合系統包括：

一匯流排控制模組，提供至少一匯流排處理器搭接至所屬之周邊裝置，用以依據該周邊裝置發出之資料存取訊號，致能對應該周邊裝置資料存取訊號之匯流排處理器，俾進行資料存取；進而達到各匯流排處理器間的資料交換；以及

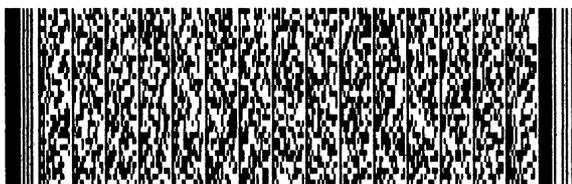
一匯流排整合處理器，其包括至少一第一匯流排資料存取訊號接腳以及至少一第二匯流排資料存取訊號接腳，以及其他相關共用之訊號接腳，俾供該匯流排控制模組控制第一資料傳輸規格匯流排及第二資料傳輸規格匯流排之周邊裝置透過該單一匯流排整合處理器，與相同或相異資料傳輸規格之匯流排處理器進行資料存取及交換，藉以整合"分享式架構"和"點對點式架構"之匯流排規格、二組以上之"分享式架構"匯流排規格以及二組以上之"點對點式架構"匯流排規格其中之一者。

2. 如申請專利範圍第1項之系統，其中，該第一資料傳輸規格匯流排係為一周邊組件互連區域匯流排（PCI BUS），而該第一匯流排資料存取訊號接腳係為該周邊組件互連區域匯流排規格之資料傳輸起始訊號接腳。



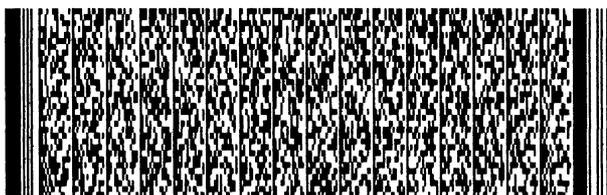
六、申請專利範圍

3. 如申請專利範圍第1項之系統，其中，該第一資料傳輸規格匯流排係為一卡片匯流排（Card BUS），而該第一匯流排資料存取訊號接腳係為該卡片匯流排規格之資料傳輸起始訊號接腳。
4. 如申請專利範圍第2項之系統，其中，該第二資料傳輸規格匯流排得為一卡片匯流排；而該第二匯流排資料存取訊號接腳係為該卡片匯流排規格之資料傳輸起始訊號接腳。
5. 如申請專利範圍第2項之系統，其中，該周邊組件互連區域匯流排可為規格內所定義完整功能之周邊組件互連區域匯流排及一支援部份功能之周邊組件互連區域匯流排其中之一者。
6. 如申請專利範圍第3項之系統，其中，該卡片匯流排可為規格內所定義完整功能之卡片匯流排及為一支援部份功能之卡片匯流排其中之一者。
7. 如申請專利範圍第4項之系統，其中，該卡片匯流排可為規格內所定義完整功能之卡片匯流排及為一支援部份功能之卡片匯流排其中之一者。
8. 如申請專利範圍第1項之系統，其中，該第一匯流排可為一分享式架構之匯流排規格。
9. 如申請專利範圍第1項之系統，其中，該第一匯流排可為一點對點式架構之匯流排規格。
10. 如申請專利範圍第1項之系統，其中，該第二匯流排可為一分享式架構之匯流排規格。



六、申請專利範圍

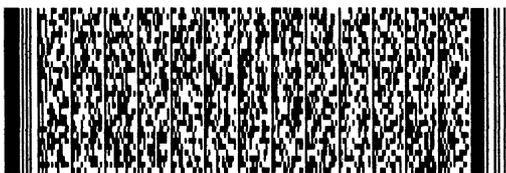
11. 如申請專利範圍第 1 項之系統，其中，該第二匯流排可為一點對點式架構之匯流排規格。
12. 如申請專利範圍第 1 項之系統，其中，該匯流排整合處理器可為支援第一匯流排規格全部功能及部份功能之匯流排處理器其中之一者。
13. 如申請專利範圍第 1 項之系統，其中，該匯流排整合處理器可為支援第二匯流排規格全部功能及部份功能之匯流排處理器其中之一者。
14. 如申請專利範圍第 9 項之系統，其中，該第一匯流排為點對點架構規格之匯流排時，則所屬之資料存取訊號接腳得依據該其所對應周邊裝置之數量作增減，俾供各周邊裝置藉由相對應之存取訊號接腳，發出資料存取要求訊號或其他裝置對該周邊裝置發出資料存取要求訊號致能。
15. 如申請專利範圍第 11 項之系統，其中，第二匯流排為點對點架構規格之匯流排時，則所屬之資料存取訊號接腳得依據該其所對應周邊裝置之數量作增減，俾供各周邊裝置藉由相對應之存取訊號接腳，發出資料存取要求訊號或其他裝置對該周邊裝置發出資料存取要求訊號致能。
16. 如申請專利範圍第 1 項之系統，其中，該系統可應用於電子產品中。
17. 如申請專利範圍第 16 項之系統，其中，該電子產品可為個人電腦、筆記型電腦、掌上型電腦、個人數位助



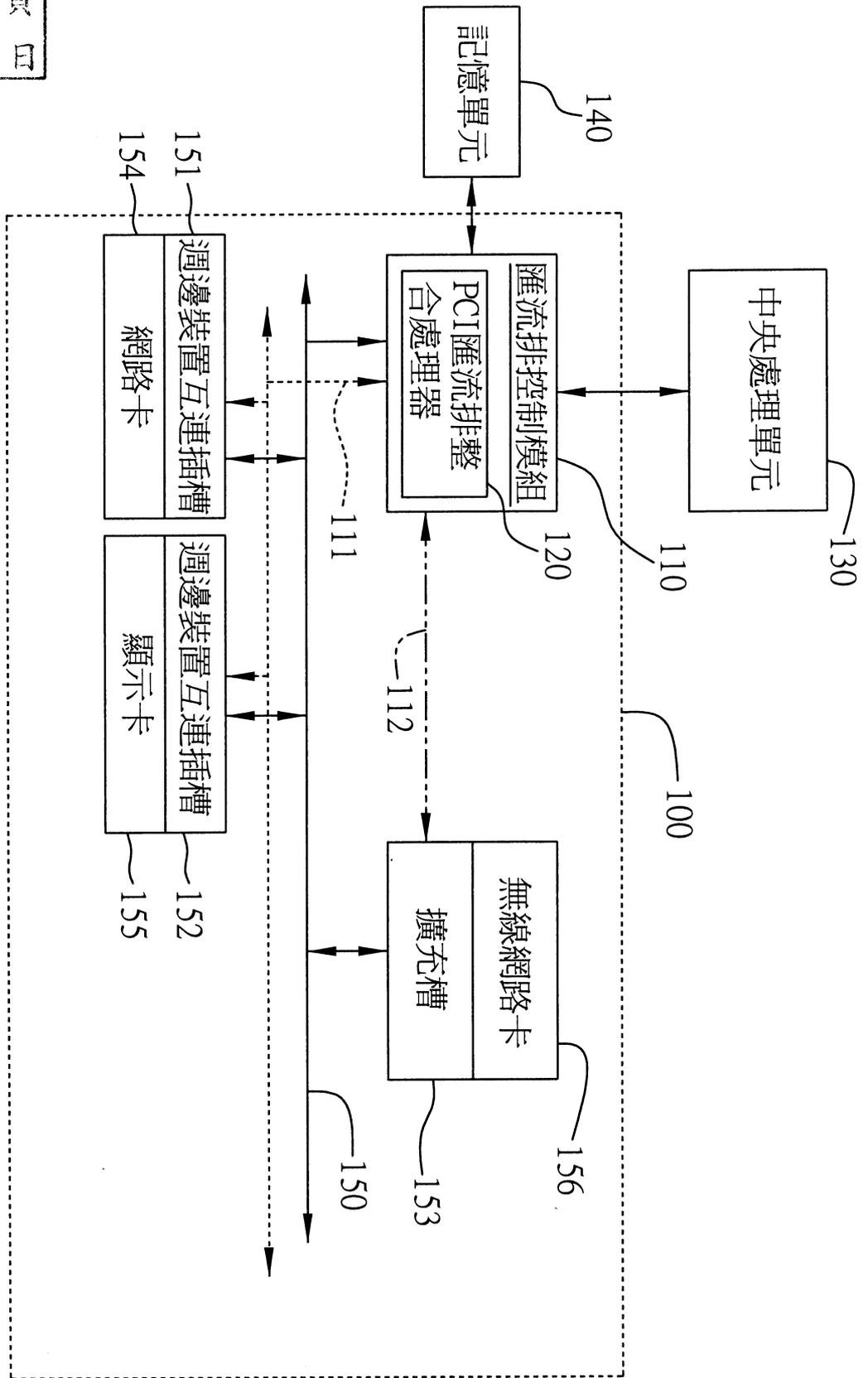
六、申請專利範圍

理、平板型電腦、伺服器系統、工作站、數位家電、行動設備、通訊設備、多媒體設備、醫療器材、自動化控制設備其中之一者。

18. 如申請專利範圍第1項之系統，其中，該匯流排控制模組係整合於一集成電路晶片中。
19. 如申請專利範圍第1項之系統，其中，該匯流排整合處理器係整合於一集成電路晶片中。
20. 如申請專利範圍第1項之系統，其中，該匯流排整合處理器係整合於該匯流排控制模組中。
21. 如申請專利範圍第1項之系統，其中，該匯流排控制模組與該匯流排整合處理器係為獨立之集成電路晶片。



修正替換頁
93年10月11日



第 1 圖 (代表圖)