

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 17 年 9 月 8 日 (2005.9.8)

【公開番号】特開 2002-190727 (P2002-190727A)
 【公開日】平成 14 年 7 月 5 日 (2002.7.5)
 【出願番号】特願 2000-389070 (P2000-389070)
 【国際特許分類第 7 版】

H 0 3 K 17/08
 H 0 2 H 3/08
 H 0 2 H 3/087
 H 0 2 H 7/00
 H 0 2 H 7/20
 H 0 3 K 17/687

【F I】

H 0 3 K	17/08	C
H 0 2 H	3/08	T
H 0 2 H	3/087	
H 0 2 H	7/00	B
H 0 2 H	7/20	F
H 0 3 K	17/687	A

【手続補正書】

【提出日】平成 17 年 3 月 10 日 (2005.3.10)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲートに入力信号が供給され、電流通路の一端に負荷を介して電源が供給され、第 1 の電流量を有する第 1 の MOSFET と、

ゲートに前記入力信号が供給され、電流通路の一端が前記第 1 の MOSFET の電流通路の一端に接続され、前記第 1 の電流量より少ない電流量を有する第 2 の MOSFET と

、

ゲートに前記入力信号が供給され、電流通路の一端が前記第 1 の MOSFET の電流通路の一端に接続され、前記第 1 の電流量より少ない第 3 の電流量を有する第 3 の MOSFET と、

コレクタが前記第 1 の MOSFET のゲートに接続され、ベースに前記第 2 の MOSFET を流れる電流により発生する電圧が供給され、初期電源投入時に前記第 1 の MOSFET のゲート電圧を制御する第 1 のトランジスタと、

コレクタが前記第 1 の MOSFET のゲートに接続され、ベースに前記第 3 の MOSFET を流れる電流により発生する電圧が供給され、前記負荷の異常時に前記第 1 の MOSFET のゲート電圧を制御する第 2 のトランジスタと、

前記入力信号が入力されてから一定時間、前記第 3 の MOSFET を流れる電流により発生する電圧が前記第 2 のトランジスタに供給されることを遮断するタイマと

を具備することを特徴とする半導体保護回路。

【請求項 2】

前記第 2、第 3 の MOSFET は前記第 1 の MOSFET のセル数より少ないセル数に

より構成されたことを特徴とする請求項 1 記載の半導体保護回路。

【請求項 3】

ゲートに入力信号が供給され、電流通路の一端に負荷を介して電源が供給され、第 1 の電流量を有する第 1 の MOSFET と、

ゲートに入力信号が供給され、電流通路の一端に前記第 1 の MOSFET の電流通路の一端が接続され、前記第 1 の電流量より少ない第 2 の電流量を有する第 2 の MOSFET と、

前記第 2 の MOSFET の電流通路の他端に接続された第 1 の抵抗と、

前記第 2 の MOSFET の電流通路の他端に一端が接続された第 2 の抵抗と、

前記電源電圧が基準電圧以上のとき第 1 の論理レベルの信号を出力し、前記電源電圧が前記基準電圧以下のとき第 2 の論理レベルの信号を出力する比較回路と、

前記入力信号が供給され、前記比較回路から前記第 1 の論理レベルの信号が供給されたとき第 1 の論理レベルの信号を出力し、前記比較回路から前記第 2 の論理レベルの信号が供給されたとき第 2 の論理レベルの信号を出力するフリップフロップ回路と、

前記第 2 の抵抗の他端に電流通路の一端が接続され、前記フリップフロップ回路の出力信号が第 1 の論理レベルのとき導通し、第 2 の論理レベルのとき非導通とされる第 3 の MOSFET と、

コレクタが前記第 1 の MOSFET のゲートに接続され、ベースに前記第 1、第 2 の抵抗に発生する電圧が供給され、前記第 1 の MOSFET のゲート電圧を制御するトランジスタと

を具備することを特徴とする半導体保護回路。

【請求項 4】

前記第 2 の MOSFET は前記第 1 の MOSFET のセル数より少ないセル数により構成されたことを特徴とする請求項 3 記載の半導体保護回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

(初期点灯時)

図示せぬ制御回路からハイレベルの入力信号 IN が供給されると、抵抗 R1 及び R2 を介して MOSFET M1 ~ M3 のゲートに供給され、MOSFET M1 ~ M3 はオンされる。MOSFET M1 ~ M3 にはセル数に応じた電流が流れ、突入電流の殆どは MOSFET M1 に流れる。MOSFET M2 を介して抵抗 R3 に流れる電流が例えば 1 mA に達すると、トランジスタ Q1 のベースに 0.7 V の電圧が供給される。このため、トランジスタ Q1 がオンされ、MOSFET M1 ~ M3 のゲート電圧が低下する。したがって、MOSFET M1 に流れる突入電流が約 1 A に制限される。このように、MOSFET M2 のセル数及び抵抗 R3 の抵抗値により、図 3 に示すように、突入電流に対する電流制限値 IS1 が規定され、この電流制限値 IS1 に応じて突入電流が制限される。