

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年9月8日(2005.9.8)

【公開番号】特開2002-190727(P2002-190727A)

【公開日】平成14年7月5日(2002.7.5)

【出願番号】特願2000-389070(P2000-389070)

【国際特許分類第7版】

H 03 K 17/08

H 02 H 3/08

H 02 H 3/087

H 02 H 7/00

H 02 H 7/20

H 03 K 17/687

【F I】

H 03 K 17/08 C

H 02 H 3/08 T

H 02 H 3/087

H 02 H 7/00 B

H 02 H 7/20 F

H 03 K 17/687 A

【手続補正書】

【提出日】平成17年3月10日(2005.3.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ゲートに入力信号が供給され、電流通路の一端に負荷を介して電源が供給され、第1の電流量を有する第1のMOSFETと、

ゲートに前記入力信号が供給され、電流通路の一端が前記第1のMOSFETの電流通路の一端に接続され、前記第1の電流量より少ない電流量を有する第2のMOSFETと、

ゲートに前記入力信号が供給され、電流通路の一端が前記第1のMOSFETの電流通路の一端に接続され、前記第1の電流量より少ない第3の電流量を有する第3のMOSFETと、

コレクタが前記第1のMOSFETのゲートに接続され、ベースに前記第2のMOSFETを流れる電流により発生する電圧が供給され、初期電源投入時に前記第1のMOSFETのゲート電圧を制御する第1のトランジスタと、

コレクタが前記第1のMOSFETのゲートに接続され、ベースに前記第3のMOSFETを流れる電流により発生する電圧が供給され、前記負荷の異常時に前記第1のMOSFETのゲート電圧を制御する第2のトランジスタと、

前記入力信号が入力されてから一定時間、前記第3のMOSFETを流れる電流により発生する電圧が前記第2のトランジスタに供給されることを遮断するタイマと

を具備することを特徴とする半導体保護回路。

【請求項2】

前記第2、第3のMOSFETは前記第1のMOSFETのセル数より少ないセル数に

より構成されたことを特徴とする請求項1記載の半導体保護回路。

【請求項3】

ゲートに入力信号が供給され、電流通路の一端に負荷を介して電源が供給され、第1の電流量を有する第1のMOSFETと、

ゲートに入力信号が供給され、電流通路の一端に前記第1のMOSFETの電流通路の一端が接続され、前記第1の電流量より少ない第2の電流量を有する第2のMOSFETと、

前記第2のMOSFETの電流通路の他端に接続された第1の抵抗と、

前記第2のMOSFETの電流通路の他端に一端が接続された第2の抵抗と、

前記電源電圧が基準電圧以上のとき第1の論理レベルの信号を出力し、前記電源電圧が前記基準電圧以下のとき第2の論理レベルの信号を出力する比較回路と、

前記入力信号が供給され、前記比較回路から前記第1の論理レベルの信号が供給されたとき第1の論理レベルの信号を出力し、前記比較回路から前記第2の論理レベルの信号が供給されたとき第2の論理レベルの信号を出力するフリップフロップ回路と、

前記第2の抵抗の他端に電流通路の一端が接続され、前記フリップフロップ回路の出力信号が第1の論理レベルのとき導通し、第2の論理レベルのとき非導通とされる第3のMOSFETと、

コレクタが前記第1のMOSFETのゲートに接続され、ベースに前記第1、第2の抵抗に発生する電圧が供給され、前記第1のMOSFETのゲート電圧を制御するトランジスタと

を具備することを特徴とする半導体保護回路。

【請求項4】

前記第2のMOSFETは前記第1のMOSFETのセル数より少ないセル数により構成されたことを特徴とする請求項3記載の半導体保護回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

(初期点灯時)

図示せぬ制御回路からハイレベルの入力信号INが供給されると、抵抗R1及びR2を介してMOSFETM1～M3のゲートに供給され、MOSFETM1～M3はオンされる。MOSFETM1～M3にはセル数に応じた電流が流れ、突入電流の殆どはMOSFETM1に流れる。MOSFETM2を介して抵抗R3に流れる電流が例えば1mAに達すると、トランジスタQ1のベースに0.7Vの電圧が供給される。このため、トランジスタQ1がオンされ、MOSFETM1～M3のゲート電圧が低下する。したがって、MOSFETM1に流れる突入電流が約1Aに制限される。このように、MOSFETM2のセル数及び抵抗R3の抵抗値により、図3に示すように、突入電流に対する電流制限値IS1が規定され、この電流制限値IS1に応じて突入電流が制限される。