

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 17.05.11.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 23.11.12 Bulletin 12/47.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : STMICROELECTRONICS (ROUS-
SET) SAS — FR.

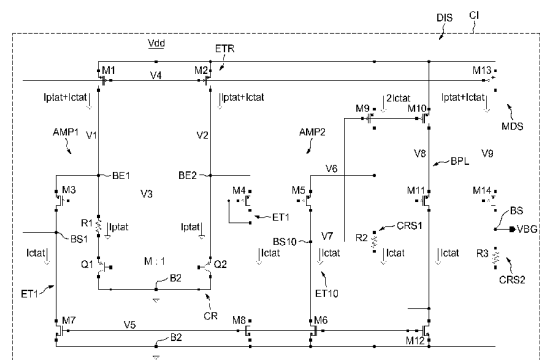
72 Inventeur(s) : FORT JIMMY et SOUDE THIERRY.

73 Titulaire(s) : STMICROELECTRONICS (ROUSSET)
SAS.

74 Mandataire(s) : BUREAU D.A. CASALONGA &
JOSSE.

54 PROCÉDE ET DISPOSITIF DE GENERATION D'UNE TENSION DE REFERENCE AJUSTABLE DE BANDE
INTERDITE.

57 Le procédé de génération d'une tension de référence ajustable de bande interdite comprend une génération d'un courant proportionnel à la température absolue (I_{ptat}) comportant une égalisation des tensions aux bornes (BE1, BE2) d'un coeur (CR) agencé pour être alors parcouru par ledit courant proportionnel à la température absolue, une génération d'un courant inversement proportionnel à la température absolue (I_{ctat}), une sommation de ces deux courants et une génération de ladite tension de référence de bande interdite (VBG) à partir de ladite somme de courants; ladite égalisation comprend une connexion aux bornes du coeur (CR) d'un premier amplificateur (AMP1) contre-réactionné possédant au moins un premier étage (ET1) agencé en montage replié et comportant des premiers transistors PMOS agencés selon un montage grille commune, et une polarisation dudit premier étage à partir dudit courant inversement proportionnel à la température absolue (I_{ctat}), ladite sommation des deux courants s'effectuant dans l'étage de contre-réaction (ETR) du premier amplificateur.



**Procédé et dispositif de génération d'une tension de référence
ajustable de bande interdite**

5 L'invention concerne la génération de tension de référence dite de bande interdite (« Bandgap Reference Voltage »).

Une tension de référence de bande interdite est une tension sensiblement indépendante de la température, et des dispositifs générant de telles tensions de référence sont largement utilisés dans
10 les circuits intégrés.

Généralement, un circuit générant une tension de bande interdite délivre une tension de sortie aux alentours de 1,25 volt, voisine de la valeur de bande interdite du silicium à la température de 0 degré Kelvin qui est égale à 1,22 eV.

15 Dans certains circuits, la valeur de la tension de référence délivrée peut être ajustée par la valeur d'une résistance ou d'un rapport de résistance. On parle alors d'une tension de référence de bande interdite ajustable.

D'une façon générale, la différence de tension entre deux
20 jonctions PN, par exemple des diodes ou des transistors bipolaires montés en diodes, présentant des densités de courant différentes, permet de générer un courant proportionnel à la température absolue, généralement connu par l'homme du métier sous la dénomination « Courant PTAT », où l'acronyme anglosaxon PTAT signifie
25 « Proportional To Absolute Temperature ».

Par ailleurs, la tension aux bornes d'une diode ou d'un transistor monté en diode traversé par un courant tel qu'un courant PTAT, est une tension comportant un terme inversement proportionnel à la température absolue et un terme du second ordre c'est-à-dire
30 variant non linéairement avec la température absolue. Une telle tension est néanmoins désignée par l'homme du métier sous le vocable de tension inversement proportionnelle à la température absolue et est généralement connue par l'homme du métier sous la dénomination

« tension CTAT », où l'acronyme anglosaxon CTAT signifie « Complementary To Absolute Temperature ».

On peut alors obtenir un courant CTAT à partir de cette tension CTAT.

5 La tension de référence dite de bande interdite, peut être alors obtenue à partir de la somme de ces deux courants moyennant un choix convenable des résistances dans lesquelles circulent ces deux courants, permettant d'annuler la contribution du facteur température pour une température donnée de façon à rendre cette tension dite de bande interdite, indépendante de la température autour de la température donnée.

10 Un exemple de circuit générant une tension de référence de bande interdite, est décrit par exemple dans l'article de Hironori Banba et autres, intitulé « A CMOS Bandgap Reference Circuit with Sub-1-V Operation », iee Journal of Solid-State Circuits, vol. 34, 15 n° 5, Mai 1999.

20 Un tel circuit comprend des moyens d'égalisation des tensions aux bornes d'un cœur, comportant une résistance et, dans les deux branches du cœur, deux nombres différents de diodes, le cœur étant alors parcouru par un courant interne proportionnel à la température absolue (courant PTAT).

Des résistances latérales sont par ailleurs connectées entre les bornes du cœur et la masse, et sont alors parcourues par un courant inversement proportionnel à la température absolue (courant Ictat).

25 Un module de sortie est alors agencé pour générer la tension de référence de sortie de bande interdite.

30 Le fonctionnement du circuit avec une très faible consommation de courant nécessite l'utilisation d'une forte valeur résistive pour la résistance latérale générant le courant, typiquement plusieurs méga-ohms. Par ailleurs cette résistance doit être dupliquée à chaque borne du cœur afin d'équilibrer les courants. Il en résulte par conséquent une surface de silicium occupée importante.

Un autre type de circuit délivrant une référence de tension de bande interdite est décrit dans l'ouvrage de P.R. Gray, P.H. Hurst,

S.H. Lewis et R.G. Meyer, intitulé « Analysis and Design of Analog Integrated Circuits », 4^{ème} édition, New York : Wiley, chapitre 4 p.326-327. Ce circuit utilise en particulier des miroirs de courant cascodés disposés entre la tension d'alimentation et les branches du cœur, de façon à améliorer le taux de réjection d'alimentation. Le courant PTAT délivré par le cœur, circule alors dans une branche additionnelle latérale comportant une résistance connectée en série avec un transistor bipolaire additionnel monté en diode additionnelle. Il en résulte par conséquent aux bornes de cette résistance additionnelle une différence de potentiel proportionnelle à la température absolue.

Par ailleurs, la tension résultante aux bornes de l'ensemble résistance additionnelle-diode additionnelle, est la somme de cette tension proportionnelle à la température absolue et de la tension basse émetteur du transistor bipolaire additionnel qui est elle, inversement proportionnelle à la température absolue.

Un module de sortie permet de délivrer en sortie une tension de référence de bande interdite.

Cependant, un tel circuit présente l'inconvénient de nécessiter une tension d'alimentation relativement élevée en raison de la présence de miroirs de courant cascodés, empilés entre la borne d'alimentation et le cœur.

Selon un mode de réalisation, il est proposé un générateur d'une tension de référence du type bande interdite capable de fonctionner sous une faible tension d'alimentation, avec une surface de silicium réduite, et présentant un fort paramètre PSRR (« Power Supply Rejection Ratio »). On rappelle que le paramètre PSRR est le rapport entre la variation de la tension d'alimentation et la variation correspondante de la tension de bande interdite délivrée.

Selon un aspect, il est proposé un dispositif de génération d'une tension de référence ajustable de bande interdite comprenant des premiers moyens de génération d'un courant proportionnel à la température absolue comportant des premiers moyens de traitement connectés aux bornes d'un cœur et agencés pour égaliser les tensions

aux bornes du coeur, des deuxièmes moyens de génération d'un courant inversement proportionnel à la température absolue connectés au cœur, et un module de sortie agencé pour générer la tension de référence.

5 Bien entendu l'homme du métier sait que le caractère proportionnel à la température absolue du courant interne circulant dans le cœur dépend notamment de la bonne égalisation des tensions aux bornes du cœur, cette égalisation pouvant être plus ou moins bonne en fonction notamment des aléas technologiques liés au procédé
10 de fabrication des composants pouvant conduire à des désappariements (« mismatch » en langue anglaise) de transistors par exemple, ou encore de décalages (« offset » en langue anglaise) internes de tensions.

Un courant proportionnel à la température absolue s'entend
15 donc ici comme un courant proportionnel ou sensiblement à la température absolue, compte tenu notamment d'imprécisions technologiques et/ou d'éventuels décalages en tension par exemple.

De même, un courant CTAT est un courant inversement proportionnel à la température absolue ou sensiblement inversement
20 proportionnel à la température absolue, compte tenu notamment également d'imprécisions technologiques.

Selon une caractéristique générale de cet aspect, les premiers moyens de traitement comprennent un premier amplificateur possédant au moins un premier étage, polarisé à partir du courant inversement
25 proportionnel à la température absolue, agencé selon un montage replié et comportant des premiers transistors PMOS agencés selon un montage grille commune ; les premiers moyens de traitement comportent également un étage de contre-réaction dont l'entrée est connectée à la sortie de l'amplificateur et dont la sortie est connectée
30 à l'entrée du premier étage ainsi qu'à au moins une borne du coeur, l'étage de contre-réaction étant destiné à être parcouru par un courant intermédiaire égale à la somme du courant proportionnel à la température absolue et du courant inversement proportionnel à la

température absolue, et le module de sortie est connecté à l'étage de contre-réaction.

5 Ainsi, selon cet aspect, on polarise le premier étage du premier amplificateur agencé en mode replié, à partir du courant inversement proportionnel à la température absolue généré par les deuxièmes
moyens de génération, ce qui permet la circulation dans l'étage de contre-réaction du premier amplificateur, d'un courant égal à la somme du courant proportionnel à la température absolue et du courant inversement proportionnel à la température absolue.

10 On évite donc, par cette structure, l'utilisation de résistances latérales importantes dupliquées, ce qui permet un gain de place tout en offrant une très faible consommation de courant car en plus de l'économie de résistance, les branches du premier étage qui dérivent le courant I_{ctat} servent aussi d'amplificateur.

15 Le montage en grille commune (dans lequel le signal d'entrée attaque la source d'un transistor MOS) qui se distingue d'un montage à source commune (dans lequel le signal attaque une grille d'un transistor MOS) permet de diminuer l'impédance d'entrée car on attaque une source au lieu d'une grille, ce qui permet notamment
20 d'améliorer le paramètre PSRR.

Par ailleurs, un montage replié du premier étage de l'amplificateur, dans lequel les branches contenant les transistors PMOS sont connectées entre les bornes du cœur et une tension de référence, par exemple la masse, se distingue d'un montage empilé
25 dans lequel les transistors du premier étage sont empilés avec les transistors de l'étage de contre-réaction et les transistors du cœur, et permet ainsi de fonctionner sous une tension d'alimentation minimum égale à la somme d'une tension drain-source d'un transistor MOS et d'une tension de diode, soit 0,9 volt environ. L'utilisation de
30 transistors PMOS permet également une polarisation du premier étage « par le bas », c'est-à-dire une circulation du courant de polarisation vers la masse.

En outre, l'utilisation de transistors PMOS montés en grille commune, qui nécessitent pour leur fonctionnement une tension grille-

source V_{gs} négative, contribue à pouvoir faire fonctionner le dispositif sous la tension minimum de l'alimentation mentionnée ci avant.

5 Selon un mode de réalisation les deuxièmes moyens de génération comprennent un montage amplificateur suiveur connecté à une borne du cœur.

Ainsi, on récupère, par le montage amplificateur suiveur, la tension inversement proportionnelle à la température absolue disponible à une borne du cœur de façon à polariser le premier étage du premier amplificateur à partir du courant correspondant inversement proportionnel à la température absolue.

10 Plusieurs structures de montage amplificateur suiveur sont possibles.

Il est par exemple possible de prévoir un montage amplificateur suiveur, connecté à une borne du cœur et séparé du premier amplificateur, comportant un deuxième amplificateur de structure classique, par exemple du type à source commune, et un transistor de contre-réaction connecté entre la sortie du deuxième amplificateur et l'entrée positive du deuxième amplificateur.

20 Cela étant, il est particulièrement avantageux que le montage amplificateur suiveur comprenne un deuxième amplificateur possédant au moins un premier étage, également polarisé à partir dudit courant inversement proportionnel à la température absolue, comportant des deuxièmes transistors PMOS agencés selon un montage grille commune, le premier étage du deuxième amplificateur ayant une partie commune avec le premier étage du premier amplificateur, et un transistor de contre-réaction connecté entre la sortie du deuxième amplificateur et une entrée du deuxième amplificateur.

25 Le fait d'avoir une partie commune pour les premiers étages des deux amplificateurs permet de diminuer la consommation de courant et d'améliorer l'appariement entre les deux amplificateurs.

30 Par ailleurs l'utilisation pour le premier étage du deuxième amplificateur de transistors PMOS en montage en grille commune, confère les mêmes avantages que ceux indiqués ci-avant pour le premier étage du premier amplificateur.

En outre, le fait que les premiers étages des deux amplificateurs aient une partie commune permet d'avoir un montage replié pour le premier étage du deuxième amplificateur. De ce fait, non seulement le dispositif dans sa globalité peut fonctionner sous une tension d'alimentation minimum égale à la somme d'une tension drain-source d'un transistor MOS et d'une tension de diode, soit 0,9 volt environ, mais cette tension d'alimentation minimum va suivre l'évolution des technologies et descendre en dessous de 0,9 volt si la valeur de la tension drain-source d'un transistor MOS et/ou d'une tension de diode diminue. Ceci n'aurait pas forcément été le cas pour un deuxième amplificateur classique suiveur en montage source commune totalement séparé du premier amplificateur, qui peut nécessiter une tension d'alimentation supérieure à la tension d'alimentation correspondant à la technologie utilisée, si cette dernière tension d'alimentation est trop basse.

Bien que différents types d'architectures soient possibles, notamment une contre-réaction connectée sur une seule borne du cœur, il est préférable que le premier amplificateur soit à entrée différentielle et à sortie unique, et que l'étage de contre-réaction soit à entrée unique et sortie différentielle. Une telle architecture globale différentielle-différentielle permet d'avoir une bonne égalité entre les courants circulant dans les deux transistors (diodes) du cœur et donc une meilleure linéarité vis-à-vis de la température du courant proportionnel à la température absolue.

Selon un mode de réalisation, une boucle de polarisation est connectée entre les deuxièmes moyens de génération et les premiers étages respectifs du premier amplificateur et du deuxième amplificateur, et est agencée pour polariser chacun de ces premiers étages à partir du courant inversement proportionnel à la température absolue.

Selon un mode de réalisation, ledit premier amplificateur comprend un étage inverseur agencé en montage du type source commune, et connecté entre la sortie du premier étage et l'entrée de l'étage de contre-réaction, la sortie de l'étage inverseur formant la

sortie de l'amplificateur et ledit deuxième amplificateur comprend un étage inverseur agencé en montage du type source commune, connecté entre la sortie du premier étage et la grille du transistor de contre-réaction.

5 L'adjonction de tels étages inverseurs permet notamment d'augmenter la plage de valeurs possibles pour la tension d'alimentation, et d'améliorer encore le paramètre PSRR, surtout si le gain est important.

10 Selon un autre aspect, il est proposé un circuit intégré comprenant un dispositif tel que défini ci-avant.

15 Selon un autre aspect, il est proposé un procédé de génération d'une tension de référence ajustable de bande interdite, comprenant une génération d'un courant proportionnel à la température absolue comportant une égalisation des tensions aux bornes d'un cœur agencé pour être alors parcouru par ledit courant proportionnel à la température absolue, une génération d'un courant inversement proportionnel à la température absolue, une sommation de ces deux courants et une génération de ladite tension de référence de bande interdite à partir de ladite somme de courants.

20 Selon une caractéristique générale de cet aspect, ladite égalisation comprend une connexion aux bornes du cœur d'un premier amplificateur contre-réactionné possédant au moins un premier étage agencé en montage replié et comportant des premiers transistors PMOS agencés selon un montage grille commune, et une polarisation dudit premier étage à partir dudit courant inversement proportionnel à la température absolue, ladite sommation des deux courants s'effectuant dans l'étage de contre-réaction du premier amplificateur.

25 Selon un mode de mise en œuvre, on génère ledit courant inversement proportionnel à la température absolue en utilisant un deuxième amplificateur contre-réactionné possédant au moins un premier étage ayant une partie commune avec le premier étage du premier amplificateur et on polarise également le premier étage du deuxième amplificateur à partir dudit courant inversement proportionnel à la température absolue.

30

On peut polariser le premier étage du premier amplificateur et le premier étage du deuxième amplificateur avec ledit courant inversement proportionnel à la température absolue ou avec une fraction de ce courant inversement proportionnel à la température absolue.

D'autres avantages et caractéristiques de l'invention, permettant notamment d'améliorer la stabilité du signal de sortie tout en augmentant le gain, apparaîtront à l'examen de la description détaillée de modes de réalisation et de mises en oeuvre, nullement limitatifs, et des dessins annexés, sur lesquels :

- les figures 1 à 3 illustrent schématiquement différents modes de réalisation d'un dispositif de génération selon l'invention permettant différents modes de mise en oeuvre du procédé selon l'invention.

Sur la figure 1, la référence DIS désigne un dispositif de génération d'une tension de bande interdite VBG.

Ce dispositif DIS est par exemple réalisé de façon intégré au sein d'un circuit intégré CI.

Le dispositif DIS comporte un cœur CR agencé pour, lorsque les tensions V1 et V2 à ses deux bornes BE1 et BE2 sont égalisées, être parcouru par un courant interne Iptat proportionnel à la température absolue.

Le cœur CR comporte ici un premier transistor bipolaire PNP, référencé Q1, monté en diode et connecté en série avec une résistance R1 entre la borne d'entrée BE1 et une borne B2 reliée à une tension de référence, ici la masse.

Le cœur CR comporte également un transistor bipolaire PNP référencé Q2, également monté en diode, et connecté en série entre la deuxième borne BE2 du cœur et la borne B2 reliée à la masse.

La taille du transistor Q1 et la taille du transistor Q2 sont différentes, et sont dans un rapport M de façon à ce que la densité de courant traversant le transistor Q1 soit différente de la densité de courant traversant le transistor Q2. Bien entendu il serait aussi

possible d'utiliser un transistor Q2 et M transistors Q1 en parallèle, tous de même taille que celle du transistor Q2.

Comme il est bien connu de l'homme du métier, lorsque les tensions V1 et V2 sont égales ou sensiblement égales, le courant interne Iptat traversant la résistance R1 est alors proportionnel à la
5 température absolue et égal à $KT \text{Log}(M)/qR1$, où K désigne la constante de Boltzmann, T la température absolue, q la charge d'un électron, et Log la fonction logarithme népérien.

Le dispositif comporte également un premier amplificateur
10 AMP1 possédant ici un premier étage ET1 agencé en montage à grille commune et en montage replié.

L'amplificateur AMP1 est contre-réactionné par un étage de contre-réaction ETR connecté entre la sortie BS1 du premier étage ET1, et donc de l'amplificateur AMP1, et l'entrée différentielle BE1,
15 BE2 du premier étage qui forme également les deux bornes du cœur CR.

L'amplificateur contre-réactionné est ainsi agencé pour égaliser les tensions V1, V2 aux bornes BE1, BE2 du cœur CR.

Le premier étage ET1 de l'amplificateur AMP1, qui est ici un
20 étage à entrée différentielle et sortie unique, comprend ici une paire différentielle de branches comportant une paire de transistors PMOS M3, M4, mutuellement connectés par leur grille.

Ces deux transistors PMOS sont en montage à grille commune, leurs sources respectives, recevant le signal d'entrée, étant connectées
25 aux deux bornes d'entrée BE1, BE2. Les tensions aux bornes BE1, BE2 sont de l'ordre de 500 mV à 800 mV dans toute la plage de températures.

Le transistor M4 est monté en diode, son drain étant relié à sa grille.

La tension V3 aux bornes des grilles des transistors M3 et M4
30 est égale à V2 moins la tension grille-source de M4. Au plus bas elle est égale à la tension de saturation drain-source du transistor M8, soit de l'ordre de 100 millivolts.

La tension V_{gs} aux bornes des transistors M3 et M4 est par conséquent négative et compatible avec le fonctionnement d'un transistor PMOS.

5 Le drain du transistor M3 forme ici la borne de sortie BS1 du premier étage ET1.

Le premier étage ET1 comporte également deux transistors de polarisation NMOS, M7 et M8, mutuellement connectés par leur grille. Le transistor M7 est connecté en série entre le drain du transistor M3 et la borne B2 reliée à la masse, et le transistor M8 est connecté en
10 série entre le drain du transistor M4 et la borne B2.

L'étage de contre-réaction ETR, agencé en montage source commune, comporte une paire de transistors PMOS, M1, M2 mutuellement connectés par leur grille. Le transistor PMOS M1 a sa source connectée à la borne B1 reliée à une tension d'alimentation
15 V_{dd} , et son drain connecté à la borne BE1.

Le transistor PMOS M2 a également sa source connectée à la borne d'alimentation B1 et son drain connecté à la borne BE2 du cœur.

La borne de sortie en tension BS1 de l'étage ET1 est connectée à l'entrée (grille des transistors M1 et M2) de l'étage ETR.

20 L'étage de contre-réaction est donc ici à entrée unique et sortie différentielle, ce qui permet d'obtenir une architecture globale complètement différentielle.

Le dispositif DIS comprend également un montage amplificateur suiveur comprenant un second amplificateur opérationnel
25 AMP2.

Le deuxième amplificateur AMP2 comprend un premier étage ET10 comportant une paire différentielle de branches comportant ici une paire de transistors PMOS M4, M5 mutuellement connectés par leur grille.

30 La source du transistor M4 est reliée à la borne BE2 du cœur CR tandis que le drain du transistor M5 forme la borne de sortie BS10 du premier étage ET10 et est connecté à la grille d'un transistor de contre-réaction M9 dont le drain est connecté à la source du transistor M5.

Les sources des transistors M4 et M5 forment donc ici une entrée différentielle et le but de cet amplificateur AMP2 est d'égaliser les tensions V2 et V6 respectivement présentes à l'entrée différentielle du premier étage ET10.

5 Le premier étage ET10 comporte également deux transistors de polarisation NMOS M8 et M6, mutuellement connectés par leur grille.

Le transistor M6 est connecté en série entre le drain du transistor M5 et la borne B2.

10 On voit donc ici que les transistors PMOS M4 et M5 sont également agencés selon un montage grille commune. Par ailleurs, le premier étage ET10 du deuxième amplificateur AMP2 a une partie commune, en l'espèce la branche M4, M8, avec le premier étage ET1 du premier amplificateur AMP1.

15 Le premier étage ET10 de l'amplificateur AMP2 est également agencé selon un montage replié.

Un premier circuit résistif CRS1, comportant ici une résistance R2, est connecté en série entre le drain du transistor de contre-réaction M15 et la masse (borne B2).

20 Le second amplificateur AMP2 contre-réactionné par le transistor de contre-réaction M9, ainsi que le premier chemin résistif CRS1, forment des deuxièmes moyens de génération d'un courant I_{ctat} inversement proportionnel à la température absolue.

25 Le dispositif DIS comporte également une boucle de polarisation BPL connectée entre les deuxièmes moyens de génération, et plus particulièrement la grille du transistor de contre-réaction M9, et les premiers étages ET1 et ET10.

30 La boucle de polarisation BPL comporte ici le transistor de contre-réaction M9, ainsi qu'un premier transistor additionnel M10 dont la grille est connectée à la grille du transistor de contre-réaction M9.

La source du transistor M10 est connectée à la borne d'alimentation B1, la taille (largeur W de canal/longueur L de canal) de chacun des transistors M9 et M10 est identique de sorte que les transistors M9 et M10 forment des premiers moyens de recopie de

courant, de sorte que le courant traversant le transistor M10 est égal au courant traversant le transistor M9.

5 Outre un transistor M11, dont on reviendra plus en détail ci après sur la fonction, la boucle de polarisation comporte également des miroirs de courant formés par les transistors de polarisation M6, M7, M8 et par un transistor M12 monté en diode et connecté en série entre le transistor M11 et la borne B2 reliée à la masse.

10 Le dispositif DIS comporte également un module de sortie MDS comprenant ici des deuxièmes moyens de recopie de courant formés par les transistors PMOS M1, M2 de l'étage de contre-réaction, et par un deuxième transistor additionnel PMOS, référencé M13.

15 La grille de ce transistor M13 est connectée à la grille des transistors M1, M2 et sa source est reliée à la borne d'alimentation B1. Son drain est relié à la borne de sortie BS du dispositif par l'intermédiaire d'un transistor M14 dont on reviendra plus en détail ci après sur la fonction.

20 Bien que le rapport entre la taille du transistor M13 et la taille des transistors M1, M2 puisse être quelconque, la taille du transistor M13 est ici prise égale à la taille du transistor M2 (égale à la taille du transistor M1) de façon que les deuxièmes moyens de recopie M1, M2, M13 délivrent un courant recopié égal au courant intermédiaire circulant dans l'étage de contre-réaction.

25 Le module de sortie MDS comporte également un second chemin résistif CRS2 comportant une résistance R3 connectée ici entre la borne de sortie BS et la masse (borne B2).

30 En régime établi, c'est-à-dire lorsque les tensions V1 et V2 sont égalisées ou quasiment égalisées, le cœur CR est traversé par le courant interne I_{ptat} . Par ailleurs, la tension V2 disponible à la borne BE2 du cœur est une tension CTAT, c'est-à-dire une tension inversement proportionnelle à la température absolue.

De part l'approche grille commune, les deux amplificateurs contre-réactionnés peuvent aussi être considérés comme une boucle de contre-réaction qui régule les tensions V4 (tension de sortie du

premier étage ET1) et V7 (tension de sortie du premier étage ET10) de façon à obtenir les égalités suivantes entre les courants suivants :

$$I_{M1}=I_{M2}=I_{M3}+I_{R1}$$

$$I_{M1}=I_{M5}+I_{R2}$$

5 Comme indiqué ci-avant, le second amplificateur AMP2, contre-réactionné par le transistor de contre-réaction M9, égalise les tensions V2 et V6 présentes à ces deux entrées à la valeur de la tension V2. Par conséquent, le courant traversant le transistor de contre-réaction M9 et par conséquent la résistance R2 du premier chemin résistif CRS1, est le courant inversement proportionnel à la
10 température absolue $I_{ctat}=V2/R2$.

Ce courant est recopié dans la branche M10, M11, M12 de la boucle de polarisation BPL par l'intermédiaire des premiers moyens de recopie de courant formé par les transistors M9 et M10.

15 Ce courant est par ailleurs recopié dans les branches de la paire différentielle du premier étage ET1 du premier amplificateur AMP1 par l'intermédiaire des transistors M7, M8, M12, de même taille, et qui forment par conséquent un miroir de courant.

20 Ce courant est également recopié dans les branches de la paire différentielle du premier étage ET10 du deuxième amplificateur AMP2 par l'intermédiaire des transistors M6, M8, M12, de même taille, et qui forment par conséquent un miroir de courant.

Ainsi le premier étage ET1 et le premier étage ET10 sont tous les deux polarisés avec le courant I_{ctat} .

25 En conséquence, le courant intermédiaire qui circule dans l'étage de contre-réaction ETR du premier amplificateur AMP1, c'est-à-dire à travers les transistors M1 et M2, est, du fait du montage replié du premier étage, la somme du courant I_{ptat} circulant dans le cœur CR et du courant I_{ctat} .

30 Ce courant intermédiaire $I_{ptat}+I_{ctat}$ est égal à $\frac{kT \log M}{qR1} + \frac{V2}{R2}$,

Ce courant intermédiaire est ensuite recopié dans le deuxième schéma résistif CRS2 du module de sortie MDS par les deuxièmes

moyens de recopie de courant formés par les transistors M1, M2 et M13, qui sont, dans ce mode de réalisation, tous trois de même taille.

En conséquence, ce courant recopié est ici égal au courant intermédiaire circulant dans l'étage de contre-réaction.

5 En raison de la présence de la résistance R3, la tension de sortie VBG est égale à $\frac{R3}{R2} \left(V2 + \frac{R2}{R1} \frac{kT}{q} \text{Log}M \right)$.

10 En choisissant correctement le rapport R2/R1, le coefficient dépendant de la température de la tension VBG peut être annulé pour une température donnée, par exemple 27°C, et la valeur de la tension VBG est alors considérée comme indépendante de la température absolue pour cette température donnée, c'est-à-dire qu'elle variera très peu dans une plage de températures autour de cette température donnée. La valeur de la résistance R3 permet d'ajuster la valeur de la tension VBG.

15 Quoique non indispensables, les transistors auxiliaires M11 et M14, dont les grilles sont connectées aux grilles des transistors M3, M4 et M5, forment respectivement, avec les transistors M10 et M14, deux montages cascodes. La présence du premier transistor cascode M11 permet d'obtenir une bonne égalité entre la tension de drain V8
20 du transistor M10 et la tension V6 présente à une entrée du second amplificateur AMP2, ce qui garantit une très bonne copie de courant au niveau de M9-M10.

25 Le paramètre PSRR de la tension de sortie VBG dépend de la réjection d'alimentation au niveau du chemin résistif CRS2 et de la réjection d'alimentation du courant intermédiaire $I_{ptat} + I_{ctat}$ circulant dans l'étage de contre-réaction ETR.

La réjection d'alimentation dans le chemin résistif CRS2 est améliorée par l'adjonction du transistor cascode M14.

30 Du fait du transistor cascode M14, généralement on choisit R3 de façon à pouvoir obtenir une valeur de la tension VBG strictement inférieure au minimum de la tension V2 sur la plage de température. Si on enlève le transistor de cascode M14, on peut choisir R3 de façon à pouvoir obtenir une valeur de la tension VBG supérieure (jusqu'à

VDD–VDSSAT où VDSSAT désigne la tension de saturation drain-source du transistor M13), mais au prix d'une détérioration du paramètre PSRR.

5 La réjection d'alimentation du courant intermédiaire est également améliorée par le fait que les transistors PMOS de l'étage ET1 sont agencés dans un montage à grille commune. En effet, l'impédance aux bornes BE1 et BE2 est réduite alors de façon significative, ce qui permet d'augmenter le paramètre PSRR.

10 Par ailleurs, la contre-réaction divise cette impédance par un facteur égal à 1 plus le gain en boucle ouverte, ce qui améliore encore le paramètre PSRR.

Enfin, la consommation du dispositif est réduite en raison de la présence d'une partie commune entre les deux premiers étages des deux amplificateurs.

15 Le dispositif de la figure 1 présente un décalage de tension variable en température entre les bornes BE1 et BE2 (sur les tensions V1 et V2), en raison de la non-égalité entre les tensions de drain V3 et V4 des transistors M3 et M4.

Ceci peut être gênant dans certaines applications.

20 De façon à remédier à ceci tout en augmentant la plage de valeurs possibles pour la tension d'alimentation Vdd ainsi que le taux PSRR, on peut utiliser le mode de réalisation du dispositif DIS illustré sur la figure 2.

25 Par rapport au mode de réalisation précédent, le premier étage ET1 de l'amplificateur AMP1 du dispositif DIS illustré sur la figure 2 a une structure différente, mais présentant toujours un agencement replié en montage grille commune. Plus précisément, le premier étage ET1 comporte une première paire différentielle de branches connectée entre les deux bornes BE1 et BE2 du cœur et la borne de référence B2 (la masse), cette première paire différentielle de branches comportant
30 une première paire de transistors PMOS M3 et M4.

Le premier étage ET1 comporte par ailleurs une deuxième paire différentielle de branches connectée de façon croisée entre les deux bornes BE1 et BE2 du cœur, et la tension de référence (borne B2),

cette deuxième paire différentielle de branches comportant une deuxième paire de transistors PMOS M5 et M40.

Les transistors M3 et M4 de la première paire de transistors sont montés en diodes, leur drain étant connecté à leur grille.

5 Par ailleurs, la grille du transistor M5 est reliée à la grille du transistor M3 et la grille du transistor M40 est reliée à la grille du transistor M4. Le doublet de transistors homologues M3, M5 des deux paires forme donc un pseudo-miroir de courant, de même que le doublet des transistors homologues M4, M40 des deux paires.

10 Chaque doublet forme un pseudo-miroir de courant car les sources des deux transistors de chaque doublet sont différentes. Cela étant l'égalité des courants circulant dans les deux transistors de chaque doublet vient du fait que le dispositif égalise les sources des deux transistors correspondants en régime établi c'est-à-dire lorsque
15 les tensions V_1 et V_2 sont égalisées ou quasiment égalisées. On obtient alors une copie de courant et chaque doublet de transistors se comporte alors fonctionnellement comme un miroir de courant. On peut donc dire que chaque doublet forme structurellement un pseudo-miroir de courant et fonctionnellement un miroir de courant.

20 On retrouve dans la première paire différentielle de branches, les deux transistors de polarisation NMOS, référencés M7 et M8, respectivement connectés en série avec les transistors PMOS M3 et M4.

25 La deuxième paire différentielle de branches comporte un premier transistor NMOS supplémentaire M90 et un deuxième transistor supplémentaire M100, ce dernier étant monté en diode, dont les grilles sont mutuellement connectées, et formant ensemble un miroir de courant.

30 Le drain du premier transistor supplémentaire NMOS référencé M90 est connecté au drain du transistor PMOS M5 et sa source est reliée à la masse (borne B2).

De même, le drain du transistor NMOS supplémentaire référencé M100 est connecté au drain du transistor M40 et sa source est reliée à la borne B2.

En outre, par rapport au mode de réalisation de la figure 1, l'amplificateur AMP1 du dispositif DIS comporte ici un étage inverseur ET2 agencé en montage du type source commune (le signal de sortie du premier étage attaque la grille d'un transistor MOS), cet
5 étage inverseur étant connecté entre la sortie BS1 du premier étage ET1, formée par le drain du premier transistor PMOS M5, et l'entrée de l'étage de contre-réaction ETR, la sortie BS2 de l'étage inverseur formant la sortie de l'amplificateur AMP1.

L'étage inverseur ET2 comporte ici un premier transistor
10 NMOS M110 ainsi qu'un transistor PMOS M130. La source du transistor NMOS M110 est reliée à la borne de référence B2 (la masse) tandis que la source du transistor PMOS M130 est reliée à la borne d'alimentation B1.

Les drains des transistors M110 et M130 sont reliés ensemble
15 et forment la sortie BS2 de l'étage inverseur ET2. Cette sortie BS2 est reliée à la grille des transistors M1, M2, M13.

La taille (rapport W/L où W désigne la largeur du canal et L la longueur du canal) du transistor NMOS supplémentaire M100 est égale
20 à la taille du premier transistor NMOS M110 de l'étage inverseur ET2 dont la grille est connectée à la sortie BS1 de l'étage ET1.

L'étage ET1 est là encore, dans ce mode de réalisation, un étage à entrée différentielle et sortie unique tandis que l'étage inverseur ET2 est un étage à entrée unique et sortie unique.

Le premier étage ET10 du second amplificateur AMP2
25 comporte, outre les deux branches M4, M8 et M40, M100, communes avec le premier étage ET1 de l'amplificateur AMP1, trois autres branches.

Plus précisément, une première branche connectée entre le drain du transistor de contre-réaction M9 et la borne B2 (la masse)
30 comporte un transistor PMOS M120, dont la grille est connectée aux transistors PMOS M4 et M40, connecté en série avec un transistor NMOS M140 monté en diode.

Une deuxième branche de l'étage ET10 est connectée entre la borne BE2 du cœur CR et la borne B2, et comporte un transistor PMOS M150 connecté en série avec un transistor NMOS M160.

5 Les transistors NMOS M140 et M160 forment ici un miroir de courant.

Une troisième branche de l'étage ET10 est connectée entre le drain du transistor de contre-réaction M9 et la borne B2, et incorpore un transistor PMOS M170 monté en diode, dont la grille est connectée à la grille du transistor PMOS M150. Ce transistor PMOS M170 est
10 connecté en série avec le transistor NMOS de polarisation M6.

Les transistors M150 ET M170 forment également un pseudo-miroir de courant.

Le drain du transistor M150 forme la borne de sortie BS10 du premier étage ET10.

15 En conséquence, on voit donc ici que le premier étage ET10 du deuxième amplificateur comprend également une paire différentielle de branches connectées de façon croisée entre d'une part, la borne BE2 du cœur, et la sortie du transistor de contre-réaction M9 et d'autre part, la tension de référence présente à la borne B2.

20 De façon à ce que le nombre de branches respectivement connectées aux deux bornes BE1 et BE2 du cœur soient égaux, les premiers moyens de traitement comportent ici une branche factice BDM connectée entre la borne BE1 et la borne B2 et également connectée à la boucle de polarisation BPL.

25 Cette branche factice, qui ne participe pas au fonctionnement proprement dit de l'amplificateur AMP1, comporte un premier transistor PMOS factice M2B, monté en diode, et connecté en série avec un transistor de polarisation NMOS M2C dont la grille est connectée aux transistors de polarisation M7, M8 et M6 ainsi qu'au
30 transistor M12 de la boucle de polarisation BPL.

De ce fait, trois branches sont connectées à la borne BE1 et trois branches sont connectées à la borne BE2. On obtient ainsi un équilibre du circuit.

Le second amplificateur AMP2 comporte également un étage inverseur ET20 comportant un transistor NMOS M180 connecté en série avec un transistor PMOS M190. La source du transistor PMOS M190 est connectée à la borne B1 et la source du transistor NMOS M180 est connectée à la borne B2.

Les drains communs des transistors M180 et M190 forment la borne de sortie BS20 de l'amplificateur AMP2.

Cette borne de sortie est connectée à la grille du transistor de contre-réaction M9 ainsi qu'à la grille du transistor M190.

Le transistor M190 est par conséquent ici monté en diode, ce qui confère un gain relativement faible à l'étage inverseur ET20.

Par ailleurs, la taille (rapport W/L) du transistor NMOS 140 de l'étage ET10 est égale à la taille du transistor NMOS 150 de l'étage ET20.

La taille du transistor de contre-réaction M9 est ici cinq fois plus grande que la taille du transistor M190 de l'étage ET20 et du transistor M10 de la boucle de polarisation BPL.

Par conséquent, compte tenu des différents miroirs de courant, pseudo-miroirs de courant et de la boucle de polarisation, alors que le courant I_{ctat} circule dans la résistance R2 en régime établi, un courant égal à $5 I_{ctat}/3$ circule dans le transistor M9 tandis qu'un courant égal à $I_{ctat}/3$ circule dans l'étage ET20 et dans la branche M10, M11 de la boucle de polarisation.

De par la présence des transistors M12, M6, M7, M8 et M2C, la boucle de polarisation BPL permet de faire circuler un courant de polarisation égal à $I_{ctat}/3$ dans la branche M6, M7, dans la branche M8, M4, dans la branche M7, M3, et dans la branche factice BDM.

Par ailleurs, le pseudo-miroir de courant M150, M170 et le miroir de courant M140, M160 permettent de faire circuler un courant $I_{ctat}/3$ dans la branche M120, M140, et dans la branche M150, M160.

De même, les pseudo-miroirs de courant M4, M40 et M3, M5 permettent de faire circuler un courant égal à $I_{ctat}/3$ dans la branche M40, M100 et dans la branche M5, M90.

En conséquence, le courant intermédiaire circulant dans l'étage de contre-réaction ETR est toujours égal à $I_{ptat} + I_{ctat}$.

La taille du transistor M130 de l'étage ET2 étant également cinq fois plus faible que la taille du transistor M9, un courant $I_{ctat}/3$ circule également dans l'étage ET2.

Bien que le transistor M190 de l'étage ET20 soit agencé en diode, la plage de valeurs admissibles pour la tension d'alimentation est plus élevée que dans le mode de réalisation de la figure 1, car la dynamique sur la tension V7 (borne BS2) est plus importante que la dynamique de la tension V4 (borne BS1) du dispositif de la figure 1 qui suit l'augmentation de la tension d'alimentation Vdd conduisant *in fine* à un pincement de la tension drain-source du transistor M3 du dispositif de la figure 1.

En effet, dans le mode de réalisation de la figure 2, quand la tension d'alimentation augmente, la tension V7 augmente, mais la tension V5 reste fixe car cette tension attaque la grille d'un transistor NMOS (le transistor M110) référencé à la masse.

A titre indicatif, alors que la plage de variations possibles de la tension d'alimentation Vdd est de l'ordre de 300 millivolts pour le dispositif de la figure 1, elle s'étend entre environ 0,9 volt et la valeur de la tension de claquage (« breakdown voltage ») des transistors pour le dispositif de la figure 2.

Par ailleurs, puisque la tension V5 (drain du transistor M5) attaque la grille d'un transistor NMOS, en l'espèce le transistor M110 de l'étage ET2, tandis que la tension V6 (drain du transistor M40) attaque également la grille d'un transistor NMOS, en l'espèce le transistor M100 du miroir de courant M90, M100 et, puisque la taille des transistors M110 et M100 est identique et que ces deux transistors sont traversés sensiblement par le même courant, à savoir le courant $I_{ctat}/3$, on a une quasi égalité des tensions V5 et V6 et par conséquent une réduction notable du décalage au niveau des tensions V1 et V2.

Il convient de noter ici que le miroir de courant M90, M100 permet aussi de récupérer le différentiel et permet effectivement une sortie unique du premier étage ET1.

De même puisque la tension V10 (drain du transistor M150) attaque la grille d'un transistor NMOS, en l'espèce le transistor M180 de l'étage ET20, tandis que la tension V9 (drain du transistor M120) attaque également la grille d'un transistor NMOS, en l'espèce le transistor M140 du miroir de courant M140, M160 et, puisque la taille des transistors M140 et M180 est identique et que ces deux transistors sont traversés sensiblement par le même courant, à savoir le courant $I_{ctat}/3$, on a une quasi égalité des tensions V9 et V10 et par conséquent une réduction notable du décalage au niveau des tensions V2 et V8.

Un décalage subsiste encore du fait de l'inégalité entre les tensions V7 et V12, mais son impact est divisé par le gain de l'étage ET2 et de l'étage ET20. En outre dans un exemple particulier, à 27°C, $V7=V12$ car à cette température $I_{ptat} \approx I_{ctat}$ et la taille de M1, M2 et M13 a été choisie pour satisfaire cette égalité. De ce fait, le décalage est très faible sur toute la plage -40°C à 125°C.

On notera également que le premier étage ET10 du second amplificateur AMP2 est également à entrée différentielle et sortie unique, le miroir de courant M140, M160 permettant de récupérer le différentiel et de créer la tension de sortie unique V10.

Par ailleurs, ce mode de réalisation permet d'augmenter encore le paramètre PSRR en raison du couplage croisé des paires différentielles de branches qui permettent une augmentation par deux du gain.

Par ailleurs, la présence des deuxièmes étages inverseurs ET2 et ET20 dans le dispositif de la figure 2 permet une augmentation du gain en boucle ouverte (même si cette augmentation est amoindrie compte tenu du gain faible de l'étage inverseur ET20), ce qui va dans le sens d'une amélioration du paramètre PSRR.

Cela étant, en raison de la présence dans le mode de réalisation de la figure 2, de deuxièmes étages inverseurs ET2, ET20 il peut résulter des problèmes de stabilité du signal de sortie se traduisant par la présence sur ce signal d'oscillations entretenues.

Il peut donc être nécessaire dans certaines applications, de compenser ces oscillations par exemple par l'adjonction de condensateurs.

5 Le mode de réalisation de la figure 3 permet de continuer à offrir une plage de valeurs plus importante pour la tension d'alimentation, tout en permettant une compensation plus aisée de ces oscillations.

10 Par rapport au mode de réalisation de la figure 2, le premier étage ET1 de l'amplificateur AMP1 comporte cette fois-ci, non seulement le transistor M100 monté en diode mais également le transistor M90.

Le transistor M90, monté en diode, forme avec le transistor NMOS M110 de l'étage inverseur ET2, dont la grille est reliée au drain du transistor M90, un miroir de courant.

15 Par ailleurs, dans ce mode de réalisation, l'étage inverseur ET2 comporte une deuxième branche comprenant un transistor NMOS M124 et un transistor PMOS M125 monté en diode, connecté en série entre la borne d'alimentation B1 et le transistor M124 référencé par ailleurs à la masse (connexion de la source à la borne B2).

20 La grille du transistor M125 est par ailleurs reliée à la grille du transistor PMOS M130 de l'étage ET2, ces deux transistors M125 et M130 formant ainsi un miroir de courant.

25 Par analogie avec les transistors M90 et M110, les transistors M100 et M124 forment un miroir de courant NMOS, la grille du transistor M124 étant reliée au drain du transistor M100.

L'étage ET1 est cette fois-ci un étage différentiel en entrée et différentiel en sortie, la sortie différentielle BS100-BS110 du premier étage ET1 étant formée par les drains des transistors M90 et M100.

30 De ce fait, l'étage inverseur ET2 est cette fois-ci un étage à entrée différentielle et sortie unique.

En ce qui concerne l'étage ET10 du second amplificateur AMP2, outre le fait qu'il comporte là encore une partie commune avec le premier étage ET1 du premier amplificateur, il présente une structure différente de celle de la figure 2.

Plus précisément, le transistor M160 connecté au transistor M150 est monté en diode et les drains respectifs des transistors M140 et M160 forment une sortie différentielle BS200-BS210 pour ce premier étage ET10.

5 Par ailleurs, le deuxième étage inverseur ET20 comporte, tout comme le deuxième étage ET2, une branche additionnelle connectée entre les bornes B1 et B2 et comportant un transistor PMOS M195 connecté en diode, et un transistor NMOS M194 dont la grille est connectée à la grille du transistor M140 et par conséquent à son drain.

10 Les transistors M194 et M140 forment par conséquent un miroir de courant au même titre que les transistors M160 et M180.

La grille du transistor M195 est reliée à la grille du transistor M190 et ces deux transistors forment par conséquent un miroir de courant.

15 On notera ici que l'étage ET20 est dans ce mode de réalisation un étage à entrée différentielle et sortie BS20 unique.

Par ailleurs, le gain de l'étage inverseur ET20 est cette fois-ci bien plus important que le gain de l'étage ET20 de la figure 2 car cette fois-ci le transistor M190 n'est pas monté en diode.

20 De par la boucle de polarisation BPL et les différents miroirs de courant et pseudo-miroirs de courant, un courant $I_{ctat/3}$ circule dans chacune des branches des étages ET1, ET10, ET2 et ET20 ainsi que dans la branche factice BDM.

25 Par ailleurs, le transistor M9 a une taille cinq fois plus importante que la taille du transistor M10, de façon à ce qu'un courant égal à $5 I_{ctat/3}$ le traverse en régime établi.

30 Par rapport à la structure de la figure 2, le gain n'a pas augmenté car le gain du premier étage ET10 est plus faible du fait de la diode M160. Par contre le gain étant reporté sur l'étage inverseur ET20, la compensation des instabilités se fait plus facilement car la valeur capacitive en sortie est plus forte.

Par ailleurs, d'une façon analogue à ce qui a été expliqué ci-avant, la plage de valeurs admissibles pour la tension d'alimentation est importante en raison de la dynamique importante de la tension V7 à

la borne BS2 tandis que la tension V5 reste fixe quand la tension d'alimentation varie.

Par ailleurs, comme cela a été expliqué ci avant, on a toujours ici une réduction importante du décalage de tension entre les différentes tensions d'entrée des deux premiers étages des deux amplificateurs en raison de l'égalité des tensions V5 et V6 qui toutes deux attaquent des transistors MOS de taille identique traversés par un même courant, à savoir le courant $I_{ctat/3}$, et de l'égalité des tensions V9 et V10, qui également toutes deux attaquent des transistors MOS de taille identique traversés par un même courant à savoir, le courant $I_{ctat/3}$.

A titre indicatif, la valeur du gain des amplificateurs en boucle ouverte d'une telle structure est de l'ordre de 60dB avec un paramètre PSRR de l'ordre de 80dB en régime établi (en DC : « Direct Current).

La tension d'alimentation peut varier entre 0,9 volt environ et la valeur de la tension de claquage des transistors.

Par contre, une telle structure peut nécessiter dans certaines applications une compensation en raison de la présence des deux étages de gain si la valeur capacitive au niveau des grilles des transistors M1 et M2 n'est pas suffisante. Cette compensation peut être réalisée entre la tension d'alimentation Vdd et la tension V12 en plaçant par exemple un condensateur (transistor NMOS M300) entre la borne de sortie BS20 et la borne d'alimentation B1.

On notera également qu'un condensateur formé par un transistor NMOS M400 est connecté entre la borne de sortie BS du dispositif et la borne de référence B2. Ce condensateur permet de créer un filtre passe-bas sur VBG ce qui améliore la robustesse au bruit.

Par ailleurs, on notera également que le transistor cascode M14 de la figure 2 a été dupliqué en deux transistors M14A et M14B, de façon à ce que les grilles de ces deux transistors M14A et M14B soient connectées à un nombre sensiblement identique de grilles de transistors NMOS (en l'espèce les grilles des transistors M2B et M3 et M5) et ce, de façon à équilibrer les capacités parasites du circuit.

Enfin, le module de sortie MDS comporte ici deux autres transistors PMOS, à savoir un transistor M200 et un transistor M13B. La grille du transistor M200 est connectée aux grilles des transistors M9 et M10. La taille du transistor M200 est trois fois plus importante que la taille du transistor M10, de sorte qu'il est parcouru, en régime établi, par le courant I_{ctat} . Ainsi, le dispositif possède une première borne de sortie additionnelle BSA formée par le drain du transistor M200, et délivrant un courant de référence inversement proportionnel à la température absolue.

Par ailleurs, le module de sortie MDS comporte un autre transistor PMOS M13B dont la grille est connectée à celle du transistor PMOS M13 et de taille identique à celle du transistor M13.

Par conséquent, en régime établi, le transistor M13B est parcouru par un courant I_{ztat} qui est la somme du courant I_{ptat} et du courant I_{ctat} .

Le dispositif DIS comporte ainsi une deuxième sortie additionnelle BSB capable de délivrer un courant de référence indépendant de la température absolue.

REVENDICATIONS

1. Procédé de génération d'une tension de référence ajustable de bande interdite, comprenant une génération d'un courant proportionnel à la température absolue (I_{ptat}) comportant une égalisation des tensions aux bornes (BE1, BE2) d'un cœur (CR) agencé pour être alors parcouru par ledit courant proportionnel à la température absolue, une génération d'un courant inversement proportionnel à la température absolue (I_{ctat}), une sommation de ces deux courants et une génération de ladite tension de référence de bande interdite (VBG) à partir de ladite somme de courants, caractérisé en ce que ladite égalisation comprend une connexion aux bornes du cœur (CR) d'un premier amplificateur (AMP1) contre-réactionné possédant au moins un premier étage (ET1) agencé en montage replié et comportant des premiers transistors PMOS agencés selon un montage grille commune, et une polarisation dudit premier étage à partir dudit courant inversement proportionnel à la température absolue (I_{ctat}), ladite sommation des deux courants s'effectuant dans l'étage de contre-réaction (ETR) du premier amplificateur.

2. Procédé selon la revendication 1, dans lequel on génère ledit courant inversement proportionnel à la température absolue (I_{ctat}) en utilisant un deuxième amplificateur contre-réactionné (AMP2) possédant au moins un premier étage (ET10) ayant une partie commune avec le premier étage (ET1) du premier amplificateur et on polarise également le premier étage du deuxième amplificateur à partir dudit courant inversement proportionnel à la température absolue.

3. Procédé selon la revendication 2, dans lequel on polarise le premier étage (ET1) du premier amplificateur et le premier étage du deuxième amplificateur (ET10) avec ledit courant inversement proportionnel à la température absolue ou avec une fraction de ce courant inversement proportionnel à la température absolue.

4. Dispositif de génération d'une tension de référence ajustable de bande interdite, comprenant des premiers moyens de génération

d'un courant proportionnel à la température absolue comportant des premiers moyens de traitement connectés aux bornes d'un cœur (CR) et agencés pour égaliser les tensions aux bornes du coeur, des deuxièmes moyens de génération d'un courant inversement proportionnel à la température absolue (I_{ctat}) connectés au cœur, et un module de sortie (MDS) agencé pour générer la tension de référence (VBG), caractérisé en ce que les premiers moyens de traitement comprennent un premier amplificateur (AMP1) possédant au moins un premier étage (ET1), polarisé à partir du courant inversement proportionnel à la température absolue, agencé selon un montage replié et comportant des premiers transistors PMOS (M3, M4) agencés selon un montage grille commune, et un étage de contre-réaction (ETR) dont l'entrée est connectée à la sortie de l'amplificateur et dont la sortie est connectée à l'entrée du premier étage ainsi qu'à au moins une borne (BE1, BE2) du coeur, l'étage de contre-réaction étant destiné à être parcouru par un courant intermédiaire égale à la somme du courant proportionnel à la température absolue (I_{ptat}) et du courant inversement proportionnel à la température absolue (I_{ctat}), et le module de sortie (MDS) est connecté à l'étage de contre-réaction.

5. Dispositif selon la revendication 4, dans lequel le premier amplificateur (AMP1) est à entrée différentielle et à sortie unique et l'étage de contre-réaction (ETR) est à entrée unique et sortie différentielle.

6. Dispositif selon la revendication 4 ou 5, dans lequel les deuxièmes moyens de génération comprennent un montage amplificateur suiveur (AMP2, M9) connecté à une borne (BE2) du coeur.

7. Dispositif selon la revendication 6, dans lequel le montage amplificateur suiveur comprend un deuxième amplificateur (AMP2) possédant au moins un premier étage (ET10), également polarisé à partir dudit courant inversement proportionnel à la température absolue, comportant des deuxièmes transistors PMOS (M4, M5) agencés selon un montage grille commune, le premier étage (ET10) du deuxième amplificateur ayant une partie commune avec le premier

étage (ET1) du premier amplificateur, et un transistor de contre-réaction (M9) connecté entre la sortie du deuxième amplificateur (AMP2) et une entrée du deuxième amplificateur.

5 8. Dispositif selon la revendication 7, dans lequel une boucle de polarisation (BPL) est connectée entre les deuxièmes moyens de génération et les premiers étages respectifs (ET1, ET10) du premier amplificateur (AMP1) et du deuxième amplificateur (AMP2), et est agencée pour polariser chacun de ces premiers étages (ET1, ET10) à partir du courant inversement proportionnel à la température absolue
10 (Ictat).

9. Dispositif selon la revendication 8, dans lequel le premier étage (ET1) du premier amplificateur comprend au moins une paire différentielle de branches connectée entre les deux bornes (BE1, BE2) du cœur et une tension de référence (B2), le premier étage (ET10) du
15 deuxième amplificateur (AMP2) comprend au moins une paire différentielle de branches ayant une branche en commun avec ladite au moins une paire différentielle de branches du premier étage du premier amplificateur, et les deuxièmes moyens de génération comprennent en outre un premier circuit résistif (CRS1) connecté en série avec le
20 transistor de contre-réaction (M9), le premier étage (ET1) du premier amplificateur comprend au sein d'une paire différentielle de branches, une paire de premiers transistors de polarisation NMOS (M7, M8) connectés en série avec une paire de premiers transistors PMOS (M3, M4), le premier étage (ET1) du deuxième amplificateur comprend au
25 sein d'une paire différentielle de branches, une paire de deuxièmes transistors de polarisation NMOS (M7, M8) connectés en série avec une paire de deuxièmes transistors PMOS (M3, M4) et ladite boucle de polarisation (BPL) comporte ledit transistor de contre-réaction (M9), un premier transistor additionnel (M10) formant avec le transistor de
30 contre-réaction (M9) des premiers moyens de recopie de courant, et ladite paire de premiers transistors de polarisation NMOS (M7, M8), et est agencée pour faire circuler dans chaque branche un courant de polarisation (Ictat) égal audit courant inversement proportionnel à la

température absolue ou à une fraction ($I_{ctat}/3$) de ce courant inversement proportionnel à la température absolue.

5 10. Dispositif selon la revendication 9, dans lequel l'étage de contre réaction (ETR) comprend une paire de troisièmes transistors PMOS (M1, M2) mutuellement connectés par leur grille, les sources respectives des troisièmes transistors (M1, M2) étant connectées à une borne d'alimentation (B1), les drains des troisièmes transistors PMOS (M1, M2) étant respectivement reliés aux deux bornes (BE1, BE2) du cœur, et le module de sortie (MDS) comprend un deuxième circuit
10 résistif (CRS2) comportant un deuxième transistor PMOS additionnel (M13) formant avec les troisièmes transistors PMOS (M1, M2) de l'étage de contre-réaction, des deuxièmes moyens de recopie (M1, M2, M13) configurés pour délivrer dans le deuxième circuit résistif (CRS2) un courant recopié ($I_{ptat}+I_{ctat}$) égal audit courant intermédiaire ou
15 multiple ou sous-multiple dudit courant intermédiaire.

20 11. Dispositif selon la revendication 10, comprenant en outre un premier transistor auxiliaire (M11) formant avec ledit premier transistor additionnel (M10) un premier montage cascode et au moins un deuxième transistor auxiliaire (M14) formant avec ledit deuxième transistor PMOS additionnel (M13) du deuxième circuit résistif un deuxième montage cascode.

25 12. Dispositif selon l'une des revendications 4 à 11, dans lequel ledit premier amplificateur (AMP1) comprend un étage inverseur (ET2) agencé en montage du type source commune, et connecté entre la sortie (BS1) du premier étage (ET1) et l'entrée de l'étage de contre-réaction (ETR), la sortie (BS2) de l'étage inverseur (ET2) formant la sortie de l'amplificateur et ledit deuxième amplificateur (AMP2) comprend un étage inverseur (ET20) agencé en montage du type source commune, connecté entre la sortie du premier
30 étage et la grille du transistor de contre-réaction (M9).

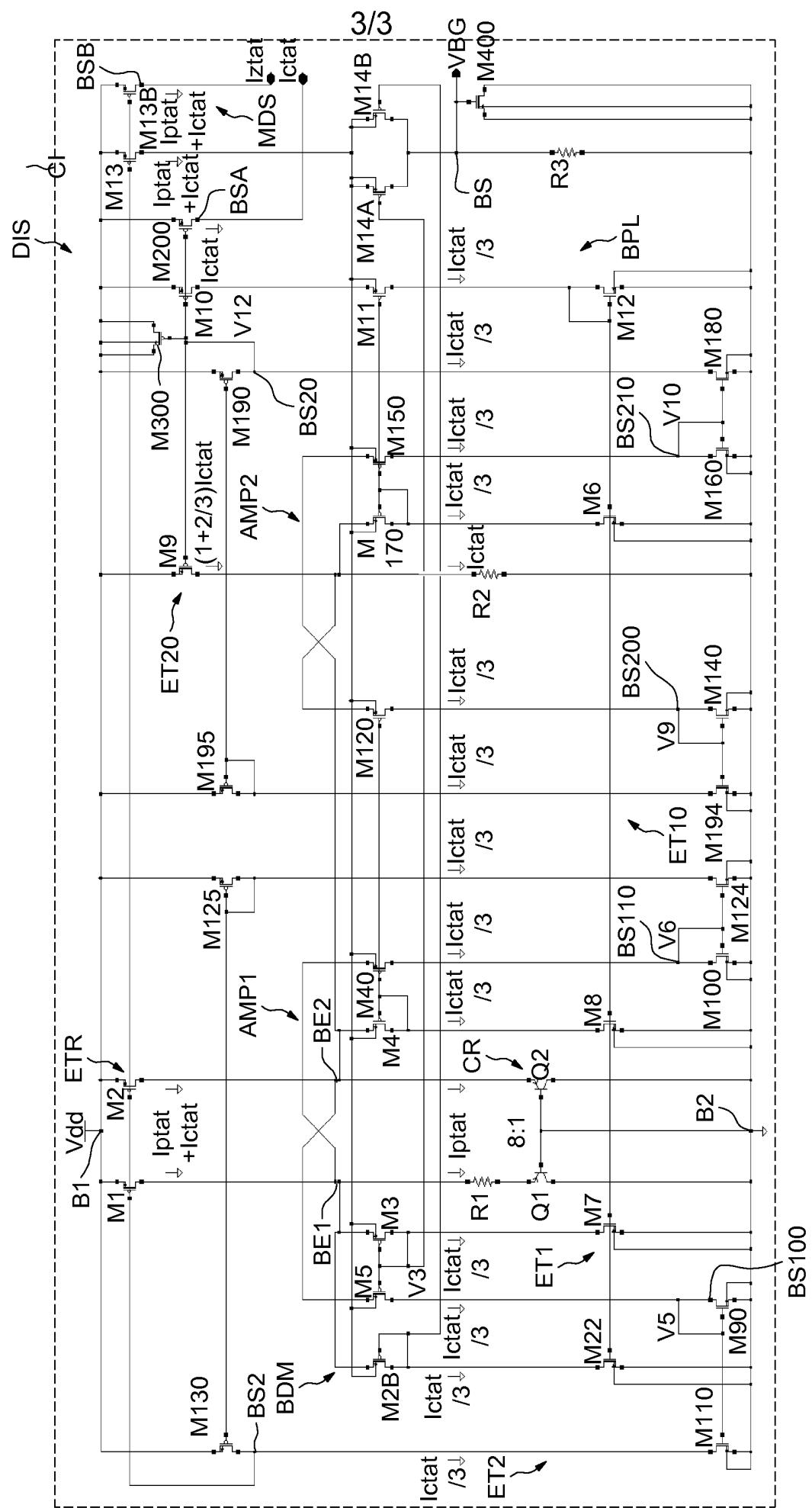
13. Dispositif selon l'une des revendications 4 à 12 prise en combinaison avec la revendication 9, dans lequel le premier étage (ET1) du premier amplificateur comprend une paire différentielle de branches connectée de façon croisée entre les deux bornes du cœur

(BE1, BE2) et la tension de référence ainsi que des premiers pseudo-miroirs de courant (M3, M5 ; M4, M40), le premier étage (ET10) du deuxième amplificateur comprend une paire différentielle de branches connectée de façon croisée entre d'une part une borne du cœur et la sortie du transistor de contre-réaction et d'autre part la tension de référence ainsi que des deuxièmes pseudo-miroirs de courant (M4, M40 ; M150, M170), et les premiers moyens de traitement comportent une branche factice (BDM) connectée à la boucle de polarisation de sorte que les nombres de branches respectivement connectées aux deux bornes (BE1, BE2) du cœur sont égaux.

14. Dispositif selon les revendications 12 et 13 prises en combinaison, dans lequel l'étage inverseur (ET2) du premier amplificateur et l'étage inverseur (ET20) du deuxième amplificateur comportent respectivement deux moyens distincts de recopie de courant (M125-M130 ; M190-M195), chaque moyen de recopie de courant étant connecté à deux branches du premier étage correspondant par deux miroirs de courant.

15. Circuit intégré comprenant un dispositif selon l'une des revendications 4 à 14.

FIG.3





**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 754015
FR 1154268

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	EP 0 895 147 A1 (TOSHIBA KK [JP]) 3 février 1999 (1999-02-03) * abrégé; figure 4 *	1-15	G05F3/26 DOMAINES TECHNIQUES RECHERCHÉS (IPC) G05F
A	ISIKHAN M ET AL: "A new low voltage bandgap reference topology", ELECTRONICS, CIRCUITS, AND SYSTEMS, 2009. ICECS 2009. 16TH IEEE INTERNATIONAL CONFERENCE ON, IEEE, PISCATAWAY, NJ, USA, 13 décembre 2009 (2009-12-13), pages 183-186, XP031626366, ISBN: 978-1-4244-5090-9 * abrégé; figure 2 *	1-15	
A	YAT-HEI LAM ET AL: "CMOS Bandgap References With Self-Biased Symmetrically Matched Currentâ Voltage Mirror and Extension of Sub-1-V Design", IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, vol. 18, no. 6, 1 juin 2010 (2010-06-01), pages 857-865, XP011294317, ISSN: 1063-8210, DOI: 10.1109/TVLSI.2009.2016204 * le document en entier *	1-15	
----- -/--			
Date d'achèvement de la recherche		Examineur	
30 janvier 2012		Arias Pérez, Jagoba	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

1
EPO FORM 1503 12.99 (P04C14)



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 754015
FR 1154268

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	<p>MING-DOU KER ET AL: "A CMOS BANDGAP REFERENCE CIRCUIT FOR SUB-1-V OPERATION WITHOUT USING EXTRA LOW THRESHOLD-VOLTAGE DEVICE", PROCEEDINGS / 2004 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS : MAY 23 - 26, 2004, SHERATON VANCOUVER WALL CENTRE HOTEL, VANCOUVER, BRITISH COLUMBIA, CANADA, IEEE OPERATIONS CENTER, PISCATAWAY, NJ, 23 mai 2004 (2004-05-23), pages 41-44, XP010719565, ISBN: 978-0-7803-8251-0 * abrégé; figure 3 *</p> <p align="center">-----</p>	1-15	<p>DOMAINES TECHNIQUES RECHERCHÉS (IPC)</p>
Date d'achèvement de la recherche		Examineur	
30 janvier 2012		Arias Pérez, Jagoba	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p>		<p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>	

1
EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1154268 FA 754015**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **30-01-2012**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0895147	A1	03-02-1999	CN 1206864 A	03-02-1999
			CN 1515973 A	28-07-2004
			DE 69805471 D1	27-06-2002
			DE 69805471 T2	19-12-2002
			EP 0895147 A1	03-02-1999
			JP 3586073 B2	10-11-2004
			JP 11045125 A	16-02-1999
			TW 432271 B	01-05-2001
			US 6160391 A	12-12-2000
