

五、發明說明 (66)

輸入到暫存器 29 之資料 D0 輸入到記憶裝置 4。該等之狀態在時刻 t5 以後亦同，選擇器 30 選擇該選擇器 34 之輸出，因為暫存器 27 之輸出保持為值 2，所以加算器 15 之輸出，在 CLK 信號每一次被輸入時，其值每次增加 2。但是當其成為值 19 以上時，選擇器 34 就選擇減算器 32 之輸出，用來將該值抑制成為 19 以下。

其次，在時刻 t23，當選擇器 21 選擇乘算器 11 之輸出值 32 時，選擇器 24 依照比較器 23 之判定，選擇減算器 23 之輸出，輸出值 13 (= 32-19)。選擇器 26 選擇該值，將其輸入到暫存器 13。另外，選擇器 28 選擇暫存器 13 之輸出，將該值 8 輸入到暫存器 27。

加算器 15 用來使暫存器 27 之輸出值 2 和暫存器 17 之輸出值 19 進行加算，但是在該時刻 t23，選擇器 30 不選擇加算器 15 之輸出，而是選擇常數產生器 19 之輸出值 0，將其輸入到暫存器 17。

利用時刻 t4 至時刻 t23 之動作，用來產生第 8(a)圖所示之位址。另外，該記憶裝置 4 在每一個時鐘 CLK 順序的從該等位址讀出初期值(不定值)，其代替者，在每一個時鐘 CLK 順序的將資料 D0 至 D19 寫入到該等之位址。

其次，在時刻 t24，暫存器 13 輸出值 13，乘算器 11 輸出值 52，選擇器 21 選擇該暫存器 13 之輸出值 13。選擇器 24 依照比較器 23 之判定結果選擇該選擇器 21 之輸出值 13，選擇器 26 將該值 13 輸入到暫存器 13。

因為選擇器 28 將選擇器 28 之輸出值 13 輸入到暫存器 27

五、發明說明(77)

符號之說明

- 3,103,201.....位址產生裝置
- 4,104.....記憶裝置
- 11,111.....乘算器
- 122,32.132.....減算器
- 12,112.....控制裝置
- 15,115.....加算器
- 23',123,33,133...比較器
- 200.....RAM控制裝置
- 202.....RAM