

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-206174

(P2010-206174A)

(43) 公開日 平成22年9月16日(2010.9.16)

(51) Int.Cl.

H01L 31/10 (2006.01)
H01L 27/146 (2006.01)

F 1

H01L 31/10
H01L 27/14A
A

テーマコード(参考)

4M118
5FO49

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2009-293213 (P2009-293213)
 (22) 出願日 平成21年12月24日 (2009.12.24)
 (31) 優先権主張番号 特願2009-26701 (P2009-26701)
 (32) 優先日 平成21年2月6日 (2009.2.6)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

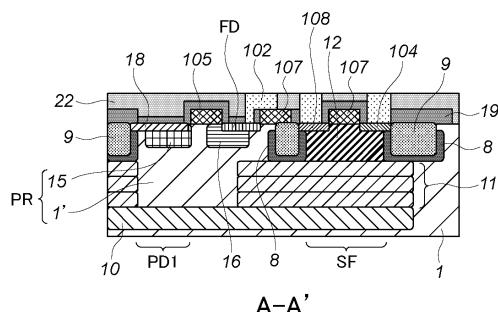
(54) 【発明の名称】光電変換装置およびその製造方法ならびにカメラ

(57) 【要約】

【課題】フォトダイオードのカソードをn型の埋め込み層で構成した新規な構造の光電変換装置を提供する。

【解決手段】光電変換装置は、n型の表面領域18と、表面領域18の下に形成されたp型領域PRと、p型領域PRの下に形成されたn型の埋め込み層10とを含む。表面領域18、p型領域PRおよび埋め込み層10によって埋め込み型のフォトダイオードPDが構成される。表面領域18の主要不純物の拡散係数は、埋め込み層10の主要不純物の拡散係数より小さい。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

n型の表面領域と、
 前記表面領域の下に形成されたp型領域と、
 前記p型領域の下に形成されたn型の埋め込み層とを含み、
 前記表面領域、前記p型領域および前記埋め込み層によって埋め込み型のフォトダイオードが構成され、前記表面領域の主要不純物の拡散係数が前記埋め込み層の主要不純物の拡散係数より小さいことを特徴とする光電変換装置。

【請求項 2】

前記表面領域の主要不純物が砒素であり、前記埋め込み層の主要不純物が燐であることを特徴とする請求項1に記載の光電変換装置。 10

【請求項 3】

前記p型領域は、第1領域と、少なくとも一部が前記第1領域と前記埋め込み層との間に配置された第2領域とを含み、前記第1領域のp型不純物の濃度が前記第2領域のp型不純物の濃度よりも高いことを特徴とする請求項1又は2に記載の光電変換装置。 20

【請求項 4】

浮遊拡散部を構成するp型の第3領域と、
 前記第1領域と前記第3領域との間の領域の上に配置されたゲートとを更に備え、
 前記第1領域、前記第3領域および前記ゲートによって、前記p型領域に蓄積された正孔を前記浮遊拡散部に転送するための転送トランジスタが構成されていることを特徴とする請求項3に記載の光電変換装置。 20

【請求項 5】

前記第2領域と前記第3領域とを分離するn型領域を含み、前記n型領域に前記転送トランジスタのチャネルが形成されることを特徴とする請求項4に記載の光電変換装置。 20

【請求項 6】

前記埋め込み層は、チャネリング現象を利用したイオン注入によって形成されることを特徴とする請求項1乃至5のいずれか1項に記載の光電変換装置。 20

【請求項 7】

裏面照射型の光電変換装置として構成されていることを特徴とする請求項1乃至6のいずれか1項に記載の光電変換装置。 30

【請求項 8】

請求項1乃至7のいずれか1項に記載の光電変換装置と、
 前記光電変換装置によって得られた信号を処理する信号処理部と、
 を備えることを特徴とするカメラ。

【請求項 9】

請求項1乃至5のいずれか1項に記載の光電変換装置の製造方法であって、
 p型の半導体基板の表面に前記埋め込み層を形成する工程と、
 前記埋め込み層の上にp型の半導体層をエピタキシャル成長させる工程と、
 前記半導体層の中に前記p型領域および前記表面領域を形成する工程と、
 を含むことを特徴とする光電変換装置の製造方法。 40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、光電変換装置およびその製造方法ならびにカメラに関する。

【背景技術】**【0002】**

特許文献1には、表面に設けられたn型のピンニング層の下にp型の埋め込み蓄積層が配置され、その下にn型のウェルが配置されたPMOS画素構造が開示されている。この構造では、埋め込み蓄積層で発生し蓄積された正孔が転送ゲートを介してフローティングディフュージョンに転送され読み出される。 50

【0003】

特許文献1に記載されたPMOS画素構造では、フォトダイオードのカソードがn型のウェルによって形成されているが、本発明では、フォトダイオードのカソードをn型の埋め込み層で構成するアプローチを採用した。ここで、埋め込み型のフォトダイオードを形成するための表面領域は浅い領域に形成される一方、埋め込み層は深い領域に形成される。また、表面領域は、その境界の規定が微細化に与える影響が大きいのに対して、埋め込み層は、広く分布したポテンシャル障壁を与えるべきである。本発明は、表面領域と埋め込み層との間のこのような相違点に鑑みてなされたものである。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】米国特許出願公開2007/0108371号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、フォトダイオードのカソードをn型の埋め込み層で構成した新規な構造の光電変換装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

20

本発明の第1の側面は、光電変換装置に係り、前記光電変換装置は、n型の表面領域と、前記表面領域の下に形成されたp型領域と、前記p型領域の下に形成されたn型の埋め込み層とを含み、前記表面領域、前記p型領域および前記埋め込み層によって埋め込み型のフォトダイオードが構成され、前記表面領域の主要不純物の拡散係数が前記埋め込み層の主要不純物の拡散係数より小さい。

【0007】

本発明の第2の側面は、カメラに係り、前記カメラは、上記の光電変換装置と、前記光電変換装置によって得られた信号を処理する信号処理部とを備える。

【0008】

30

本発明の第3の側面は、上記の光電変換装置の製造方法に係り、前記製造方法は、p型の半導体基板の表面に前記埋め込み層を形成する工程と、前記埋め込み層の上にp型の半導体層をエピタキシャル成長させる工程と、前記半導体層の中に前記p型領域および前記表面領域を形成する工程とを含む。

【発明の効果】

【0009】

本発明によれば、フォトダイオードのカソードをn型の埋め込み層で構成した新規な構造の光電変換装置が提供される。

【図面の簡単な説明】

【0010】

40

【図1】本発明の好適な実施形態の撮像装置の概略構成を示す図である。

【図2】画素アレイの画素ユニットの構成例を示す回路図である。

【図3】画素アレイを構成する画素ユニットの構成例を示すレイアウト図である。

【図4】図3におけるA-A'に沿った模式的な断面図である。

【図5】図3におけるB-B'に沿った模式的な断面図である。

【図6】図3におけるC-C'に沿った模式的な断面図である。

【図7】本発明の好適な実施形態の撮像装置の製造方法を例示的に説明する図である。

【図8】本発明の好適な実施形態の撮像装置の製造方法を例示的に説明する図である。

【図9】本発明の好適な実施形態の撮像装置の製造方法を例示的に説明する図である。

【図10】本発明の好適な実施形態の撮像装置の製造方法を例示的に説明する図である。

【図11】本発明の好適な実施形態の撮像装置の製造方法を例示的に説明する図である。

【図12】本発明の好適な実施形態のカメラの概略構成を示す図である。

50

【図13】本発明の他の好適な実施形態の撮像装置の製造方法を例示的に説明する図である。

【発明を実施するための形態】

【0011】

以下、添付図面を参照しながら本発明の好適な実施形態を説明する。

【0012】

図1は、本発明の好適な実施形態の撮像装置200の概略構成を示す図である。撮像装置200は、半導体基板に形成され、例えば、固体撮像装置、MOS型イメージセンサ、CMOSセンサなどと呼ばれる。撮像装置200は、本発明に係る光電変換装置の1つの形態であり、本発明に係る光電変換装置は、例えば、イメージセンサのほかに、リニアセンサおよび光量センサを包含する。

10

【0013】

本発明の好適な実施形態の撮像装置200は、複数の行および複数の列が構成されるように画素が2次元配列された画素アレイ210を含む。撮像装置200はまた、画素アレイ210における行を選択する行選択回路240と、画素アレイ210における列を選択する列選択回路230と、画素アレイ210における列選択回路230によって選択された列の信号を読み出す読出回路220とを含みうる。行選択回路240および列選択回路230は、例えば、シフトレジスタを含みうるが、行および列をそれぞれランダムアクセスすることができるよう構成されてもよい。

20

【0014】

図2は、画素アレイ210の画素ユニットPUの構成例を示す回路図である。この構成例では、画素ユニットPUは、2つの画素を含むが、他の実施形式では、画素ユニットPUは、単一の画素を構成してもよいし、3以上の画素を含んでもよい。画素ユニットPUは、光電変換によって生じうる電子および正孔のうち正孔を信号として読み出すように構成されている。画素アレイ210は、少なくとも1つの画素を含む画素ユニットPUが2次元配列されることによって構成される。

20

【0015】

図2に示す構成例では、画素ユニットPUは、2つのフォトダイオードPD1、PD2と、2つの転送トランジスタTT1、TT2と、1つの増幅トランジスタSFと、1つのリセットトランジスタRTとを含みうる。増幅トランジスタSFおよびリセットトランジスタRTは、フォトダイオードPD1、PD2および転送トランジスタTT1、TT2によって共用される。転送トランジスタTT(TT1、TT2)、増幅トランジスタSF、リセットトランジスタRTは、PMOSトランジスタで構成される。

30

【0016】

転送トランジスタTT1、TT2は、そのゲートに接続された転送信号線Tx1、Tx2にアクティブパルス(ローパルス)が印加されるとオンする。これにより、フォトダイオードPD1、PD2の蓄積領域(p型領域)に蓄積された正孔が浮遊拡散部(フローティングディフュージョン)FDに転送される。なお、フォトダイオードPD1とPD2とは、互いに異なる行を構成するように配置され、転送信号線Tx1、Tx2には、互いに異なるタイミングでアクティブパルスが印加される。

40

【0017】

増幅トランジスタSFは、垂直信号線(列信号線)VSLに定電流を供給する定電流源CCSとともにソースフォロア回路を構成している。増幅トランジスタSFは、転送トランジスタTTを介して浮遊拡散部FDに正孔が転送されることによって浮遊拡散部FDの信号(電位変化)をソースフォロア動作によって増幅して垂直信号線VSLに出力する。垂直信号線VSLに出力された信号は、読出回路220によって読み出される。リセットトランジスタRTは、そのゲートに接続されたリセット信号線RESにアクティブパルス(ローパルス)が印加されるとオンして浮遊拡散部FDをリセットする。

【0018】

図2に示す構成例では、リセットトランジスタRTのドレイン電極に与えられる電位V

50

F D C を制御することによって行を選択するように構成されている。増幅トランジスタ S F がオンしない電位に浮遊拡散部 F D の電位がリセットされた行は非選択状態となり、増幅トランジスタ S F がオンする電位に浮遊拡散部 F D の電位がリセットされた行は選択状態となる。他の実施形式では、行を選択するための選択トランジスタが、接地電位と垂直信号線 V S Lとの間に増幅トランジスタ S F と直列に設けられる。該選択トランジスタは、例えば、接地電位と増幅トランジスタ S Fとの間、または、増幅トランジスタ S F と垂直信号線 V S Lとの間に設けられる。

【 0 0 1 9 】

図 3 は、画素アレイ 210 を構成する画素ユニット P U の構成例を示すレイアウト図である。図 4 は、図 3 における A - A' に沿った模式的な断面図である。図 5 は、図 3 における B - B' に沿った模式的な断面図である。図 6 は、図 3 における C - C' に沿った模式的な断面図である。

10

【 0 0 2 0 】

この実施形態では、p 型領域 P R と、p 型領域 P R の下に形成された n 型の埋め込み層 10 とによってフォトダイオード P D (P D 1、P D 2) が形成されている。p 型領域 P R はアノード、埋め込み層 10 はカソードである。p 型領域 P R は、p 型の第 1 領域 15 と、少なくとも一部が第 1 領域 15 と n 型の埋め込み層 10 との間に配置された p 型の第 2 領域 1' とを含む。第 1 領域 15 は、主たる電荷蓄積領域として機能する。第 2 領域 1' の p 型不純物の濃度は、例えば、p 型のシリコン基板 (半導体基板) 1 と同一でありうる。第 1 領域 15 の p 型不純物の濃度は、第 2 領域 1' の p 型不純物の濃度よりも高い。p 型領域 P R は、n 型の表面領域 18 の下に形成されることが好ましく、この場合には、n 型の表面領域 18、p 型領域 P R および n 型埋め込み層 10 によって埋め込み型のフォトダイオード P D が構成される。埋め込み型のフォトダイオードは、暗電流によるノイズが小さいことが知られている。

20

【 0 0 2 1 】

n 型の表面領域 18 の主要不純物の拡散係数は、埋め込み層 10 の主要不純物の拡散係数より小さいことが好ましい。例えば、n 型の表面領域 18 の主要不純物が砒素 (A s) であり、埋め込み層 10 の主要不純物が燐 (P) であることが好ましい。砒素 (A s) は、拡散係数が燐 (P) よりも小さいので、表面領域 18 を砒素 (A s) で形成することは、その境界の確定が容易であるので微細化に有利である。一方、燐 (P) は、砒素 (A s) に比べて半導体基板の深い位置まで侵入させることができるので、埋め込み層 10 を燐 (P) で形成することは、深い位置に埋め込み層 10 を形成することを可能にし、感度の向上に有利である。また、燐 (P) は、拡散係数が砒素 (A s) よりも大きいので、燐 (P) によって埋め込み層 10 を形成することは、広く分布したポテンシャル障壁の形成において有利である。また、燐 (P) はイオン半径がシリコン基板 1 の格子定数より大きいので、シリコン基板 1 への燐 (P) の注入によってシリコン基板 1 の格子に歪みを生じさせ、不純物金属元素のゲッタリング効果を生じさせるために有利であり、これは点欠陥の改善に寄与する。埋め込み層 10 は、チャネリング現象を利用して燐 (P) を半導体基板 1 にイオン注入することによって形成されうる。本発明において、注入またはドープする不純物は、砒素 (A s) および燐 (P) に制限されず、他の不純物を使用することもできる。

30

【 0 0 2 2 】

浮遊拡散部 F D は、p 型の第 3 領域である。フォトダイオード P D の一部を構成する p 型の第 1 領域 15 と浮遊拡散部 F D (p 型の第 3 領域) との間の領域の上には、転送トランジスタ T T (T T 1、T T 2) のゲート 105 が配置されている。換言すると、転送トランジスタ T T は、p 型の第 1 領域 15、浮遊拡散部 F D (p 型の第 3 領域) およびゲート 105 によって構成されている。転送トランジスタ T T は、フォトダイオード P D の p 型領域 (15、1') に蓄積された正孔を浮遊拡散部 F D に転送する。この実施形態では、転送トランジスタ T T は、PMOS ランジスタである。転送トランジスタ T T のゲート 105 は、ポリシリコンで構成されうる。

40

50

【0023】

p型の第2領域1'は、断面においてp型の第1領域15を取り囲むように配置されうる。またはp型の第1領域15の素子分離領域側は後述のチャネルストップ領域と接していてもよい。この場合にはp型の第2領域1'は、p型の第1領域15の素子分離領域側を除いてp型の第1領域15を取り囲んでいる。第2領域1'と浮遊拡散部FD(第3領域)とは、n型領域16によって分離されていて、n型領域16に転送トランジスタTTのチャネルが形成される。

【0024】

素子分離領域9は、フォトダイオードPD、転送トランジスタTT、増幅トランジスタSFおよびリセットトランジスタRTが形成されるべき活性領域を分離するように配置されている。活性領域は、図3では、表面領域18、浮遊拡散部FD、拡散領域104、108および110であり、これら以外の領域が素子分離領域9とされうる。素子分離領域9の形成には、典型的には、STI(Shallow Trench Isolation)技術またはLOCOS(Local Oxidation of Silicon)技術が使用されうる。または拡散分離を使用しても良い。

10

【0025】

素子分離領域9の少なくとも下側部分(下部側面および下面)を覆う領域には、チャネルストップ領域8が形成される。チャネルストップ領域8の主要不純物の拡散係数は、埋め込み層10の主要不純物の拡散係数より小さいことが好ましい。例えば、チャネルストップ領域8の主要不純物が砒素(As)であり、埋め込み層10の主要不純物が燐(P)であることが好ましい。前述のとおり、砒素(As)は、拡散係数が燐(P)よりも小さいので、チャネルストップ領域8を砒素(As)で形成することは、微細化に有利である。チャネルストップ領域8の主要不純物は、表面領域18の主要不純物と同一でありうる。

20

【0026】

フォトダイオードPD間には、ポテンシャル障壁11が形成されている。また、必要に応じて、フォトダイオードPDと増幅トランジスタSFおよびリセットトランジスタRTとの間にポテンシャル障壁11が形成されうる。なお、単一画素の光電変換装置や、画素間の間隔が大きい撮像装置においては、フォトダイオード間のポテンシャル障壁は不要である。また、素子分離領域9が十分に深くまで形成されている場合には、フォトダイオードPDと増幅トランジスタSFおよびリセットトランジスタRTとの間のポテンシャル障壁は不要である。この実施形態では、ポテンシャル障壁11の形成によってポテンシャル障壁11によって囲まれたp型領域1'が確定される。

30

【0027】

増幅トランジスタSFのゲート107は、浮遊拡散部FDに対して電気的に接続される。増幅トランジスタSFのゲート107は、ポリシリコンで構成されうる。この実施形態では、増幅トランジスタSFのゲート107は、コンタクトプラグ102によって浮遊拡散部FDに対して電気的に接続される。ここで、開口率の向上または画素密度の向上の観点において、コンタクトプラグ102は、シェアードコンタクトプラグであることが好ましい。シェアードコンタクトプラグは、1つのトランジスタの拡散領域(ソースまたはドレイン)と他のトランジスタのゲートとを1つのコンタクトプラグで電気的に接続するコンタクトプラグである。なお、増幅トランジスタSFのゲート107は、ゲート107に電気的に接続される1つのコンタクトプラグと、浮遊拡散部FDに電気的に接続される他のコンタクトプラグと、少なくとも1つの導電パターンとを介して接続されてよい。

40

【0028】

増幅トランジスタSFは、浮遊拡散部FDに電気的に接続されたゲート107と、拡散領域104、108とを含むPMOSトランジスタである。リセットトランジスタRTは、リセット信号線RESに接続されたゲート106と、浮遊拡散部FDと、拡散領域110とを含むPMOSトランジスタである。リセットトランジスタRTのゲートは、ポリシリコンで構成されうる。

50

【0029】

増幅トランジスタSFは、埋め込みチャネル構造を有することが好ましい。これは、増幅トランジスタSFを埋め込みチャネル構造にすることによって $1/f$ ノイズを低減することができるからである（ $1/f$ ノイズは、チャネル幅とチャネル長との積に反比例する）。一方、リセットトランジスタRTおよび転送トランジスタTT（行を選択する選択トランジスタが存在する場合には、当該行選択トランジスタ）、特にリセットトランジスタRTは、表面チャネル構造を有することが好ましい。これは、浮遊拡散部FDへの正孔のリークを抑制するためには、トランジスタのオフ状態が重要であることによる。埋め込みチャネル型のトランジスタでは、ノーマリーオンの状態になりやすく、オフ状態にしにくい場合がある。また、画素の微細化のためには、リセットトランジスタRTおよび転送トランジスタTT（行を選択する選択トランジスタが存在する場合には、当該行選択トランジスタ）を微細化することが有効であり、そのためには、表面チャネル型の方が有利である。

10

【0030】

図5および図6を参照しながら、リセットトランジスタRTおよび増幅トランジスタSFの好ましい構造について考える。図5において、WARは、リセットトランジスタRTのチャネル幅方向における素子分離領域9間の間隔であり、WCRは、リセットトランジスタRTのチャネル幅である。ここで、チャネルトップ領域8が存在しない場合には、WARとWCRとが一致するが、チャネルトップ領域8の存在によりチャネル幅WCRは、WARよりも小さくなる。図6において、WASは、増幅トランジスタSFのチャネル幅方向における素子分離領域9間の間隔であり、WCSは、増幅トランジスタSFのチャネル幅である。ここで、チャネルトップ領域8が存在しない場合には、WASとWCSとが一致するが、チャネルトップ領域8の存在によりチャネル幅WCSは、WASよりも小さくなる。この明細書では、チャネル幅は、チャネルトップ領域を考慮した寸法を意味する。なお、図5、6において、201は、ゲート絶縁膜である。

20

【0031】

増幅トランジスタSFを埋め込みチャネル構造とし、リセットトランジスタRTを表面チャネル構造とするためには、増幅トランジスタSFのチャネル幅WCSがリセットトランジスタRTのチャネル幅WCRよりも大きいことが好ましい。埋め込みチャネル構造を実現するための方法として、ゲート絶縁膜と基板との界面から所定深さの位置にチャネルドープを行う方法がある。チャネルドープする不純物の導電型はソース・ドレイン領域と同じ導電型であり、濃度はソース・ドレイン領域よりも低くされる。チャネル幅が狭い場合には、チャネルドープを行うべき領域の幅が狭くなってしまう。更に、チャネルトップ領域8の不純物の導電型は、チャネルドープ領域の導電型と逆導電型であるため、チャネルトップ領域8の不純物がチャネルドープを行うべき領域に拡散する場合もある。そのような場合には、チャネルドープ領域の不純物濃度が下がり、埋め込みチャネル構造となりにくくなる。

30

【0032】

即ち、埋め込みチャネル構造の増幅トランジスタSFと表面チャネル構造のリセットトランジスタRTとを実現するためには、増幅トランジスタSFのチャネル幅WCSがリセットトランジスタRTのチャネル幅WCRよりも大きいことが好ましい。ここで、増幅トランジスタSFのチャネル幅WCSは、 $0.1\mu m$ よりも大きく、リセットトランジスタRTのチャネル幅WCRは、 $1\mu m$ よりも小さいことが好ましい。これは、増幅トランジスタトランジスタにおいては閾値が変化しない領域のチャネル幅であり、リセットトランジスタにおいてはしきい値が上昇しはじめる領域のチャネル幅である。

40

【0033】

以下、図7～図11を参照しながら本発明の好適な実施形態の撮像装置200の製造方法を例示的に説明する。まず、図7(a)に示す工程では、p型のシリコン基板1を準備する。そして、シリコン基板1の表面に $10\sim200$ のシリコン酸化膜を形成した後に $400\sim600$ のポリシリコン膜、 $150\sim200$ のシリコン窒化膜を順に形成し、

50

それらをパタニングしてマスクを形成する。

【0034】

次いで、図7(b)に示す工程では、図7(a)に示す工程で形成したマスクの開口部をエッチングして素子分離領域9の形成のためのトレンチ6を形成する。次いで、図7(c)に示す工程では、トレンチ6の下および下部側方に砒素(As)を150~200KeVで注入してチャネルトップ領域8を形成する。次いで、図7(d)に示す工程では、トレンチ6中に素子分離領域(STI)9を形成する。

【0035】

次いで、図8(a)に示す工程では、p型のシリコン基板1の深部に燐(P)を4000~8000KeVで注入してn型の埋め込み層1を形成する。ここでは、チャネリング現象を利用して可能な限り深部に燐(P)を注入することが好ましい。次いで、図8(b)に示す工程では、フォトダイオードPD間、および、必要に応じて、フォトダイオードPDと増幅トランジスタSFおよびリセットトランジスタRTとの間にポテンシャル障壁11を形成する。ポテンシャル障壁11は、シリコン基板1に対して、例えば、燐(P)を2000~2500KeVで注入し、次いで、燐(P)を1000~1500KeVで注入し、次いで、砒素(As)を700~750KeVで注入することによって形成される。

10

【0036】

次いで、図8(c)に示す工程では、増幅トランジスタSFおよびリセットトランジスタRTを形成すべき領域にイオンを注入して目標とするポテンシャル構造を形成する。例えばこのイオン注入工程にはチャネルドープなどの工程が含まれる。ここで、前述のとおり、増幅トランジスタSFが埋め込みチャネル構造となり、リセットトランジスタRTが表面チャネル構造となるようにポテンシャル構造が形成されることが好ましい。

20

【0037】

次いで、図9(a)に示す工程では、ゲート酸化膜およびポリシリコン電極を形成した後にこれらをパタニングしてゲート105、107(および106(不図示))を形成する。次いで、図9(b)に示す工程では、フォトダイオードPDの領域に硼素(B)を50~150KeVで注入し、p型領域PRの一部を構成する第1領域15を形成する。次いで、図9(c)に示す工程では、転送トランジスタTTの下部から浮遊拡散部FD側に延びる領域に燐(P)を50~150KeVで注入し、n型領域16を形成する。

30

【0038】

次いで、図10(a)に示す工程では、PMOSトランジスタの拡散領域とするべき領域に硼素(B)を10~15KeVで注入し、浮遊拡散部FD、拡散領域108、104(および110(不図示))を形成する。またその他のトランジスタのソース・ドレイン領域も形成する。次いで、図10(b)に示す工程では、表面領域18を形成すべき領域に砒素(As)を50~100KeVで注入して表面領域18を形成する。

40

【0039】

次いで、図11(a)に示す工程では、50~100のシリコン酸化膜、400~600の反射防止シリコン窒化膜および500~1000の保護シリコン酸化膜を含む膜19を形成する。次いで、図11(b)に示す工程では、層間絶縁膜(例えば、500~1500のNSG、10000~15000のBPSG)22を形成し、更に、層間絶縁膜22にコンタクトホール23を形成する。

40

【0040】

次いで、コンタクトホール23にバリアメタル(Ti/TiN)を形成し、タングステン(W)を充填することによってコンタクトプラグ102(および105a、111~113(不図示))を形成し、図4に示す構造に至る。

【0041】

以上のような方法に代えて、次のような製造方法によって撮像装置200を製造することができる。まず、p型のシリコン基板の表面に埋め込み層10を形成する。次いで、埋め込み層10の上にp型の半導体層をエピタキシャル成長させる。次いで、該半導体層に

50

図7(a)～(d)に示す工程により素子分離領域9およびチャネルトップ領域8を形成する。これにより、図8(a)に示すような構造が得られ、以降は、上記の実施形態にしたがって撮像装置200を製造することができる。

【0042】

図13に本発明のさらに別の実施形態に係る撮像装置(あるいは光電変換装置)の断面構成を示す。図13には、フォトダイオード、浮遊拡散部、及び、周辺回路を構成する一つのトランジスタ部分が示されている。上述の実施形態の構成と同一の機能を有する部分には、同一の符号を付し、詳細な説明は省略する。図13に示す実施形態の上述の実施形態との違いは光の入射する方向である。図13に示す実施形態においては、図13における下方向(つまり、配線層が配された側とは逆側)から光が入射する裏面入射構造となっている。

10

【0043】

光電変換部およびトランジスタの半導体領域などが半導体基板1301に形成される。半導体基板1301の第1正面側(表面側)には、配線層1302が配置される。配線層1302の上部、すなわち、配線層1302から見て基板1301とは反対側に、主として撮像装置の強度を保つことを目的として、支持基板1303が設けられる。半導体基板1301の第2正面側(裏面側)、すなわち、半導体基板1301から見て配線層1302とは反対側には、酸化膜1304、保護膜1305を介して、必要に応じて光学機能部1306が配される。光学機能部1306には例えばカラーフィルタ、マイクロレンズ、平坦化膜などが含まれうる。このように、図13に示す実施形態に係る撮像装置は、配線層が配される側とは反対側、すなわち裏面側から光が入射する裏面照射型の構成を有する。

20

【0044】

図13には、画素領域1307と周辺回路領域1308とが示されている。画素領域1307は、画素アレイ210に対応する領域である。画素領域1307には、複数の光電変換部が配置される。周辺回路領域1308には、周辺回路トランジスタ用のウエル1310が配される。周辺回路領域1308には、読み出し回路220、列選択回路230、行選択回路240が含まれる。

30

【0045】

半導体基板1301の第2正面側(裏面側)の界面には、高濃度のn型半導体領域1309が配置されている。n型半導体領域1309は、埋め込み層10に対応する領域である。n型半導体領域1309は、酸化膜1304の界面における暗電流を抑制するための層としても機能しうる。つまり裏面照射型の場合には第1正面と第2正面とに暗電流抑制層が配されているといえる。図13では、n型半導体領域1309が半導体基板1301の全面にわたって配置されているが、画素領域1308のみに配されていてもよい。

40

【0046】

n型の表面領域18の主要不純物の拡散係数は、埋め込み層としてのn型半導体領域1309の主要不純物の拡散係数より小さいことが好ましい。例えば、n型の表面領域18の主要不純物が砒素(A₃S)であり、n型半導体領域1309の主要不純物が燐(P)であることが好ましい。砒素(A₃S)は、拡散係数が燐(P)よりも小さいので、表面領域18を砒素(A₃S)で形成することは、その境界の確定が容易であるので微細化に有利である。一方、燐(P)は、砒素(A₃S)に比べて半導体基板の深い位置まで侵入させることができるので、n型半導体領域1309を燐(P)で形成することは、深い位置にn型半導体領域1309を形成することを可能にし、感度の向上に有利である。また、燐(P)は、拡散係数が砒素(A₃S)よりも大きいので、燐(P)によってn型半導体領域1309を形成することは、広く分布したポテンシャル障壁の形成において有利である。また、燐(P)はイオン半径が半導体基板1301の格子定数より大きいので、シリコン基板1への燐(P)の注入によって半導体基板1301の格子に歪みを生じさせ、不純物金属元素のゲッタリング効果を生じさせるために有利である。これは点欠陥の改善に寄与する。n型半導体領域1309は、チャネリング現象を利用して燐(P)を半導体基板1

50

301にイオン注入することによって形成されうる。本発明において、注入またはドープする不純物は、砒素(As)および燐(P)に制限されず、他の不純物を使用することもできる。

【0047】

図12は、本発明の好適な実施形態のカメラの概略構成を示す図である。なお、カメラの概念には、撮影を主目的とする装置のみならず、撮影機能を補助的に備える装置(例えば、パーソナルコンピュータ、携帯端末)も含まれる。カメラ400は、上記の撮像装置200に代表される固体撮像装置1004を備える。被写体の光学像は、レンズ1002によって固体撮像装置1004の撮像面に結像する。レンズ1002の外側には、レンズ1002のプロテクト機能とメインスイッチを兼ねるバリア1001が設けられうる。レンズ1002には、それから出射される光の光量を調節するための絞り1003が設けられうる。固体撮像装置1004から出力される撮像信号は、撮像信号処理回路1005によって各種の補正、クランプ等の処理が施される。撮像信号処理回路1005から出力される撮像信号は、A/D変換器1006でアナログ-ディジタル変換される。A/D変換器1006から出力される画像データは、信号処理部1007によって補正、データ圧縮などの信号処理がなされる。固体撮像装置1004、撮像信号処理回路1005、A/D変換器1006及び信号処理部1007は、タイミング発生部1008が発生するタイミング信号にしたがって動作する。

10

【0048】

ブロック1005～1008は、固体撮像装置1004と同一チップ上に形成されてもよい。カメラ400の各ブロックは、全体制御・演算部1009によって制御される。カメラ400は、その他、画像データを一時的に記憶するためのメモリ部1010、記録媒体への画像の記録又は読み出しのための記録媒体制御インターフェース部1011を備える。記録媒体1012は、半導体メモリ等を含んで構成され、着脱が可能である。カメラ400は、外部コンピュータ等と通信するための外部インターフェース(I/F)部1013を備えてもよい。

20

【0049】

次に、図12に示すカメラ400の動作について説明する。バリア1001のオープンに応じて、メイン電源、コントロール系の電源、A/D変換器1006等の撮像系回路の電源が順にオンする。その後、露光量を制御するために、全体制御・演算部1009が絞り1003を開放にする。固体撮像装置1004から出力された信号は、撮像信号処理回路1005をスルーしてA/D変換器1006へ提供される。A/D変換器1006は、その信号をA/D変換して信号処理部1007に出力する。信号処理部1007は、そのデータを処理して全体制御・演算部1009に提供し、全体制御・演算部1009において露出量を決定する演算を行う。全体制御・演算部1009は、決定した露出量に基づいて絞りを制御する。

30

【0050】

次に、全体制御・演算部1009は、固体撮像装置1004から出力され信号処理部1007で処理された信号にから高周波成分を取り出して、高周波成分に基づいて被写体までの距離を演算する。その後、レンズ1002を駆動して、合焦か否かを判断する。合焦していないと判断したときは、再びレンズ1002を駆動し、距離を演算する。

40

【0051】

そして、合焦が確認された後に本露光が始まる。露光が終了すると、固体撮像装置1004から出力された撮像信号は、撮像信号処理回路1005において補正等がされ、A/D変換器1006でA/D変換され、信号処理部1007で処理される。信号処理部1007で処理された画像データは、全体制御・演算部1009によりメモリ部1010に蓄積される。

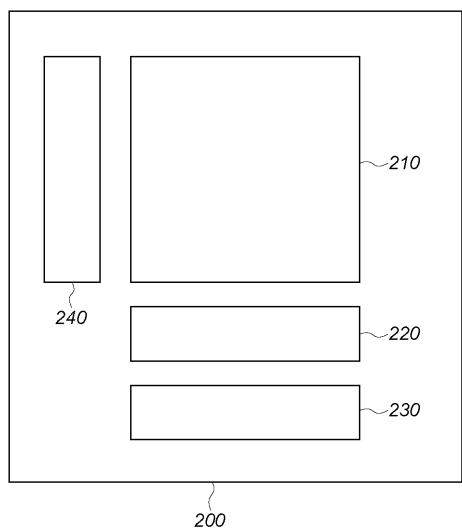
【0052】

その後、メモリ部1010に蓄積された画像データは、全体制御・演算部1009の制御により記録媒体制御I/F部を介して記録媒体1012に記録される。また、画像デー

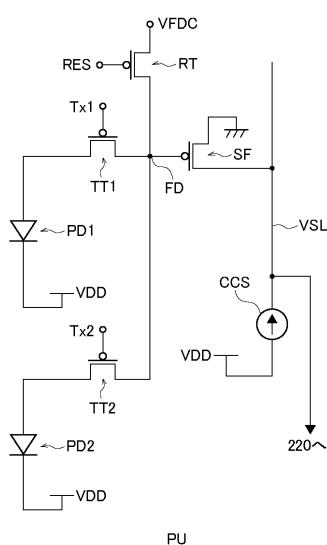
50

タは、外部 I / F 部 1013 を通してコンピュータ等に提供されて処理されうる。

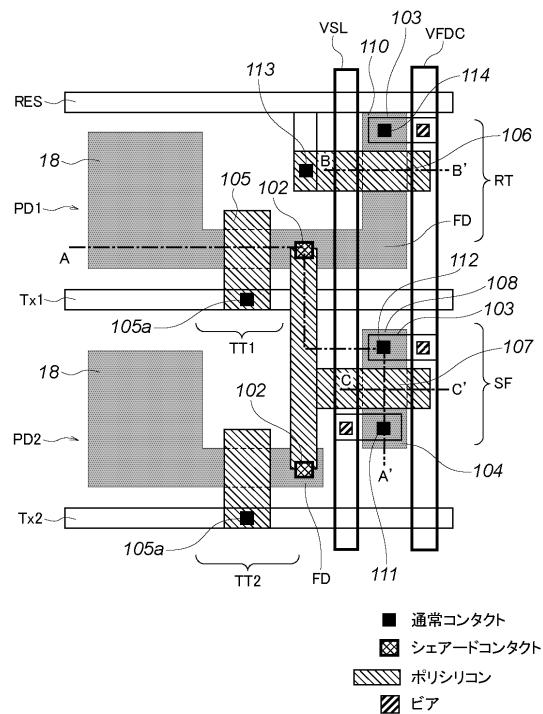
【図 1】



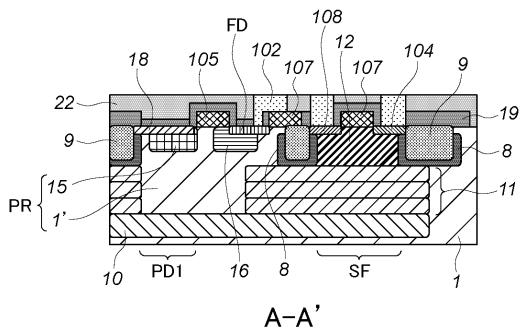
【図 2】



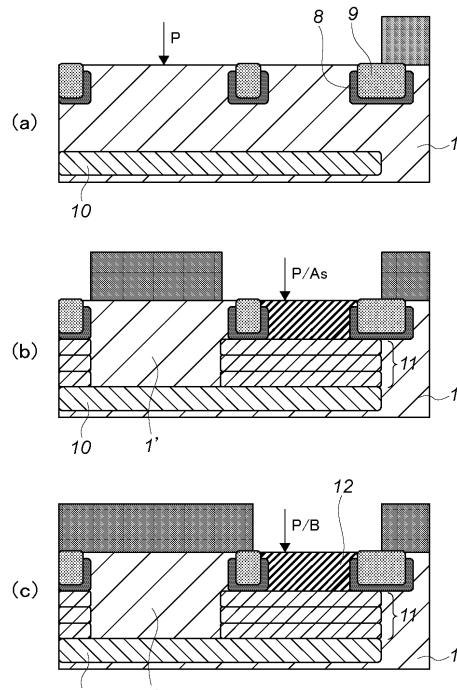
【図3】



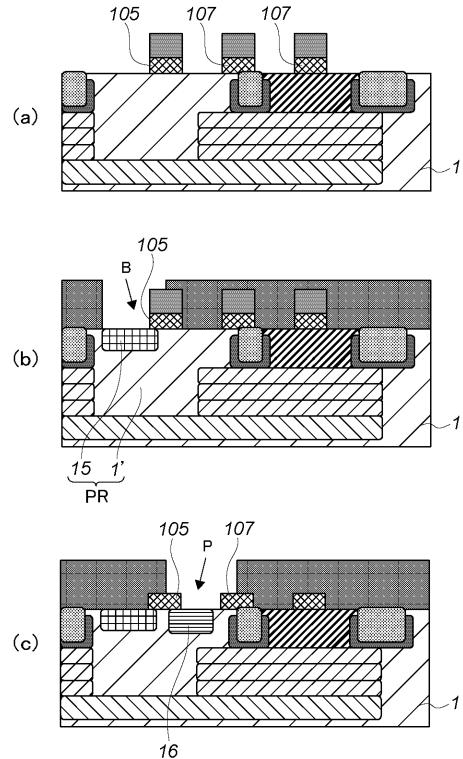
【図4】



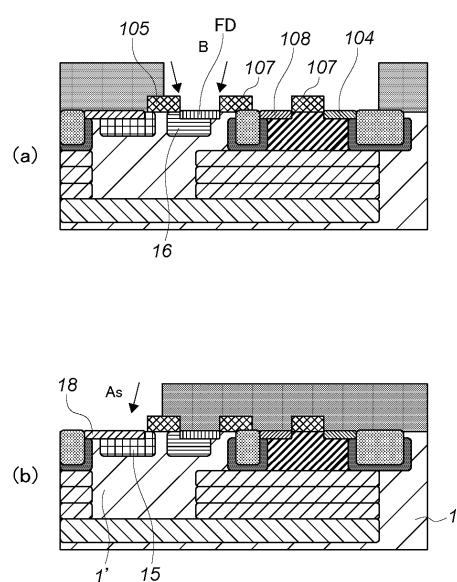
【図 8】



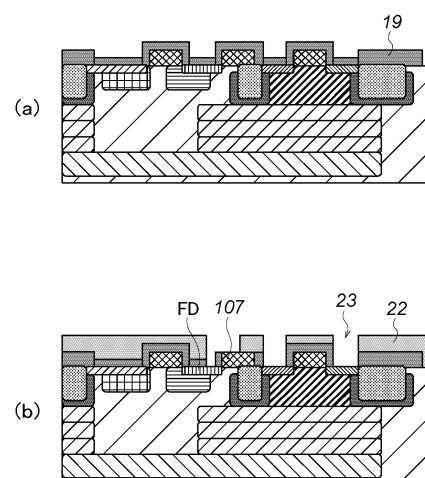
【図 9】



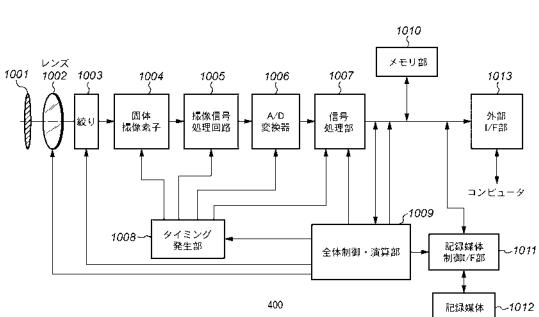
【図 10】



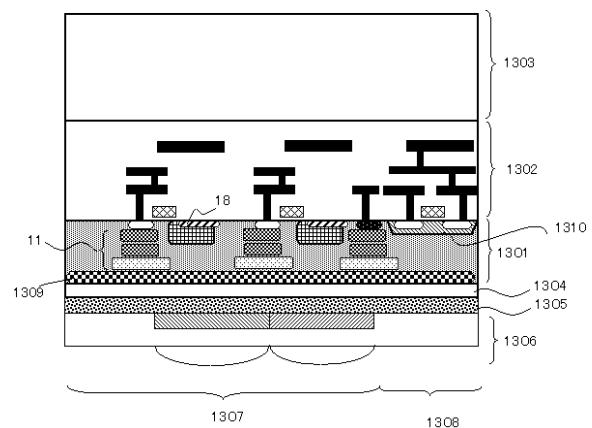
【図 11】



【図 12】



【 図 1 3 】



フロントページの続き

(72)発明者 澤山 忠志
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 廣田 克範
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 渡邊 高典
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 市川 武史
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 4M118 AB01 BA14 CA04 DD04 DD12 EA01 EA14 FA06 FA25 FA26
FA33
5F049 MA02 MB03 MB12 NA05 NB05 PA10 PA14 QA06 QA15 RA03
RA08 SE01 SS03 WA03