

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5737281号  
(P5737281)

(45) 発行日 平成27年6月17日(2015.6.17)

(24) 登録日 平成27年5月1日(2015.5.1)

(51) Int.Cl.		F I			
HO 1 L 21/20	(2006.01)	HO 1 L	21/20		
HO 1 L 29/12	(2006.01)	HO 1 L	29/78	6 5 2 T	
HO 1 L 29/78	(2006.01)	HO 1 L	29/78	6 5 8 E	
HO 1 L 21/336	(2006.01)	HO 1 L	29/78	6 5 8 G	

請求項の数 21 (全 21 頁)

(21) 出願番号	特願2012-506779 (P2012-506779)	(73) 特許権者	000002130
(86) (22) 出願日	平成22年12月20日(2010.12.20)		住友電気工業株式会社
(86) 国際出願番号	PCT/JP2010/072871		大阪府大阪市中央区北浜四丁目5番33号
(87) 国際公開番号	W02011/118104	(74) 代理人	110001195
(87) 国際公開日	平成23年9月29日(2011.9.29)		特許業務法人深見特許事務所
審査請求日	平成25年6月19日(2013.6.19)	(72) 発明者	原田 真
(31) 優先権主張番号	特願2010-66197 (P2010-66197)		大阪市此花区島屋一丁目1番3号 住友電
(32) 優先日	平成22年3月23日(2010.3.23)		気工業株式会社 大阪製作所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	佐々木 信
			兵庫県伊丹市昆陽北一丁目1番1号 住友
			電気工業株式会社 伊丹製作所内
		(72) 発明者	西口 太郎
			兵庫県伊丹市昆陽北一丁目1番1号 住友
			電気工業株式会社 伊丹製作所内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法、ならびに基板

(57) 【特許請求の範囲】

【請求項1】

電流経路を有する半導体装置であって、  
前記電流経路の少なくとも一部を構成し、かつ炭化珪素から作られた半導体層と、  
前記半導体層を支持する第1の面と前記第1の面に対向する第2の面とを有し、かつ4  
H型の単結晶構造を有する炭化珪素から作られ、かつフォトルミネッセンス測定において  
波長390nm付近のピーク強度に対する波長500nm付近のピーク強度の比が0.1  
以下となる物性を前記第2の面において有する基板とを備える、半導体装置。

【請求項2】

前記半導体層上に絶縁膜をさらに備えた、請求項1に記載の半導体装置。

10

【請求項3】

前記絶縁膜は前記半導体層の材料の酸化物から作られている、請求項2に記載の半導体  
装置。

【請求項4】

前記絶縁膜は熱酸化膜である、請求項2に記載の半導体装置。

【請求項5】

前記基板は前記電流経路の一部を構成する、請求項1に記載の半導体装置。

【請求項6】

前記第1の面は{0001}面に対して50°以上65°以下のオフ角を有する、請求  
項1に記載の半導体装置。

20

## 【請求項 7】

前記オフ角のオフ方位は $\langle 11 - 20 \rangle$ 方向に対して $\pm 5^\circ$ 以下の範囲内にある、請求項 6 に記載の半導体装置。

## 【請求項 8】

前記オフ角のオフ方位は $\langle 01 - 10 \rangle$ 方向に対して $\pm 5^\circ$ 以下の範囲内にある、請求項 6 に記載の半導体装置。

## 【請求項 9】

前記第 1 の面は $\langle 01 - 10 \rangle$ 方向において $\{03 - 38\}$ 面に対して $-3^\circ$ 以上 $+5^\circ$ 以下のオフ角を有する、請求項 8 に記載の半導体装置。

## 【請求項 10】

前記第 1 の面は $\langle 01 - 10 \rangle$ 方向において $(0 - 33 - 8)$ 面に対して $-3^\circ$ 以上 $+5^\circ$ 以下のオフ角を有する、請求項 9 に記載の半導体装置。

## 【請求項 11】

前記基板を支持し、かつ炭化珪素から作られたベース層をさらに備える、請求項 1 に記載の半導体装置。

## 【請求項 12】

電流経路を有する半導体装置の製造方法であって、

第 1 の面と、前記第 1 の面に対向する第 2 の面とを有し、かつ 4 H 型の単結晶構造を有する炭化珪素から作られた基板を準備する工程を備え、前記基板を準備する工程において前記第 2 の面上に加工ダメージ層が形成され、さらに

前記第 2 の面上における前記加工ダメージ層を除去する工程と、

前記第 1 の面上に、前記電流経路の少なくとも一部を構成し、かつ炭化珪素から作られた半導体層を形成する工程と、

前記加工ダメージ層を除去する工程の後に、前記基板および前記半導体層を加熱する工程とを備え、

前記加工ダメージ層が除去された後の前記基板は、フォトルミネッセンス測定において波長 390 nm 付近のピーク強度に対する波長 500 nm 付近のピーク強度の比が 0.1 以下となる物性を前記第 2 の面において有する、半導体装置の製造方法。

## 【請求項 13】

前記基板および前記半導体層を加熱する工程は、前記半導体層の表面を熱酸化することによって前記半導体層上に絶縁膜を形成する工程を含む、請求項 12 に記載の半導体装置の製造方法。

## 【請求項 14】

前記基板を準備する工程は、

4 H 型の単結晶構造を有する炭化珪素から作られたインゴットを準備する工程と、

前記インゴットをスライスすることによって前記第 2 の面を形成する工程とを含む、請求項 12 に記載の半導体装置の製造方法。

## 【請求項 15】

前記半導体層を形成する工程の前に、前記第 1 の面を研磨する工程をさらに備える、請求項 12 に記載の半導体装置の製造方法。

## 【請求項 16】

前記加工ダメージ層を除去する工程の後、かつ前記半導体層を形成する工程の前に、前記第 2 の面上に炭化珪素から作られたベース層を形成する工程をさらに備える、請求項 12 に記載の半導体装置の製造方法。

## 【請求項 17】

前記加工ダメージ層を除去する工程は、溶融 KOH エッチングによって前記加工ダメージ層を除去する工程を含む、請求項 12 に記載の半導体装置の製造方法。

## 【請求項 18】

前記加工ダメージ層を除去する工程は、ドライエッチングによって前記加工ダメージ層を除去する工程を含む、請求項 12 に記載の半導体装置の製造方法。

10

20

30

40

50

## 【請求項 19】

前記加工ダメージ層を除去する工程は、前記加工ダメージ層を昇華させる工程を含む、請求項 12 に記載の半導体装置の製造方法。

## 【請求項 20】

前記加工ダメージ層を除去する工程は、研磨によって前記加工ダメージ層を除去する工程を含む、請求項 12 に記載の半導体装置の製造方法。

## 【請求項 21】

電流経路を有する半導体装置用の基板であって、  
前記電流経路の少なくとも一部を構成し、かつ炭化珪素から作られた半導体層を支持する第 1 の面と、  
前記第 1 の面に対向する第 2 の面とを有し、  
4 H 型の単結晶構造を有する炭化珪素から作られ、  
フォトルミネッセンス測定において波長 390 nm 付近のピーク強度に対する波長 500 nm 付近のピーク強度の比が 0.1 以下となる物性を前記第 2 の面において有する、基板。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体装置およびその製造方法に関し、特に、単結晶構造を有する炭化珪素から作られた基板を有する半導体装置およびその製造方法に関する。

20

## 【背景技術】

## 【0002】

特開平 10 - 308510 号公報（特許文献 1）は、単結晶炭化珪素よりなる基板を有する半導体装置を開示している。この公報によればこの装置を製造するために、単結晶炭化珪素よりなる半導体基板の主表面の上に炭化珪素エピタキシャル層が形成され、また炭化珪素エピタキシャル層の上に表面チャネル層が配置され、また表面チャネル層の表面にゲート絶縁膜を介してゲート電極が形成される。このゲート絶縁膜の形成方法として、加熱をともなう酸化工程が例示されている。

## 【先行技術文献】

## 【特許文献】

30

## 【0003】

【特許文献 1】特開平 10 - 308510 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

本発明者らは、上記のような半導体装置の製造過程において、基板の抵抗率が大きく増大してしまうことがあることを見出した。基板の抵抗率が高くなると、この基板が半導体装置の電流経路の少なくとも一部を構成する場合、半導体装置のオン抵抗も高くなってしまふ。

## 【0005】

40

本発明は、上記のような課題を解決するために成されたものであり、本発明の目的は、単結晶構造を有する炭化珪素から作られた基板を含み、かつ低いオン抵抗を有する半導体装置と、その製造方法とを提供することである。

## 【課題を解決するための手段】

## 【0006】

本発明の半導体装置は、電流経路を有する半導体装置であって、半導体層および基板を有する。半導体層は、電流経路の少なくとも一部を構成し、かつ炭化珪素から作られている。基板は、半導体層を支持する第 1 の面と、第 1 の面に対向する第 2 の面とを有する。また基板は、4 H 型の単結晶構造を有する炭化珪素から作られている。また基板は、フォトルミネッセンス測定において波長 390 nm 付近のピーク強度に対する波長 500 nm

50

付近のピーク強度の比が0.1以下となる物性を有する。ここで「比が0.1以下」という限定は、比が0である場合を除外するものではない。

【0007】

本発明者らは、4H型の単結晶構造を有する炭化珪素から作られた単結晶基板の抵抗率の増大の原因のひとつは、フォトルミネッセンス測定における波長500nm付近のピークの存在によって特定される欠陥が進展するためであることを見出した。本発明の半導体装置はこの知見に基づくものであって、上記のように特定される欠陥が少ない基板を用いることによって基板の抵抗率の増大が抑制され、この結果、半導体装置のオン抵抗が低くされる。

【0008】

好ましくは、基板は第2の面において上述した物性を有する。これにより基板の第2の面からその内部へと上記欠陥が進展することを防止することができる。

【0009】

好ましくは半導体装置は半導体層上に絶縁膜をさらに有する。これにより半導体層に対して電氣的に絶縁された領域を設けることができる。

【0010】

好ましくは絶縁膜は半導体層の材料の酸化物から作られている。これにより絶縁膜を半導体層を利用して形成することができる。

【0011】

好ましくは絶縁膜は熱酸化膜である。これにより絶縁膜を加熱工程によって形成することができる。また本発明によれば、この加熱工程における基板の抵抗率の増大が防止される。

【0012】

好ましくは基板は電流経路の一部を構成する。これにより抵抗率の増大が抑制された基板が電流経路の一部とされるので、半導体装置のオン抵抗が小さくなる。

【0013】

好ましくは、第1の面は{0001}面に対して50°以上65°以下のオフ角を有する。これにより半導体装置におけるチャンネル移動度を高めることができる。

【0014】

オフ角のオフ方位は<11-20>方向に対して±5°以下の範囲内であってもよい。これにより半導体装置におけるチャンネル移動度を高めることができる。

【0015】

あるいはオフ角のオフ方位は<01-10>方向に対して±5°以下の範囲内であってもよい。この場合、好ましくは、第1の面は<01-10>方向において{03-38}面に対して-3°以上+5°以下のオフ角を有し、より好ましくは、第1の面は<01-10>方向において(0-33-8)面に対して-3°以上+5°以下のオフ角を有する。これにより半導体装置におけるチャンネル移動度を高めることができる。ここで、六方晶の単結晶炭化珪素の(0001)面はシリコン面、(000-1)面はカーボン面と定義される。また<01-10>方向における{03-38}面に対するオフ角とは、<01-10>方向および<0001>方向の張る平面への上記第1の面の法線の正射影と、{03-38}面の法線とのなす角度であり、その符号は、上記正射影が<01-10>方向に対して平行に近づく場合が正であり、上記正射影が<0001>方向に対して平行に近づく場合が負である。また<01-10>方向における(0-33-8)面に対するオフ角とは、<01-10>方向および<0001>方向の張る平面への上記第1の面の法線の正射影と、(0-33-8)面の法線とのなす角度であり、その符号は、上記正射影が<01-10>方向に対して平行に近づく場合が正であり、上記正射影が<0001>方向に対して平行に近づく場合が負である。そして、上記<01-10>方向における(0-33-8)面に対するオフ角が-3°以上+5°以下である第1の面とは、当該第1の面が炭化珪素結晶において上記条件を満たすカーボン面側の面であることを意味する。また(0-33-8)面は、結晶面を規定するための軸の設定により表現が異なる等価な

10

20

30

40

50

カーボン面側の面を含むとともに、シリコン面側の面を含まない。一方、{ 0 3 - 3 8 } 面は、カーボン面側の面である ( 0 - 3 3 - 8 ) 面と、シリコン面側の面である ( 0 3 - 3 8 ) 面との両方を含む。

【 0 0 1 6 】

{ 0 3 - 3 8 } 面に近い第 1 の面上にエピタキシャルに形成された半導体層と、この半導体層の表面に形成された絶縁膜 (たとえばゲート酸化膜) とを有する半導体装置においては、半導体層と絶縁膜との界面付近の半導体層でのキャリアの移動度が向上する。そして基板の第 1 の面が、{ 0 3 - 3 8 } 面のうちカーボン面側の面である ( 0 - 3 3 - 8 ) 面に近い面である場合、上記のキャリア移動度がより向上する。

【 0 0 1 7 】

好ましくは半導体装置は、基板を支持し、かつ炭化珪素から作られたベース層をさらに有する。このベース層によって基板を支持することができる。

【 0 0 1 8 】

本発明の半導体装置の製造方法は、電流経路を有する半導体装置の製造方法であって、以下の工程を有する。第 1 の面と、第 1 の面に対向する第 2 の面とを有し、かつ 4 H 型の単結晶構造を有する炭化珪素から作られた基板が準備される。基板を準備する工程において第 2 の面上に加工ダメージ層が形成される。その後、第 2 の面上における加工ダメージ層が除去される。第 1 の面上に、電流経路の少なくとも一部を構成し、かつ炭化珪素から作られた半導体層が形成される。加工ダメージ層を除去する工程の後に、基板および半導体層が加熱される。

【 0 0 1 9 】

本発明者らは、4 H 型の単結晶構造を有する炭化珪素から作られた単結晶基板の抵抗率の増大の原因のひとつは、基板が有する第 1 および第 2 の面のうち、半導体層が形成された第 1 の面に対向する第 2 の面上の加工ダメージ層から欠陥が高温下で進展するためであることを見出した。本発明の半導体装置の製造方法はこの知見に基づくものであって、第 2 の面上における加工ダメージ層を除去することによって、上述した欠陥の進展が抑制される。これにより基板の抵抗率の増大が抑制され、この結果、半導体装置のオン抵抗が低くなる。

【 0 0 2 0 】

好ましくは基板および半導体層を加熱する工程は、半導体層の表面を熱酸化することによって半導体層上に絶縁膜を形成する工程を含む。これにより半導体層の熱酸化によって半導体層上に絶縁膜を形成することができる。

【 0 0 2 1 】

好ましくは、基板を準備する工程は、以下の工程を有する。4 H 型の単結晶構造を有する炭化珪素から作られたインゴットが準備される。インゴットをスライスすることによって第 2 の面が形成される。

【 0 0 2 2 】

好ましくは、半導体層を形成する工程の前に、基板の第 1 の面が研磨される。これにより、より平坦な面上に半導体層を形成することができる。

【 0 0 2 3 】

好ましくは、加工ダメージ層を除去する工程の後、かつ半導体層を形成する工程の前に、基板の第 2 の面上に炭化珪素から作られたベース層が形成される。このベース層によって基板を支持することができる。

【 0 0 2 4 】

加工ダメージ層を除去する工程としては、たとえば、熔融 K O H エッチングによる方法、ドライエッチングによる方法、加工ダメージ層を昇華させることによる方法、および研磨による方法の少なくともいずれかを用いることができる。

【発明の効果】

【 0 0 2 5 】

以上の説明から明らかなように、本発明によれば、単結晶構造を有する炭化珪素から作

10

20

30

40

50

られた基板を含み、かつ低いオン抵抗を有する半導体装置と、その製造方法とを提供することができる。

【図面の簡単な説明】

【0026】

【図1】実施の形態1における半導体装置の構成を概略的に示す断面図である。

【図2】図1の基板の裏面におけるフォトルミネッセンス測定の実施例と、それに対する比較例とを示す図である。

【図3】図1の半導体装置の製造方法を概略的に説明するためのフローチャートである。

【図4】図1の半導体装置の製造方法の第1工程を概略的に示す斜視図である。

【図5】図1の半導体装置の製造方法の第2工程を概略的に示す断面図である。

10

【図6】図1の半導体装置の製造方法の第3工程を概略的に示す断面図である。

【図7】図1の半導体装置の製造方法の第4工程を概略的に示す断面図である。

【図8】図1の半導体装置の製造方法の第5工程を概略的に示す断面図である。

【図9】図1の半導体装置の製造方法の第6工程を概略的に示す断面図である。

【図10】図1の半導体装置の製造方法の第7工程を概略的に示す断面図である。

【図11】図1の半導体装置の製造方法の第8工程を概略的に示す断面図である。

【図12】比較例の半導体装置の製造方法の一工程を概略的に示す断面図である。

【図13】実施の形態2における半導体装置の製造に用いられる複合基板の構成を概略的に示す断面図である。

【図14】図13に示す複合基板の製造方法を概略的に説明するためのフローチャートである。

20

【図15】実施の形態3における半導体装置の製造に用いられる複合基板の製造方法を概略的に説明するためのフローチャートである。

【図16】実施の形態3における半導体装置の製造に用いられる複合基板の製造方法の第1工程を概略的に示す断面図である。

【図17】実施の形態3における半導体装置の製造に用いられる複合基板の製造方法の第2工程を概略的に示す断面図である。

【図18】実施の形態3における半導体装置の製造に用いられる複合基板の製造方法の第3工程を概略的に示す断面図である。

【図19】実施の形態4における半導体装置の製造に用いられる複合基板の構成を概略的に示す断面図である。

30

【図20】実施の形態5における半導体装置の製造に用いられる複合基板の構成を概略的に示す断面図である。

【図21】図20に示す複合基板の製造方法を概略的に説明するためのフローチャートである。

【図22】実施の形態6における半導体装置の製造に用いられる複合基板の構成を概略的に示す断面図である。

【図23】図22に示す複合基板の製造方法を概略的に説明するためのフローチャートである。

【図24】実施の形態7における半導体装置の製造に用いられる複合基板の構成を概略的に示す断面図である。

40

【図25】図24に示す複合基板の製造方法を概略的に説明するためのフローチャートである。

【図26】図24に示す複合基板の製造方法の一工程を概略的に示す断面図である。

【発明を実施するための形態】

【0027】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。

【0028】

(実施の形態1)

50

図1を参照して、本実施の形態における半導体装置1は、縦方向に電流経路を有するものである。具体的には縦型DiMOSFET(Double Implanted MOSFET)である。半導体装置1は、基板2、バッファ層21、耐圧保持層22、p領域23、n<sup>+</sup>領域24、p<sup>+</sup>領域25、酸化膜26、ソース電極11および上部ソース電極27、ゲート電極10および基板2の裏面側に形成されたドレイン電極12を備える。バッファ層21、耐圧保持層22、p領域23、n<sup>+</sup>領域24、およびp<sup>+</sup>領域25は、基板2上において炭化珪素から作られた半導体層を構成しており、この半導体層は上部ソース電極27およびドレイン電極12の間で半導体装置1の電流経路を構成している。

#### 【0029】

基板2は、4H型の単結晶構造を有する炭化珪素(SiC)から作られており、またn型不純物(基板2の導電性をn型とする不純物、たとえば窒素)を含むことによってn型の導電性を有する。また基板2は、主表面2A(第1の面)と、この主表面2Aに対向する裏面2B(第2の面)とを有する。

#### 【0030】

また基板2は、フォトルミネッセンス測定において、波長390nm付近のピーク強度に対する波長500nm付近のピーク強度の比が0.1以下となる物性を有し、好ましくはこの比が0.01以下となる物性を有し、さらに好ましくはこの比が実質的にゼロとなる物性を有する。このフォトルミネッセンス測定において、励起光として、波長325nmを有する励起レーザ(He-Cdレーザ)が用いられ、測定装置として、波長分解能1nmを有する回折格子型分光器が用いられる。フォトルミネッセンス測定として具体的には、まずドレイン電極12が除去されることで、裏面2Bが露出される。次にレンズによって収束されたレーザ光が裏面2Bに照射される。これにより裏面2Bから発生したフォトルミネッセンス光は、必要に応じてフィルターなどを適宜経路して、分光器に入る。分光器によって波長分散された光がCCDなどによって検出されることで、フォトルミネッセンス光のスペクトルが得られる。このスペクトルから、上述したピーク強度の比が算出される。

#### 【0031】

図2を参照して、上記の室温でのフォトルミネッセンス測定の結果の一例について説明する。実線で示すスペクトルは本実施の形態の実施例の測定結果であり、一点鎖線で示すスペクトルは比較例の測定結果である。比較例のスペクトルは、波長390nm近傍にピークQ1を、波長500nm近傍にピークQ2を有していた。一方、実施例のスペクトルは、波長390nm近傍に強いピークP1を有していたが、波長500nm近傍においては明確なピークを有していなかった。よって上記のピーク強度の比は、実施例においては実質的に0であり、比較例においては約1であった。

#### 【0032】

上記の実施例において実質的に0のピーク強度の比を与えるような裏面2Bを有する基板2が用いられた理由は、以下の通りである。本発明者らは、4H型の単結晶構造を有するSiCから作られた基板2の抵抗率の増大の原因のひとつは、フォトルミネッセンス測定における波長500nm付近のピークの存在によって特定される積層欠陥であり、半導体装置1の製造工程、特に加熱をともなう工程において加工ダメージ層中の欠陥が積層欠陥化し、進展するためであることを見出した。そこで本発明者らは、上記のように特定される欠陥が少ない基板2を用いることによって、すなわち上記ピーク強度の比として小さい値を有する基板2を準備することによって、半導体装置1の製造工程における基板2の抵抗率の増大が抑制され、この結果、半導体装置1のオン抵抗が低くなると考えた。なお390nm近傍のピークをピーク強度の比の分母とした理由は、390nm近傍のピークが理想的な4H型の単結晶構造を有するSiCのバンド間発光であるため、390nm近傍のピークによって、欠陥に対応する500nm近傍のピークを規格化することができると思ったためである。

#### 【0033】

なお上記の条件を満たす基板2を準備する方法については後述する。また上記実施例に

10

20

30

40

50

おいては上記の比が実質的に0であり、またこのような形態が最も好ましいものの、この比は必ずしも実質的に0である必要はなく、0.01以下であれば大きな効果が得られ、0.1以下であれば効果が得られる。

#### 【0034】

バッファ層21は、炭化珪素から作られており、基板2の主表面2A上に形成されている。バッファ層21は導電型がn型であり、その厚みはたとえば $0.5\ \mu\text{m}$ である。また、バッファ層21におけるn型不純物の濃度は、たとえば $5 \times 10^{17}\ \text{cm}^{-3}$ とすることができる。このバッファ層21上には耐圧保持層22が形成されている。この耐圧保持層22は、導電型がn型の炭化珪素からなり、たとえばその厚みは $10\ \mu\text{m}$ である。また、耐圧保持層22におけるn型不純物の濃度としては、たとえば $5 \times 10^{15}\ \text{cm}^{-3}$ と

10

#### 【0035】

耐圧保持層22の基板2とは反対側の主表面を含む領域には、導電型がp型であるp領域23が互いに間隔を隔てて形成されている。p領域23の内部においては、p領域23の主表面を含む領域にn<sup>+</sup>領域24が形成されている。また、このn<sup>+</sup>領域24に隣接する位置には、p<sup>+</sup>領域25が形成されている。一方のp領域23におけるn<sup>+</sup>領域24上から、p領域23、2つのp領域23の間において露出する耐圧保持層22、他方のp領域23および当該他方のp領域23におけるn<sup>+</sup>領域24上にまで延在するように、酸化膜26が形成されている。酸化膜26の厚みとしては、たとえば $40\ \text{nm}$ という値を用いることができる。酸化膜26上にはゲート電極10が形成されている。また、n<sup>+</sup>領域2

20

#### 【0036】

ここで、酸化膜26と、半導体層としてのn<sup>+</sup>領域24、p<sup>+</sup>領域25、p領域23および耐圧保持層22との界面から $10\ \text{nm}$ 以内の領域における窒素原子濃度の最大値は、 $1 \times 10^{21}\ \text{cm}^{-3}$ 以上となっている。これにより、特に酸化膜26下のチャンネル領域（酸化膜26に接する部分であって、n<sup>+</sup>領域24と耐圧保持層22との間のp領域23の部分）の移動度を向上させることができる。

30

#### 【0037】

さらに半導体装置1は、基板2のバッファ層21側の主表面2Aは面方位{0001}に対して、好ましくは $50^\circ$ 以上 $65^\circ$ 以下のオフ角を有し、より好ましくは約 $53^\circ$ のオフ角を有する。オフ角のオフ方位は $\langle 11-20 \rangle$ 方向に対して $\pm 5^\circ$ 以下の範囲内にあってもよい。あるいはオフ角のオフ方位は $\langle 01-10 \rangle$ 方向に対して $\pm 5^\circ$ 以下の範囲内にあってもよい。この場合、好ましくは、主表面2Aは $\langle 01-10 \rangle$ 方向において{03-38}面に対して $-3^\circ$ 以上 $+5^\circ$ 以下のオフ角を有し、より好ましくは、主表面2Aは $\langle 01-10 \rangle$ 方向において(0-33-8)面に対して $-3^\circ$ 以上 $+5^\circ$ 以下のオフ角を有する。この場合、主表面2A上へのエピタキシャル成長と不純物注入とにより形成されるp領域23の基板2とは反対側の主表面はほぼ(0-33-8)面となっ

40

#### 【0038】

次に半導体装置1の製造方法を説明する。

はじめに、炭化珪素基板準備工程S10(図3)を実施する。この工程では、面方位(0-33-8)面を主表面2Aとする導電型がn型の炭化珪素基板を基板2として準備する。このような基板は、たとえば(0001)面を主表面とするインゴット(原料結晶)から(0-33-8)面が主表面2Aとして露出するように基板を切出すといった手法により得ることができる。また基板2としては、たとえば導電型がn型であり、基板抵抗が $0.02\ \text{cm}$ といった基板を用いてもよい。具体的には、以下の図4~図7に示す工程

50

が行われる。

【0039】

まず図4を参照して、4H型の単結晶構造を有するSiCから作られたインゴット2Zが準備される。次にインゴット2Zが、図中破線で示すようにスライスされる。

【0040】

さらに図5を参照して、このスライス加工によって主表面2Aおよび裏面2Bを有する基板2が切り出される。このスライス加工の機械的ストレスに起因して、主表面2Aおよび裏面2Bの各々の上に、加工ダメージ層2pが形成される。加工ダメージ層2pは、結晶構造の歪みを有する層であり、たとえば10 $\mu$ m程度の厚さを有する。

【0041】

さらに図6を参照して、裏面2B上における加工ダメージ層2pが、少なくとも一部、好ましくはすべて、除去される。裏面2B上における加工ダメージ層2pを除去するためには、たとえば、熔融KOHエッチングによる方法、ドライエッチングによる方法、熱エッチングによる方法、および研磨による方法の少なくともいずれかを用いることができる。ここで熱エッチングとは、主に高温加熱によってSiCを除去する方法であって、具体的には、SiCを昇華させる方法、および高温下で特定の雰囲気中にSiCをさらすことによってSiCを除去する方法のいずれを用いることもできる。この特定の雰囲気としては、たとえば、水素雰囲気、塩素雰囲気、または塩化水素雰囲気を用いることができる。また裏面2Bの表面を酸化することによって酸化層を形成し、この酸化層をウエットエッチングによって除去する方法を用いることもできる。あるいは裏面2Bの表面を炭化することによって炭化層を形成し、この炭化層を除去する方法を用いることもできる。

【0042】

好ましくは、加工ダメージ層2pを除去する際に新たな加工ダメージ層を形成しないようにするために、裏面2B上において、機械的方法および物理的方法ではなく、化学的方法によって加工ダメージ層2pが除去される。また機械的方法をともなって加工ダメージ層2pが除去される場合、なるべく機械的ダメージが小さくなるような条件が用いられる。具体的には、単純な機械的研磨よりはCMP(Chemical Mechanical Polishing)の方が好ましく、単純な機械的研磨が行われる場合は、3 $\mu$ m程度以下の粒径を有する研磨材が用いられることが好ましい。

【0043】

さらに図7を参照して、主表面2Aに対してラッピングが行われる。このラッピングは、比較的荒い研磨工程であって、好ましくは3 $\mu$ mを超える粒径を有する研磨材が用いられる。次に主表面2Aに対して、より小さい粒径を有する研磨材を用いた機械的研磨が行われる。この粒径は、好ましくは0.5 $\mu$ m以上3 $\mu$ m以下である。次に主表面2Aに対してCMPが行われる。これより、主表面2A上の加工ダメージ層2pがおおよそ除去される。

【0044】

なお上記説明においては、主表面2A上に対してはラッピングおよび機械的研磨を経てCMPが行われた。すなわち段階的に研磨レートが小さくなるような研磨が行われた。一方、裏面2Bに対しては、このような段階的な研磨は必ずしも必要ではなく、加工ダメージ層2pを除去する工程が行なわれればよい。この相違は、主表面2Aに対する工程が主表面2Aを平坦化することを主目的としている一方で、裏面2Bに対する工程は裏面2B上の加工ダメージ層2pを除去することを主目的としているからである。また図6では、裏面2B上の加工ダメージ層しか除去されていないが、熔融KOHエッチングによる方法などが用いられる場合、主表面2A上のダメージ層も同時に除去される。上記の通り、主表面2Aに関しては、平坦化のための研磨が必要なことがあり、ラッピングで加工ダメージが再導入されるため、段階的に研磨レートが小さくなるような研磨が必要なことがある。

【0045】

以上により半導体装置1の製造工程に用いられる基板2が準備される。このようにして

10

20

30

40

50

準備された基板 2 は、裏面 2 B 上にわずかの加工ダメージ層 2 p しか有しないか、または裏面 2 B 上に加工ダメージ層 2 p を有しない。

【 0 0 4 6 】

この時点で基板 2 の裏面 2 B に対して、前述したフォトルミネッセンス測定を行ったところ、半導体基板 1 が最終的に得られた時点における基板 2 の裏面 2 B に対する結果と同様の結果が得られた。すなわち前述した定義のピーク強度の比が実質的に 0 であった。

【 0 0 4 7 】

図 8 を参照して、エピタキシャル層形成工程 S 2 0 ( 図 3 ) を実施する。具体的には、基板 2 の主表面 2 A 上にパフファ層 2 1 を形成する。パフファ層としては、導電型が n 型の炭化珪素からなり、たとえばその厚みが  $0.5 \mu\text{m}$  のエピタキシャル層を形成する。パフファ層 2 1 における不純物の濃度は、たとえば  $5 \times 10^{17} \text{cm}^{-3}$  である。そして、このパフファ層 2 1 上に、図 8 に示すように耐圧保持層 2 2 を形成する。この耐圧保持層 2 2 としては、導電型が n 型の炭化珪素からなる層をエピタキシャル成長法によって形成する。この耐圧保持層 2 2 の厚さは、たとえば  $10 \mu\text{m}$  である。また、この耐圧保持層 2 2 における n 型の導電性不純物の濃度は、たとえば  $5 \times 10^{15} \text{cm}^{-3}$  である。

【 0 0 4 8 】

図 9 を参照して、次に注入工程 S 3 0 ( 図 3 ) を実施する。具体的には、フォトリソグラフィおよびエッチングを用いて形成した酸化膜をマスクとして用いて、導電型が p 型の不純物 ( たとえばアルミニウム ( Al ) ) を耐圧保持層 2 2 に注入することにより、p 領域 2 3 を形成する。また、用いた酸化膜を除去した後、再度新たなパターンを有する酸化膜を、フォトリソグラフィおよびエッチングを用いて形成する。そして、当該酸化膜をマスクとして、n 型不純物を所定の領域に注入することにより、n<sup>+</sup>領域 2 4 を形成する。この n 型不純物としては、たとえばリン ( P ) を用いることができる。また、同様の手法により、導電型が p 型の不純物を注入することにより、p<sup>+</sup>領域 2 5 を形成する。

【 0 0 4 9 】

このような注入工程の後、活性化アニール処理を行なう。この活性化アニール処理としては、たとえばアルゴンガスを雰囲気ガスとして用いて、加熱温度  $1700$  、加熱時間 30 分といった条件を用いることができる。

【 0 0 5 0 】

図 10 を参照して、ゲート絶縁膜形成工程 S 4 0 ( 図 3 ) を実施する。具体的には、耐圧保持層 2 2、p 領域 2 3、n<sup>+</sup>領域 2 4、p<sup>+</sup>領域 2 5 上を覆うように酸化膜 2 6 ( 絶縁膜 ) を形成する。好ましくは、この酸化膜 2 6 は半導体層をドライ酸化 ( 熱酸化 ) することによって形成された熱酸化膜であり、この場合、酸化膜 2 6 は半導体層の材料の酸化物からなる。このドライ酸化は加熱工程を含み、この加熱工程は、たとえば、加熱温度  $1200$  、加熱時間 120 分の条件を有する。

【 0 0 5 1 】

その後、窒素アニール工程 S 5 0 ( 図 3 ) を実施する。具体的には、雰囲気ガスを一酸化窒素 ( NO ) として、アニール処理を行なう。アニール処理の温度条件としては、たとえば加熱温度を  $1100$  、加熱時間を 120 分とする。この結果、酸化膜 2 6 と下層の耐圧保持層 2 2、p 領域 2 3、n<sup>+</sup>領域 2 4、p<sup>+</sup>領域 2 5 との間の界面近傍に窒素原子が導入される。また、この一酸化窒素を雰囲気ガスとして用いたアニール工程の後、さらに不活性ガスであるアルゴン ( Ar ) ガスを用いたアニールを行なってもよい。具体的には、アルゴンガスを雰囲気ガスとして用いて、加熱温度を  $1100$  、加熱時間を 60 分といった条件を用いてもよい。

【 0 0 5 2 】

図 11 を参照して、電極形成工程 S 6 0 ( 図 3 ) を実施する。具体的には、酸化膜 2 6 上にフォトリソグラフィ法を用いてパターンを有するレジスト膜を形成する。そして、当該レジスト膜をマスクとして用いて、n<sup>+</sup>領域 2 4 および p<sup>+</sup>領域 2 5 上に位置する酸化膜の部分をエッチングにより除去する。この後、レジスト膜上、当該酸化膜 2 6 において形成された開口部内部において n<sup>+</sup>領域 2 4 および p<sup>+</sup>領域 2 5 と接触する領域、および

10

20

30

40

50

基板 2 のバッファ層 2 1 とは反対側の主表面上に、金属などの導電体膜を形成する。その後、レジスト膜を除去することにより、当該レジスト膜上に位置していた導電体膜を除去（リフトオフ）する。ここで、導電体としては、たとえばニッケル（Ni）を用いることができる。この結果、ソース電極 1 1 およびドレイン電極 1 2 を得ることができる。なお、ここでアロイ化のための熱処理を行なうことが好ましい。具体的には、たとえば雰囲気ガスとして不活性ガスであるアルゴン（Ar）ガスを用い、加熱温度を 950、加熱時間を 2 分といった熱処理（アロイ化処理）を行なう。その後、ソース電極 1 1 上に上部ソース電極 2 7（図 1 参照）を形成する。

#### 【0053】

この後、さらにゲート絶縁膜として作用する酸化膜 2 6 上にゲート電極 1 0（図 1 参照）を形成する。このゲート電極 1 0 の形成方法としては、以下のような方法を用いることができる。たとえば、予め酸化膜 2 6 上の領域に位置する開口パターンを有するレジスト膜を形成し、当該レジスト膜の全面を覆うようにゲート電極を構成する導電体膜を形成する。そして、レジスト膜を除去することによって、ゲート電極となるべき導電体膜の部分以外の導電体膜を除去（リフトオフ）する。この結果、図 1 に示すようにゲート電極 1 0 が形成される。このようにして、図 1 に示すような半導体装置 1 を得ることができる。

#### 【0054】

次に比較例の半導体装置の製造方法（図 1 2）について説明する。この比較例においては、本実施の形態（図 7）と異なり、裏面 2 B 上に加工ダメージ層 2 p を有する基板が準備され、この基板を用いて図 8 ~ 図 1 1 と同様の工程が行われる。これらの工程は、複数の加熱をとまなう工程を含んでおり、この加熱工程において、積層欠陥が矢印 DV（図 1 2）に示すように進展しやすい。またこの進展方向は、たとえば < 1 1 - 2 0 > 方向のように、< 0 0 0 1 > 方向に垂直な方向である。よって { 0 0 0 1 } 面に対するオフ角が大きいほど、積層欠陥が基板 2 中を進展しやすくなる。このように積層欠陥が進展すると、基板 2 の抵抗率が大きくなってしまふ。

#### 【0055】

次に、本実施の形態によって基板 2 の抵抗率の増大が抑制されることを検証した結果について説明する。この検証は、（0 0 0 1）面に対するオフ角が 8 ° となるようにインゴットから切り出された、厚さ 400 μm の基板 2 を用いて、シート抵抗（単位：m / ）の測定により行われた。なおこの基板 2 のシート抵抗測定は、基板 2 上に半導体層が形成されているかいないかの影響をほとんど受けない。なぜならばシート抵抗は横方向（面内方向）の抵抗に関する値であるために半導体層に比して基板 2 の抵抗の方が支配的であるためである。

#### 【0056】

まず本実施の形態の実施例の基板 2 のシート抵抗の変化について説明する。基板 2 が準備された段階で（図 7）、シート抵抗は 520 m / であつた。耐圧保持層 2 2 が形成された段階（図 8）でも、シート抵抗はほとんど変化せず 520 m / であつた。温度 1200、時間 120 分の熱処理条件で酸化膜 2 6 が形成された段階（図 1 0）でも、シート抵抗はほとんど変化せず 520 m / であつた。すなわち本実施例においては、基板 2 のシート抵抗が半導体装置 1 の製造工程においてほとんど変化しなかつた。

#### 【0057】

次に比較例（図 1 2）の基板のシート抵抗の変化について説明する。比較例の基板は、実施例と異なり、裏面 2 B 上における加工ダメージ層 2 p が除去されていない。すなわち裏面 2 B 上に加工ダメージ層 2 p を有する基板がまず準備される。この時点で、シート抵抗は 500 m / であつた。耐圧保持層 2 2 が形成された段階（図 8 に対応）では、シート抵抗が若干増加して 530 m / となつた。温度 1200、時間 120 分の熱処理条件で酸化膜 2 6 が形成された段階（図 1 0 に対応）では、シート抵抗が急激に増大し 900 m / となつた。すなわち本比較例においては、基板 2 のシート抵抗が半導体装置 1 の製造工程において増加し、特に強い熱処理の後に急激に増大した。またこの基板の裏面側を 100 μm だけ除去して行なつたシート抵抗の測定結果から、この除去された部

10

20

30

40

50

分の抵抗率は、残された部分の抵抗率に比して1.3倍程度高い抵抗率を有していた。つまり比較例の基板は裏面近傍において、特に高い抵抗率を有していた。

【0058】

なお裏面2B上に加工ダメージ層2pを有する基板の抵抗率を上述したように大きく増大させる熱処理の温度は、1200に限定されるものではない。具体的には、上述したような抵抗率の大きな増大は、たとえば1000~1200の熱処理によって引き起こされ得る。

【0059】

上記の検証結果から、本実施の形態によれば、半導体装置1の製造工程における基板2の抵抗率の増大を抑制でき、特に裏面2B近傍の抵抗率の増大を抑制することができることがわかった。この抵抗率の増大の抑制により、本実施の形態の半導体装置1は低いオン抵抗を有すると考えられる。

10

【0060】

(実施の形態2)

図13を参照して、本実施の形態における半導体装置は、上記実施の形態1における半導体装置1(図1)の基板2の代わりに複合基板2Xaを有する。複合基板2Xaは、SiCからなるベース層110と、ベース層110の一方の主表面110A上に配置された基板120とを含んでいる。基板120は、基板2(図7:実施の形態1)と同様の構成を有しており、基板2の主表面2Aに対応する主表面120Aと、基板2の裏面に対応する裏面120Bとを有する。なお本実施の形態においてはドレイン電極12は裏面120B上にベース層110を介して設けられる。またベース層110と基板120とは、別の結晶からなっている。そして、基板120の欠陥密度はベース層110の欠陥密度よりも小さい。

20

【0061】

また、上記ベース層110と基板120との界面の存在によって、ベース層110の欠陥が基板120中に伝播することが抑制される。このとき、ベース層110と基板120とは、直接接合されていてもよいし、中間層を介して接合されていてもよい。

【0062】

高品質なSiC単結晶は、大口径化が困難である。一方、SiC基板を用いた半導体装置の製造プロセスにおいて効率よく製造を行なうためには、所定の形状および大きさに統一された基板が必要である。そのため、高品質なSiC単結晶(たとえば欠陥密度が小さい炭化珪素単結晶)が得られた場合でも、切断などによって所定の形状等に加工できない領域は、有効に利用されない可能性がある。

30

【0063】

これに対し、本実施の形態の半導体装置を構成する複合基板2Xaは、SiCからなるベース層110と、単結晶SiCからなり、ベース層110上に配置された基板120とを含んでおり、基板120の欠陥密度はベース層110の欠陥密度よりも小さくなっている。そのため、欠陥密度が大きく、低品質なSiC結晶からなるベース層110を上記所定の形状および大きさに加工してベース層110とし、当該ベース層110上に高品質であるものの所望の形状等が実現されていないSiC単結晶を基板120として配置することができる。このようにして得られた複合基板2Xaは、所定の形状および大きさに統一されているため半導体装置の製造を効率化できる。また、このようにして得られた複合基板2Xaは、高品質な基板120を使用して半導体装置1を製造することが可能であるため、SiC単結晶を有効に利用することができる。その結果、本発明の半導体装置によれば、製造コストの低減が可能な半導体装置を提供することができる。

40

【0064】

また、基板120のX線ロックアップカーブの半値幅は、ベース層110のX線ロックアップカーブの半値幅よりも小さくなっている。

【0065】

基板120のマイクロパイブ密度はベース層110のマイクロパイブ密度よりも小さい

50

ことが好ましい。また、基板 120 の貫通らせん転位密度はベース層 110 の貫通らせん転位密度よりも小さいことが好ましい。また、基板 120 の貫通刃状転位密度はベース層 110 の貫通刃状転位密度よりも小さいことが好ましい。また、基板 120 の基底面転位密度はベース層 110 の基底面転位密度よりも小さいことが好ましい。また、基板 120 の混合転位密度はベース層 110 の混合転位密度よりも小さいことが好ましい。また、基板 120 の積層欠陥密度はベース層 110 の積層欠陥密度よりも小さいことが好ましい。また、基板 120 の点欠陥密度はベース層 110 の点欠陥密度よりも小さいことが好ましい。

#### 【0066】

このように、マイクロパイブ密度、貫通らせん転位密度、貫通刃状転位密度、基底面転位密度、混合転位密度、積層欠陥密度、点欠陥密度などの欠陥密度をベース層 110 に比べて低減した基板 120 を配置することにより、高品質な活性層（エピタキシャル成長層）を基板 120 上に形成することができる。

10

#### 【0067】

次に、本実施の形態における複合基板 2 X a の製造方法について説明する。

図 14 を参照して、まず工程 S 110 として基板準備工程が実施される。この工程では、図 13 を参照して、基板 120 と、たとえば単結晶 SiC からなるベース基板 110 とが準備される。基板 120 の裏面 120 B 上の加工ダメージ層は、基板 2 の裏面 2 B（図 6 および図 7）と同様に除去される。

#### 【0068】

このとき、基板 120 の主表面 120 A は、この製造方法により得られる複合基板 2 X a の主表面となることから、所望の主表面の面方位に合わせて基板 120 の主表面 120 A の面方位を選択する。ここでは、たとえば主表面が（0 - 33 - 8）面である基板 120 が準備される。また、ベース層 110 には、たとえば不純物濃度が  $2 \times 10^{19} \text{ cm}^{-3}$  よりも大きい基板が採用される。そして、基板 120 には、たとえば不純物濃度が  $5 \times 10^{18} \text{ cm}^{-3}$  よりも大きく  $2 \times 10^{19} \text{ cm}^{-3}$  よりも小さい基板が採用される。

20

#### 【0069】

次に、工程 S 120 として基板平坦化工程が実施される。この工程は必須の工程ではないが、工程 S 110 において準備されたベース層 110 や基板 120 の平坦性が不十分な場合に実施することができる。具体的には、たとえばベース層 110 や基板 120 の主表面に対して研磨が実施される。一方、この工程を省略することにより、製造コストを低減することができる。

30

#### 【0070】

次に、工程 S 130 として、積層工程が実施される。具体的には、図 13 に示すように、ベース層 110 の主表面 110 A と、基板 120 の裏面 120 B とが接触するように、ベース層 110 および基板 120 が積み重ねられる。

#### 【0071】

次に、工程 S 140 として、接合工程が実施される。具体的には、互いに積み重ねられたベース層 110 および基板 120 がたとえば SiC の昇華温度以上の温度域に加熱されることにより、ベース層 110 と基板 120 とが接合される。これにより複合基板 2 X a（図 13）が得られる。そして本実施の形態における半導体装置の製造方法では、この複合基板 2 X a が用いられ、半導体装置 1 が上記実施の形態 1 と同様に製造される。

40

#### 【0072】

ここで、工程 S 140 における積層基板の加熱温度は 1800 以上 2500 以下であることが好ましい。加熱温度が 1800 よりも低い場合、ベース層 110 と基板 120 との接合に長時間を要し、複合基板 2 X a の製造効率が低下する。一方、加熱温度が 2500 を超えると、ベース層 110 および基板 120 の表面が荒れ、作製される複合基板 2 X a における欠陥の発生が多くなるおそれがある。複合基板 2 X a における欠陥の発生を一層抑制しつつ製造効率を向上させるためには、工程 S 140 における積層基板の加熱温度は 1900 以上 2100 以下であることが好ましい。また、工程 S 140 にお

50

ける加熱時の雰囲気圧力は、 $10^{-5}$  Pa 以上  $10^6$  Pa 以下、より好ましくは  $10^{-2}$  Pa 以上  $10^4$  Pa 以下、さらに好ましくは  $10^{-1}$  Pa 以上  $10^4$  Pa 以下とすることにより、簡素な装置により上記接合を実施することができる。また、工程 S 1 4 0 における加熱時の雰囲気は、大気雰囲気を減圧することによって得られた雰囲気であってもよい。あるいはこの雰囲気は不活性ガス雰囲気であってもよく、この場合、当該雰囲気は、アルゴン、ヘリウムおよび窒素からなる群から選択される少なくとも1つを含む不活性ガス雰囲気であることが好ましい。

#### 【0073】

(実施の形態3)

半導体装置を構成する複合基板(図13:実施の形態2)の他の製造方法について、図15~図18を参照して説明する。実施の形態3における複合基板の製造方法は、基本的には上記実施の形態2の場合と同様に実施される。しかし、実施の形態3における複合基板の製造方法は、ベース層110の形成プロセスにおいて実施の形態2の場合とは異なっている。

10

#### 【0074】

図15を参照して、まず工程S110として基板準備工程が実施される。具体的には、図16に示すように、実施の形態2の場合と同様に基板120が準備されるとともに、SiCからなる原料基板111が準備される。この原料基板111は単結晶SiCからなっているてもよいし、多結晶SiCからなっているてもよく、SiCの焼結体であってもよい。また、原料基板111に代えてSiCからなる原料粉末を採用することもできる。

20

#### 【0075】

次に工程S150として近接配置工程が実施される。具体的には、図16に示すように、互いに対向するように配置された第1ヒータ181および第2ヒータ182により、それぞれ基板120および原料基板111が保持される。このとき、基板120と原料基板111とは、 $1\mu\text{m}$ 以上 $1\text{cm}$ 以下の間隔、たとえば $1\text{mm}$ 程度の間隔においてそれぞれの主面である主表面120Bおよび主表面111Aが対向するように近接して配置される。

#### 【0076】

次に工程S160として昇華工程が実施される。この工程S160では、第1ヒータ181によって基板120が所定の基板温度まで加熱される。また、第2ヒータ182によって原料基板111が所定の原料温度まで加熱される。このとき、原料基板111が原料温度まで加熱されることによって、原料基板111の表面からSiCが昇華する。一方、基板温度は原料温度よりも低く設定される。具体的には、たとえば基板温度は原料温度よりも $1$ 以上 $100$ 以下程度低く設定される。基板温度は、たとえば $1800$ 以上 $2500$ 以下である。これにより、図17に示すように、原料基板111から昇華して気体となったSiCは、基板120の表面に到達して固体となり、ベース層110を形成する。そして、この状態を維持することにより、図18に示すように原料基板111を構成するSiCが全て昇華して基板120の表面上に移動する。これにより、工程S160が完了し、図13に示す基板2が完成する。

30

#### 【0077】

なお工程S160において用いられる雰囲気圧力は、好ましくは $10^{-5}$  Pa 以上  $10^6$  Pa 以下、より好ましくは $10^{-2}$  Pa 以上  $10^4$  Pa 以下、さらに好ましくは $10^{-1}$  Pa 以上  $10^4$  Pa 以下である。またこの雰囲気は、大気雰囲気を減圧することによって得られたものであってもよい。あるいはこの雰囲気は不活性ガス雰囲気であってもよく、この場合、当該雰囲気は、アルゴン、ヘリウムおよび窒素からなる群から選択される少なくとも1つを含む不活性ガス雰囲気であることが好ましい。

40

#### 【0078】

(実施の形態4)

本実施の形態における半導体装置は、基本的には実施の形態2または3と同様の構造を有している。しかし、実施の形態4の半導体装置の製造工程において準備される複合基板

50

は、実施の形態 2 または 3 の複合基板と異なっている。

【0079】

図 19 を参照して、実施の形態 4 における半導体装置の製造方法において準備される複合基板 2 X b は複数の基板 1 2 0 を有し、複数の基板 1 2 0 の各々はベース層 1 1 0 上に配置されている。好ましくは、複数の基板 1 2 0 は、ベース層 1 1 0 上において隣接する基板 1 2 0 同士が互いに接触するように、マトリックス状に配置されている。これにより複合基板 2 X b は、半導体装置の製造工程において、複数の高品質な基板 1 2 0 を有する大口径な基板として取り扱われ、これにより半導体装置の製造プロセスを効率化することができる。

【0080】

本実施の形態の複合基板 2 X b は、実施の形態 2 における工程 S 1 3 0 において複数の基板 1 2 0 をベース層 1 1 0 上に平面的に並べて配置することにより（図 1 3 参照）、もしくは実施の形態 3 における工程 S 1 5 0 において、第 1 ヒータ 1 8 1 に複数の基板 1 2 0 を平面的に並べた状態で保持させることにより（図 1 6 参照）、実施の形態 2 もしくは実施の形態 3 の場合と同様に製造することができる。好ましくは、複数の基板 1 2 0 の上記の配置において、複数の基板 1 2 0 間の最短間隔（図 1 9 における横方向の最短間隔）は 5 mm 以下とされ、より好ましくは 1 mm 以下とされ、さらに好ましくは 1 0 0 μm 以下とされ、さらに好ましくは 1 0 μm 以下とされる。

【0081】

なお最終的に得られる半導体装置は、基板レベルにおける工程の完了後にダイシング工程を経て形成され、複数の基板 1 2 0 のうちの 1 つのみを有する。よって本実施の形態の半導体装置は、実施の形態 2 または 3 の半導体装置と同様である。

【0082】

（実施の形態 5）

複合基板のさらに他の製造方法について説明する。本実施の形態における半導体装置は、基本的には実施の形態 2 における半導体装置と同様の構造を有し、同様の効果を奏する。しかし、実施の形態 5 の半導体装置は、複合基板の構造において実施の形態 2 の場合とは異なっている。

【0083】

図 20 を参照して、実施の形態 5 における複合基板 2 X c においては、ベース層 1 1 0 と基板 1 2 0 との間に、非晶質 SiC からなる中間層としてのアモルファス SiC 層 1 4 0 が配置されている。そして、ベース層 1 1 0 と基板 1 2 0 とは、このアモルファス SiC 層 1 4 0 により接続されている。このアモルファス SiC 層 1 4 0 の存在により、たとえば不純物濃度の異なるベース層 1 1 0 と基板 1 2 0 とを容易に接続することができる。

【0084】

次に、実施の形態 5 における複合基板 2 X c の製造方法について説明する。

図 21 を参照して、まず工程 S 1 1 0 として基板準備工程が実施の形態 2 の場合と同様に実施され、ベース層 1 1 0 と基板 1 2 0 とが準備される。

【0085】

次に、工程 S 1 1 1 として Si 層形成工程が実施される。この工程 S 1 1 1 では、工程 S 1 1 0 において準備されたベース層 1 1 0 の一方の主面上に、たとえば厚み 1 0 0 nm 程度の Si 層が形成される。この Si 層の形成は、たとえばスパッタリング法により実施することができる。

【0086】

次に、工程 S 1 3 0 として積層工程が実施される。この工程 S 1 3 0 では、工程 S 1 1 1 において形成された Si 層上に、工程 S 1 1 0 において準備された基板 1 2 0 が載置される。これにより、ベース層 1 1 0 上に Si 層を挟んで基板 1 2 0 が積層された積層基板が得られる。

【0087】

次に、工程 S 1 7 0 として加熱工程が実施される。この工程 S 1 7 0 では、工程 S 1 3

10

20

30

40

50

0において作製された積層基板が、たとえば圧力 $1 \times 10^3$  Paの水素ガスとプロパンガスとの混合ガス雰囲気中で、1500程度に加熱され、3時間程度保持される。これにより、上記Si層に、主にベース層110および基板120からの拡散によって炭素が供給され、図20に示すようにアモルファスSiC層140が形成される。これにより、たとえば不純物濃度の異なるベース層110と基板120とをアモルファスSiC層140により接続した実施の形態5における複合基板2Xcを容易に製造することができる。

【0088】

(実施の形態6)

図22を参照して、本実施の形態における複合基板2Xdにおいては、ベース層110と基板120との間に、金属層の少なくとも一部がシリサイド化されて形成された中間層としてのオーミックコンタクト層150が形成されている点において、実施の形態2の場合とは異なっている。そして、ベース層110と基板120とは、このオーミックコンタクト層150により接続されている。このオーミックコンタクト層150の存在により、たとえば不純物濃度の異なるベース層110と基板120とを積層した構成を有する複合基板2Xdを容易に作製することができる。

10

【0089】

次に複合基板2Xdの製造方法について説明する。

図23を参照して、まず工程S110として基板準備工程が実施の形態2の場合と同様に実施され、ベース層110と基板120とが準備される。

【0090】

次に、工程S112として金属膜形成工程が実施される。この工程S112では、工程S110において準備されたベース層110の一方の主面上に、たとえば金属を蒸着することにより、金属膜が形成される。この金属膜は、たとえば加熱されることによりシリサイドを形成する金属、たとえばニッケル、モリブデン、チタン、アルミニウム、タングステンから選択される少なくとも1種以上を含んでいる。

20

【0091】

次に、工程S130として積層工程が実施される。この工程S130では、工程S112において形成された金属膜上に、工程S110において準備された基板120が載置される。これにより、ベース層110上に金属膜を挟んで基板120が積層された積層基板が得られる。

30

【0092】

次に、工程S170として加熱工程が実施される。この工程S170では、工程S130において作製された積層基板が、たとえばアルゴンなどの不活性ガス雰囲気中において1000程度に加熱される。これにより、上記金属膜の少なくとも一部(ベース層110と接触する領域およびSiC基板と接触する領域)がシリサイド化され、ベース層110および基板120とオーミックコンタクトするオーミックコンタクト層150が形成される。その結果、たとえば不純物濃度の異なるベース層110と基板120とをオーミックコンタクト層150により接続した構成を有する複合基板2Xdを容易に製造することができる。

【0093】

(実施の形態7)

図24を参照して、本実施の形態における複合基板2Xeにおいては、ベース層110と基板120との間に中間層としてのカーボン層160が形成されている点において、実施の形態2の場合とは異なっている。そして、ベース層110と基板120とは、このカーボン層160により接続されている。このカーボン層160の存在により、たとえば不純物濃度の異なるベース層110と基板120とを積層した構成を有する複合基板2Xeを容易に作製することができる。

40

【0094】

次に複合基板2Xeの製造方法について説明する。

図25を参照して、まず工程S110が実施の形態2と同様に実施された後、必要に

50

じて工程 S 1 2 0 が実施の形態 2 と同様に実施される。

【 0 0 9 5 】

次に、工程 S 1 2 5 として接着剤塗布工程が実施される。この工程 S 1 2 5 では、図 2 6 に示すように、たとえばベース層 1 1 0 の主面上にカーボン接着剤が塗布されることにより、前駆体層 1 6 1 が形成される。カーボン接着剤として、たとえば樹脂と、黒鉛微粒子と、溶剤とからなるものを採用することができる。ここで、樹脂としては、加熱されることにより難黒鉛化炭素となる樹脂、たとえばフェノール樹脂などを採用することができる。また、溶剤としては、たとえばフェノール、ホルムアルデヒド、エタノールなどを採用することができる。さらに、カーボン接着剤の塗布量は、 $10 \text{ mg/cm}^2$  以上  $40 \text{ mg/cm}^2$  以下とすることが好ましく、 $20 \text{ mg/cm}^2$  以上  $30 \text{ mg/cm}^2$  以下とすることがより好ましい。また、塗布されるカーボン接着剤の厚みは  $100 \mu\text{m}$  以下とすることが好ましく、 $50 \mu\text{m}$  以下とすることがより好ましい。

10

【 0 0 9 6 】

次に、工程 S 1 3 0 として、積層工程が実施される。この工程 S 1 3 0 では、図 2 6 を参照して、ベース層 1 1 0 の主面上に接触して形成された前駆体層 1 6 1 上に接触するように基板 1 2 0 が載置されて、積層基板が作製される。

【 0 0 9 7 】

次に、工程 S 1 8 0 として、プリベーク工程が実施される。この工程 S 1 8 0 では、上記積層基板が加熱されることにより、前駆体層 1 6 1 を構成するカーボン接着剤から溶剤成分が除去される。具体的には、たとえば上記積層基板に対して厚み方向に荷重を負荷しつつ、積層基板を溶剤成分の沸点を超える温度域まで徐々に加熱する。この加熱は、クランプなどを用いてベース層 1 1 0 と基板 1 2 0 とが圧着されつつ実施されることが好ましい。また、できるだけ時間をかけてプリベーク（加熱）が実施されることにより、接着剤からの脱ガスが進行し、接着の強度を向上させることができる。

20

【 0 0 9 8 】

次に、工程 S 1 9 0 として、焼成工程が実施される。この工程 S 1 9 0 では、工程 S 1 8 0 において加熱されて前駆体層 1 6 1 がプリベークされた積層基板が高温、好ましくは  $900$  以上  $1100$  以下、たとえば  $1000$  に加熱され、好ましくは  $10$  分以上  $10$  時間以下、たとえば  $1$  時間保持されることにより前駆体層 1 6 1 が焼成される。焼成時の雰囲気としては、アルゴンなどの不活性ガス雰囲気が採用され、雰囲気の圧力はたとえば大気圧とすることができる。これにより、前駆体層 1 6 1 が炭素からなるカーボン層 1 6 0 となる。以上により、ベース層 1 0 と SiC 基板 (SiC 層) 2 0 とがカーボン層 1 6 0 により接合された構成を有する複合基板 2 X e (図 2 4) が得られる。

30

【 0 0 9 9 】

なお、上記の各実施の形態においては MOSFET について説明したが、本発明の半導体装置はこれに限られず、たとえば IGBT (Insulated Gate Bipolar Transistor) など他の形態の半導体装置であってもよい。

【 0 1 0 0 】

また上記の各実施の形態においてはゲート絶縁膜が設けられた構成が示されたが、本発明の半導体装置はこのような構成に限られず、たとえばショットキー接合を有する構成を含む半導体装置であってもよい。

40

【 0 1 0 1 】

今回開示された実施の形態および実施例はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

【 符号の説明 】

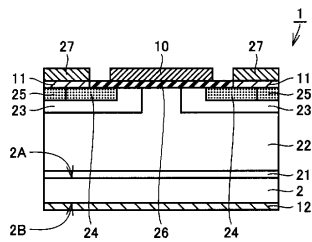
【 0 1 0 2 】

1 半導体装置、2, 1 2 0 基板、2 A, 1 2 0 A 主表面 (第 1 の面)、2 B, 1 2 0 B 裏面 (第 2 の面)、2 p 加工ダメージ層、2 Z インゴット、1 0 ゲート電

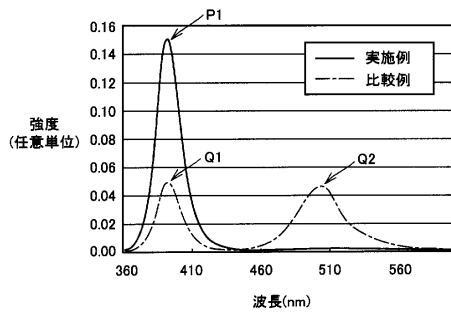
50

極、11 ソース電極、12 ドレイン電極、21 バッファ層、22 耐圧保持層、23 p領域、24 n<sup>+</sup>領域、25 p<sup>+</sup>領域、26 酸化膜（絶縁膜）、27 上部ソース電極、110 ベース層、140 アモルファスSiC層、150 オーミックコンタクト層、160 カーボン層、161 前駆体層、181 第1ヒータ、182 第2ヒータ。

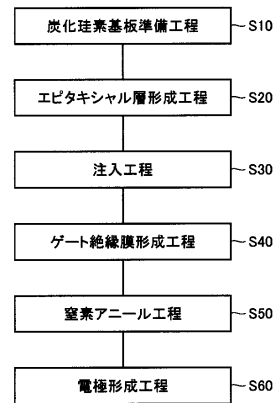
【図1】



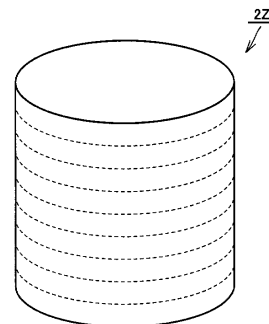
【図2】



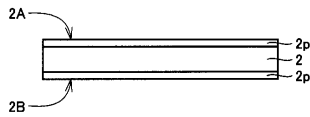
【図3】



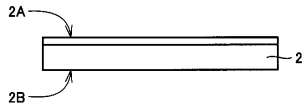
【図4】



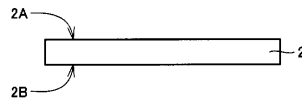
【図5】



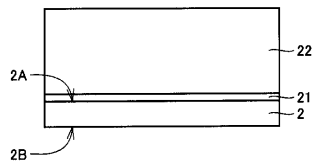
【図6】



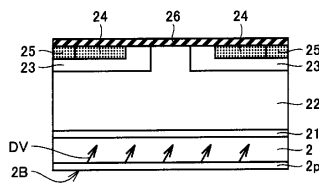
【図7】



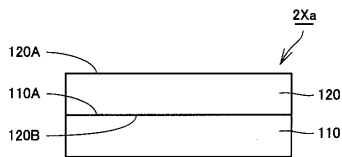
【図8】



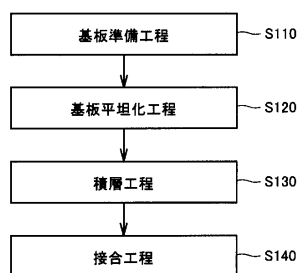
【図12】



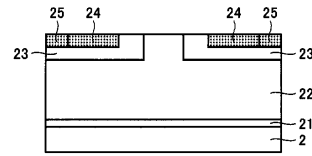
【図13】



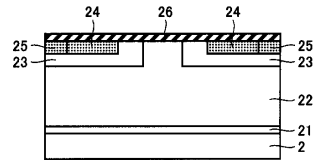
【図14】



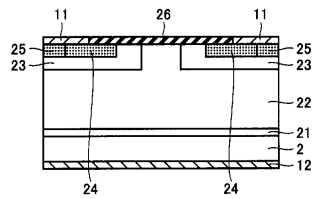
【図9】



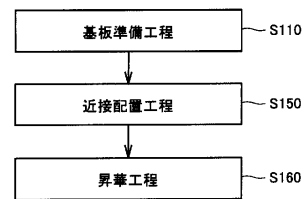
【図10】



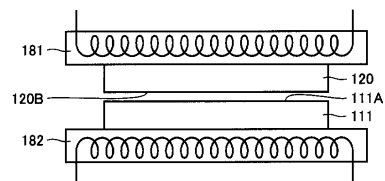
【図11】



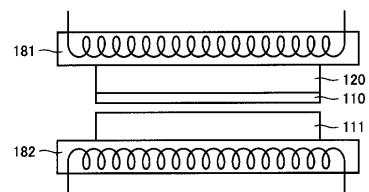
【図15】



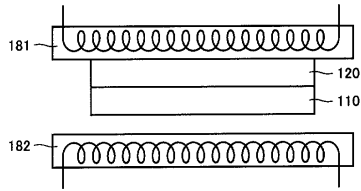
【図16】



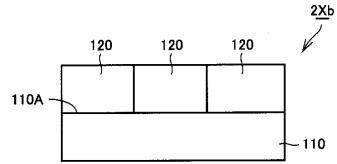
【図17】



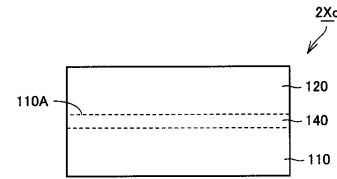
【図18】



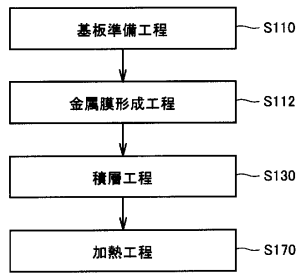
【図19】



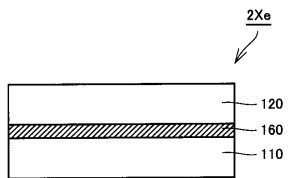
【図20】



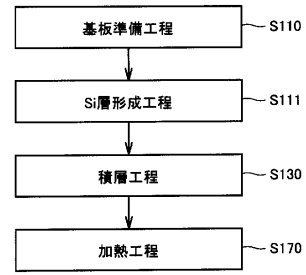
【図23】



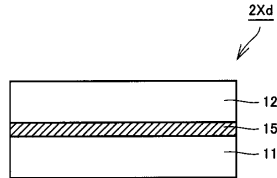
【図24】



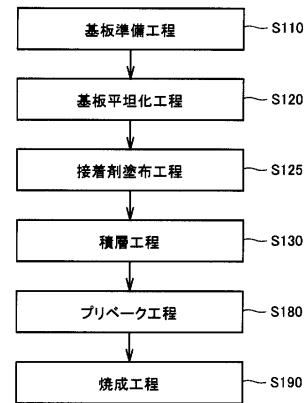
【図21】



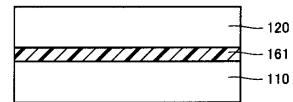
【図22】



【図25】



【図26】



## フロントページの続き

- (72)発明者 沖田 恭子  
兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社 伊丹製作所内
- (72)発明者 和田 圭司  
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
- (72)発明者 宮崎 富仁  
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内

審査官 柴山 将隆

- (56)参考文献 国際公開第01/018872(WO, A1)  
特開2003-068592(JP, A)  
特開2009-256159(JP, A)  
特表2008-515749(JP, A)  
K. Irmsher, et al., Stacking faults in heavily nitrogen doped 4H-SiC, Eur. Phys. J. Appl. Phys., 2004年, Vol. 27, pp. 243-246

## (58)調査した分野(Int.Cl., DB名)

H01L 21/02  
H01L 21/20  
H01L 21/336  
H01L 29/12  
H01L 29/78