

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 1 区分
 【発行日】平成 23 年 9 月 15 日 (2011.9.15)

【公表番号】特表 2010-537187 (P2010-537187A)
 【公表日】平成 22 年 12 月 2 日 (2010.12.2)
 【年通号数】公開・登録公報 2010-048
 【出願番号】特願 2010-521495 (P2010-521495)
 【国際特許分類】

G 0 1 R 1/073 (2006.01)

H 0 1 L 21/66 (2006.01)

G 0 1 R 31/28 (2006.01)

【F I】

G 0 1 R 1/073 E

H 0 1 L 21/66 B

G 0 1 R 31/28 K

【手続補正書】

【提出日】平成 23 年 8 月 1 日 (2011.8.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

プローブ基板上に第 1 の導体ピンマトリックスアレイを形成することと、
 前記プローブ基板上に第 2 の導体ピンマトリックスアレイを形成することと、
前記プローブ基板上に、前記第 1 の導体ピンマトリックスアレイと電氣的に接続される
第 1 の回路網システムと、前記第 2 の導体ピンマトリックスアレイと電氣的に接続される
第 2 の回路網システムとを形成することとを、含み、

前記第 2 の導体ピンマトリックスアレイは、第 1 の軸に沿って第 1 のピッチ分、前記第 1 の導体マトリックスアレイから離れており、当該第 1 のピッチは、半導体ワークピースの第 1 の半導体ダイと第 2 の半導体ダイとの間の第 2 のピッチと実質的に一致するように選択され、

前記第 1 の回路網システムは、前記第 1 の半導体ダイに適合したパッケージ基板の電氣的特性を提供する第 1 のレイアウトを有し、前記第 2 の回路網システムは、前記第 2 の半導体ダイに適合したパッケージ基板の電氣的特性を提供する第 2 のレイアウトを有する、製造方法。

【請求項 2】

前記第 1 の回路網システムを形成することは、複数の第 1 の受動素子および複数の第 1 の相互接続体を形成することを含み、前記第 2 の回路網システムを形成することは、複数の第 2 の受動素子および複数の第 2 の相互接続体を形成することを含む、
 請求項 1 に記載の方法。

【請求項 3】

前記第 1 および第 2 の導体ピンマトリックスアレイは、前記第 2 の導体ピンマトリックスアレイが、第 2 の軸に沿って第 3 のピッチ分、前記第 1 の導体ピンマトリックスアレイから離れるように形成され、前記第 3 のピッチは、前記半導体ワークピースの前記第 1 の半導体ダイと前記第 2 の半導体ダイとの間の第 4 のピッチと実質的に一致するように選択される、

請求項 1 に記載の方法。

【請求項 4】

前記プローブ基板をプリント回路基板に連結することを含む、請求項 1 に記載の方法。

【請求項 5】

前記プリント回路基板をプローバに連結することを含む、請求項 4 に記載の方法。

【請求項 6】

前記プローブ基板上に第 3 の導体ピンマトリックスアレイを形成することを含む請求項 1 に記載の方法。

【請求項 7】

複数の半導体ダイを有する半導体ワークピースの第 1 の対の半導体ダイに対し、第 1 の導体ピンマトリックスアレイおよび第 2 の導体マトリックスアレイをその上に備えたプローブ基板であって、前記第 2 の導体ピンマトリックスアレイが第 1 の軸に沿って第 1 のピッチ分、第 1 の導体ピンマトリックスアレイから離れており、当該第 1 のピッチは、前記半導体ワークピースの前記第 1 の対の半導体ダイの間の第 2 のピッチに実質的に一致するように選択され、前記第 1 の導体ピンマトリックスアレイと電氣的に接続される第 1 の回路網システムと、前記第 2 の導体ピンマトリックスアレイと電氣的に接続される第 2 の回路網システムとをさらに備え、第 1 の回路網システムは、前記第 1 の半導体ダイに適合したパッケージ基板の電氣的特性を提供する第 1 のレイアウトを有し、前記第 2 の回路網システムは、前記第 2 の半導体ダイに適合したパッケージ基板の電氣的特性を提供する第 2 のレイアウトを有する構成のプローブ基板を係合させることと、

前記第 1 の対の半導体ダイに対して電氣的プローブテストを行うこととを、含む方法。

【請求項 8】

前記第 1 の対の半導体ダイの一方は第 1 の本来のクロック速度を有し、前記第 1 の対の半導体ダイの他方は第 2 の本来のクロック速度を有し、

前記第 1 の対の半導体ダイを実質的にそれぞれの本来のクロック速度でプローブテストするように適合させた回路網を有するプリント回路基板に前記プローブ基板を連結することを含む、請求項 7 に記載の方法。

【請求項 9】

前記半導体ワークピースの他の対の半導体ダイを前記プローブ基板と係合させることと、前記他の対の半導体ダイに対して電氣的プローブテストを行うこととを、含む請求項 7 に記載の方法。

【請求項 10】

前記対をなす半導体ダイの前記電氣的プローブテストの結果を用いて、前記半導体ワークピースの中から良品ダイを特定することを含む請求項 7 に記載の方法。

【請求項 11】

前記良品ダイを半導体チップパッケージ内に設置することを含む請求項 10 に記載の方法。

【請求項 12】

前記良品ダイに対して電氣的テストを行うことを含む請求項 11 に記載の方法。

【請求項 13】

前記プローブ基板は第 3 の導体ピンマトリックスアレイを含み、

前記第 3 の導体ピンマトリックスアレイを用いて前記複数の半導体ダイの内の別の半導体ダイに対して電氣的プローブテストを行うことが含まれる、請求項 7 に記載の方法。

【請求項 14】

第 1 の導体ピンマトリックスアレイおよび第 2 の導体ピンマトリックスアレイを有するプローブ基板と、前記第 1 の導体ピンマトリックスアレイと電氣的に接続される前記プローブ基板上の第 1 の回路網システムと、前記第 2 の導体ピンマトリックスアレイと電氣的に接続される前記プローブ基板上の第 2 の回路網システムとを備え、

前記第 2 の導体ピンマトリックスアレイは、第 1 の軸に沿って第 1 のピッチ分、前記第 1 の導体マトリックスアレイから離れており、当該第 1 のピッチは、半導体ワークピース

の第 1 の半導体ダイと第 2 の半導体ダイとの間の第 2 のピッチと実質的に一致するように選択され、

前記第 1 の回路網システムは、前記第 1 の半導体ダイに適合するパッケージ基板の電気的特性を提供する第 1 のレイアウトを有し、前記第 2 の回路網システムは、前記第 2 の半導体ダイに適合したパッケージ基板の電気的特性を提供する第 2 のレイアウトを有する、装置。

【請求項 15】

前記第 1 の回路網システムは、複数の第 1 の受動素子および複数の第 1 の相互接続体を備え、前記第 2 の回路網システムは、複数の第 2 の受動素子および複数の第 2 の相互接続体を備えた、請求項 14に記載の装置。

【請求項 16】

前記第 2 の導体ピンマトリックスアレイは、第 2 の軸に沿って第 3 のピッチ分、前記第 1 の導体ピンマトリックスアレイから離れており、当該第 3 のピッチは、前記半導体ワークピースの前記第 1 の半導体ダイと前記第 2 の半導体ダイとの間の第 4 のピッチと実質的に一致するように選択されている、請求項 14に記載の装置。

【請求項 17】

前記プローブ基板に連結されたプリント回路基板を備えた、請求項 14に記載の装置。

【請求項 18】

前記プリント回路基板がロードボードを備えた、請求項 17に記載の装置。

【請求項 19】

前記プリント回路基板に連結されたプローバを備えた、請求項 17に記載の装置。

【請求項 20】

前記プリント回路基板への電気的接続に適合したテスターを備えた、請求項 17に記載の装置。

【請求項 21】

前記プローブ基板は、第 3 の導体ピンマトリックスアレイを備えた、請求項 14に記載の装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

以下に説明する図面において、1以上の図面で同一の構成要素が出てくる場合には、概して同じ参照符号を使用するものとする。次に図面、特に図1には、半導体ワークピースまたはウエハー20の垂直型電気プロービングに適した集積回路プローブカードスタック10（スタック10）の例示的实施形態の分解図が示されている。ウエハー20は、複数の集積回路または半導体ダイを備えており、そのうちの2つを25および27で表している。半導体ワークピース20は、シリコン、ゲルマニウム、または他の半導体材料で構成され得る。所望であれば、ウエハー20は半導体・オン・インシュレータウエハーとして構成されていてもよい。ダイ25および27等のウエハー20のダイは、プロセッサ、特定用途向け集積回路、またはメモリ素子等として機能する集積回路でもよい。ダイ25および27は、座標系29のY軸と平行な軸に沿って測定されるあるピッチP₀を隔てて離れている。スタック10は、プローブ基板30、プリント回路基板100、マウンティングブラケット50、およびヘッド60を備える。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【 0 0 1 9 】

プリント回路基板 1 0 0 は、1 つ以上のいわゆるポゴパッド 1 4 0 および 1 5 0 を備えていてもよい。ポゴパッド 1 4 0 および 1 5 0 は、破線ボックス 1 6 0 で図式化したテスター等の機器と電氣的に接続するように設計された複数の上方に突出するバンプまたは他の導体構造体を備える。ポゴパッド 1 4 0 および 1 5 0 は、プリント回路基板 1 0 0 のプローブ基板 3 0 の位置とは反対の面 1 7 0 の上に位置するので、透視図で描かれている。パッド 1 4 0 および 1 5 0 の数および位置は、様々な構成要素の中でもプローブ基板 3 0、半導体ウエハー 2 0、およびテスター 1 6 0 のニーズに応じて変化し得る。プリント回路基板 1 0 0 は、複数の導体構造体または配線 1 8 0 を備え、これによりポゴパッド 1 4 0 がボンドパッド 1 1 0、さらにはプローブ基板 3 0 に電氣的に接続される。同様に、ポゴパッド 1 5 0 は、複数の導体構造体 1 9 0 によってプローブ基板 3 0 と電氣的に接続され得る。配線 1 8 0 および 1 9 0 は、基板 3 0 の上、内部、またはその双方に位置していてもよい。配線 1 8 0 および 1 9 0 の数およびレイアウトは、設計の裁量にゆだねられる。

【 手 続 補 正 4 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 2 8

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 2 8 】

ピンアレイ 9 0 も同様に、ボンディング領域 3 5 0 上にマトリックス状の形態で配列される黒点 3 4 0 によって表される複数のピンから構成される。ピンアレイ 8 0 と同様に、ピンアレイ 9 0 は、相互接続スキーム 3 7 0 によってピン 3 4 0 および基板 3 0 の他の領域と接続される複数の受動素子 3 6 0 を含む回路網システム 3 5 5 を備えている。相互接続スキーム 3 7 0 は、その幾つかが符号 3 8 0 で表した複数の導体配線から構成される。相互接続スキーム 3 7 0 は、相互接続スキーム 3 2 0 の導体配線 3 3 0 と実質的に同じでもよい。