

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月29日(29.08.2024)



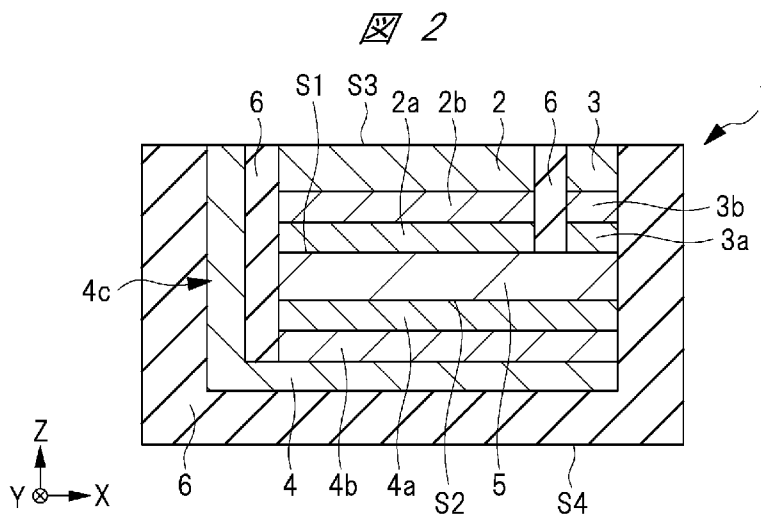
(10) 国際公開番号

WO 2024/176559 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/18 (2023.01)
H01L 23/48 (2006.01)
- (21) 国際出願番号: PCT/JP2023/042897
- (22) 国際出願日: 2023年11月30日(30.11.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-025416 2023年2月21日(21.02.2023) JP
- (71) 出願人: 株式会社日立製作所(HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内
一丁目6番6号 Tokyo (JP).
- (72) 発明者: 松島 宏行(MATSUSHIMA, Hiroyuki);
〒1008280 東京都千代田区丸の内一丁目6
番6号 株式会社日立製作所内 Tokyo (JP).
清水 悠佳(SHIMIZU, Haruka); 〒1008280 東
京都千代田区丸の内一丁目6番6号 株式
会社日立製作所内 Tokyo (JP).
- (74) 代理人: 弁理士法人筒井国際特許事務所
(TSUTSUI & ASSOCIATES); 〒1600022 東京都
新宿区新宿2丁目3番10号 新宿御
苑ビル3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: The performance is improved for a semiconductor device which is a semiconductor chip having an exposed terminal and which comprises a semiconductor substrate provided with a semiconductor element. A semiconductor device having the following is used as a means for accomplishing this: a first main surface; a second main surface on an opposite side from the first main surface; a semiconductor substrate provided with a semiconductor element; a first terminal which is connected, via an electrically conductive first bonding material, to a first electrode that is disposed in contact with the first main surface; a second terminal which is insulated from the first terminal and is connected, via an electrically conductive second bonding material, to a second electrode that is disposed in contact with the second main surface; an insulating material that seals the semiconductor substrate and a part of each of the first terminal and the second terminal; a third main surface which is positioned on the first bonding material side with regard to the semiconductor substrate and on which the first terminal and second terminal are exposed; and a fourth main surface on an opposite side from the third

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

main surface. The second terminal is led out to the third main surface side by a lead-out electrode that resides at a distance from a multilayered structure that contains the semiconductor substrate, the first electrode, and the first bonding material. The interval between the first terminal and the second terminal is insulated by the insulating material.

(57) 要約: 半導体素子を備えた半導体基板を備えた、端子が露出する半導体チップである半導体装置の性能を向上する。その手段として、第1主面と、前記第1主面の反対側の第2主面と、半導体素子とを備えた半導体基板と、前記第1主面に接して設けられた第1電極に、導電性を有する第1接合材を介して接続された第1端子と、前記第2主面に接して設けられた第2電極に、導電性を有する第2接合材を介して接続され、前記第1端子とは絶縁された第2端子と、前記第1端子および前記第2端子のそれぞれの一部と前記半導体基板とを封止する絶縁材と、前記半導体基板に対し前記第1接合材側に位置し、前記第1端子および前記第2端子が露出する第3主面と、前記第3主面の反対側の第4主面と、を有する半導体装置を用いる。ここで、前記第2端子は、前記半導体基板、前記第1電極および前記第1接合材を含む積層体から離間する引き出し電極により、前記第3主面側に引き出され、前記第1端子および前記第2端子の相互間は、前記絶縁材により絶縁されている。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は半導体装置およびその製造方法に利用できるものである。

背景技術

[0002] 近年、S i C（炭化ケイ素）パワー半導体チップが搭載された半導体モジュール装置を使用した電力変換装置が市場に投入され始めた。S i Cを代表とするワイドバンドギャップパワー半導体は従来のS i（シリコン）パワー半導体よりも導通損失が小さいため、サイズの小さい半導体チップを用いた小型半導体モジュールが作製可能である。しかし、基板の品質およびプロセス成熟度がS iよりも低いS i Cでは、その半導体チップの歩留まりが低いため、半導体チップ毎の検査を充実させることで、モジュール化する前に不良チップを取り除くことが求められる。

[0003] 半導体チップの構造としては、表面とその反対側の裏面とのそれぞれに電極が設けられていることが考えられる。これに対し、特許文献1（特開2007-184553号公報）には、半導体基板の表面から裏面にかけて貫通する貫通孔内に、当該裏面側の金属膜（電極）に電氣的に接続された貫通電極を形成することが記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2007-184553号公報

発明の概要

発明が解決しようとする課題

[0005] 半導体チップ毎に通電による特性検査を行う際には、放電を防止する必要がある。半導体チップの表面と裏面とのそれぞれに電極が設けられている場合、それら両方の面の端子が解放されている必要があり、放電防止のための制約が大きくなる。また、小さい半導体チップにプローブを接触させること

が難しいため、複数のチップを並列接続してモジュール化を行った後に検査を実施することが考えられる。しかし、1つの半導体チップの不良によって、並列接続された他の複数の半導体チップも不良扱いとなり、モジュールの製造における歩留まりが低下して高コスト化の要因となる。これらの問題は、Siチップに比べサイズが小さいSiCチップにおいて特に顕著となる。

[0006] また、半導体チップの表面と裏面とのそれぞれに電極がある場合、表面側の電極には断面積が比較的小さいボンディングワイヤなどの導体を接続する必要がある。このことは半導体装置の高抵抗化、半導体装置のサイズの増大および半導体装置の製造コスト増大の原因となっている。

[0007] さらに、このような半導体チップでは、ボンディングワイヤが接続された表面側で熱が上昇し易いため、表面および裏面の両方を冷却する機構を設けることが考えられる。しかし、両面の冷却機構を設けることは、半導体装置のサイズの増大および製造コストの増大に繋がる。

[0008] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0009] 本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0010] 代表的な実施の形態による半導体装置は、第1主面と、前記第1主面の反対側の第2主面と、半導体素子とを備えた半導体基板と、前記第1主面に接して設けられた第1電極に、導電性を有する第1接合材を介して接続された第1端子と、前記第2主面に接して設けられた第2電極に、導電性を有する第2接合材を介して接続され、前記第1端子とは絶縁された第2端子と、前記第1端子および前記第2端子のそれぞれの一部と前記半導体基板とを封止する絶縁材と、前記半導体基板に対し前記第1接合材側に位置し、前記第1端子および前記第2端子が露出する第3主面と、前記第3主面の反対側の第4主面と、を有するものである。前記第2端子は、前記半導体基板、前記第1電極および前記第1接合材を含む積層体から離間する引き出し電極により

、前記第3主面側に引き出され、前記第1端子および前記第2端子の相互間は、前記絶縁材により絶縁されている。

[0011] 他の代表的な実施の形態による半導体装置の製造方法は、(a)第1主面と、前記第1主面の反対側の第2主面と、半導体素子とを備え、前記第1主面に第1電極が接し、前記第2主面に第2電極が接する半導体基板を用意する工程と、(b)前記第1電極に、導電性を有する第1接合材を介して第1導体を接続する工程と、(c)表面に第1凸部を有する第2導体を用意する工程と、(d)前記半導体基板および前記第1電極を含む積層体と、前記第1凸部とを離間させて、前記第2導体の前記表面に、導電性を有する第2接合材を介して前記第2電極を接続する工程と、(e)前記(a)～(d)工程の後、前記半導体基板、前記第1導体および前記第2導体を絶縁材により封止する工程とを含む。ここで、前記半導体装置は、前記第1導体からなる第1端子、および、前記第2導体からなる第2端子のそれぞれが露出する第3主面と、前記第3主面の反対側の第4主面とを有し、前記第3主面は、前記半導体基板に対し前記第1接合材側に位置し、前記第1端子と前記第2端子とは、互いに絶縁され、前記第2端子は、前記第1凸部により、前記第3主面側に引き出されている。

発明の効果

[0012] 代表的な実施の形態によれば、半導体装置の性能を向上できる。特に、半導体装置の大きさを縮小できる。

[0013] 他の代表的な実施の形態によれば、半導体装置の歩留まりを向上できる。特に、半導体チップ単体での検査が可能となる。

図面の簡単な説明

[0014] [図1]実施の形態1に係る半導体装置を示す平面図である。

[図2]図1のA-A線における断面図である。

[図3]実施の形態1に係る半導体装置を搭載した半導体モジュールを示す断面図である。

[図4]実施の形態1に係る半導体装置の製造工程を示すフローである。

[図5]実施の形態 1 に係る半導体装置の製造工程中の断面図である。

[図6]実施の形態 1 に係る半導体装置の製造に用いる導体のレイアウトの例を示す平面図である。

[図7]図 5 に続く半導体装置の製造工程中の断面図である。

[図8]図 7 に続く半導体装置の製造工程中の断面図である。

[図9]図 8 に続く半導体装置の製造工程中の断面図である。

[図10]図 9 に続く半導体装置の製造工程中の断面図である。

[図11]図 1 0 に続く半導体装置の製造工程中の断面図である。

[図12]実施の形態 1 の変形例 1 に係る半導体装置を示す平面図である。

[図13]実施の形態 1 の変形例 1 に係る半導体装置を示す平面図である。

[図14]実施の形態 1 の変形例 1 に係る半導体装置を示す平面図である。

[図15]実施の形態 1 の変形例 2 に係る半導体装置を示す断面図である。

[図16]実施の形態 1 の変形例 2 に係る半導体装置の製造工程を示すフローである。

[図17]実施の形態 1 の変形例 2 に係る半導体装置の製造工程中の断面図である。

[図18]図 1 7 に続く半導体装置の製造工程中の断面図である。

[図19]図 1 8 に続く半導体装置の製造工程中の断面図である。

[図20]実施の形態 2 に係る半導体装置を示す平面図である。

[図21]図 2 0 の B - B 線における断面図である。

[図22]図 2 0 の C - C 線における断面図である。

[図23]実施の形態 2 に係る半導体装置の製造工程を示すフローである。

[図24]実施の形態 2 に係る半導体装置の製造工程中の断面図である。

[図25]図 2 4 に続く半導体装置の製造工程中の断面図である。

[図26]図 2 5 に続く半導体装置の製造工程中の断面図である。

[図27]図 2 6 に続く半導体装置の製造工程中の断面図である。

[図28]図 2 7 に続く半導体装置の製造工程中の断面図である。

[図29]実施の形態 2 の変形例に係る半導体装置を示す断面図である。

[図30]実施の形態2の変形例に係る半導体装置を示す断面図である。

[図31]実施の形態2の変形例に係る半導体装置の製造工程を示すフローである。

[図32]実施の形態2の変形例に係る半導体装置の製造工程中の断面図である。

[図33]比較例に係る半導体装置を示す断面図である。

[図34]比較例に係る半導体モジュールを示す平面図である。

発明を実施するための形態

[0015] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、実施の形態では、特に必要なときを除き、同一または同様な部分の説明を原則として繰り返さない。

[0016] (実施の形態1)

[0017] <半導体装置の構造>

以下に、図1～図3を用いて、本実施の形態の半導体装置の構造について説明する。本実施の形態の半導体装置である半導体チップ1は、図1に示すように、主面S3側に端子2、端子3および端子4を備えるものである。半導体チップ1は、図2に示すように、主面S3と、主面S3と反対側の主面S4とを備えている。主面S3および主面S4は、いずれもX方向およびY方向に沿う面である。X方向およびY方向は、互いに直交する方向である。半導体チップ1の厚さ方向（高さ方向）は、X方向およびY方向のそれぞれに対し直交するZ方向である。本願でいう平面視とは、Z方向に沿って対象物を見ることを意味する。

[0018] 図2に示すように、半導体チップ1は、半導体基板5を内部に有している。半導体基板5は、例えばSi（シリコン）、SiC（炭化ケイ素）、GaN（窒化ガリウム）、Ga₂O₃（酸化ガリウム）またはダイヤモンドなどからなる。半導体基板5の平面視における形状は、矩形である。半導体基板5

は、主面 S 1 と、主面 S 1 の反対側の主面 S 2 とを備えている。主面 S 1 は、半導体基板 5 の面であって主面 S 3 側に位置し、主面 S 2 は、半導体基板 5 の面であって主面 S 4 側に位置している。すなわち、主面 S 3 は半導体基板 5 に対し、接合材（導電性接続層） 2 b 側および接合材（導電性接続層） 3 b 側に位置している。主面 S 4 は半導体基板 5 に対し、接合材（導電性接続層） 4 b 側に位置している。

[0019] 半導体基板 5 の主面 S 1 には、ソース電極 2 a とゲート電極 3 a とが接続されている。半導体基板 5 の主面 S 2 には、ドレイン電極 4 a が接続されている。ソース電極 2 a、ゲート電極 3 a およびドレイン電極 4 a は、互いに離間し、互いに絶縁されている。ソース電極 2 a およびゲート電極 3 a は、その再表面（主面 S 3 側の面）が、例えば N i（ニッケル）または C u（銅）からなる。また、ドレイン電極 4 a は、その再表面（主面 S 4 側の面）が、例えば N i（ニッケル）、C u（銅）または A u（金）からなる。

[0020] 図示はしていないが、半導体基板 5 は半導体のみで構成されるのではなく、その主面上に配線および絶縁層を含む積層構造を有しており、半導体素子を備えている。半導体基板 5 に形成された半導体素子としては、例えば M O S F E T（Metal Oxide Semiconductor Field Effect Transistor、M O S 型電界効果トランジスタ）、I G B T（Insulated Gate Bipolar Transistor）などのトランジスタが考えられる。また、半導体基板 5 に形成された半導体素子は、ダイオードなどの整流素子であってもよい。

[0021] ここでは、例として半導体基板 5 が M O S F E T を搭載している場合について説明する。このため、半導体基板 5 は三端子素子である。半導体基板 5 が備える半導体素子がダイオードのような 2 端子素子である場合は、半導体基板 5 の主面 S 3 側の面に接続される電極および端子は 1 つのみとなる。半導体基板 5 の主面 S 3 側の面に接続される電極および端子のそれぞれが、3 つ以上あってもよい。例えば、半導体基板 5 の主面 S 3 上には、ソース端子（端子 2）、ゲート端子（端子 3）の他に、ソースセンス端子、温度検知用端子などが設けられることが考えられる。

[0022] ソース電極 2 a の主面 S 3 側の面には、接合材 2 b を介して端子 2 が接続されている。ゲート電極 3 a の主面 S 3 側の面には、接合材 3 b を介して端子 3 が接続されている。ドレイン電極 4 a の主面 S 4 側の面には、接合材 4 b を介して端子 4 が接続されている。すなわち、端子 2 は接合材 2 b およびソース電極 2 a を介して半導体基板 5 に電氣的に接続されている。端子 3 は接合材 3 b およびゲート電極 3 a を介して半導体基板 5 に電氣的に接続されている。端子 4 は接合材 4 b およびドレイン電極 4 a を介して半導体基板 5 に電氣的に接続されている。端子 2、3 および 4 のそれぞれは、例えば Cu（銅）、W（タングステン）、Al（アルミニウム）または Mo（モリブデン）などからなる。接合材（接合層）2 b、3 b および 4 b のそれぞれは、導電性を有する接合部であり、例えばはんだ、焼結材またはバンプからなる。

[0023] 端子 4 は、Z 方向において積層された半導体基板 5、ソース電極 2 a、ゲート電極 3 a、ドレイン電極 4 a、接合材 2 b、3 b、4 b、端子 2 および 3 からなる積層体に対し、Y 方向および X 方向において外側に延在しており、当該積層体から離間した位置で主面 S 3 側に延在する引き出し電極 4 c を有している。端子 4 の一部である引き出し電極 4 c は、Z 方向に延在しており、主面 S 3 において露出している。当該積層体の平面視における形状は、矩形である。図 1 に示すように、引き出し電極 4 c（端子 4）は、当該積層体の Y 方向に延在する 1 辺に沿って延在する部分と、当該積層体の X 方向に延在する 1 辺に沿って延在する部分とが互いに接続された L 字型の平面レイアウトを有している。

[0024] 図 2 に示すように、端子 4 は、接合材 4 b に接して X-Y 平面に沿って延在する板状部分と、X-Z 平面に沿って延在する引き出し電極 4 c と、Y-Z 平面に沿って延在する引き出し電極 4 c とを有する。このため、端子 4 は L 字型の断面形状を有している。X-Y 平面に沿って延在する当該板状部分と引き出し電極 4 c とは、一体となってもよく、互いに接合材を介して接合されていてもよい。当該板状部分と引き出し電極 4 c とが一体となって

いる場合、端子4（後述する導体20）の製法は簡易だが、材料加工を要するため、当該板状部分と引き出し電極4cとを接合する場合に比べ、製造コストが増大する。

[0025] 上記積層体と引き出し電極4cとの間には、絶縁材（封止材）6が埋め込まれている。また、ソース電極2a、接合材2bおよび端子2からなる積層体と、ゲート電極3a、接合材3bおよび端子3からなる積層体との間には、絶縁材6が埋め込まれている。また、絶縁材6は、端子4、半導体基板5、ソース電極2a、ゲート電極3a、ドレイン電極4a、接合材2b、3b、4b、端子2、3および4からなる構造のX方向およびY方向における側面と、端子4の主面S4側の面とを連続的に覆って封止している。絶縁材6は、例えばモールド樹脂からなる。

[0026] 端子4は、X-Y平面に沿って延在する板状部分および引き出し電極4cによって、接合材4bと接合する位置から、主面S3側に引き出されている。半導体チップ1の表面のうち、主面S3以外の表面において、端子は露出していない。言い換えれば、半導体チップ1の表面のうち、主面S3以外の表面は全て絶縁材6により覆われている。

[0027] 半導体チップ1の平面視における形状および各側面の形状は矩形である。つまり、半導体チップ1の形状は直方体である。半導体チップ1のX方向およびY方向における側面と主面S4とは、絶縁材6により構成されており、主面S4側の端子4の面は露出していない。主面S3では、絶縁材6、端子2、3および4のそれぞれの面が露出している。つまり、主面S3は、絶縁材6、端子2、3および4のそれぞれの面により構成されている。主面S3は平坦である。主面3において、端子2、3および4のそれぞれの周囲は、絶縁材6により完全に囲まれている。

[0028] 端子（ゲート端子）3の平面視における形状は、矩形である。平面視において、端子（ゲート端子）3の面積は、端子（ソース端子）2よりも小さい。2、3および4のそれぞれの相互間における最短の距離は、平面視における端子3の1辺（短辺）の長さ以下であることが好ましい。当該最短の距離

が大きいと、半導体装置の大きさの増大が問題となるためである。

[0029] 半導体基板 5 は、半導体ウェハを切削により個片化したものである。半導体素子、ソース電極 2 a、ゲート電極 3 a およびドレイン電極 4 a を備えた半導体基板 5 は半導体チップと呼ばれる場合があるが、ここでは半導体素子を備えた基板を半導体基板 5 と呼び、半導体基板 5 に端子 2、3 および 4 を電氣的に接続して封止したものを半導体チップ 1 と呼ぶ。

[0030] <半導体モジュールの構造>

本実施の形態の半導体装置（半導体チップ 1）を搭載（実装）した半導体モジュール 100 の断面図を図 3 に示す。図 3 に示す半導体チップ 1 は、図 2 に示す半導体チップ 1 の上下を逆さにしたものであり、図 3 に示す断面の位置は図 2 に示す断面の位置と同じである。

[0031] 図 3 に示すように、半導体チップ 1 の主面 S 3 の端子 2、3 および 4 のそれぞれは、接合材 7 を介して別々の配線 8 に接続されている。配線 8 は、絶縁基板 9 の主面上に設けられた導体からなる配線パターンである。接合材 7 は、例えばはんだ、焼結材またはバンプからなる。絶縁基板 9 は、例えば AlN（窒化アルミニウム）などからなる。図示はしていないが、図 3 に示す半導体モジュールは、例えば樹脂ケース内に配置され、絶縁基板 9 の当該主面上の半導体チップ 1 を含む構造は、樹脂ケース内に流し込まれた樹脂により封止されてもよい。

[0032] ここでは、半導体チップ 1 の全ての端子は、主面 S 3 側で接合材 7 のみを用いて絶縁基板 9 側に表面実装されている。すなわち、半導体チップ 1 の主面 S 4 側に半導体チップ 1 の端子は露出していないため、ボンディングワイヤまたは導電性のリボンなどを用いて半導体チップ 1 と配線 8 とを接続することはない。

[0033] <半導体装置の製造方法>

次に、図 4 のフローを参照しつつ、図 5～図 11 を用いて、本実施の形態の半導体装置の製造方法について説明する。

[0034] まず、図 5 に示すように、導体 10 を複数用意する（図 4 のステップ S 1

1)。導体10は、例えばCu（銅）、W（タングステン）、Al（アルミニウム）またはMo（モリブデン）などからなる。導体10は板状の支持部と、支持部の表面上に、互いに離間して並ぶ2つの凸部10aとを有している。この2つの凸部10aは、後に端子2、3となる部分である。図6に示すように、複数の導体10は接続部10cを介して互いに接続されて一体となってもよい。図5に示す導体10は、既に個片化されたものである。個片化された導体10は、部材コストが低いというメリットがあるが、後の工程で接続する半導体基板との位置合わせに手間がかかる。一体化された図6の導体10は、当該位置合わせが容易であるというメリットがあるが、部材コストが高い。

[0035] 次に、図7に示すように、複数の導体10のそれぞれと複数の半導体基板5のそれぞれとを接続する（図4のステップS12）。具体的には、主面S1と主面S1の反対側の主面S2とを有し、主面S1にソース電極2aおよびゲート電極3aが設けられ、主面S2にドレイン電極4aが設けられた半導体基板5を複数用意する。続いて、各導体10の2つの凸部10aの一方に、接合材2bを介してソース電極2aを接続し、2つの凸部10aの他方に、接合材3bを介してゲート電極3aを接続する。

[0036] 次に、図8に示すように、複数の半導体基板5のそれぞれに複数の導体20のそれぞれを接続する（図4のステップS13）。すなわち、X-Y平面に沿って延在する板状部分と、X-Z平面に沿って延在する引き出し電極（凸部）4cと、Y-Z平面に沿って延在する引き出し電極（凸部）4cとが互いに接続されて構成されている導体20を複数用意する。引き出し電極4cは、支持部である当該板状部分の表面に接続されて、当該表面上に形成されている。なお、複数の半導体基板5はステップS11の時点で用意していてもよく、複数の導体20は、ステップS11またはS12の時点で用意してもよい。ステップS12、S13は同時に行ってもよい。つまり、半導体基板5に対し、導体10、20を同時に接続してもよい。また、ステップS12の前にステップS13を行ってもよい。

[0037] ここではまず、互いに接続されている導体10および半導体基板5の上下を逆さにする。続いて、各導体20のうち、X-Y平面に沿って延在する板状部分の表面であって、引き出し電極4cが突出する側の面に、接合材4bを介して半導体基板5の主面S4側のドレイン電極4aを接続する。ここでは、半導体基板5、ソース電極2a、ゲート電極3a、ドレイン電極4a、接合材2b、3b、4b、端子2および3からなる積層体に対し、Y方向およびX方向において引き出し電極4cが離間した状態で、当該板状部分の表面に当該積層体を接続する。接合材2b、3bおよび4bのそれぞれは、例えばはんだ、焼結材またはバンプからなる。

[0038] 次に、図9に示すように、複数の半導体基板5、複数の導体10および20のそれぞれを絶縁材6により封止する（図4のステップS14）。絶縁材6は、例えばモールド樹脂からなる。図9では、導体10、20の表面の全てが封止されているが、導体10、20の表面の一部（図9における各導体の上端）が接合材2b、3bより上において露出していてもよい。また、Z方向において、導体10の上面（半導体基板5側とは反対側の表面）と、導体20の最上面とのそれぞれの高さ位置は、一致せずずれれていてもよい。これらの上面は、後のステップS15で行う研削により平坦化されるためである。

[0039] 次に、図10に示すように、上方から導体10および導体20を研削することにより、絶縁材6、導体10および導体20の表面を平坦化する（図4のステップS15）。ここでは、導体10を構成する支持部を除去し、2つの凸部10aが互いに分離するまで研削を行う。これにより残った導体10の2つの凸部10aは、端子2、3をそれぞれ構成する。また、一部が研削された導体20は、端子4を構成する。この研削工程で平坦化された絶縁材6、端子2、3および4のそれぞれの面は、主面S3を構成する。

[0040] 次に、図11に示すように、ダイシングを行って、隣り合う端子4同士の間絶縁材6を切削することにより、個片化された半導体チップ1を複数得ることができる（図4のステップS16）。絶縁材6の底面、つまり主面S

3と反対側の面は、主面S4を構成する。以上により、本実施の形態の半導体装置が略完成する。

[0041] 図3に示した半導体モジュールを製造する場合は、上記半導体チップ1と、主面上に配線8のパターンが設けられた絶縁基板9とを用意した後、半導体チップ1の主面S3に露出する各端子2、3および4を、接合材7を介して各配線8に接続する。

[0042] <本実施の形態の効果>

半導体装置の製造工程においては、半導体チップに対して導通検査が行われる。検査では、半導体チップの各端子に対し電圧を印加することで行われるため、オフ特性評価のための検査の際には端子間での気中放電を防止する必要がある。例えばSiCパワー半導体素子のように、Si半導体素子に比べ高い電圧が印加される素子の検査では高電界が印加されるため、特に放電防止のための対策を講じる必要がある。放電防止のため、検査方法としては半導体装置を絶縁の液体に浸す、または加圧した状態で測定を行う手段が考えられるが、チップ状態での測定は難しい。

[0043] また、微細化された半導体チップに対し、オン特性評価のための検査においてプローブを接触させて大電流を流すことは困難である。SiC半導体素子はSi半導体素子に比べてチップサイズが小さいため、半導体チップに対してプローブ検査を行うことは特に困難である。

[0044] これらの制約から、半導体チップ単体では十分な検査ができず、複数の半導体チップを並列接続し（図34参照）、絶縁材料で封止しバスバーによる主電流経路の接続がなされたモジュール化後に検査を実施することが考えられる。その結果、1つの半導体チップの不良によって、並列接続された他の複数の半導体チップも不良扱いとなり、モジュールの製造における歩留まりが低下するため、半導体装置の製造コストが増大する。

[0045] また、半導体チップを並列接続して半導体モジュールを形成する際には、図33および図34に比較例として示すように、ボンディングワイヤ41を用いることが考えられる。図33では、絶縁材（封止材）の図示を省略し、

図34では、絶縁材と、一部のボンディングワイヤ41との図示を省略している。

[0046] 図33に示すように、比較例の半導体装置である半導体チップ1xは、図1に示す半導体チップ1と異なり、半導体基板5のドレイン電極4aに電氣的に接続され、ドレインを、ソース電極2aおよびゲート電極3a側に引き出す電極（端子）が形成されていない。また、半導体基板5のソース電極2aおよびゲート電極3aのそれぞれに電氣的に接続され、ソースおよびゲートを、ドレイン電極4a側に引き出す電極も形成されていない。

[0047] ドレイン電極4aは半導体基板5の直下において接合材7を介して配線8に接続されており、ソース電極2aおよびゲート電極3aのそれぞれは、それらの上面に接するボンディングワイヤ41を介して配線8に接続されている。

[0048] このような比較例の半導体モジュール100aを形成するためには、ドレイン電極4aを配線8に接続する表面実装の工程の他に、ワイヤボンディングの工程が必要となるため、半導体装置の製造コストが増大する。また、図33に示すように高い位置にボンディングワイヤ41が形成されていると、半導体チップ1xおよびボンディングワイヤ41を封止するための樹脂層を厚くする必要があり、半導体装置の大きさの増大が問題となる。

[0049] また、ワイヤボンディングが行われた半導体モジュール100aに対し上記検査で大電流を流そうとしても、ボンディングワイヤ41（またはリボン）は断面積が小さいため、大電流を流すことが困難である。また、完成した半導体モジュールにおいては、断面積が小さいボンディングワイヤ41を用いることで配線抵抗が高くなる問題がある。

[0050] また、比較例の半導体チップ1xでは、ボンディングワイヤ41が接続された表面側で熱が上昇し易い。このため、ボンディングワイヤ41がゲートのみに接続された表面側、および、端子4が接続された裏面側の両方を冷却する機構を設けることが考えられる。しかし、両面の冷却機構を設けることは、半導体装置（半導体モジュール）のサイズの増大および製造コストの増

大に繋がる。

[0051] これらの課題に対し、半導体チップの主面側に、主面側の端子を引き出すことが考えられる。その方法として、半導体基板を貫通し、裏面電極（ドレイン電極）に電氣的に接続された貫通電極を設けることが考えられる。しかし、このような構造の半導体基板を形成する工程では、貫通孔形成によるゴミの付着、貫通孔の加工ばらつき、および、貫通電極の埋め込み不良（埋め込み不足）などが発生し易くなり、半導体装置の製造における歩留まりが低下する虞がある。

[0052] そこで、本実施の形態では、半導体基板 5 に貫通電極を設けるのではなく、半導体基板 5 と離間した位置に、半導体チップ 1 の主面 S 4 側の端子 4 を主面 S 3 側に引き出す引き出し電極 4 c を設けている。これにより、半導体チップ 1 と外部とを電氣的に接続するための全ての端子 2、3 および 4 は、半導体チップ 1 の主面 S 3 に集められる。

[0053] この結果、半導体装置の検査工程では、半導体チップ 1 を複数並列に接続することなく、チップ単体で検査することが可能となる。これは、半導体チップ 1 が絶縁材 6 により封止されているためであり、また、主面 S 4 を接着または吸着するなどした状態での検査が容易となるためである。主面 S 4 に端子が無い場合、主面 S 4 を固定することで、半導体チップ 1 を絶縁の液体に浸す、または加圧して検査を行う事も容易となる。よって、放電を防止し、かつ、高電圧での半導体チップ 1 の単体での検査が可能となる。このため、複数の半導体チップを並列接続し検査を行う必要がなくなり、1 つの半導体チップの不良によって他の半導体チップも不良扱いとなることを防げる。したがって、半導体装置の歩留まりを向上でき、半導体装置の製造コストの増大を防げる。

[0054] また、表面実装される主面 S 3 の反対側の主面 S 4 には端子が露出していないため、ワイヤボンディング工程は不要である。よって、接合材 7 を用いた表面実装工程のみで半導体装置を実装できるため、半導体装置の製造コストを低減できる。また、ボンディングワイヤが不要であるため、半導体装置

の大きさを縮小できる。これにより、比較例に比べて半導体チップ1を封止するための樹脂層を薄くできるため、半導体装置の大きさを縮小できる。

[0055] また、絶縁基板9に半導体チップ1を実装後に導通検査を行う場合であっても、ボンディングワイヤが不要であるため、接合材7のみを介した大電流を用いての検査が容易となる。さらに、完成した半導体モジュール100においては、断面積が小さいボンディングワイヤが不要であるため、配線抵抗を低減できる。また、ボンディングワイヤが無いため、比較例のように、ボンディングワイヤが接続された側の半導体チップの主面側において熱が上昇し易いという問題の発生を防げる。よって、主面S3および主面S4の両側を冷却する機構を設ける必要はなく、実装された主面S3側のみを片面冷却すればよい。これにより、半導体装置（半導体モジュール）を縮小し、製造コストを低減できる。

[0056] 本実施の形態では、半導体基板5を貫通する貫通孔および貫通電極を形成していないため、貫通孔および貫通電極の形成によるゴミの付着、貫通孔の加工ばらつき、および、貫通電極の埋め込み不良などの発生を防げる。その結果、半導体装置の製造における歩留まりを向上できる。

[0057] <変形例1>

半導体チップ1の主面S3における端子4（引き出し電極4c）の平面レイアウトは、L字型に限らず図12～図13に示すような形状であってもよい。図12に示す平面レイアウトにおいて、端子4は、平面形状が略矩形である端子2の1辺にのみ沿って延在するI字型の形状を有している。図13に示す平面レイアウトにおいて、端子4は、端子2の3辺に沿って連続的に延在するU字型の形状を有している。図14に示す平面レイアウトにおいて、端子4は、端子2の4辺に沿う連続的な矩形の環状構造を有している。

[0058] <変形例2>

図15に示すように、半導体チップ1aの主面S4において、端子4の表面が絶縁材6から露出していてもよい。ここでは、端子4を構成する部分のうち、接合材4bに接してX-Y平面に沿って延在する板状部分の一部が露

出している。つまり、当該板状部分の面のうち、半導体基板 5 と反対側の面が、絶縁材 6 から露出している。

[0059] 次に、本変形例の半導体装置の製造方法について、図 16 のフローを参照しつつ、図 17 ～図 19 を用いて説明する。

[0060] まず、図 4 のステップ S 11 ～S 13 と同様の工程を行う（図 16 のステップ S 21 ～S 23）。

[0061] 次に、図 17 に示すように、複数の半導体基板 5、複数の導体 10 および 20 のそれぞれを絶縁材 6 により封止する（図 16 のステップ S 24）。ここでは、複数の導体 20 のそれぞれの面のうち、半導体基板 5 側とは反対側の面（底面）をテープ（図示しない）に接着することで覆った状態（保護した状態）で封止を行う。

[0062] ただし、テープを用いて封止を防止するのではなく、図 4 のステップ S 14 と同様に導体 20 の封止を行った後、研削を行って導体 20 の面のうち半導体基板 5 側とは反対側の面（底面）を露出させ、これにより図 17 に示す構造を得てもよい。

[0063] 次に、図 18 に示すように、図 4 のステップ S 15 と同様の研削工程を行うことで、端子 2、3 および 4 を形成する（図 16 のステップ S 25）。

[0064] 次に、図 19 に示すように、図 4 のステップ S 16 と同様のダイシング工程を行うことで、個片化された複数の半導体チップ 1 a を得る（図 16 のステップ S 26）。以上により、本変形例の半導体装置が略完成する。

[0065] 本変形例では、図 1 ～図 3 を用いて説明した半導体装置と同様の効果を得ることができる。これに加えて、主面 S 4 において端子 4 を覆う絶縁材 6 が無いことにより、半導体装置のサイズを縮小でき、主面 S 4 側の冷却効果が高くなる。また、主面 S 3 側と主面 S 4 側の両方にプローブを接触させて検査・測定を行うことも可能となる。主面 S 3 側の端子 4 の露出面積よりも、主面 S 4 側の端子 4 の露出面積の方が大きい。したがって、端子 4 に対するプローブ検査もより容易となる。

[0066] （実施の形態 2）

上記実施の形態 1 では、ドレイン電極 4 a に接続された端子 4 を他の端子 2、3 の形成された方に引き出すことについて説明したが、以下では、逆に端子 2、3 を端子 4 の形成された主面 S 4 側に引き出すことについて、図 20 ～図 28 を用いて説明する。

[0067] 図 20 には、図 1 と異なり半導体チップ 1 b の主面 S 4 を示している。半導体チップ 1 b の主面 S 4 には、半導体基板 5 のドレイン電極 4 a に接合材 4 b を介して接続された端子 4 が露出している。また、主面 S 4 には、半導体基板 5 のソース電極 2 a に接合材 2 b を介して接続された端子 2（引き出し電極 2 c）が露出している。また、主面 S 4 には、半導体基板 5 のゲート電極 3 a に接合材 3 b を介して接続された端子 3（引き出し電極 3 c）が露出している。主面 S 4 における端子 2 は、L 字型のレイアウトを有している。ただし、主面 S 4 における端子 2、端子 3 のそれぞれの形状は、図 1、図 12 および図 13 を用いて説明した L 字型、I 字型および U 字型のいずれでもよい。

[0068] 図 21 には、図 20 の B－B 線における断面図を示し、図 22 には、図 20 の C－C 線における断面図を示す。図 21 に示すように、端子 3 は、接合材 3 b に接して X－Y 平面に沿って延在する板状部分と、X－Z 平面に沿って延在する引き出し電極 3 c とを有する。図 21 および図 22 に示すように、端子 2 は、接合材 2 b に接して X－Y 平面に沿って延在する板状部分と、X－Z 平面に沿って延在する引き出し電極 2 c と、Y－Z 平面に沿って延在する引き出し電極 2 c とを有する。引き出し電極 2 c、3 c のそれぞれは、Z 方向に延在し、その延在方向の一方の端部は主面 S 4 で終端している。X 方向および Y 方向において互いに並ぶ端子 2 および端子 3 は、互いに離間している。

[0069] 半導体チップ 1 b の表面のうち、主面 S 4 以外の表面において、端子は露出していない。言い換えれば、半導体チップ 1 b の表面のうち、主面 S 4 以外の表面は全て絶縁材 6 により覆われている。

[0070] 次に、本実施の形態の半導体装置の製造方法について、図 23 のフローを

参照しつつ、図24～図28を用いて説明する。

[0071] まず、図24に示すように、導体10を複数用意する（図23のステップS31）。導体10は支持部を有し、支持部の表面上に、互いに離間して並ぶ2つの凸部10aを有している。2つの凸部10aは、後に端子2、3となる部分である。2つの凸部10aのそれぞれは、その上面上に突出する凸部10bをさらに有している。言い換えれば、凸部10aは、支持部の表面上に凸部10bを介して形成されている。2つの凸部10bは、後に端子2、3のそれぞれの一部である引き出し電極2c、3cとなる部分である。導体10は、支持部、凸部10aおよび10bにより構成されている。

[0072] 次に、図25に示すように、複数の導体10のそれぞれと複数の半導体基板5のそれぞれとを接続する（図23のステップS32）。具体的には、主面S1と主面S1の反対側の主面S2とを有し、主面S1にソース電極2aおよびゲート電極3aが設けられ、主面S2にドレイン電極4aが設けられた半導体基板5を複数用意する。続いて、各導体10の2つの凸部10aの一方に、接合材2bを介してソース電極2aを接続し、2つの凸部10aの他方に、接合材3bを介してゲート電極3aを接続する。半導体基板5は、凸部10bから離間した位置で凸部10aに接続される。つまり、半導体基板5およびドレイン電極4aを含む積層体と、凸部10bとを離間させて、導体10の表面である複数の凸部10aの表面に、接合材2b、3bを介してソース電極2aおよびゲート電極3aのそれぞれを接続する。

[0073] 次に、図26に示すように、複数の半導体基板5のそれぞれに複数の導体20のそれぞれを接続する（図23のステップS33）。導体20は、X-Y平面に沿って延在する板状部分のみからなり、端子4を構成している。ここでは、各導体20の表面に、接合材4bを介して半導体基板5の主面S2側のドレイン電極4aを接続する。導体20は、凸部10bから離間した位置で半導体基板5に接続される。ステップS32、S33は同時に行ってもよい。つまり、半導体基板5に対し、導体10、20を同時に接続してもよい。また、ステップS32の前にステップS33を行ってもよい。

[0074] 次に、図27に示すように、複数の半導体基板5、複数の導体10および20のそれぞれを絶縁材6により封止する（図23のステップS34）。図27では、導体10、20の表面の一部が露出しているが、導体10、20の表面の全てが封止されていてもよい。また、Z方向において導体20の上面（半導体基板5と反対側の表面）と、導体10（凸部10b）の最上面とのそれぞれの高さ位置は、一致せずずれれていてもよい。これらの上面は、後のステップS35で行う研削により平坦化されるためである。

[0075] 次に、図28に示すように、導体10および導体20をZ方向において両側から研削する（図23のステップS35）。

[0076] ここではまず、半導体基板5、導体10、20および絶縁材6を含む構造体の上下を逆さにする。続いて、上方から導体10の研削を行う。すなわち、導体10を構成する支持部が除去され、2つの凸部10aが互いに分離するまで、導体10および絶縁材6の研削を行う。これにより残った1組の凸部10a、10bは端子2を構成し、他の1組の凸部10a、10bは、端子3を構成する。

[0077] 続いて、再度封止工程を行う（図23のステップS36）。ここでは、上記研削により露出した端子2、3（凸部10a）を絶縁材6で覆う。なお、当該絶縁材6と、ステップS34で形成した絶縁材6とは別工程で形成されたものだが、ここでは同じ符号を付し、図28では互いに一体化させて示している。

[0078] 続いて、ダイシングを行って、隣り合う半導体基板5同士の間の絶縁材6を切削することにより、個片化された半導体チップ1bを複数得ることができる（図23のステップS37）。半導体チップ1bにおいて、図28の下側（半導体基板5に対する接合材4b側）で露出する絶縁材6、端子2、3および4のそれぞれの面を含む平坦な面は、主面S4を構成する。半導体チップ1bの主面S4の反対側の面（半導体基板5に対する接合材2b側の面）であって、上述した再度の封止工程で形成した絶縁材6の上面は、主面S3を構成する。以上により、本実施の形態の半導体装置が略完成する。

[0079] 本実施の形態の半導体装置およびその製造方法では、上記実施の形態 1 と同様の効果が得られる。さらに、本実施の形態の半導体チップ 1 b は上記実施の形態 1 の半導体チップ 1 と比べ、放熱性が高い。これは、ソース電極 2 a およびゲート電極 3 a が形成された側の面より、ドレイン電極 4 a が形成された側の面の方が、半導体チップ 1 b の平面視における面積のうち導電体（端子）が占める面積が大きいためである。すなわち、本実施の形態では、主面 S 4 のほぼ全体から放熱できるため、熱抵抗が低い。

[0080] <変形例>

図 29 および図 30 に示すように、半導体チップ 1 c の主面 S 3 において、端子 2、3 の表面が絶縁材 6 から露出していてもよい。ここでは、端子 2、3 の面のうち、半導体基板 5 の主面 S 1 と反対側の面が、絶縁材 6 から露出している。図 29 および図 30 に示す断面、図 21 および図 22 に示す断面に対応する箇所における断面である。

[0081] 次に、本変形例の半導体装置の製造方法について、図 31 のフローを参照しつつ、図 32 を用いて説明する。

[0082] まず、図 23 のステップ S 31～S 34 と同様の工程を行う（図 31 のステップ S 41～S 44）。

[0083] 次に、図 32 に示すように、導体 10 および導体 20 の Z 方向における両方の面を研削することにより、絶縁材 6、導体 10 および導体 20 のそれぞれの両面を平坦化し（図 31 のステップ S 45）、その後、ダイシングを行う（図 31 のステップ S 46）。ここでは、端子 2、3（凸部 10 a）の研削を行った後に、再度の封止工程を行わない。これにより、端子 2、3 の表面は絶縁材 6 から露出したままとなる。

[0084] 続いて、ダイシングを行うことで、個片化された半導体チップ 1 c を複数得ることができる。半導体チップ 1 c において、半導体基板 5 に対する接合材 4 b 側で露出する絶縁材 6、端子 2、3 および 4 のそれぞれの面を含む平坦な面は、主面 S 4 を構成する。半導体チップ 1 c の主面 S 4 の反対側の面（半導体基板 5 に対する接合材 2 b 側の面）であって、絶縁材 6、端子 2 お

よび3のそれぞれの面を含む平坦な面は、主面S3を構成する。以上により、本変形例の半導体装置が略完成する。

[0085] 本変形例では、図20～図22を用いて説明した半導体装置と同様の効果を得ることができる。これに加えて、主面S3において端子2、3を覆う絶縁材6が無いことにより、半導体装置のサイズを縮小でき、主面S3側の冷却効果が高くなる。また、主面S3側と主面S4側の両方にプローブを接触させて検査・測定を行うことも可能となる。

[0086] 以上、本発明者らによってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

産業上の利用可能性

[0087] 本発明は、本発明は半導体装置およびその製造方法に幅広く利用することができる。

符号の説明

[0088] 1、1a～1c、1x 半導体チップ

2、3、4 端子

2a ソース電極

2b、3b、4b、7 接合材

2c、3c、4c 引き出し電極

3a ゲート電極

4a ドレイン電極

5 半導体基板

6 絶縁材

8 配線

9 絶縁基板

10、20 導体

10a、10b 凸部

10c 接続部

4 1 ボンディングワイヤ

1 0 0、1 0 0 a 半導体モジュール

S 1、S 2、S 3、S 4 主面

請求の範囲

- [請求項1] 第1主面と、前記第1主面の反対側の第2主面と、半導体素子とを備えた半導体基板と、
- 前記第1主面に接して設けられた第1電極に、導電性を有する第1接合材を介して接続された第1端子と、
- 前記第2主面に接して設けられた第2電極に、導電性を有する第2接合材を介して接続され、前記第1端子とは絶縁された第2端子と、
- 前記第1端子および前記第2端子のそれぞれの一部と前記半導体基板とを封止する絶縁材と、
- 前記半導体基板に対し前記第1接合材側に位置し、前記第1端子および前記第2端子が露出する第3主面と、
- 前記第3主面の反対側の第4主面と、
- を有し、
- 前記第2端子は、前記半導体基板、前記第1電極および前記第1接合材を含む積層体から離間する引き出し電極により、前記第3主面側に引き出され、
- 前記第1端子および前記第2端子の相互間は、前記絶縁材により絶縁されている、半導体装置。
- [請求項2] 請求項1記載の半導体装置において、
- 前記第3主面以外の表面において端子が露出していない、半導体装置。
- [請求項3] 請求項1記載の半導体装置において、
- 前記第4主面では、前記第2端子が露出している、半導体装置。
- [請求項4] 請求項1記載の半導体装置において、
- 前記第1端子が複数形成され、
- 前記第1主面に接して形成された複数の前記第1電極それぞれに対し、前記第1接合材を介して複数の前記第1端子のそれぞれが接続され、

前記第3主面には、複数の前記第1端子が露出している、半導体装置。

[請求項5] 請求項1記載の半導体装置において、
前記第2端子が複数形成され、
前記第2主面に接して形成された複数の前記第2電極それぞれに対し、前記第2接合材を介して複数の前記第2端子のそれぞれが接続され、

前記第3主面には、複数の前記第2端子が露出している、半導体装置。

[請求項6] 請求項5記載の半導体装置において、
前記第4主面には、複数の前記第2端子が露出している、半導体装置。

[請求項7] 請求項5記載の半導体装置において、
前記第3主面で露出する前記第1端子の平面視における形状は、略矩形であり、

前記第3主面で露出する前記第2端子は、平面視において、前記第1端子の1つの辺、2つの辺、3つの辺または4つの辺に沿って延在している、半導体装置。

[請求項8] 以下の工程を含む、半導体装置の製造方法：

(a) 第1主面と、前記第1主面の反対側の第2主面と、半導体素子とを備え、前記第1主面に第1電極が接し、前記第2主面に第2電極が接する半導体基板を用意する工程；

(b) 前記第1電極に、導電性を有する第1接合材を介して第1導体を接続する工程；

(c) 表面に第1凸部を有する第2導体を用意する工程；

(d) 前記半導体基板および前記第1電極を含む積層体と、前記第1凸部とを離間させて、前記第2導体の前記表面に、導電性を有する第2接合材を介して前記第2電極を接続する工程；

(e) 前記 (a) ~ (d) 工程の後、前記半導体基板、前記第 1 導体および前記第 2 導体を絶縁材により封止する工程；

ここで、前記半導体装置は、前記第 1 導体からなる第 1 端子、および、前記第 2 導体からなる第 2 端子のそれぞれが露出する第 3 主面と、前記第 3 主面の反対側の第 4 主面とを有し、

前記第 3 主面は、前記半導体基板に対し前記第 1 接合材側に位置し、

前記第 1 端子と前記第 2 端子とは、互いに絶縁され、

前記第 2 端子は、前記第 1 凸部により、前記第 3 主面側に引き出されている。

[請求項9] 請求項 8 記載の半導体装置の製造方法において、

(f) 前記 (e) 工程の後、研削により前記絶縁材の一部を除去することで、前記第 3 主面において前記第 1 導体および前記第 2 導体を前記絶縁材から露出させる工程；

をさらに有する、半導体装置の製造方法。

[請求項10] 請求項 9 記載の半導体装置の製造方法において、

(b 1) 前記 (b) 工程の前に、第 1 支持部と、前記第 1 支持部の表面上に並ぶ複数の第 2 凸部とを有する前記第 1 導体を用意する工程；

をさらに有し、

前記 (a) 工程では、互いに絶縁された複数の第 1 電極が前記第 1 主面に接する前記半導体基板を用意し、

前記 (b) 工程では、複数の前記第 1 電極のそれぞれに、前記第 1 接合材を介して複数の前記第 2 凸部のそれぞれを接続し、

前記 (f) 工程では、研削により前記絶縁材の一部および前記第 1 支持部を除去することで、前記第 3 主面において、互いに離間する複数の前記第 2 凸部と、前記第 2 導体とを前記絶縁材から露出させ、

前記第 3 主面において露出する複数の前記第 2 凸部は、互いに絶縁

された複数の前記第1端子を構成している、半導体装置の製造方法。

[請求項11]

請求項8記載の半導体装置の製造方法において、

前記(e)工程では、前記第4主面を構成する前記第2導体の面を除き、前記半導体基板、前記第1導体および前記第2導体を前記絶縁材により封止する、半導体装置の製造方法。

[請求項12]

請求項9記載の半導体装置の製造方法において、

(f1) 前記(e)工程の後、研削により前記絶縁材の一部を除去することで、前記第4主面において前記第2導体を前記絶縁材から露出させる工程；

をさらに有する、半導体装置の製造方法。

[請求項13]

請求項8記載の半導体装置の製造方法において、

(f2) 前記(e)工程の後、研削により前記絶縁材の一部および前記第2導体の一部を除去する工程；

をさらに有し、

前記(a)工程では、互いに絶縁された複数の第2電極が前記第2主面に接する前記半導体基板を用意し、

前記(c)工程では、第2支持部と、前記第2支持部の表面上に形成された複数の第3凸部と、前記第2支持部の前記表面上に複数の前記第3凸部のそれぞれを介して形成された複数の前記第1凸部と、を備えた前記第2導体を用意し、

前記(d)工程では、複数の前記第2電極を含む前記積層体と、複数の前記第1凸部とを離間させて、前記第2導体の前記表面である複数の前記第3凸部の表面に、前記第2接合材を介して複数の前記第2電極のそれぞれを接続し、

前記(f2)工程では、研削により前記絶縁材の前記一部と前記第2導体の前記一部である前記第2支持部とを除去することで、前記第4主面において、互いに離間する複数の前記第3凸部を前記絶縁材から露出させ、

前記第4主面において露出する複数の前記第3凸部は、互いに絶縁された複数の前記第2端子を構成している、半導体装置の製造方法。

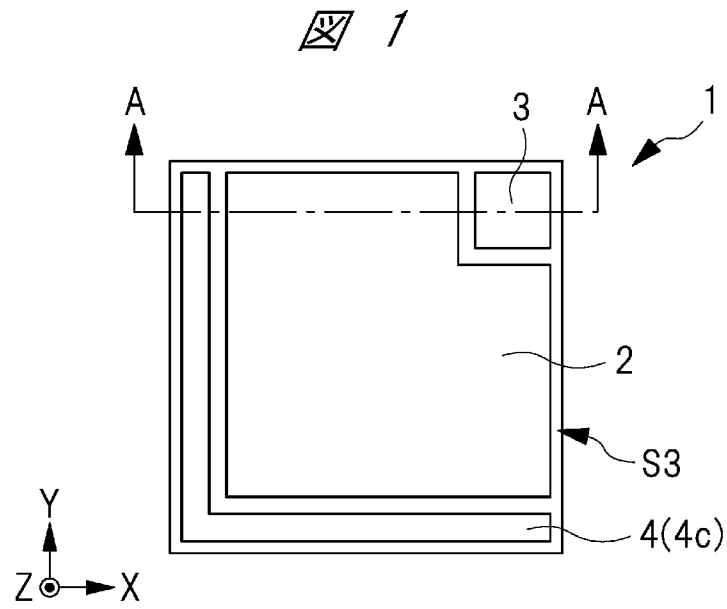
[請求項14]

請求項13記載の半導体装置の製造方法において、

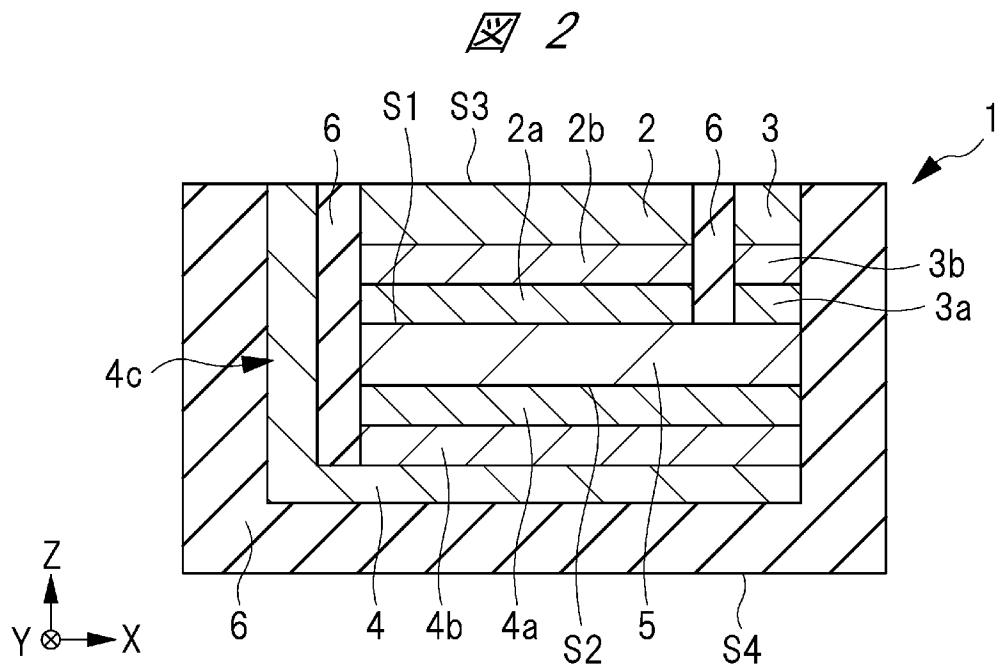
(f3) 前記(f2)工程の後、前記第4主面において複数の前記第2端子を封止する工程；

をさらに有する、半導体装置の製造方法。

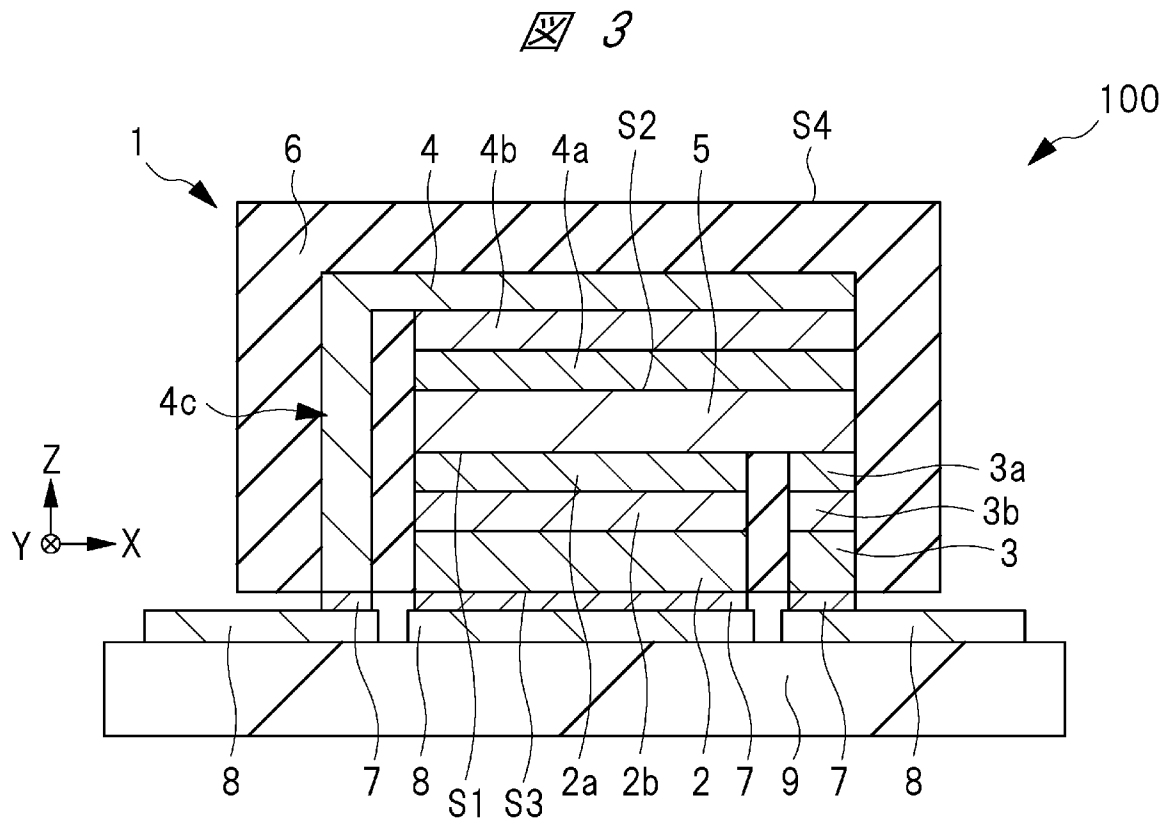
[図1]



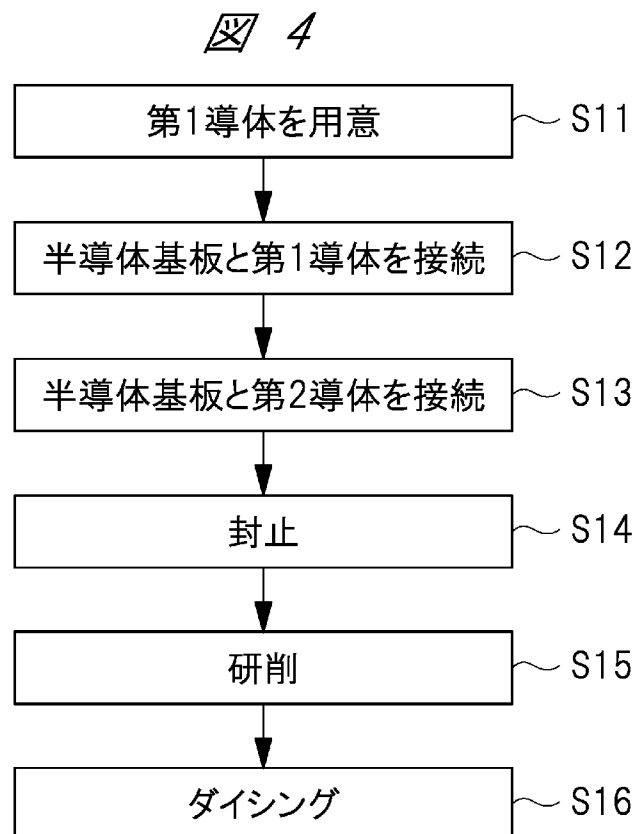
[図2]



[図3]

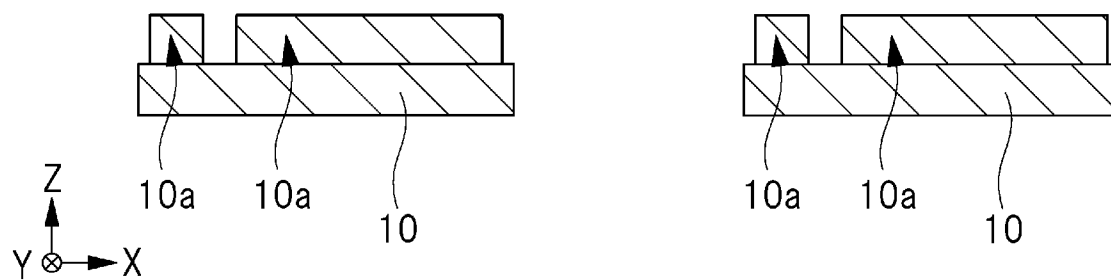


[図4]



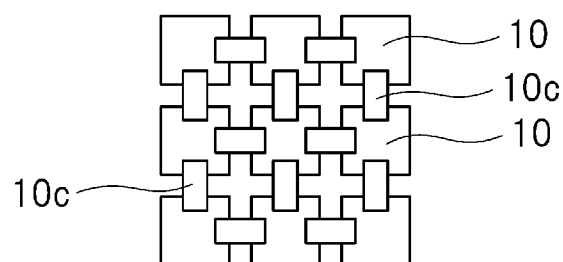
[図5]

図 5



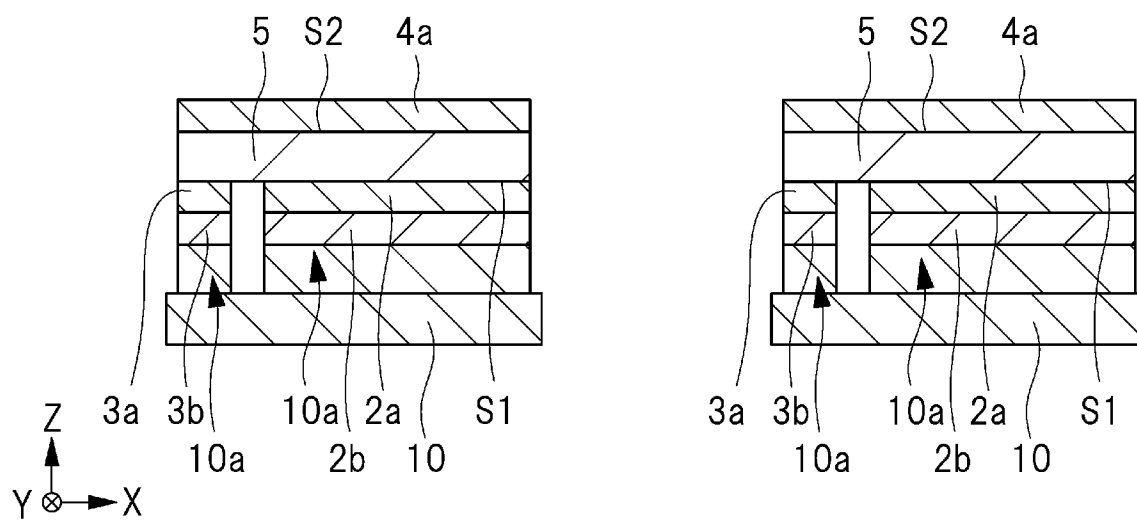
[図6]

図 6



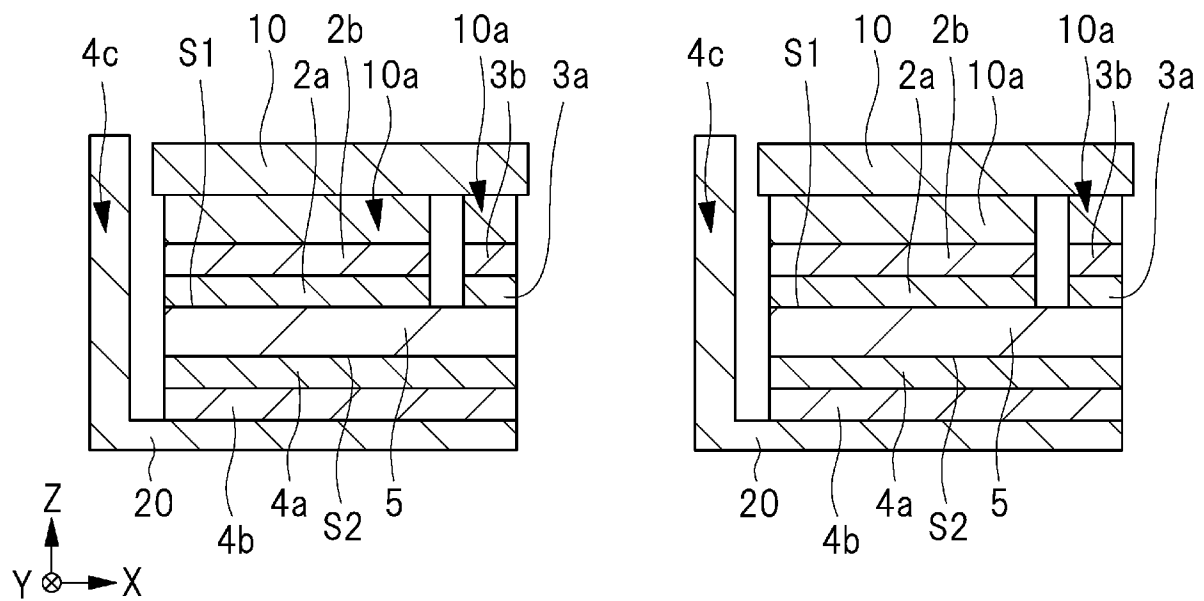
[図7]

図 7



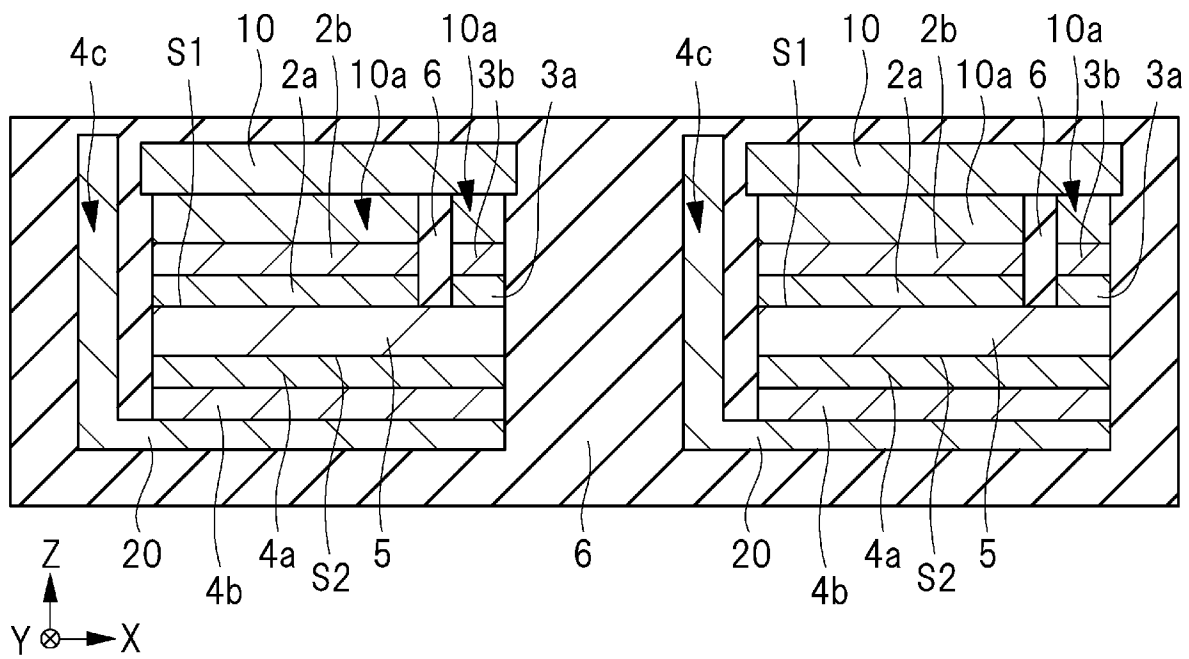
[図8]

図 8



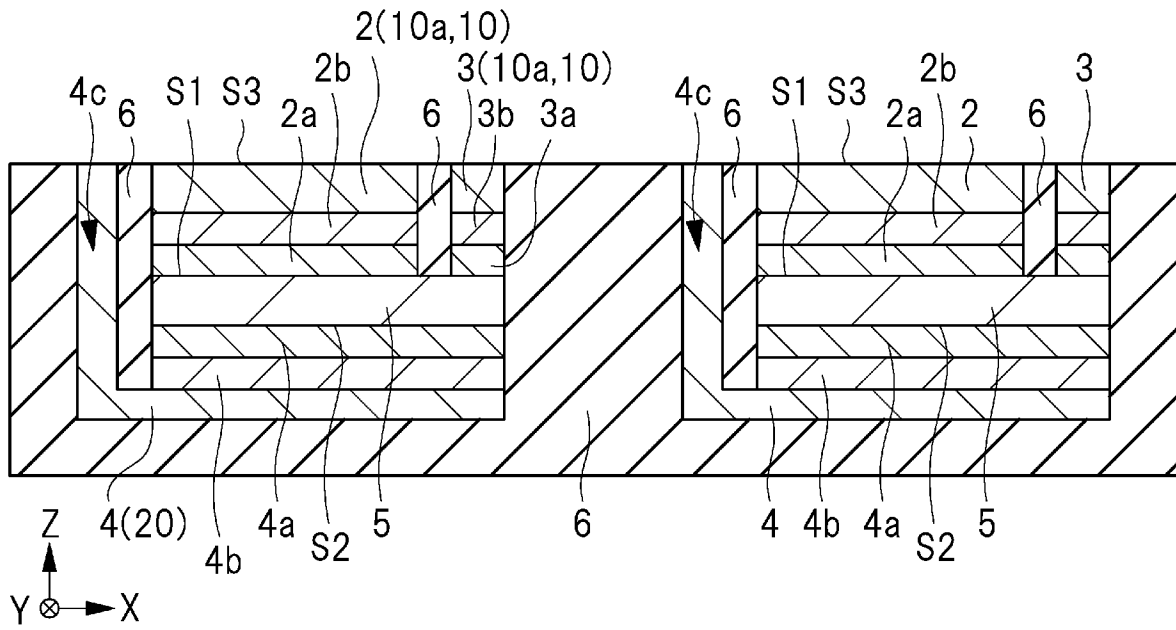
[図9]

図 9



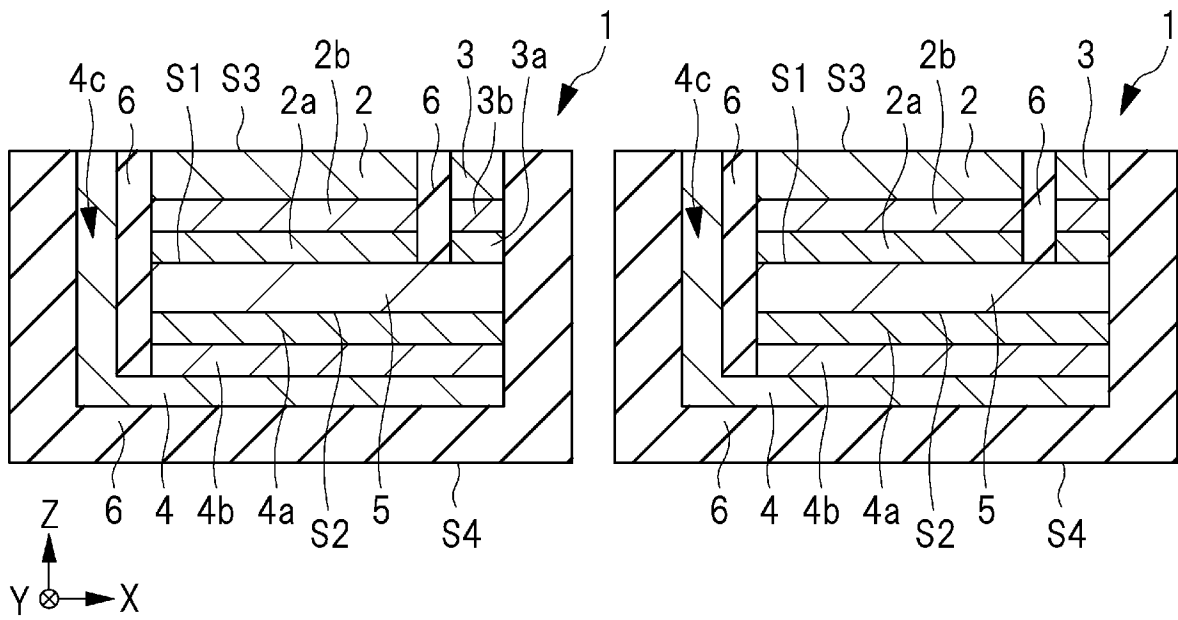
[図10]

図 10



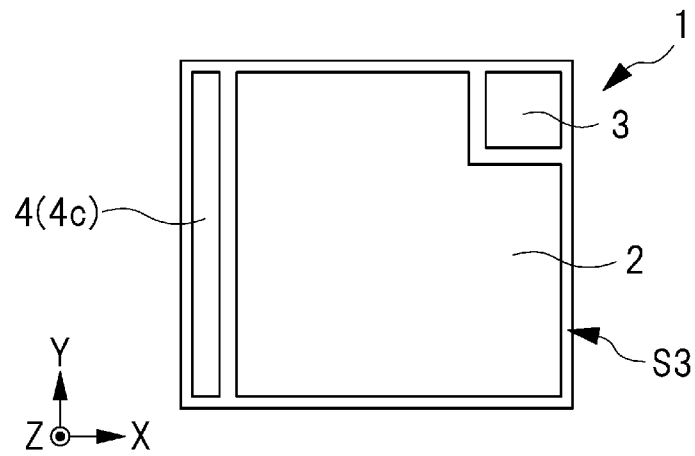
[図11]

図 11



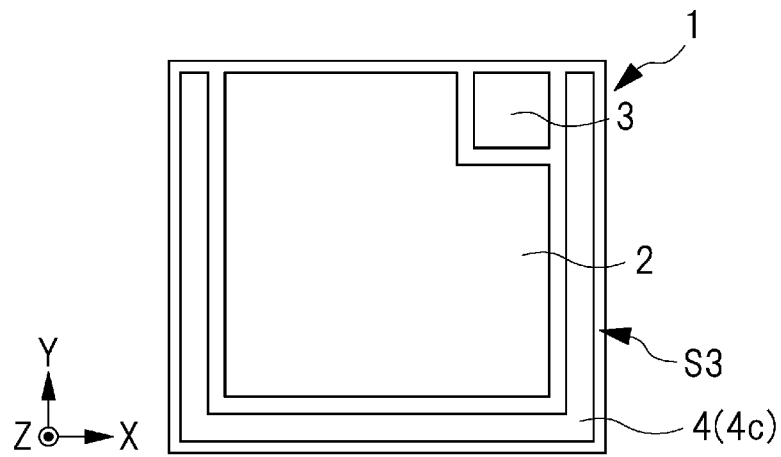
[図12]

図 12



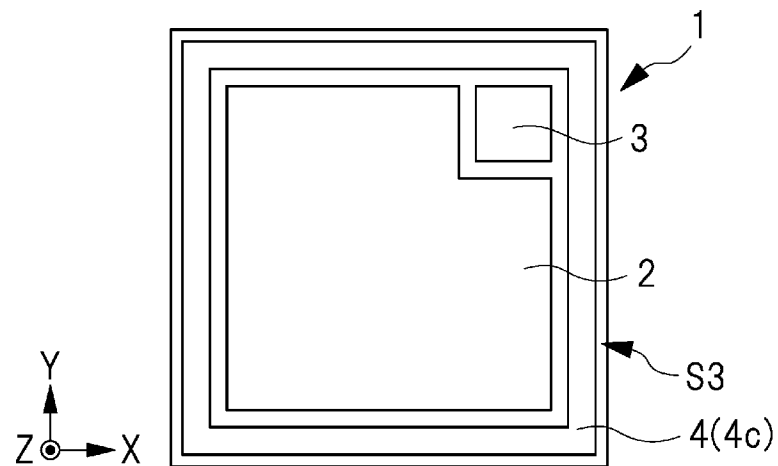
[図13]

図 13

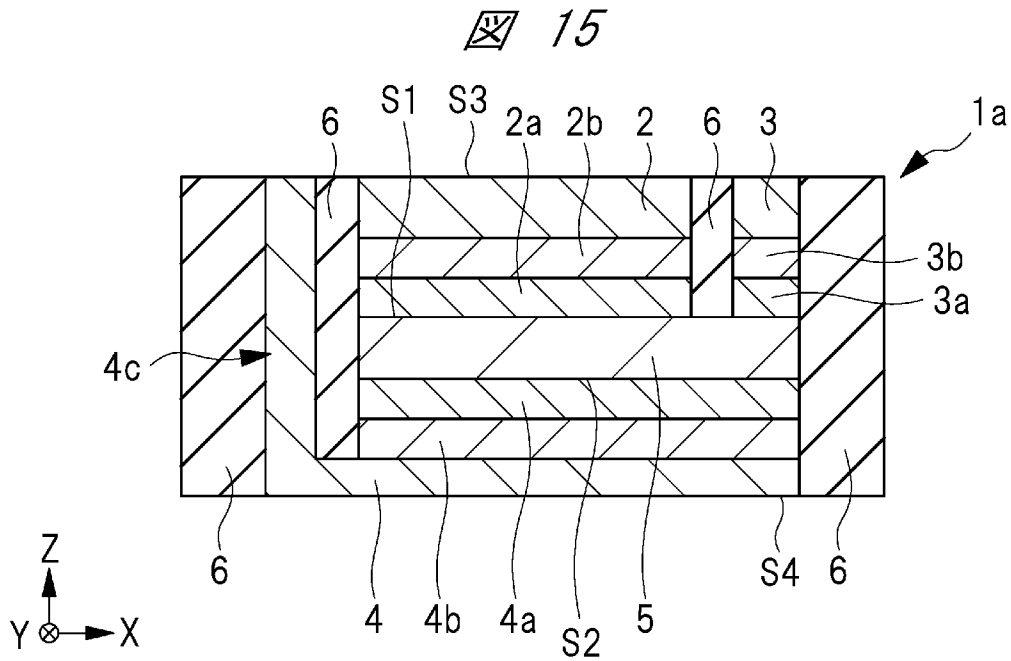


[図14]

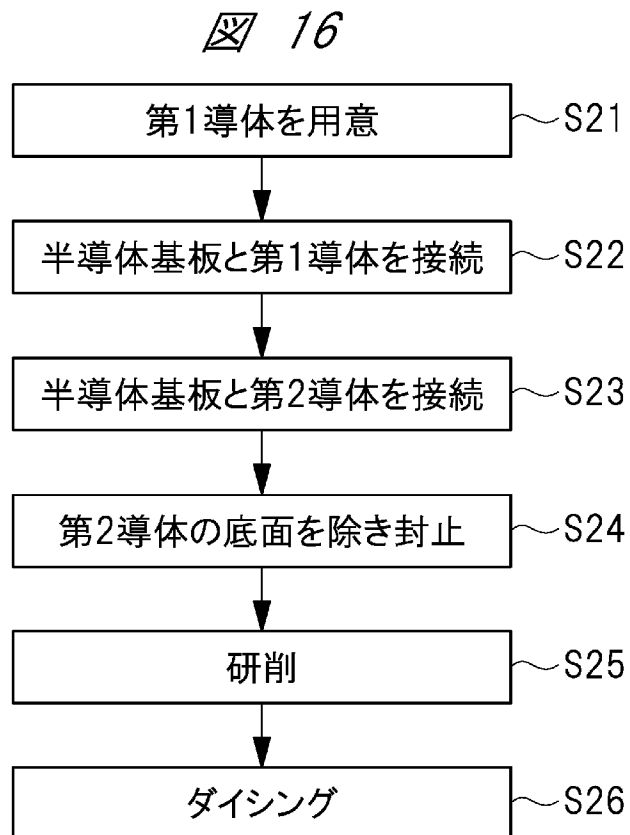
図 14



[図15]



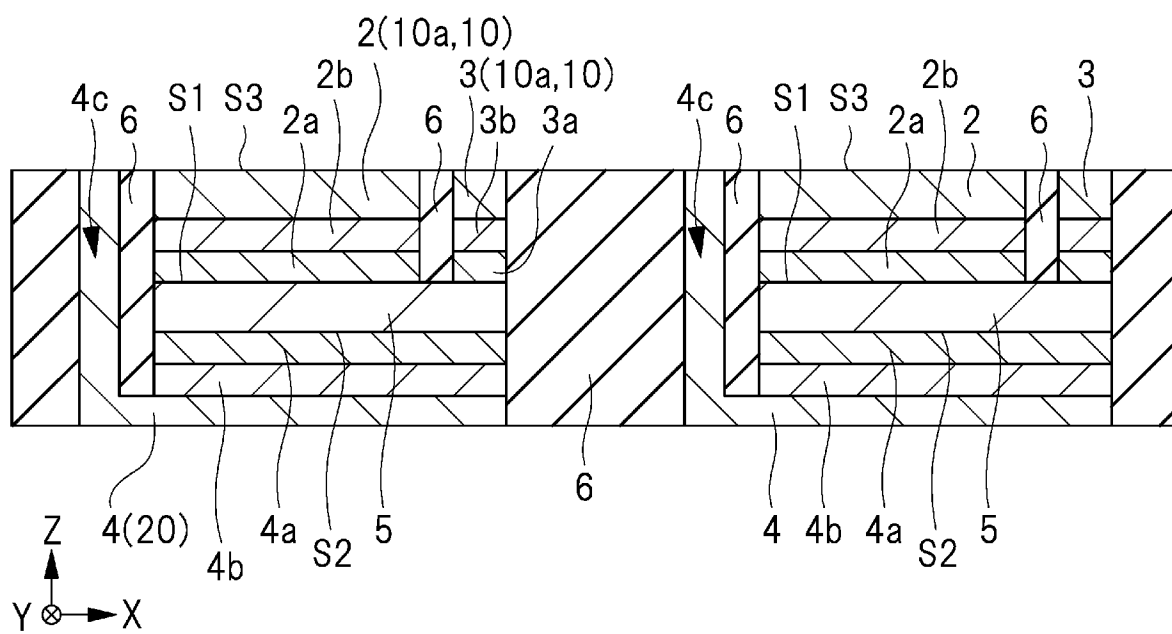
[図16]



17

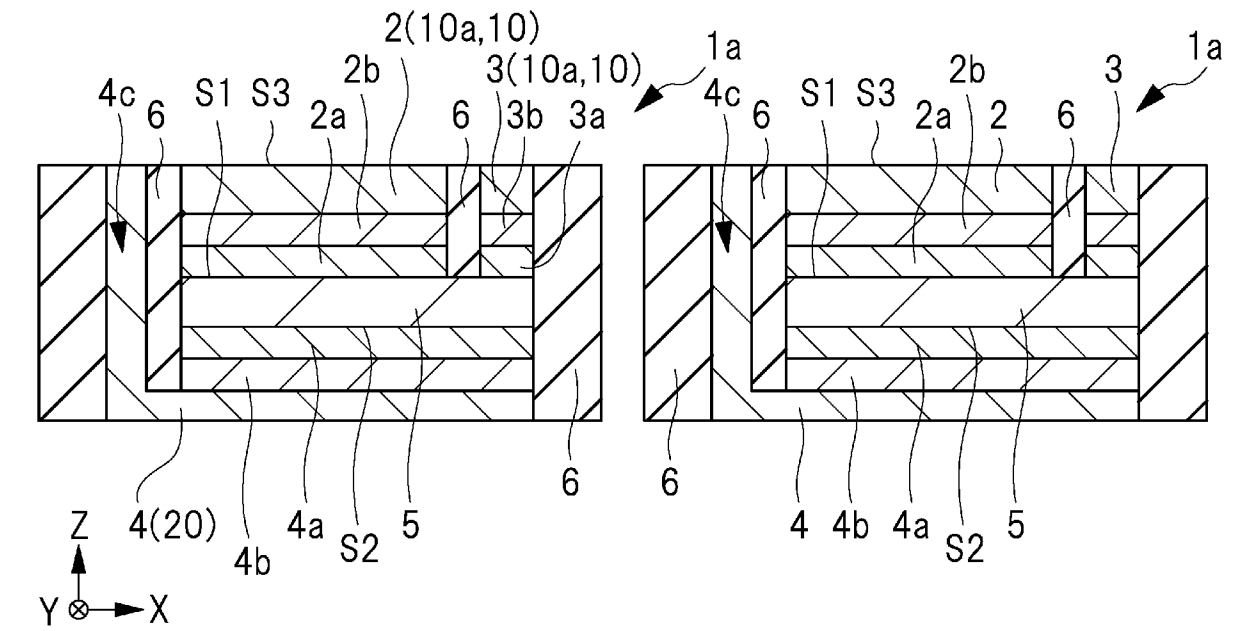


 18



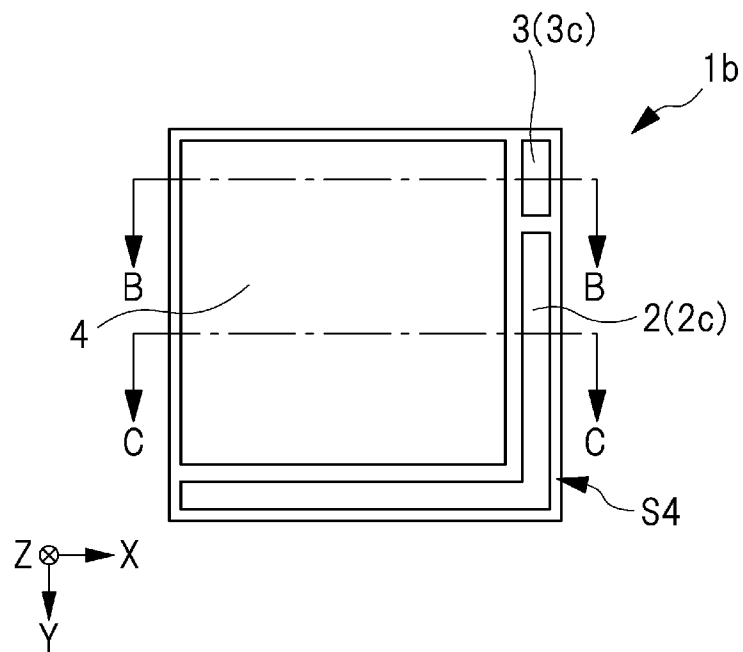
[図19]

図 19



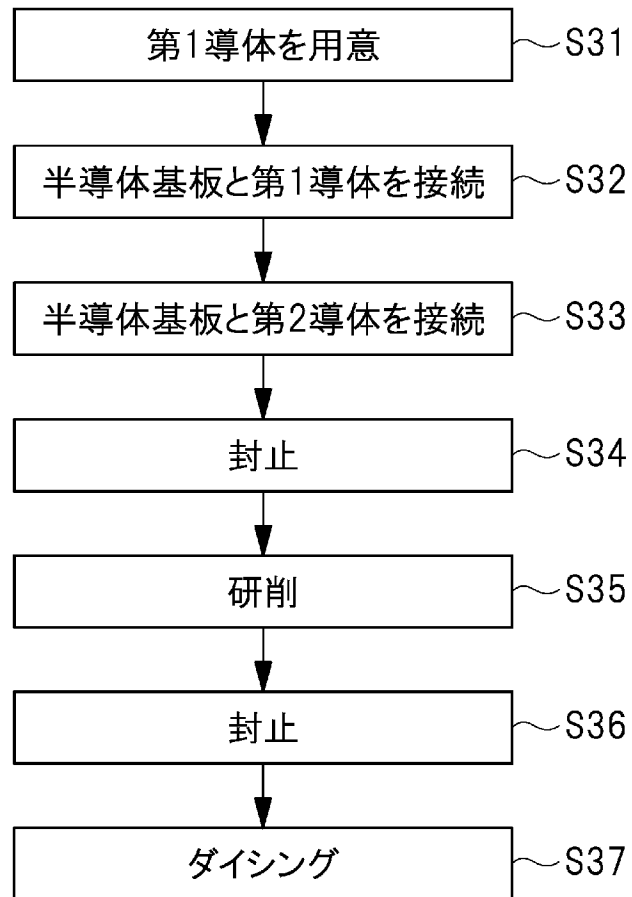
[図20]

図 20



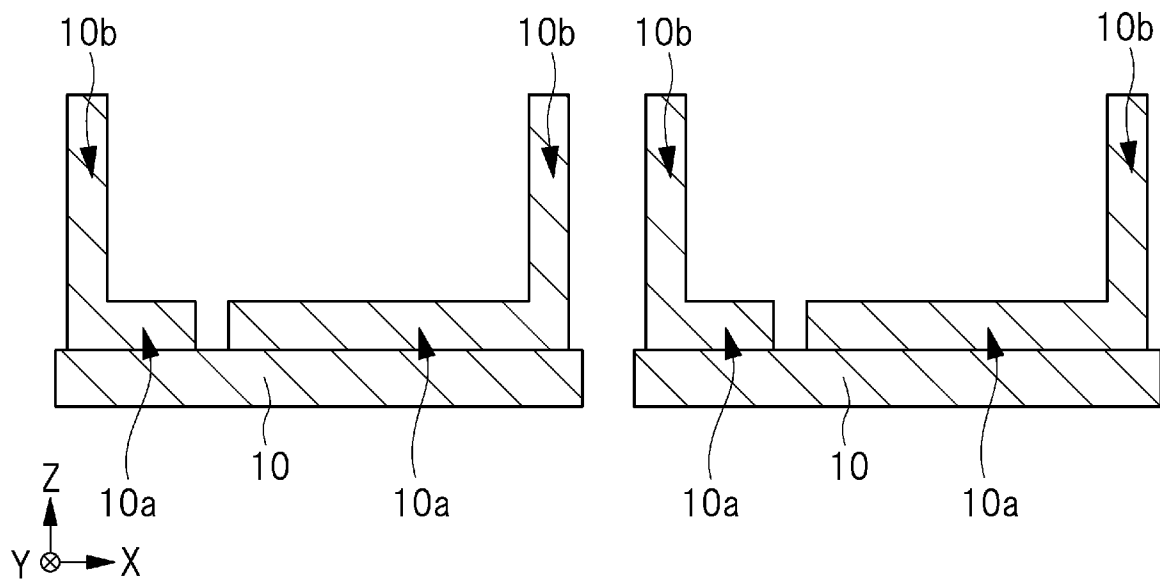
[図23]

図 23



[図24]

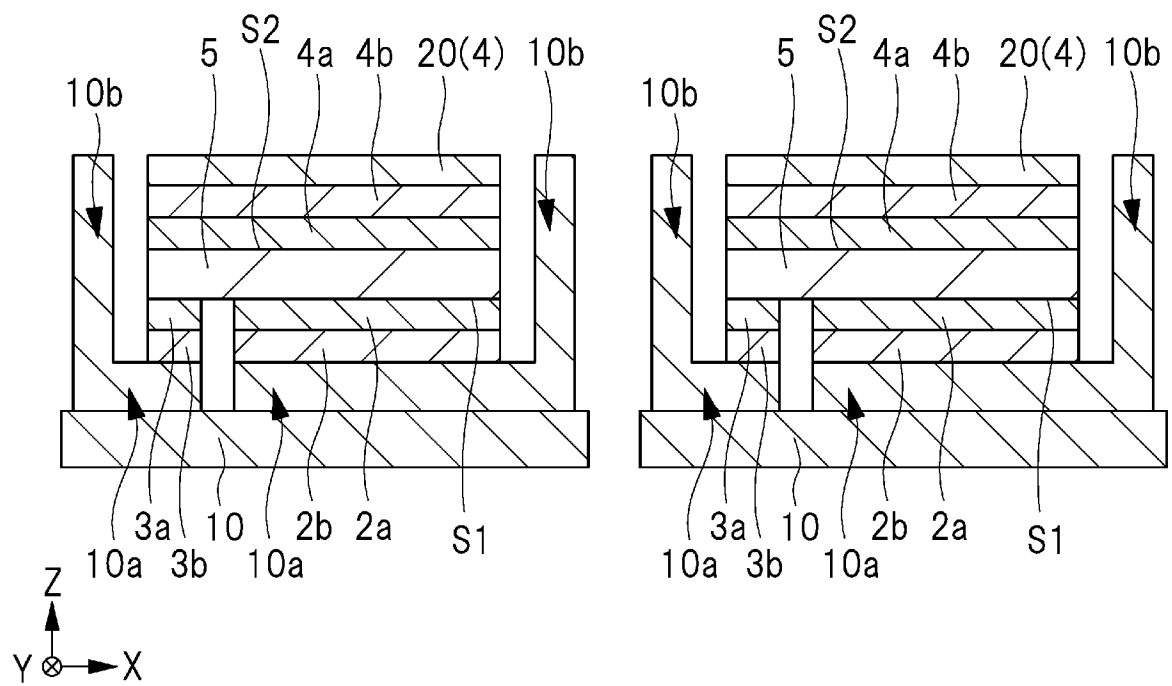
図 24



 25

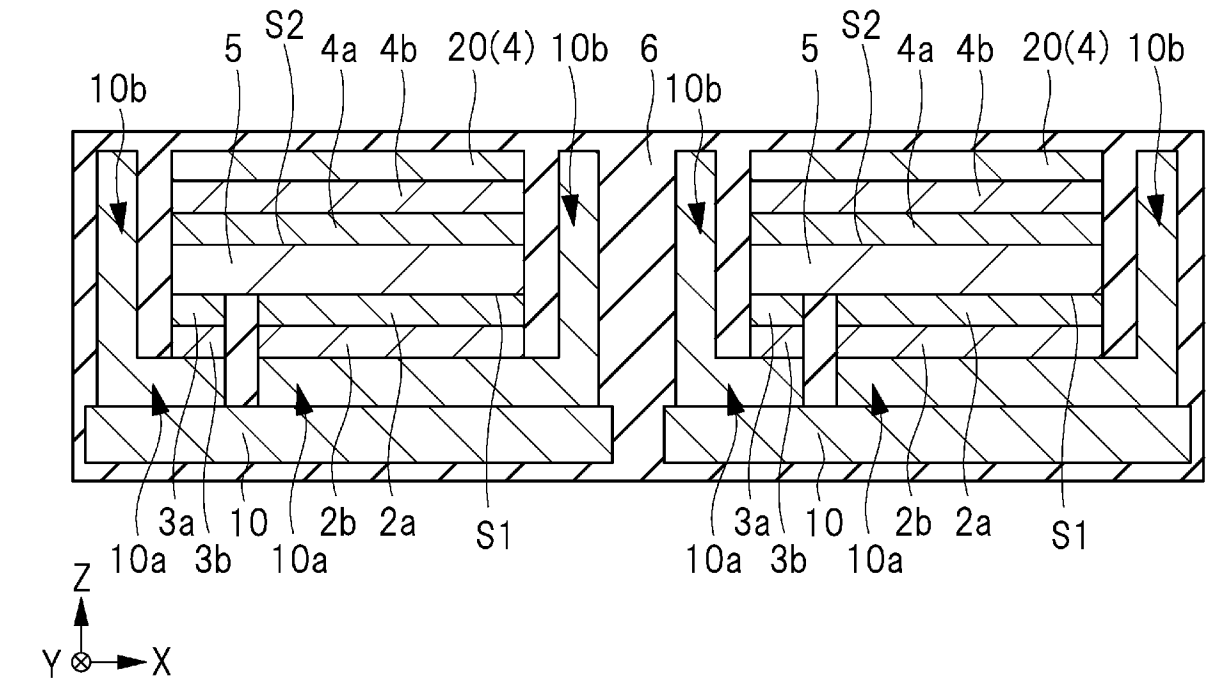


 26



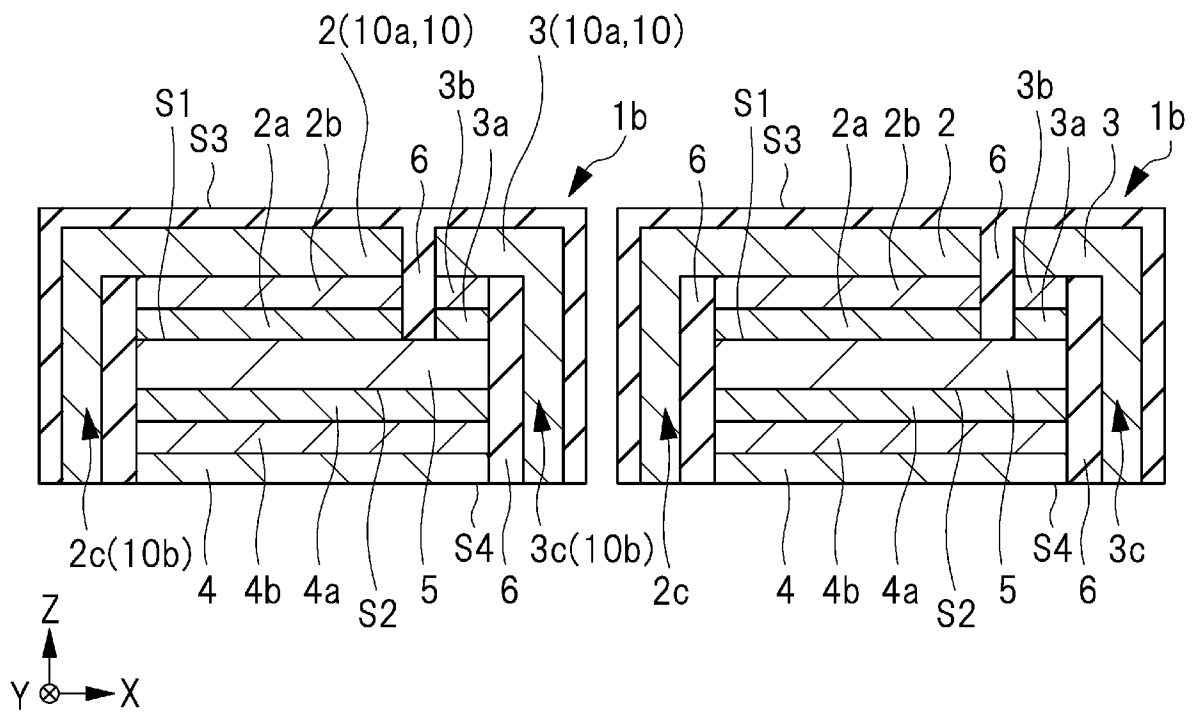
[図27]

図 27



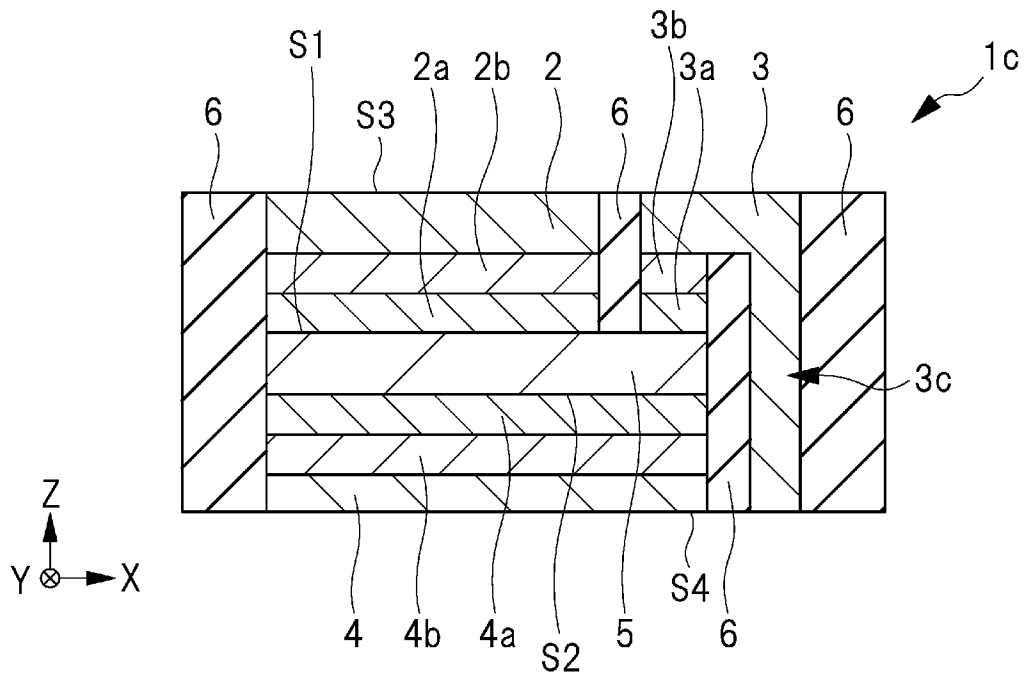
[図28]

図 28



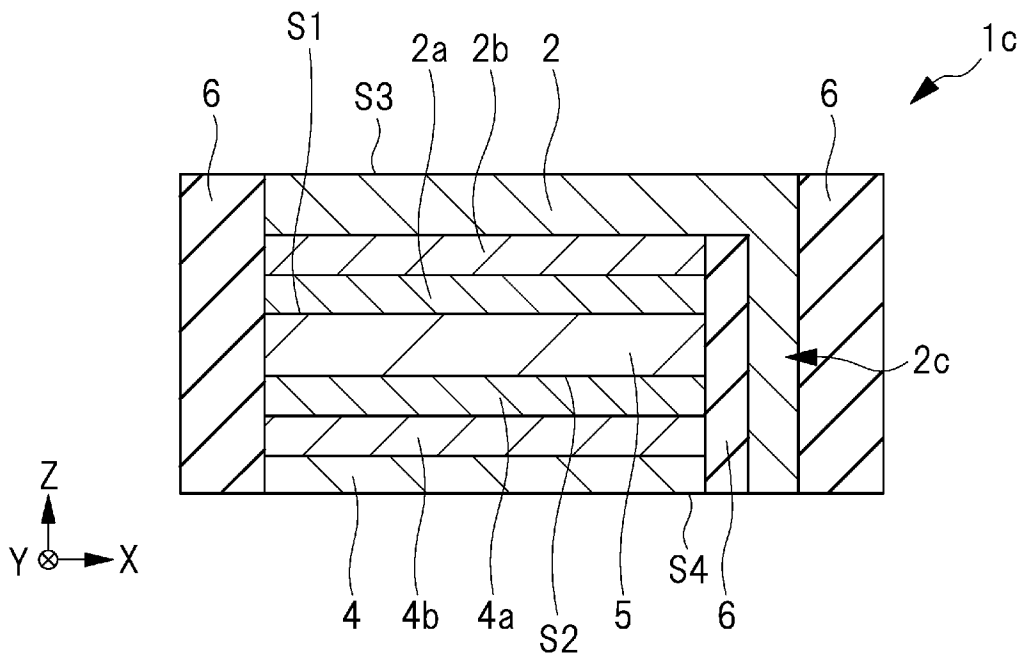
[図29]

図 29



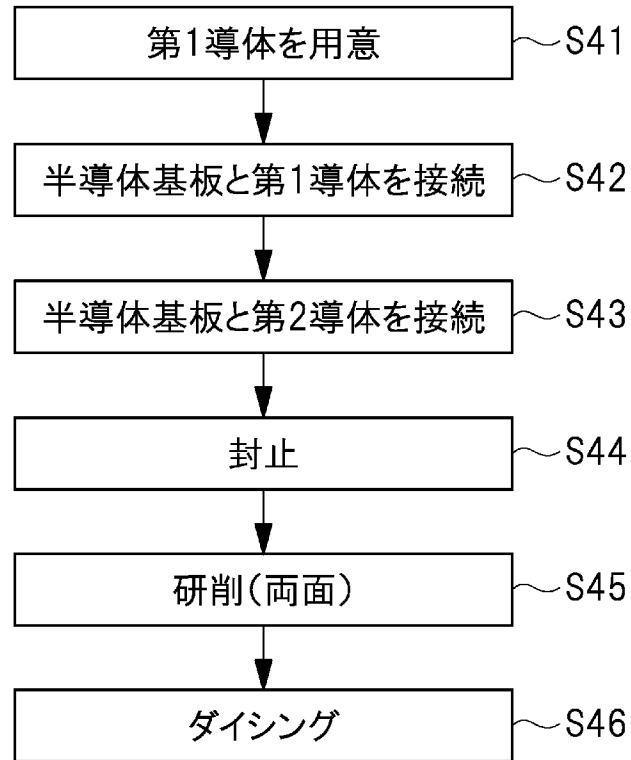
[図30]

図 30



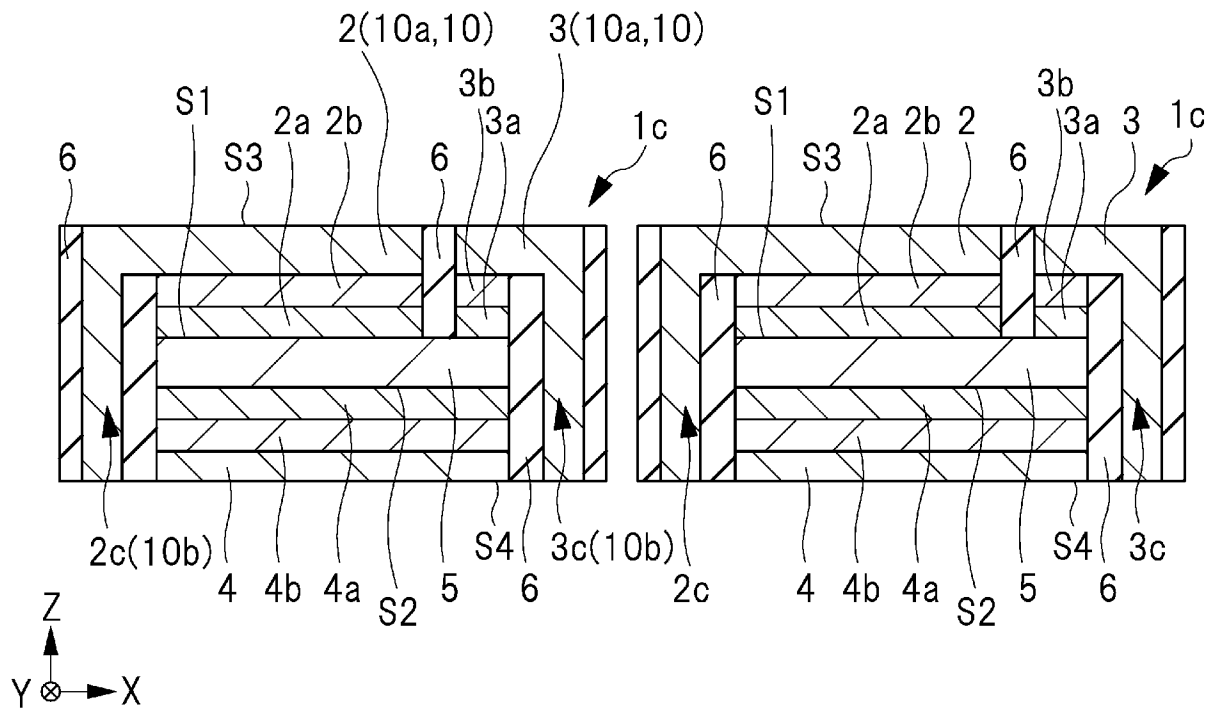
[図31]

図 31



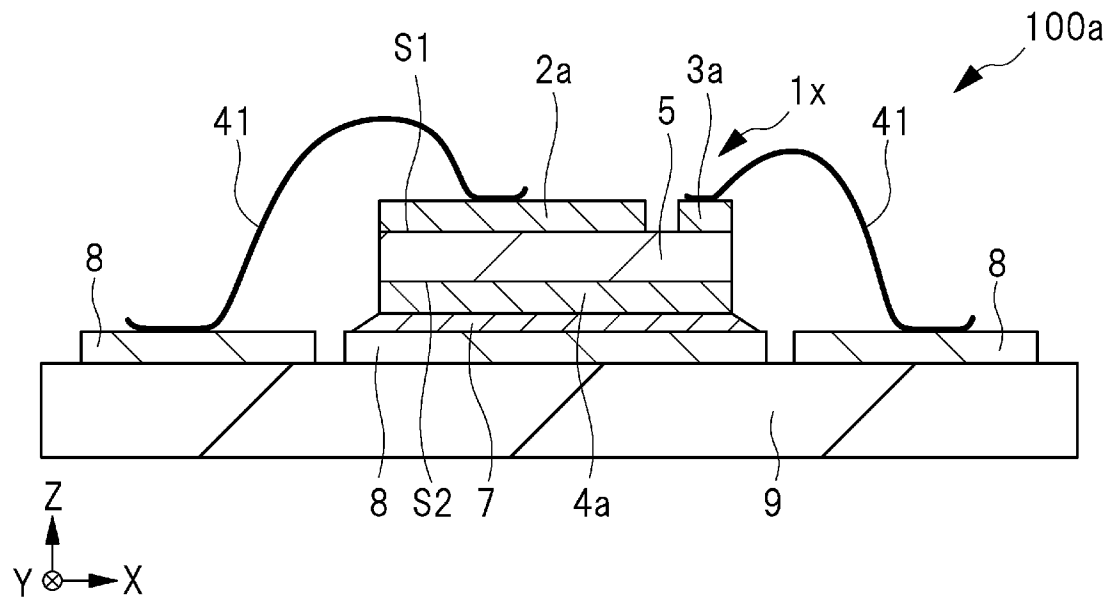
[図32]

図 32



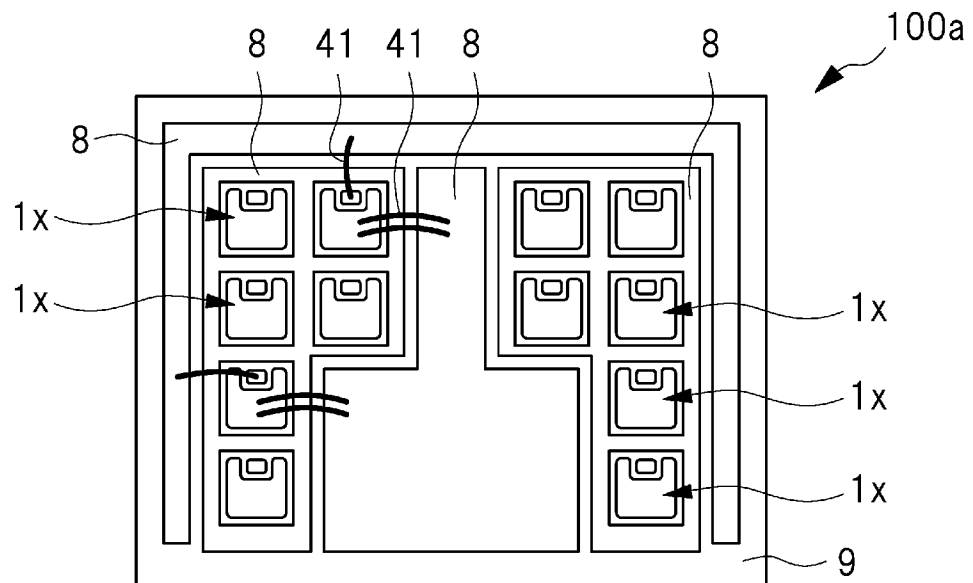
[図33]

図 33



[図34]

図 34



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/042897

A. CLASSIFICATION OF SUBJECT MATTER**H01L 25/07**(2006.01)i; **H01L 23/48**(2006.01)i; **H01L 25/18**(2023.01)i

FI: H01L25/04 C; H01L23/48 P

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07; H01L23/48; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2024
 Registered utility model specifications of Japan 1996-2024
 Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/122527 A1 (HITACHI ENERGY SWITZERLAND AG) 16 June 2022 (2022-06-16) p. 4, line 17 to p. 5, line 11, p. 17, line 15 to p. 20, line 11, p. 20, lines 27-31, p. 22, lines 4-10, fig. 1, 4, 5	1-4
Y		1-2, 4-12
A		13-14
Y	WO 2006/068641 A1 (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 29 June 2006 (2006-06-29) paragraphs [0021]-[0025], fig. 1A	5-7
Y	JP 2009-188376 A (TOYOTA JIDOSHA KABUSHIKI KAISHA) 20 August 2009 (2009-08-20) paragraphs [0051]-[0058], fig. 21-25	1-2, 4, 8-12
Y	JP 2022-048197 A (ROHM CO., LTD.) 25 March 2022 (2022-03-25) paragraphs [0047]-[0049], fig. 12-14	10

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 February 2024

Date of mailing of the international search report

13 February 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/042897**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-066813 A (RENESAS TECHNOLOGY CORP.) 09 March 2006 (2006-03-09) paragraphs [0011]-[0021], fig. 1-4	1, 3-4
A	WO 2018/198990 A1 (ROHM CO., LTD.) 01 November 2018 (2018-11-01) entire text, all drawings	1-14
A	EP 4020547 A2 (STMICROELECTRONICS S. R. L.) 29 June 2022 (2022-06-29) entire text, all drawings	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/042897

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/122527	A1	16 June 2022	JP 3244876 U paragraphs [0019]-[0022], [0085]-[0101], [0104], [0111], fig. 1, 4, 5	
				EP 4012753 A1	
WO	2006/068641	A1	29 June 2006	US 2010/0000772 A1 paragraphs [0022]-[0026], fig. 1A	
				CN 101073152 A	
JP	2009-188376	A	20 August 2009	(Family: none)	
JP	2022-048197	A	25 March 2022	US 2018/0182953 A1 paragraphs [0109]-[0111], fig. 12-14	
				CN 108258112 A	
JP	2006-066813	A	09 March 2006	US 2006/0043618 A1 paragraphs [0034]-[0045], fig. 1-4b	
WO	2018/198990	A1	01 November 2018	US 2020/0144209 A1 entire text, all drawings	
				CN 110546757 A	
EP	4020547	A2	29 June 2022	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 25/07(2006.01)i; H01L 23/48(2006.01)i; H01L 25/18(2023.01)i

FI: H01L25/04 C; H01L23/48 P

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L25/07; H01L23/48; H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2022/122527 A1 (HITACHI ENERGY SWITZERLAND AG) 16.06.2022 (2022 - 06 - 16) 第4頁第17行-第5頁第11行, 第17頁第15行-第20頁第11行, 第20頁第27-31行, 第22頁第4-10行, 図1, 4-5	1-4
Y		1-2, 4-12
A		13-14
Y	WO 2006/068641 A1 (SEMICONDUCTOR COMPONENTS INDUSTRIES, L.L.C.) 29.06.2006 (2006 - 06 - 29) 段落 [0021] - [0025], 図1A	5-7
Y	JP 2009-188376 A (トヨタ自動車株式会社) 20.08.2009 (2009 - 08 - 20) 段落 [0051] - [0058], 図21-25	1-2, 4, 8-12
Y	JP 2022-048197 A (ローム株式会社) 25.03.2022 (2022 - 03 - 25) 段落 [0047] - [0049], 図12-14	10
X	JP 2006-066813 A (株式会社ルネサステクノロジ) 09.03.2006 (2006 - 03 - 09) 段落 [0011] - [0021], 図1-4	1, 3-4

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

06.02.2024

国際調査報告の発送日

13.02.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

高橋 優斗 5F 5585

電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2018/198990 A1 (ローム株式会社) 01.11.2018 (2018 - 11 - 01) 全文, 全図	1-14
A	EP 4020547 A2 (STMICROELECTRONICS S.R.L.) 29.06.2022 (2022 - 06 - 29) 全文, 全図	1-14

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/042897

引用文献			公表日	パテントファミリー文献	公表日
WO	2022/122527	A1	16.06.2022	JP 3244876 U 段落 [0019] - [0022], [0085] - [0101], [0104], [0111], 図1, 4-5 EP 4012753 A1	
WO	2006/068641	A1	29.06.2006	US 2010/0000772 A1 段落 [0022] - [0026], 図1A CN 101073152 A	
JP	2009-188376	A	20.08.2009	(ファミリーなし)	
JP	2022-048197	A	25.03.2022	US 2018/0182953 A1 段落 [0109] - [0111], 図12-14 CN 108258112 A	
JP	2006-066813	A	09.03.2006	US 2006/0043618 A1 段落 [0034] - [0045], 図1-4b	
WO	2018/198990	A1	01.11.2018	US 2020/0144209 A1 全文, 全図 CN 110546757 A	
EP	4020547	A2	29.06.2022	(ファミリーなし)	