



본 발명은 산화물 반도체 박막 트랜지스터와 복층의 전하 축적층을 이용하여 투명하면서도 유연한 메모리 소자를 구현할 수 있는 비휘발성 메모리 셀에 관한 것으로, 투명한 기판; 상기 투명한 기판 상에 형성되고 산화물 반도체 물질을 이용하고 채널 형성 영역을 가지는 산화물 반도체층과 게이트 전극으로 구성되는 산화물 반도체 트랜지스터; 및 상기 게이트 전극과 상기 산화물 반도체층 사이의 게이트 절연층 상에 복층 구조로 형성되고, 상기 복층 중 적어도 하나의 층은 다른 층에 비해 도전성이 낮은 물질로 구성되어 전하를 축적하는 전하 축적층을 포함한다.

명세서

발명의 명칭: 투명 유연 메모리

기술분야

- [0001] 본 발명은 투명 유연 메모리에 관한 것으로, 더욱 자세하게는 산화물 반도체 박막 트랜지스터와 복층의 전하 축적층을 이용하여 투명하면서도 유연한 메모리 소자를 구현할 수 있는 메모리에 관한 것이다.

[0002]

배경기술

- [0003] 현재까지의 전자 산업은 실리콘 소재를 기반으로 한 소재 및 소자 기술의 진보를 통해 발전해 왔다. 이 분야를 구성하는 전자 부품은 수많은 실리콘 단위 소자로 이루어져 있으며, 부품의 성능을 향상시키기 위해 소자의 미세화를 통해 가급적 많은 수의 소자를 단위 면적에 집적하는 방법을 채용하고 있다.
- [0004] 최근 전자 산업의 기술 발전 경향은 과거와는 조금 다른 방향으로 전개되고 있음을 알 수 있는데, 상기 기술한 실리콘 전자의 경향을 추종하는 분야와 지금까지는 존재하지 않던 새로운 개념이 도입된 신규 분야가 공존하는 형태로 발전하기 시작한 점이다.
- [0005] 새로운 개념이 도입된 신규 분야란 구체적으로 다음과 같은 특징을 가진다. 첫 번째는 기존의 실리콘 전자가 가지던 단단하고 깨지기 쉽다는 성질을 벗어나, 유연성을 가진 기판 위에 전자 소자 및 시스템을 제작하는 경향이다. 두 번째는 기존의 실리콘 기판 위에 또는 실리콘 소재를 기반으로 제작되는 소자가 가시광 영역에서 불투명하다는 성질을 벗어나, 투명한 전자 소자 및 시스템을 제작하는 경향이다. 이러한 두 가지 경향은 최근 소비자들의 요구가 점차 세분화되고 다양화되면서, 기존의 소자 개념으로는 대응이 불가능한 상황이 발생하고 있다는 점 및 개인 휴대기기가 급속하게 증가하고 멀티미디어 콘텐츠가 탑재된 세트 어플리케이션이 속속 등장하고 있다는 점과 밀접한 관련이 있다.
- [0006] 즉, 지금까지 고성능을 달성하기 위해 발전해 온 실리콘 전자에 대한 요구 이외에, 저비용, 일회용, 휴대성, 디자인 지향, 웰빙 지향 등과 같은 키워드를 실현하기 위한 새로운 전자에 대한 개념이 요청되고 있는 상황이다.
- [0007] 상기 첫 번째 분야는 유연 기판을 사용한다는 점에서 플렉서블 전자로 언급되고 있으며, 상기 두 번째 분야는 시스템이 투명하다는 점에서 투명 전자로 언급되고 있다. 최근 이 두 가지 분야의 기술 발전이 학계 및 산업계에서 매우 빠른 속도로 이루어지고 있으며, 센서, 디스플레이, 전자회로, 전지 등 다양한 어플리케이션 실현을 목표로 연구 개발이 진행 중이다.
- [0008] 상기 언급한 투명 전자 분야의 경우, 투명 박막 트랜지스터 기술 및 상기 소자를 구동회로로 사용하는 투명 디스플레이 기술이 빠른 속도로 개발되어 실용화를

위한 기술 성숙도 제고와 타겟 어플리케이션의 고안 단계에 진입해 있는 상태이며, 상기 투명 트랜지스터를 이용하여 투명 전자회로를 다양한 기판 위에 구현하기 위한 기술개발이 진행되고 있는 상황이다.

[0009] 이와 같이 정보의 표시와 처리를 투명한 소자를 이용하여 구현하고자 하는 기술 개발이 비교적 활발하게 진행되고 있는 반면, 정보의 저장을 위한 메모리 소자의 경우, 관련 기술의 개발이 매우 뒤쳐진 형편이다. 물론 정보 저장 소자인 메모리 소자의 경우, 시스템 외부에 장착하여 소정의 기능을 실현할 수 있기 때문에 정보 표시 및 처리 소자에 비해 투명성의 확보 필요성이 상대적으로 적은 것은 사실이나, 만약 적절한 성능을 갖는 비휘발성 투명 메모리 소자를 시스템 내부에 탑재하여 제작할 수 있다면, 소자 기능 운용 및 소비전력 측면은 물론 실장 측면에서의 저비용화를 촉진시킴으로써 매우 새로운 기능을 갖는 시스템이 출현할 수 있을 것으로 기대된다.

[0010] 이와 같은 요구에 따라 최근 산화물 반도체를 이용한 비휘발성 메모리 소자가 제안되고 있다. 일본 특허공개공보 2011-124563호에는 채널 형성 영역을 구성하는 반도체 재료로 산화물 반도체를 이용한 비휘발성 메모리 소자가 제안되어 있다. 2011-124563호에 제안된 비휘발성 메모리 소자는 제어 게이트와, 상기 제어 게이트 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 상기 제어 게이트가 겹치는 위치에 형성되는 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 상기 전하 축적층과 겹치는 위치에 형성되고, 산화물 반도체 재료를 이용해 형성되며, 채널 형성 영역을 가지는 산화물 반도체층을 포함한다.

[0011] 하지만, 이와 같은 2011-124563에 제안된 비휘발성 메모리 소자는 전하 축적층이 단층으로 구성되어 있어, 전하를 효과적으로 주입하는데 긴 시간이 필요할 뿐만 아니라 주입된 전하를 소거하고자 하는 경우 매우 큰 소거 전압을 인가하지 않으면 주입된 전하가 방출되지 않는 문제점이 있다.

[0012] 또한 일본 특허공개공보 2011-124563호는 전하 축적층을 갖는 메모리 트랜지스터와 상기 메모리 트랜지스터를 구동하기 위한 구동 트랜지스터가 동일 평면상에 형성된다. 이와 같이 2011-124563호에 제안된 비휘발성 메모리 소자는 메모리 트랜지스터와 구동 트랜지스터가 동일 평면상에 존재하기 때문에 집적도 측면에서 많은 면적을 차지하는 문제점이 있다. 또한 2011-124563에 제안된 비휘발성 메모리 소자는 전하 축적층이 단층으로 구성되어 있어, 전하를 효과적으로 주입하는데 긴 시간이 필요할 뿐만 아니라 주입된 전하를 소거하고자 하는 경우 매우 큰 소거 전압을 인가하지 않으면 주입된 전하가 방출되지 않는 문제점이 있다.

[0013] 한편, 휘발성 메모리 소자인 DRAM과 비휘발성 메모리 소자인 플래시 메모리의 단점들을 극복하고 장점들을 극대화시킬 수 있는 차세대 메모리 소자에 관한 연구가 활발히 진행되고 있다. 예를 들어, 물질의 상변화시에 저장 변화를 이용하는 PRAM (Phase change Random Access Memory), 강자성체의 거대

자기 저항 변화를 이용하는 MRAM (Magnetic Random Access Memory), 강유전체의 분극현상을 이용하는 FRAM (Ferroelectric Random Access Memory), 물질의 저항 변화 특성을 이용하는 ReRAM (Resistive Random Access Memory 또는 ReRAM) 등이 폭 넓게 연구되고 있다.

- [0014] 여기서 저항 변화 메모리(ReRAM)는, 일반적으로 금속 산화물을 이용하여 금속/금속 산화물/금속(MIM)의 구조를 갖고 있으며, 적당한 전기적 신호를 금속 산화물에 인가하면 금속 산화물의 저항이 큰 상태에서 저항이 작은 상태, 또는 그 반대의 상태로 바뀌게 되어 메모리 소자로서의 특성이 나타나게 된다.
- [0015] 그런데, 일반적으로 저항 변화 메모리(ReRAM)은 메모리 기판으로 단결정 실리콘 기판 및 SOI 기판 등이 이용되며, 이와 같은 기판을 이용하는 메모리의 경우에 투명하지 않기 때문에 투명 디스플레이 등에 적용될 수 있는 투명 전자 소자를 제작할 수 없었다.
- [0016] 이와 같은 문제점을 해결하기 위해 대한민국 특허공보 10-1016266호에는 투명한 기판 위에 순차적으로 적층된 하부 투명 전극층, 투명한 저항 변화 물질층으로 형성된 데이터 스토리지 영역 및 상부 투명 전극층으로 구성된 투명한 저항 변화 메모리 소자가 제안되어 있다.
- [0017] 특허 10-1016266호에 제안된 저항 변화 메모리는 투명한 저항 변화 물질층으로 가시광선 투과성을 가지며 투과율이 80% 이상이 되도록 전이 금속 산화물, 망간 산화물 또는 강유전체 물질 등을 적층하여 구성한다.
- [0018] 또한 하부 투명 전극층 및 상부 투명 전극층은 투명전극으로 많이 사용되는 산화인듐주석(ITO) 또는 가시광선 투과율이 80% 이상이며 전기 전도도가 우수한 물질로서 투명 전도성 산화물(transparent conducting oxide, TCO), 투명 전도성 폴리머 또는 투명 전도성 탄소나노튜브(carbon nano tube, CNT) 등으로 구성된다. 여기서 투명 전도성 산화물로는 산화아연(Zinc Oxide, ZnO), 산화주석(Tin Oxide, SnO₂), 산화인듐아연(Indium Zinc Oxide, IZO), 산화인듐주석아연(Indium Tin Zinc Oxide, ITZO) 또는 산화인듐주석(Indium Tin Oxide, ITO)과 같은 물질을 이용할 수 있으며, 전도성 폴리머로 poly(3,4-ethylenedioxythiophene)-poly(styrene sulfonate)인 PEDOT-PSS, 폴리 아닐린(PANi)등이 사용될 수 있다.
- [0019] 그런데, 이와 같은 대한민국 특허 10-1016266호는 투명한 하부 전극층과 투명한 저항 변화 물질층과 투명한 상부 전극층으로 구성되어 투명한 저항 변화 메모리를 구성할 수 있지만, 유연한 플라스틱 기판에 저항 변화 메모리를 형성하는 경우 유연한 동작에 의해 하부 전극층 또는 상부 전극층이 손상되는 문제점이 발생될 수 있다. 다시 말해, 종래 기술은 투명성은 보장할 수 있지만 유연성 측면에서 전극이 손상되는 문제점이 발생될 수 있다.

[0020]

발명의 요약

기술적 과제

- [0021] 따라서 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 산화물 반도체 박막 트랜지스터와 복층의 전하 축적층을 이용하여 투명하면서도 유연한 메모리 소자를 구현할 수 있는 비휘발성 메모리 셀을 제공하는데 일 목적이 있다.
- [0022] 또한 본 발명은 구동 트랜지스터와 전하 축적층을 갖는 메모리 트랜지스터가 적층 구조로 형성되고, 산화물 반도체 채널층을 구동 트랜지스터와 메모리 트랜지스터가 공통으로 이용하여 집적도를 향상시키면서 투명하고 유연한 메모리 소자를 구현할 수 있는 비휘발성 메모리 셀 및 그 제조 방법을 제공하는데 다른 목적이 있다.
- [0023] 또한 본 발명은 산화물 반도체를 이용하는 투명 저항성 변화 메모리에서 전극을 개선하여 유연한 제품에 적용되는 경우에도 가시광에 대한 투명도를 유지하면서 전극이 손상되지 않는 투명 유연 저항 변화 메모리 소자를 제공하는데 또 다른 목적이 있다.
- [0024] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있으며, 본 발명의 실시예에 의해 보다 분명하게 알게 될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

[0025]

과제 해결 수단

- [0026] 상기 목적을 달성하기 위한 본 발명의 일 실시예는, 투명한 기판; 상기 투명한 기판 상에 형성되고 산화물 반도체 물질을 이용하고 채널 형성 영역을 가지는 산화물 반도체층과 게이트 전극으로 구성되는 산화물 반도체 트랜지스터; 및 상기 게이트 전극과 상기 산화물 반도체층 사이의 게이트 절연층 상에 복층 구조로 형성되고, 상기 복층 중 적어도 하나의 층은 다른 층에 비해 도전성이 낮은 물질로 구성되어 전하를 축적하는 전하 축적층을 포함한다.
- [0027] 또한 상기 목적을 달성하기 위한 본 발명의 다른 실시예는, 투명한 기판 상에 형성된 제1 산화물 반도체층과, 상기 제1 산화물 반도체층 상에 형성된 제1 보조 절연막층과, 상기 제1 보조 절연막층 상에 형성된 제1 게이트 절연막층과, 상기 제1 게이트 절연막층 상에 형성된 복층 구조의 전하 축적층과, 상기 전하 축적층 및 상기 제1 게이트 절연막층 상에 형성된 제2 게이트 절연막층과, 상기 제2 게이트 절연막층 상에 형성된 제1 게이트 전극을 포함하는 메모리 트랜지스터; 및 상기 기판 상에 형성된 제2 산화물 반도체층과, 상기 제2 산화물 반도체층 상에 형성된 제2 보조 절연막층과, 상기 제2 게이트 절연막층 상에 형성된 제2 게이트 전극을 포함하는 구동 트랜지스터를 포함한다.
- [0028] 바람직하게는 상기 전하 축적층은, 게이트 절연층 상에 형성되고 도전성

물질로 형성되는 제1 층; 상기 제1 층 상에 형성되고 상기 제1 층보다 도전성이 낮은 물질로 형성되는 제2 층; 및 상기 제2 층 상에 형성되고 상기 제1 층과 동일한 도전성 물질로 형성되는 제3 층을 포함한다.

[0029] 바람직하게는 상기 제1 층 및 제3 층은 전극층으로 이용되고 산화물 반도체의 조성물로 구성되고, 상기 제2 층은 전하 축적층으로 이용되고 상기 제1 및 제3 층보다 낮은 전도성 또는 절연성을 갖는 산화물 반도체 박막층으로 구성된다.

[0030] 상기 전하 축적층에는 다치 정보를 저장할 수 있는데, 상기 게이트 전극에 인가되는 프로그래밍 전압 펄스의 총 인가 시간을 조절하거나, 상기 게이트 전극에 인가되는 프로그래밍 전압 펄스의 폭을 변경하거나, 상기 게이트 전극에 인가되는 프로그래밍 전압 펄스의 크기를 조절하는 방법으로 상기 전하 축적층에 다치 정보를 저장할 수 있다.

[0031] 또한 본 발명에 따른 비휘발성 메모리 셀은, 투명한 기판; 상기 투명한 기판 상에 형성된 제1 게이트 전극; 상기 제1 게이트 전극 상부의 제1 게이트 절연막층 상에 형성된 소스 및 드레인 전극; 상기 소스 및 드레인 전극 사이에 형성되고 채널이 형성된 산화물 반도체 박막; 상기 산화물 반도체 박막 상에 형성된 보조 절연막; 상기 소스 및 드레인 전극과 상기 산화물 반도체 박막 상부의 제2 게이트 절연막층 상에 형성된 제2 게이트 전극; 및 적어도 상기 제1 게이트 전극과 상기 산화물 반도체 박막 사이 또는 상기 제2 게이트 전극과 상기 산화물 반도체 박막 사이의 상기 게이트 절연막층 내에 위치하여 전하를 축적하는 전하 축적층을 포함한다.

[0032] 상기 목적을 달성하기 위한 본 발명에 따른 메모리 트랜지스터와 구동 트랜지스터를 갖는 비휘발성 메모리 셀의 제조 방법은, 투명한 기판 상에 구동 트랜지스터를 위한 제1 게이트 전극을 형성하는 단계; 상기 제1 게이트 전극을 감싸는 형태로 상기 기판 상에 제1 게이트 절연막층을 형성하는 단계; 상기 제1 게이트 절연막층 상에 채널 형성 영역을 사이에 두고 소스 및 드레인 전극을 형성하는 단계; 상기 소스 및 드레인 전극 사이에 산화물 반도체 박막으로 구성되는 채널층을 형성하는 단계; 상기 소스 및 드레인 전극과 상기 산화물 반도체 박막 상에 제2 게이트 절연막층을 형성하는 단계; 상기 제2 게이트 절연막층 상에 주입된 전하를 축적하거나 소거 가능한 전하 축적층을 형성하는 단계; 상기 전하 축적층을 감싸는 형태로 상기 제2 게이트 절연막층 상에 제3 게이트 절연막층을 형성하는 단계; 및 상기 제3 게이트 절연막층 상에 메모리 트랜지스터를 위한 제2 게이트 전극을 형성하는 단계를 포함한다.

[0033] 또한 상기 목적을 달성하기 위한 본 발명에 따른 메모리 트랜지스터와 구동 트랜지스터를 갖는 비휘발성 메모리 셀의 제조 방법은, 투명한 기판 상에 메모리 트랜지스터를 위한 제1 게이트 전극을 형성하는 단계; 상기 제1 게이트 전극을 감싸는 형태로 상기 기판 상에 제1 게이트 절연막층을 형성하는 단계; 상기 제1 게이트 절연막층 상에 주입된 전하를 축적하거나 소거 가능한 전하 축적층을 형성하는 단계; 상기 전하 축적층을 감싸는 형태로 상기 제1 게이트 절연막층

상에 제2 게이트 절연막층을 형성하는 단계; 상기 제2 게이트 절연막층 상에 채널 형성 영역을 사이에 두고 소스 및 드레인 전극을 형성하는 단계; 상기 소스 및 드레인 전극 사이에 산화물 반도체 박막으로 구성되는 채널층을 형성하는 단계; 상기 소스 및 드레인 전극과 상기 산화물 반도체 박막 상에 제3 게이트 절연막층을 형성하는 단계; 상기 제3 게이트 절연막층 상에 구동 트랜지스터를 위한 제2 게이트 전극을 형성하는 단계를 포함한다.

- [0034] 바람직하게는 상기 전하 축적층은, 상기 게이트 절연막층 상에 형성되고 도전성 물질로 형성되는 제1 층; 상기 제1 층 상에 형성되고 상기 제1 층보다 도전성이 낮은 물질로 형성되는 제2 층; 및 상기 제2 층 상에 형성되고 상기 제1 층과 동일한 도전성 물질로 형성되는 제3 층을 포함한다.
- [0035] 바람직하게는 상기 제1 층 및 제3 층은 전극층으로 이용되고 산화물 반도체의 조성물로 구성되고, 상기 제2 층은 전하 축적층으로 이용되고 상기 제1 및 제3 층보다 낮은 전도성 또는 절연성을 갖는 산화물 반도체 박막층으로 구성된다.
- [0036] 바람직하게는 상기 제1 및 제2 게이트 전극은 가시광에 투명한 도전성 산화물 전극층 또는 도전성 유기물 전극층으로 구성된다.
- [0037] 또한 본 발명에 따른 또 다른 실시예는, 투명하면서도 유연한 저항 변화 메모리 소자에 있어서, 투명한 하부 전극층; 상기 하부 전극층 상에 형성되고, 산화물 반도체 박막층으로 구성되어 데이터 스토리지로 기능하는 저항 변화 물질층; 상기 저항 변화 물질층 상에 형성된 상부 전극층을 포함하고, 상기 하부 전극층 및 상기 상부 전극층은, 투명성 및 유연성을 동시에 만족하기 위해 전도성 산화물 박막층과 전도성 유기물 박막층의 적층 구조로 형성된다.
- [0038] 또한 본 발명에 따른 또 다른 실시예는, 투명하면서도 유연한 저항 변화 메모리 소자에 있어서, 투명한 하부 전극층; 상기 하부 전극층 상에 형성되고, 산화물 반도체 박막층으로 구성되어 데이터 스토리지로 기능하는 저항 변화 물질층; 상기 저항 변화 물질층 상에 형성된 상부 전극층을 포함하고, 상기 하부 전극층 및 상기 상부 전극층은, 투명성 및 유연성을 동시에 만족하기 위해 제1 전도성 산화물 박막층과, 금속 박막층과, 제2 전도성 산화물 박막층의 복층 구조로 형성된다.
- [0039] 바람직하게는 상기 저항 변화 물질층은, 아연 산화물(ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O), 아연-주석 산화물(Zn-Sn-O), 아연-인듐 산화물(Zn-In-O) 중 어느 하나의 물질을 이용해 각 층별로 산소 조성비가 상이하도록 적층하여 형성되거나, 아연 산화물(ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O), 아연-주석 산화물(Zn-Sn-O), 아연-인듐 산화물(Zn-In-O) 중 적어도 두개의 서로 다른 물질을 적층하여 형성된다.
- [0040] 바람직하게는 상기 전도성 산화물 박막층은, 산화아연(Zinc Oxide, ZnO), 산화주석(Tin Oxide, SnO₂), 산화인듐아연(Indium Zinc Oxide, IZO), 산화인듐주석아연(Indium Tin Zinc Oxide, ITZO), 산화인듐주석(Indium Tin Oxide, ITO) 중 어느 하나를 이용해 형성된다.

[0041] 바람직하게는 상기 전도성 유기물 박막층은, PEDOT-PSS, 탄소나노튜브, 그래핀 중 어느 하나를 이용해 형성된다. 바람직하게는 상기 금속 박막층은, 은(Ag)을 이용해 형성된다.

[0042]

발명의 효과

[0043] 상기와 같은 본 발명은 산화물 반도체 박막층을 이용해 트랜지스터를 구성함으로써 저온 공정이 가능하고 저렴하게 제작이 가능하며, 복층의 전하 축적층 구조를 채용함으로써 메모리 박막 트랜지스터의 동작 전압을 낮출 수 있고, 동작 신뢰성을 향상시킬 수 있으며, 복층의 전하 축적층을 이용해 다치 정보를 저장할 수 있어 메모리의 집적도를 향상시킬 수 있는 효과가 있다.

[0044] 또한 본 발명은 구동 트랜지스터와 메모리 트랜지스터를 적층 구조로 형성하고 산화물 반도체 채널층을 구동 트랜지스터와 메모리 트랜지스터가 공통으로 사용하도록 함으로써 집적도를 향상시킬 수 있을 뿐만 아니라 산화물 반도체 박막층을 이용해 트랜지스터를 구성함으로써 저온 공정이 가능하고 저렴하게 제작이 가능하다.

[0045] 또한 본 발명은 메모리 트랜지스터에 복층의 전하 축적층 구조를 채용함으로써 메모리 박막 트랜지스터의 동작 전압을 낮출 수 있고, 동작 신뢰성을 향상시킬 수 있으며, 복층의 전하 축적층을 이용해 다치 정보를 저장할 수 있어 메모리의 집적도를 향상시킬 수 있는 효과가 있다.

[0046] 또한 본 발명은 저항 변화 메모리 소자를 산화물 반도체 박막층을 이용해 구성함으로써 저온 공정이 가능하고 저렴하게 제작이 가능한 투명하면서도 유연 메모리 소자를 실현할 수 있다. 또한 본 발명은 저항 변화를 이용하는 박막층 소재로서 산화물 반도체 조성물을 적용함으로써, 저항 변화 메모리 소자와 산화물 반도체를 트랜지스터의 채널층으로 사용하는 구동 소자와의 집적을 용이하게 하는 효과를 제공할 수 있다. 또한 본 발명은 하부 전극층과 상부 전극층을 전도성 산화물 박막층과 전도성 유기물 박막층의 적층 구조로 형성하거나, 전도성 산화물 박막층과 금속 박막층과 전도성 산화물 박막층의 적층 구조로 형성하여, 전극층의 유연성을 개선하여 유연한 제품에서도 전극층이 손상되는 것을 방지할 수 있다.

[0047]

도면의 간단한 설명

[0048] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 셀의 단면도이고,

[0049] 도 2는 본 발명의 다른 실시예에 따른 비휘발성 메모리 셀의 단면도이며,

[0050] 도 3 내지 도 11는 본 발명의 다른 실시예에 따른 비휘발성 메모리 셀의 제조 방법을 설명하기 위한 공정 단면도이고,

[0051] 도 12은 본 발명에 따른 저항 변화 메모리 소자의 단면도이며,

[0052] 도 13는 일반적인 크로스 포인트 구조를 이용하는 저항 변화 메모리 어레이의

실시 예시도이고,

- [0053] 도 14 및 도 15는 본 발명에 따른 투명하면서도 유연성을 개선한 전극 구조를 나타낸 단면도이며,
- [0054] 도 16은 본 발명의 또 다른 실시예에 따른 비휘발성 메모리 셀의 단면도이고,
- [0055] 도 17 내지 도 27은 본 발명의 또 다른 실시예에 따른 비휘발성 메모리 셀의 제조 방법을 설명하기 위한 공정 단면도이며,
- [0056] 도 28은 본 발명의 또 다른 실시예에 따른 비휘발성 메모리 셀의 단면도이다.
- [0057]

발명의 실시를 위한 최선의 형태

- [0058] 상술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되어 있는 상세한 설명을 통하여 보다 명확해 질 것이며, 그에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다. 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.
- [0059] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 셀의 단면도를 나타낸다.
- [0060] 도 1에 도시된 바와 같이, 본 발명에 따른 비휘발성 메모리 셀은 투명 유연 기판(1100) 상에 형성된 산화물 반도체 박막층(1104)과, 보조 절연막층(1106)과, 복층 구조의 전하 축적층(1120), 게이트 전극(1116)을 포함한다. 또한 기판(1100) 상에 소정 간격으로 형성된 복수의 소스 및 드레인 전극(1102)과, 복수의 소스 및 드레인 전극(1102)에 각각 연결된 복수의 콘택 플러그(1112) 및 복수의 콘택 플러그(1112)를 통해 복수의 소스 및 드레인 전극(1102)에 각각 연결된 복수의 소스 및 드레인 전극 패드(1114)를 더 포함한다.
- [0061] 기판(1100)은 가시광에서 투명한 기판 또는 구부림이 가능한 유연한 기판으로, 유리 기판 또는 플라스틱 기판일 수 있다.
- [0062] 기판(1100) 상에 형성되는 메모리 박막 트랜지스터의 소스 및 드레인 전극(1102)은 가시광에서 투명한 특성을 갖는 도전성 산화물 전극 또는 도전성 유기물 전극 등으로 구성될 수 있다. 여기서 소스 및 드레인 전극(1102)은 기판(1100) 상에 전기적으로 분리된 두 개의 영역에 소정 간격으로 형성된 소스 전극 및 드레인 전극으로 구성된다. 소스 전극과 드레인 전극(1102) 사이의 기판(1100)이 메모리 트랜지스터의 채널 영역이 된다. 따라서, 소스 및 드레인 전극(1102)의 패턴 폭 및 패턴 간 거리에 의해 메모리 트랜지스터의 채널 폭 및 길이가 결정된다.
- [0063] 소스 및 드레인 전극(1102) 사이에는 산화물 반도체 박막층(1104)이 형성된다. 산화물 반도체 박막층(1104)의 일부는 기판(1100)과 직접 접촉하고, 또한 일부는 양단에서 소스 및 드레인 전극(1102)과 접촉된다. 산화물 반도체 박막층(1104)은

가시광에서 투명한 산화물 반도체로 구성되며, 200°C 이하의 온도에서 형성되는 것이 바람직하다. 다시 말해, 산화물 반도체 박막층(1104)은 에너지 밴드 갭이 넓어 가시광 영역에서 투명한 성질을 갖는 산화물이면서 전기적으로 반도체의 성질을 갖는 투명한 전도성 산화물 박막으로 형성되는 것이 바람직하다. 예를 들어, 아연 산화물(ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O), 아연-주석 산화물(Zn-Sn-O)로 형성되거나, 아연, 인듐, 갈륨, 주석, 알루미늄 중 적어도 두 개 이상의 원소를 포함하는 산화물로 형성될 수 있다. 또는 앞서 언급한 산화물에 다양한 원소를 도핑하여 형성될 수 있다.

[0064] 산화물 반도체 박막층(1104) 상부에는 보조 절연막층(1106)이 형성된다. 보조 절연막층(1106)은 산화물 반도체 박막층(1104)의 패턴 형성 공정에서 산화물 반도체 박막층(1104)의 물리적인 특성을 보호하는 역할 및 산화물 반도체 박막층(1104)의 특성을 개선하는 역할을 하며, 본 발명에서 제안하는 산화물 반도체를 이용한 전하 주입형 메모리 박막 트랜지스터를 구성하는 중요한 특징 중의 하나이다. 보조 절연막층(1106)은 절연 특성이 우수한 산화물 절연막으로 구성할 수 있으며, 막 두께는 10nm 이내로 한다. 즉, 보조 절연막층(1106)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiN), 실리콘산질화막(SiON) 등의 실리콘 계열 절연막으로 형성되거나, 알루미늄 산화막(Al_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 마그네슘 산화막(MgO), 티타늄 산화막(TiO_2), 탄탈륨 산화막(Ta_2O_5), 란타늄 산화막(La_2O_3), 스트론튬-티타늄 산화막(SrTiO_3)으로 형성될 수 있다. 또는 앞서 언급된 산화물을 구성하는 금속 원소와 실리콘이 혼합된 실리케이트 절연막으로 형성될 수 있다. 물론, 일반적인 박막 트랜지스터의 제작에 있어서 게이트 절연막 재료로 사용 가능한 절연막 소재들로 형성될 수 있다.

[0065] 보조 절연막층(1106) 상부 및 소스 및 드레인 전극(1102) 상부에는 제1 게이트 절연막층(1108)이 형성된다. 제1 게이트 절연막층(1108)은 본 발명의 전하 주입형 메모리 박막 트랜지스터의 터널 절연막층(tunneling oxide)의 역할을 한다. 제1 게이트 절연막층(1108)은 가시광에서 투명한 산화물 절연막층 또는 유기물 절연막층으로 구성될 수 있다.

[0066] 제1 게이트 절연막층(1108) 상부에는 본 발명의 특징인 복층 구조의 전하 축적층(1120)이 형성된다. 복층 구조의 전하 축적층(1120)은 하부 전극층(1123), 중간 전하 축적층(1122), 상부 전극층(1121)의 형태로 구성될 수 있다. 전하 축적층을 구성하는 하부 전극층(1123) 및 상부 전극층(1121)은 산화물 반도체의 조성물로 구성될 수 있으며, 중간 전하 축적층(1122)에 비해 높은 전도성을 갖는다. 전하 축적층을 구성하는 중간 전하 축적층(1122)은 상부 및 하부 전극층(1121, 1123)보다 낮은 전도성 물질 또는 절연성을 갖는 산화물 반도체 박막층으로 구성될 수 있다. 전하 축적층(1120)은 소스 및 드레인 전극(1102)의 간격으로 결정되는 게이트 길이에 해당하는 크기의 패턴으로 형성된다.

[0067] 제1 게이트 절연막층(1108) 상부에는 전하 축적층(1120)을 감싸는 형태로 제2

게이트 절연막층(1110)이 형성된다. 제2 게이트 절연막층(1110)은 본 발명의 전하 주입형 메모리 박막 트랜지스터의 차단 절연막층(blocking oxide)의 역할을 한다. 제2 게이트 절연막층(1110)은 제1 게이트 절연막층(1108)과 동일한 소재로 구성될 수 있다.

[0068] 소스 및 드레인 전극(1102) 상부에는 제1 게이트 절연막층(1108) 및 제2 게이트 절연막층(1110)을 관통하는 형태로 콘택 플러그(1112)가 형성된다. 콘택 플러그(1112)는 제2 게이트 절연막층(1110) 상부에 형성되는 소스 및 드레인 전극 패드(1114)와 소스 및 드레인 전극(1102)을 전기적으로 연결하는 역할을 한다.

[0069] 제2 게이트 절연막층(1110) 상부에 형성되는 소스 및 드레인 전극 패드(1114)는 콘택 플러그(1112)를 형성하기 위해 비아 홀을 도전 물질로 매립하면서 패드 형태로 형성된다.

[0070] 제2 게이트 절연막층(1110) 상부에는 소스 및 드레인 전극(1102)의 간격으로 결정되는 게이트의 길이 영역과 전하 축적층(1120)과 동시에 정렬되는 형태로 게이트 전극(1116)이 형성된다.

[0071] 소스 및 드레인 전극 패드(1114)와 게이트 전극(1116)은 가시광에서 투명한 특징을 갖는 도전성 산화물 전극층 또는 도전성 유기물 전극층으로 구성될 수 있다.

[0072] 한편, 이상에서 설명한 바와 같이 본 발명은 전하 축적층(1120)을 상하층에 위치하는 상대적으로 도전성이 높은 층과 중앙에 위치하는 상대적으로 도전성이 낮은 층의 복층 구조로 구성함으로써, 프로그램 전압의 크기 또는 폭을 변경함에 따라 전하 축적층(1120)에 저장되는 전하의 양을 정량적으로 조절할 수 있다.

[0073] 그 이유는 다음과 같이 설명할 수 있다. 게이트 전극(1116)에 인가되는 프로그램 전압에 의해 전하 축적층(1120)에 주입되는 전하는 차단 절연막층인 제2 게이트 절연막층(1110)과 전하 축적층(1120) 사이에 형성되는 장벽 높이의 크기에 따라 그 양이 변화하게 되는데, 상기 장벽의 높이는 전하 축적층(1120)의 도전성과 밀접한 관련이 있다. 즉, 도전성이 높은 경우에는 장벽의 높이가 낮아지고, 도전성이 낮은 경우에는 상대적으로 장벽의 높이가 높다. 따라서, 소정의 프로그램 전압에 의해 우선적으로 장벽의 높이가 낮은 도전성이 높은 전하 축적층(1121, 1123)에 전하를 저장할 수 있으며, 이렇게 저장된 전하는 차단 절연막층인 제2 게이트 절연막층(1110)과 도전성이 낮은 전하 축적층(1122) 사이의 안정된 에너지 준위에 위치하게 된다.

[0074] 전하 축적층에 저장할 전하의 양을 증가시키기 위해서는 프로그램 전압보다 높은 값의 전압을 인가함으로써, 상대적으로 높은 장벽을 갖는 도전성이 낮은 중앙의 전하 축적층(1122)에도 전하를 저장할 수 있게 된다. 이러한 방법을 이용하면 프로그램 전압 값의 변화를 통해 몇 단계의 전하 저장 상태를 구현할 수 있으며, 이를 통해 다치 정보 저장을 용이하게 구현할 수 있다.

- [0075] 한편, 이러한 저장 전하의 조절은 프로그램 전압의 크기뿐만 아니라, 프로그램 전압 펄스의 폭을 변경하는 방법으로도 구현할 수 있다. 또한, 각 층에 저장되는 전하의 양은 각 층의 두께를 변경하는 방법으로도 조절할 수 있으며, 구현하고자 하는 다치 정보의 크기를 보다 용이하게 설계할 수 있는 구조를 제공할 수 있다.
- [0076] 여기서 복층 구조의 전하 축적층(1120)에 다치 정보를 저장하는 방법에 대해 간단히 설명한다.
- [0077] 첫째, 본 발명의 전하주입형 메모리 박막 트랜지스터에 다치의 정보를 저장하기 위해 게이트 전극(1116)에 인가되는 프로그래밍 전압 펄스의 총 인가 시간을 조절할 수 있다. 구체적으로 설명하면, 프로그래밍 전압 펄스의 폭을 전하 축적층(1120)에 저장할 수 있는 전하의 포화량에 이르는 시간보다 매우 짧게 설정하고, 인가하는 펄스 신호의 수를 변경함으로써 저장되는 전하의 양을 조절할 수 있다. 결과적으로 저장되는 전하의 양을 조절함으로써 다치의 정보를 저장할 수 있다.
- [0078] 둘째, 첫째 방법은 프로그래밍 전압 펄스의 폭 그 자체를 변경하는 방법으로도 실현될 수 있다. 구체적으로 설명하면, 본 발명의 전하주입형 메모리 박막 트랜지스터의 전하 축적층(1120)에 저장되는 전하의 양을 변경하기 위해 프로그래밍 전압 펄스의 폭을 변경하여 전하의 주입 시간을 제어함으로써 저장 전하의 양을 조절할 수 있다. 결과적으로 저장되는 전하의 양을 조절함으로써 다치의 정보를 저장할 수 있다.
- [0079] 셋째, 본 발명의 전하주입형 메모리 박막 트랜지스터에 다치의 정보를 저장하는 또 다른 방법은 게이트 전극(1116)에 인가되는 프로그래밍 전압 펄스의 크기를 조절하는 것이다. 구체적으로 설명하면, 전하 축적층(1120)에 전하를 주입하기 위해 필요한 충분한 시간의 폭을 가진 전압 펄스를 사용하고, 상기 전압 펄스의 전압 크기를 변경하면, 저장 전하의 양을 조절할 수 있다. 결과적으로 저장되는 전하의 양을 제어함으로써 다치의 정보를 저장할 수 있다.
- [0080] 한편, 종래와 같이 단층 구조의 전하 축적층을 사용하는 경우, 차단 절연막층과 전하 축적층 사이에 형성되는 장벽의 높이는 상기 두 물질의 밴드 구조에 따라 결정되며, 이를 동적으로 변경할 수는 없다. 하지만, 본 발명과 같이 전하 축적층을 복층 구조로 형성하는 경우에는, 전하 주입에 따른 상대적인 장벽 높이를 낮추고, 결과적으로 게이트 전극에서 주입되는 전하를 차단 절연막층을 통과하여 전하 축적층으로 주입하기 쉽다. 이렇게 저장된 전하는 추가적인 프로그램 전압 인가에 의해 단계적으로 장벽을 넘어 중앙의 전하 축적층까지 도달할 수 있다. 중앙의 전하 축적층에 저장된 전하는 전하 주입 과정과 동일한 원리로부터 하부의 도전성이 높은 전하 축적층으로 방출하기 쉬운 구조를 제공할 수 있다.
- [0081] 다시 말해, 본 발명은 상대적으로 높이가 낮은 두 단계 장벽 구조를 상하 대칭적으로 가지는 복층 구조의 전하 축적층을 제공함으로써, 전하 주입형 메모리 소자의 구동 과정에서 전하의 주입 및 방출 효율을 개선할 수 있다. 특히

전하 축적층을 산화물 반도체로 구성하는 경우, 도전성이 각각 다른 복층 구조의 전하 축적층을 산화물 반도체의 조성 변화에 따라 매우 용이하게 제공할 수 있다는 장점을 제공할 수 있다.

[0082] 도 2는 본 발명의 제2 실시예에 따른 비휘발성 메모리 셀의 단면도를 나타낸 것으로, 도 2는 메모리 트랜지스터와 구동 트랜지스터의 구조를 나타낸 것이다.

[0083] 도 2를 참조하면, 본 발명에 따른 비휘발성 메모리 셀은 투명한 유연한 특성을 갖는 산화물 반도체 기반의 전하 주입형 메모리 트랜지스터(1110)와, 메모리 트랜지스터(1110)의 프로그래밍 동작 및 스위칭 동작을 담당하는 구동 트랜지스터(1120)를 포함한다. 구동 트랜지스터(1120)는 산화물 반도체 박막층을 채널층으로 이용하는 산화물 반도체 트랜지스터이다.

[0084] 비휘발성 메모리 소자 어레이를 구성하는 경우, 그 단위 회로로서 구동 트랜지스터(1120)와 메모리 트랜지스터(1110)가 일체된 메모리 셀을 제공할 수 있으며, 상기 메모리 셀을 구성하는 구동 트랜지스터(1120) 및 메모리 트랜지스터(1110)는 동일 기판 상에 형성된다.

[0085] 도 2에 도시된 메모리 트랜지스터는 도 1을 참조하여 설명한 메모리 구조와 동일하기 때문에 도 2를 참조하여 제2 실시예를 설명함에 있어 메모리 트랜지스터에 대해서는 구체적인 설명을 생략한다.

[0086] 도 2에 도시된 바와 같이, 구동 트랜지스터(120)는 기판(100) 상에 형성된 산화물 반도체 박막층(1104), 보조 절연막층(1106), 제1 및 제2 게이트 절연막층(1108, 1110) 및 게이트 전극(1116)을 포함한다. 또한, 기판(100) 상에 소정 간격으로 형성된 복수의 소스 및 드레인 전극(1102), 복수의 소스 및 드레인 전극(1102)에 각각 연결된 복수의 콘택 플러그(1112) 및 복수의 콘택 플러그(1112)를 통해 복수의 소스 및 드레인 전극에 각각 연결된 복수의 소스 및 드레인 전극 패드(1114)를 더 포함한다. 이와 같은 구조를 갖는 구동 트랜지스터(120)는 메모리 트랜지스터(110)를 구동하기 위한 구동 소자로서의 역할을 수행한다. 즉, 메모리 트랜지스터(110)와 구동 트랜지스터(120)는 동일한 구조를 갖되 메모리 트랜지스터(110)에만 전하 축적층(1120)이 마련된다.

[0087] 도 2를 참조하면, 본 발명에 따른 비휘발성 메모리 셀을 형성하는 기판(100)은 가시광에서 투명한 기판 또는 구부림이 가능한 유연한 기판으로 구성된다.

[0088] 기판(100) 상에는 구동 트랜지스터 및 메모리 트랜지스터의 소스 및 드레인 전극(1102)이 각각 형성된다. 소스 및 드레인 전극(1102)은 가시광에서 투명한 특성을 갖는 도전성 산화물 전극 또는 도전성 유기물 전극으로 구성될 수 있다.

[0089] 소스 및 드레인 전극 사이에는 산화물 반도체 박막층(1104)이 형성된다. 산화물 반도체 박막층(1104)은 본 발명의 비휘발성 메모리 셀을 구성하는 구동 트랜지스터 및 메모리 트랜지스터의 채널층의 역할을 한다. 산화물 반도체 박막층(1104)의 일부는 기판(100)과 직접 접촉하고, 또한 일부는 양단에서 소스 및 드레인 전극(1102)과 접촉한다. 산화물 반도체 박막층(1104)은 가시광에서 투명한 산화물 반도체로 구성되며, 200°C 이하의 온도에서 형성된다.

- [0090] 산화물 반도체 박막층(1104) 상부에는 보조 절연막층(1106)이 형성된다. 보조 절연막층(1106)은 산화물 반도체 박막층의 패턴 형성 공정에서 산화물 반도체 박막층의 물리적인 특성을 보호하는 역할을 하며, 본 발명에서 제안하는 비휘발성 메모리 셀의 구동 트랜지스터 및 메모리 트랜지스터를 구성하는 중요한 특징 중의 하나이다. 보조 절연막층(1106)은 절연 특성이 우수한 산화물 절연막층으로 구성할 수 있으며, 막 두께는 10nm 이내로 한다.
- [0091] 보조 절연막층(1106)의 패턴 상부에는 제1 게이트 절연막층(1108)이 형성된다. 제1 게이트 절연막층(1108)은 본 발명의 메모리 셀을 구성하는 전하주입형 메모리 트랜지스터의 터널 절연막층(tunneling oxide)의 역할을 한다. 또한 제1 게이트 절연막층(1108)은 본 발명의 메모리 셀을 구성하는 구동 트랜지스터의 게이트 절연막층의 하부층으로 작용한다. 제1 게이트 절연막층(1108)은 가시광에서 투명한 산화물 절연막층 또는 유기물 절연막층으로 구성될 수 있다.
- [0092] 제1 게이트 절연막층(1108) 상부에는 본 발명의 메모리 셀을 구성하는 전하주입형 메모리 트랜지스터의 특징인 전하 축적층(1120)이 형성된다. 또한 제1 게이트 절연막층(1108) 상부에는 전하 축적층(1120)을 감싸는 형태로 제2 게이트 절연막층(1110)이 형성된다. 제2 게이트 절연막층(1110)은 본 발명의 메모리 셀을 구성하는 전하 주입형 메모리 트랜지스터의 차단 절연막층(blocking oxide)의 역할을 한다. 또한 제2 게이트 절연막층(1110)은 본 발명의 메모리 셀을 구성하는 구동 트랜지스터의 게이트 절연막층의 상부층으로 작용한다. 제2 게이트 절연막층(1110)은 제1 게이트 절연막층(1108)과 동일한 소재로 구성될 수 있다.
- [0093] 소스 및 드레인 전극(1102) 상부에는 제1 게이트 절연막층(1108) 및 제2 게이트 절연막층(1110)을 관통하는 형태로 콘택 플러그(1112)가 각각 형성된다. 콘택 플러그(1112)는 제2 게이트 절연막층(1110) 상부에 형성되는 소스 및 드레인 전극 패드(1114)와 소스 및 드레인 전극(1102)을 전기적으로 연결하는 역할을 한다.
- [0094] 제2 게이트 절연막층(1110) 상부에는 소스 및 드레인 전극 패드(1114)가 콘택 플러그(1112)를 형성하기 위해 비아 홀을 매립하면서 패드 형태로 형성된다.
- [0095] 제2 게이트 절연막층(1110) 상부에는 소스 및 드레인 전극의 간격으로 결정되는 게이트의 길이 영역과 상기 전하 축적층과 동시에 정렬되는 형태로 게이트 전극층(1116)이 형성된다.
- [0096] 소스 및 드레인 전극 패드, 게이트 전극은 가시광에서 투명한 특징을 갖는 도전성 산화물 전극층 또는 도전성 유기물 전극층으로 구성될 수 있다.
- [0097] 한편, 소스 및 드레인 전극 패드, 게이트 전극의 형성 과정에서 본 발명의 비휘발성 메모리 셀이 구성되도록 구동 트랜지스터와 메모리 트랜지스터를 소정의 회로 구성에 따라 연결되도록 하는 배선을 함께 형성할 수 있다.
- [0098] 도 3 내지 도 11는 본 발명의 제2 실시예에 따른 비휘발성 메모리 셀의 제조 방법을 설명하기 위한 공정 단면도이다.

- [0099] 도 3에 도시된 바와 같이, 메모리 트랜지스터 및 구동 트랜지스터를 집적시키기 위한 기판(1300)을 제공한다. 여기서, 기판(1300)은 앞서 설명한 바와 같이 유리 또는 플라스틱 기판일 수 있다. 플라스틱 기판일 경우, 기판(1300) 자체의 평활도 개선을 위해 적절한 전처리 과정을 수행한 후에 제공되는 것이 바람직하다.
- [0100] 도 4에 도시된 바와 같이, 기판(1300) 상에 소스 및 드레인 전극용 도전막을 형성한 후, 이를 패터닝하여 복수의 소스 및 드레인 전극(1302)을 형성한다. 여기서, 소스 및 드레인 전극용 도전막은 스퍼터링 방식에 의해 형성될 수 있으며, 패터닝 공정은 습식 식각 또는 건식 식각 공정에 의해 수행될 수 있다.
- [0101] 도 5에 도시된 바와 같이, 소스 및 드레인 전극(1302)이 형성된 결과물의 전면을 따라 산화물 반도체 박막층(1304)을 형성한 후, 산화물 반도체 박막층(1304) 상에 보조 절연막층(1306)을 형성한다. 여기서, 산화물 반도체 박막층(1304)의 두께는 메모리 트랜지스터 및 구동 트랜지스터의 동작 조건을 결정하는 중요한 소자 변수로 작용하므로, 다음을 고려하여 산화물 반도체 박막층(1304)의 증착 두께를 결정하는 것이 바람직하다.
- [0102] 첫째, 메모리 트랜지스터 및 구동 트랜지스터의 동작 특성을 확보할 수 있는 범위 내에서 산화물 반도체 박막층(1304)의 두께를 결정한다. 둘째, 메모리 트랜지스터의 메모리 동작이 보다 낮은 전압에서 수행될 수 있도록 산화물 반도체 박막층(1304)의 두께를 결정하는 것이 바람직하다. 또한 산화물 반도체 박막층(1304)은 가시광에서 투명한 산화물 반도체 박막으로 200°C 이하의 온도에서 형성되는 것이 바람직하다.
- [0103] 또한, 보조 절연막층(1306)의 두께는 메모리 트랜지스터의 동작 특성을 결정짓는 중요한 소자 변수로 작용하므로, 다음의 사항을 고려하여 보조 절연막층(1306)의 증착 두께를 결정하는 것이 바람직하다.
- [0104] 첫째, 메모리 트랜지스터의 동작 전압이 너무 증가시키지 않는 범위에서 결정되어야 한다. 즉, 보조 절연막층(1306)의 두께가 너무 두꺼운 경우, 메모리 트랜지스터의 구동 전압의 일부가 트랜지스터의 게이트 스택의 일부를 구성하는 버퍼막에 의해 생기는 직렬 커패시터에서 소모되어 전체적으로 동작 전압을 상승시키는 원인이 될 수 있기 때문이다. 따라서, 첫 번째 사항을 고려할 때 보조 절연막층(1306)의 두께는 10nm 이하의 범위에서 결정되는 것이 바람직하다.
- [0105] 둘째, 산화물 반도체 박막층(1304)의 식각 공정 중 공정 열화를 충분히 억제할 수 있는 범위에서 결정되어야 한다. 이를 고려할 때 보조 절연막층(1306)의 두께는 4nm 이상인 것이 바람직하다. 결과적으로 첫 번째 및 두 번째 사항을 동시에 고려할 때, 보조 절연막층(1306)의 두께는 4 내지 10nm의 범위에서 결정되는 것이 바람직하다.
- [0106] 한편, 산화물 반도체 박막층(1304) 및 보조 절연막층(1306)은 반도체 장치 제조 공정에서 통상적으로 사용되는 박막 형성 방식에 의해 형성될 수 있는데, 예를 들어, 원자층 증착법(Atomic Layer Deposition; ALD), 화학 기상 증착법(Chemical

Vapor Deposition;CVD), 반응성 스퍼터링법(Reactive Sputtering) 등에 의해 형성될 수 있다. 이때, 구체적인 공정 조건은 하부에 형성된 산화물 반도체 박막층(1304)의 특성을 열화시키지 않도록 공정 온도, 플라즈마 사용 여부, 박막 형성 원료 등을 결정하는 것이 바람직하다. 특히, 산화물 반도체 박막층(1304)과 보조 절연막층(1306)의 형성 공정은 동일한 장비 내에서 연속적으로 수행되는 것이 더욱 바람직하다.

- [0107] 도 6에 도시된 바와 같이, 보조 절연막층(1306) 및 산화물 반도체 박막층(1304)을 식각하여, 메모리 트랜지스터 및 구동 트랜지스터의 채널 영역 상에 보조 절연막(1306A) 및 산화물 반도체 박막(1304A)을 형성한다. 여기서, 식각 공정은 포토 리소그래피 공정에 의해 수행될 수 있다. 예를 들어, 소정의 습식 식각 용액을 사용하여 습식 식각 공정을 수행하거나, 플라즈마를 이용하여 건식 식각 공정을 수행할 수 있다. 이와 같은 식각 공정 수행시, 보조 절연막(1306A)은 산화물 반도체 박막(1304A)이 열화되는 것을 효과적으로 억제하는 역할을 한다.
- [0108] 도 7에 도시된 바와 같이, 산화물 반도체 박막(1304A) 및 보조 절연막(1306A)이 형성된 결과물의 전체 구조상에 제1 게이트 절연막층(1308)을 형성한다. 제1 게이트 절연막층(1308)은 가시광에서 투명한 산화물 절연막층 또는 유기물 절연막층으로 구성될 수 있으며, 통상의 반도체 장치 제조 공정에서 사용되는 박막 형성 공정 방법에 의해 형성될 수 있다.
- [0109] 도 8에 도시된 바와 같이, 메모리 트랜지스터의 제1 게이트 절연막층(1308) 상부에만 전하 축적층을 형성하기 위해 순차적으로 하부전극층(1323), 중간 전하 축적층(1322), 상부 전극층(1321)을 형성하고, 패터닝 공정을 통해 복층 구조의 전하 축적층(1320)을 형성한다.
- [0110] 도 9에 도시된 바와 같이, 전하 축적층(1320)이 형성된 제1 게이트 절연막층(1308) 상부에 전하 축적층(1320)을 감싸도록 제2 게이트 절연막층(1310)을 형성한다. 제2 게이트 절연막층(1310)은 가시광에서 투명한 산화물 절연막층 또는 유기물 절연막층으로 구성될 수 있으며, 통상의 반도체 장치 제조 공정에서 사용되는 박막 형성 공정 방법에 의해 형성될 수 있다.
- [0111] 도 10에 도시된 바와 같이, 제1 및 제2 게이트 절연막층(1308, 1310)을 식각하여 복수의 소스 및 드레인 전극(1302)을 각각 노출시키는 복수의 비아 홀(H1)을 형성한다. 여기서, 비아 홀(H1)의 형성 공정은 포토 리소그래피를 이용한 식각 공정 및 소정의 습식 식각 용액을 이용한 습식 식각 공정에 의해 수행되는 것이 바람직하다.
- [0112] 도 11에 도시된 바와 같이, 복수의 비아 홀(H1) 내에 도전막을 매립하여 복수의 소스 및 드레인 전극(1302)과 각각 연결되는 복수의 콘택 플러그(1312)를 형성한다. 여기서, 복수의 콘택 플러그(1312)는 제1 및 제2 게이트 절연막(1308, 1310)을 관통하도록 형성된다. 이어서, 복수의 콘택 플러그(1312) 상에 복수의 소스 및 드레인 전극 패드(1314)를 형성한다. 여기서, 복수의 소스 및 드레인 전극

패드(1314)는 콘택 플러그(1312)를 통해 복수의 소스 및 드레인 전극(1302)과 전기적으로 각각 연결된다. 여기서, 소스 및 드레인 전극 패드(1314)는 스퍼터링 방법에 의해 형성될 수 있다. 이어서, 메모리 트랜지스터의 게이트 전극 영역에 형성된 제2 게이트 절연막층(1310) 상에 게이트 전극(1316)을 형성한다. 또한, 구동 트랜지스터의 게이트 전극 영역에 형성된 제2 게이트 절연막(1310) 상에 게이트 전극(1316)을 형성한다.

- [0113] 한편, 이상에서 설명한 본 발명은 탑 게이트 구조에 대해 설명하고 있지만, 게이트 전극이 기판(1100)상에 위치하고 산화물 반도체 채널이 상부에 위치하는 버텀 게이트 구조에도 적용될 수 있다.
- [0114] 도 12은 본 발명에 따른 저항 변화 메모리 소자의 단면도를 나타낸다.
- [0115] 본 발명에 따른 저항 변화 메모리 소자는 투명한 기판(2100) 상에 형성된 투명하면서도 유연한 하부 전극층(2102)과, 하부 전극층(2102) 상에 형성되고, 산화물 반도체로 구성되는 저항 변화 물질층(2104)과, 저항 변화 물질층(2104) 상에 형성되는 상부 전극층(2106)을 포함한다.
- [0116] 본 발명의 저항 변화 메모리 소자를 형성하는 투명한 기판(2100)은 가시광에서 투명하고 구부림이 가능한 유연한 기판으로, 폴리머 또는 플라스틱 기판으로 구성된다.
- [0117] 상기 투명한 기판 상부에는 하부 전극층(2102)이 형성된다. 하부 전극층(2102)은 일반적으로 투명한 전도성 산화물 박막층으로 구성될 수 있는데, 예를 들어 인듐-주석 산화물(ITO)로 구성할 수 있지만, 충분히 낮은 저항을 가지면서 충분한 투명도 특성을 가진 전도성 산화물 박막층 소재로 구성할 수 있다. 또한 하부 전극층(2102)은 투명한 전도성 유기물 박막층으로 구성될 수 있다. 유기물 박층의 예로 PEDOT-PSS, 탄소나노튜브, 그래핀 등이 있을 수 있다.
- [0118] 일반적으로 하부 전극층(2102)으로 전도성 산화물 박막층을 이용하는 경우에는 실온에서 스퍼터링 방법을 통해 하부 전극층을 형성할 수 있다. 또한 하부 전극층(2102)으로 전도성 유기물 박막층을 이용하는 경우 전도성 유기물 박막 중 PEDOT-PSS, 탄소나노튜브, 그래핀 등은 도포 공정과 저온 열처리 공정을 통해 형성할 수 있다. 또한 전도성 유기물 박막 중 그래핀 등은 실온 전사 공정을 통해 형성할 수도 있다.
- [0119] 본 발명에서는 이와 같은 하부 전극층(2102)의 구조와 더불어 소자의 유연성 및 전기 전도성을 동시에 실현하기 위해 새로운 구조의 하부 전극층을 제안한다. 이에 대해서는 도 14 및 도 15를 참조하여 후술한다.
- [0120] 하부 전극층(2102) 상부에는 데이터 스토리지 영역으로 산화물 반도체 박막층(2104)이 형성된다. 산화물 반도체 박막층(2104)은 소자의 투명성을 실현하기 위해 다음과 같은 소재 및 제조 방법을 통해 형성할 수 있다.
- [0121] 산화물 반도체 박막층(2104)은 밴드갭이 넓어 투명한 성질을 가지는 산화물이면서 전기적으로 반도체의 성질을 갖는 다양한 산화물 재료를 사용할 수 있다. 예를 들어, 아연 산화물(ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O),

아연-주석 산화물(Zn-Sn-O), 아연-인듐 산화물(Zn-In-O) 등이 있으며, 아연, 인듐, 갈륨, 주석, 알루미늄 중 적어도 두 개 이상의 원소가 포함되어 형성되는 산화물과, 경우에 따라서는 상기 산화물 재료에 다양한 원소가 도핑된 재료를 포함할 수 있다. 산화물 반도체 박막층(2104)은 실온에서 스퍼터링 방법을 통해 형성할 수 있다.

- [0122] 산화물 반도체 박막층(2104)의 저항 변화 현상을 보다 용이하게 구현하기 위해 산화물 반도체 박막층의 적층구조를 형성할 수 있다. 적층구조를 형성하는 첫 번째 방법은, 두께 방향으로 그 조성이 연속적으로 변화하는 산화물 반도체 박막층을 형성하는 방법이다. 적층 구조를 형성하는 두 번째 방법은, 전도도가 서로 다른 두 층의 산화물 반도체 박막층을 형성하는 방법이다. 적층구조를 형성하는 세 번째 방법은, 산화물 반도체 박막층 내부로 확산이 가능한 금속 박막층과 산화물 반도체 박막층을 상하 구조로 형성하는 방법이다. 산화물 반도체 박막층의 적층 구조를 추가적으로 적용함으로써, 본 발명에 따른 저항 변화 메모리 소자의 동작 성능을 개선할 수 있다.
- [0123] 두께 방향으로 그 조성이 연속적으로 변화하는 산화물 반도체 박막층을 본 발명의 저항 변화 메모리 소자에 이용하면, 조성의 변화에 따른 상부 영역과 하부 영역의 초기 저항값의 차이에 따라 메모리 온오프 마진을 높일 수 있을 뿐만 아니라, 고저항 상태에서 저저항 상태로의 전이 및 저저항 상태에서 고저항 상태로의 전이에 필요한 프로그램 전압의 값을 절감할 수 있다.
- [0124] 한편, 두께 방향으로 변화시키는 조성의 범위는 산화물 반도체 박막층의 형성 방법에 의해 용이하게 조절할 수 있으며, 산화물 반도체 박막층 조성물의 조성을 적절하게 선택하여, 변경된 조성 범위에 대한 초기 저항값의 범위를 설계할 수 있다.
- [0125] 전도도가 서로 다른 두 층의 산화물 반도체 박막층 복층 구조를 본 발명의 저항 변화 메모리 소자에 이용하는 경우에도, 조성의 변화에 따른 상부 영역과 하부 영역의 초기 저항값의 차이에 따라 메모리 온오프 마진을 높일 수 있을 뿐만 아니라, 고저항 상태에서 저저항 상태로의 전이 및 저저항 상태에서 고저항 상태로의 전이에 필요한 프로그램 전압의 값을 절감할 수 있다.
- [0126] 한편, 전도도가 서로 다른 두 층의 산화물 반도체 박막층 복층 구조를 이용하면, 기지의 서로 다른 초기 저항값을 갖는 복층 구조를 보다 용이하게 형성할 수 있다. 산화물 반도체 박막층의 복층 구조는 동일 조성의 산화물 반도체 조성물의 조성 변화를 통해서 실현할 수 있으며, 또는 상이 조성의 산화물 반도체 조성물을 적층 구조로 형성하는 방법을 통해서도 실현할 수 있다.
- [0127] 산화물 반도체 박막층(2104) 상부에는 상부 전극층(2106)이 형성된다. 상부 전극층(2106)은 소자의 투명성 및 유연성을 실현하기 위해, 하부 전극층과 동일한 소재 및 제조 방법으로 형성될 수 있다. 또한 상부 전극층(2106)을 구성하는 소재는 본 발명에 따른 저항 변화 메모리 소자의 성능 제어를 위해 하부 전극층(2102)과는 상이한 소재로 형성할 수 있다. 이와 같은 상부

- 전극층(2106)의 구체적인 구조에 대해서는 도 14 및 도 15를 참조하여 후술한다.
- [0128] 한편, 상부 전극층(2106)은 하부에 위치하는 산화물 반도체 박막층(2104)이 저항변화 현상을 나타내기 위해 필요한 성능을 저해하지 않는 방법으로 제조하는 것이 바람직하다. 따라서, 상부 전극층(2106)이 도전성 산화물 박막층인 경우, 플라즈마 손상을 최소화 할 수 있는 방법을 통해 상기 상부 전극층을 형성하는 것이 바람직하다. 또한 상부 전극층(2106)이 도전성 유기물 박막층인 경우, 도포 공정 후에 진행되는 저온 열처리 공정은 상기 산화물 반도체 박막층의 표면 특성이 크게 변화되지 않는 온도 범위에서 제조하는 것이 바람직하다.
- [0129] 또한 상기 상부 전극층의 전극 패턴을 형성하는 공정은 산화물 반도체 박막층(2104)이 저항변화 현상을 나타내기 위해 필요한 성능을 저해하지 않는 방법으로 구성되는 것이 바람직하다.
- [0130] 도 13는 일반적인 크로스 포인트 구조를 이용하는 저항 변화 메모리 어레이의 실시 예시도를 나타낸 것이다.
- [0131] 도 13에 도시된 바와 같이, 수직 방향으로 서로 평행하며 일정 간격씩 이격되어 복수개의 투명 비트 전극라인(BL)을 배치하고, 수평 방향으로 서로 평행하며 일정 간격씩 이격되어 복수개의 투명 워드 전극라인(WL)을 배치하며, 투명 비트 전극라인(BL)과 투명 워드 전극라인(WL)이 교차되는 지점에 투명 저항 변화 물질층(2104)이 위치하여 하나의 메모리 소자(210)가 형성된다.
- [0132] 이때 투명 비트 전극라인(BL)이 상부 투명 전극층(2106)이 되고, 투명 워드 전극라인(WL)이 하부 투명 전극층(2102)이 되어 저항변화 물질층(2102)에 전압을 인가하여 투명 저항 변화 물질층에 전위차를 발생시켜 저항 변화 물질이 저항 변화 메모리로서 구동되게 된다.
- [0133] 도 14 및 도 15는 본 발명에 따른 투명하면서도 유연성을 개선한 전극 구조를 나타낸 단면도이다.
- [0134] 본 발명은 소자의 유연성 및 전기 전도성을 동시에 실현하기 위해 다음과 같은 하부 전극층(2102)을 제안한다.
- [0135] 먼저 도 14에 도시된 바와 같이 전도성 산화물 박막층과 전도성 유기물 박막층의 적층 구조로 하부 전극층(2102)을 형성한다. 도 14를 참조하면, 투명 기판(2100) 상에 먼저 전도성 산화물 박막층(2301)을 형성하고, 전도성 산화물 박막층(2301) 상에 전도성 유기물 박막층(2302)을 형성한다. 여기서 전도성 산화물로는 산화아연(Zinc Oxide, ZnO), 산화주석(Tin Oxide, SnO₂), 산화인듐아연(Indium Zinc Oxide, IZO), 산화인듐주석아연(Indium Tin Zinc Oxide, ITZO) 또는 산화인듐주석(Indium Tin Oxide, ITO)과 같은 물질이 있다. 그리고 전도성 유기물로는 poly(3,4-ethylenedioxythiophene)-poly(styrene sulfonate)인 PEDOT-PSS, 탄소나노튜브, 그래핀 등이 있다.
- [0136] 이와 같은 본 발명에서는 하부 전극층(2102)을 전도성 산화물 박막층과 전도성 유기물 박막층의 적층 구조로 구성함으로써, 하부 전극층의 유연성을 개선할 수

있다.

- [0137] 다음 도 15에 도시된 바와 같이 하부 전극층은 전도성 산화물 박막층과 금속 박막층과 전도성 산화물 박막층의 복층 구조로 형성될 수 있다. 다시 말해, 도 15에 도시된 바와 같이 투명 기판 상에 제1 전도성 산화물 박막층(2311)을 형성하고, 제1 전도성 산화물 박막층(2311) 상에 금속 박막층(2312)을 형성한다. 그리고, 금속 박막층(2312) 상에 제2 전도성 산화물 박막층(2313)을 형성한다. 여기서 금속 박막층(2312)의 두께는 전체 하부 전극층의 가시광 투과도를 크게 저해하지 않는 범위에서 얇게 조정할 수 있다. 또한 금속 박막층은 은(Ag) 박막층 등을 사용할 수 있다.
- [0138] 이와 같이 하부 전극층(2102)을 제1 전도성 산화물 박막층(2311)과, 금속 박막층(2312)과, 제2 전도성 산화물 박막층(2313)의 적층 구조로 구성함으로써, 높은 전기 전도성과 투명성을 실현함과 동시에 유연성을 동시에 달성할 수 있다.
- [0139] 한편, 상부 전극층(2106) 또한 하부 전극층(2102)과 동일하게 구성될 수 있다. 상부 전극층(2106)에 대해 살펴보면 다음과 같다.
- [0140] 도 14에 도시된 바와 같이 상부 전극층(2106)은 전도성 산화물 박막층과 전도성 유기물 박막층의 적층 구조로 형성될 수 있다. 다시 말해, 상부 전극층(2106)을 형성하기 위해, 산화물 반도체 박막층(2104) 상에 먼저 전도성 산화물 박막층(2301)을 형성하고, 전도성 산화물 박막층(2301) 상에 전도성 유기물 박막층(2302)을 형성한다. 이와 같이 상부 전극층(2106)을 전도성 산화물 박막층과 전도성 유기물 박막층의 적층 구조로 구성함으로써, 상부 전극층(2106)의 유연성을 개선할 수 있다.
- [0141] 한편, 도 15에 도시된 바와 같이 상부 전극층(2106)은 전도성 산화물 박막층과 금속 박막층과 전도성 산화물 박막층의 복층 구조로 형성될 수 있다. 다시 말해, 상부 전극층(2106)을 형성하기 위해 산화물 반도체 박막층(2104) 상에 제1 전도성 산화물 박막층(2311)을 형성하고, 제1 전도성 산화물 박막층(2311) 상에 금속 박막층(2312)을 형성하며, 금속 박막층(2312) 상에 제2 전도성 산화물 박막층(2313)을 형성한다. 여기서 금속 박막층(2312)은 전체 하부 전극층의 가시광 투과도를 크게 저해하지 않는 범위에서 얇게 형성하며, 은(Ag) 박막층 이용하는 것이 바람직하다. 여기서 은 박막층은 다른 물질에 비해 투명도가 높고 유연성이 좋기 때문이다.
- [0142] 이와 같이 상부 전극층(2106)을 제1 전도성 산화물 박막층(2311)과, 금속 박막층(2312)과, 제2 전도성 산화물 박막층(2313)의 적층 구조로 구성함으로써, 높은 전기 전도성과 투명성을 실현함과 동시에 유연성을 동시에 달성할 수 있다.
- [0143] 도 16은 본 발명에 따른 비휘발성 메모리 셀의 단면도를 나타낸다.
- [0144] 도 16에 도시된 바와 같이, 본 발명에 따른 비휘발성 메모리 셀은 구동 트랜지스터(320)와 전하 축적층(3200)을 갖는 메모리 트랜지스터(310)로 구성되며, 구동 트랜지스터와 메모리 트랜지스터(310)는 동일 평면 상에 존재하는 것이 아니라 수직 형태로 적층된 구조를 갖는다. 이에 따라 본 발명에

따른 비휘발성 메모리 셀은 구동 트랜지스터의 경우 버텀 게이트 구조를 갖게 되며, 메모리 트랜지스터의 경우 탑 게이트 구조를 갖게 된다.

- [0145] 도 16을 참조하면, 비휘발성 메모리 셀은, 투명 유연 기판(3100) 상에 형성된 제1 게이트 전극(3102)과, 제1 게이트 전극(3102)을 감싸는 형태로 기판(3100) 상에 형성된 제1 게이트 절연막층(33104)과, 제1 게이트 절연막층(3104) 상에 형성되고 소스 및 드레인 전극(33106)과 산화물 반도체 박막층(3108)으로 구성된 산화물 반도체 채널과, 산화물 반도체 박막층(3108) 상에 형성된 보조 절연막층(3110)과, 보조 절연막층(3110) 및 소스 및 드레인 전극(3106) 상에 형성된 제2 게이트 절연막층(3112)과, 제2 게이트 절연막층(3112) 상에 형성된 단층 또는 복층 구조의 전하 축적층(3200), 전하 축적층(3200)을 감싸는 형태로 제2 게이트 절연막층(3112) 상에 형성된 제3 게이트 절연막층(3114) 및 제3 게이트 절연막층(3114) 상에 형성된 제2 게이트 전극(3120)을 포함한다.
- [0146] 또한 본 발명은 소스 및 드레인 전극(3106)에 각각 연결된 복수의 콘택 플러그(3116) 및 복수의 콘택 플러그(3116)를 통해 소스 및 드레인 전극(3106)에 각각 연결된 소스 및 드레인 전극 패드(3118)를 더 포함한다.
- [0147] 기판(3100)은 가시광에서 투명한 기판 또는 구부림이 가능한 유연한 기판으로, 유리 기판 또는 플라스틱 기판일 수 있다.
- [0148] 기판(3100) 상에 구동 트랜지스터를 위한 제1 게이트 전극(3102)이 형성된다. 여기서 제1 게이트 전극(3102)은 가시광에서 투명한 특징을 갖는 도전성 산화물 전극층 또는 도전성 유기물 전극층으로 구성될 수 있다.
- [0149] 기판(3100) 상부에는 제1 게이트 전극(3102)을 감싸는 형태로 제1 게이트 절연막층(3104)이 형성된다. 제1 게이트 절연막층(3104)은 가시광에서 투명한 산화물 절연막층 또는 유기물 절연막층으로 구성될 수 있다. 제1 게이트 절연막층(3104)은 본 발명의 메모리 셀을 구성하는 구동 트랜지스터의 게이트 절연막층의 역할을 수행한다.
- [0150] 제1 게이트 절연막층(3104) 상부에는 소스 및 드레인 전극(3106)이 형성된다. 소스 및 드레인 전극(3106)은 본 발명의 메모리 셀을 구성하는 버텀 게이트 구조의 구동 트랜지스터 및 탑 게이트 구조의 메모리 트랜지스터에서 공통의 소스 및 드레인 전극의 역할을 한다. 소스 및 드레인 전극(3106)은 가시광에서 투명한 특성을 갖는 도전성 산화물 전극 또는 도전성 유기물 전극 등으로 구성될 수 있다. 여기서 소스 및 드레인 전극(3106)은 제1 게이트 절연막층(3104) 상에 전기적으로 분리된 두 개의 영역에 소정 간격으로 형성된 소스 전극 및 드레인 전극으로 구성된다. 소스 전극과 드레인 전극(3106) 사이의 제1 게이트 절연막층(3104)이 트랜지스터의 채널 영역이 된다. 따라서, 소스 및 드레인 전극(3106)의 패턴 폭 및 패턴 간 거리에 의해 트랜지스터의 채널 폭 및 길이가 결정된다.
- [0151] 소스 및 드레인 전극(3106) 사이에는 산화물 반도체 박막층(3108)이 형성된다. 산화물 반도체 박막층(3108)의 일부는 제1 게이트 절연막층(3104)과 직접

접촉하고, 또한 일부는 양단에서 소스 및 드레인 전극(3106)과 접촉된다. 산화물 반도체 박막층(3108)은 본 발명의 비휘발성 메모리 셀을 구성하는 구동 트랜지스터 및 메모리 트랜지스터의 채널층의 역할을 한다.

[0152] 산화물 반도체 박막층(3108)은 가시광에서 투명한 산화물 반도체로 구성되며, 200°C 이하의 온도에서 형성되는 것이 바람직하다. 다시 말해, 산화물 반도체 박막층(3108)은 에너지 밴드 갭이 넓어 가시광 영역에서 투명한 성질을 갖는 산화물이며서 전기적으로 반도체의 성질을 갖는 투명한 전도성 산화물 박막으로 형성되는 것이 바람직하다. 예를 들어, 아연 산화물(ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O), 아연-주석 산화물(Zn-Sn-O)로 형성되거나, 아연, 인듐, 갈륨, 주석, 알루미늄 중 적어도 두 개 이상의 원소를 포함하는 산화물로 형성될 수 있다. 또는 앞서 언급한 산화물에 다양한 원소를 도핑하여 형성될 수 있다.

[0153] 산화물 반도체 박막층(3108) 상부에는 보조 절연막층(3110)이 형성된다. 보조 절연막층(3110)은 산화물 반도체 박막층(3108)의 패턴 형성 공정에서 산화물 반도체 박막층(3108)의 물리적인 특성을 보호하는 역할 및 산화물 반도체 박막층(3108)의 특성을 개선하는 역할을 하며, 본 발명에서 제안하는 산화물 반도체를 이용한 전하 주입형 메모리 박막 트랜지스터를 구성하는 중요한 특징 중의 하나이다.

[0154] 보조 절연막층(3110)은 절연 특성이 우수한 산화물 절연막으로 구성할 수 있으며, 막 두께는 10nm 이내로 한다. 즉, 보조 절연막층(3110)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiN), 실리콘산질화막(SiON) 등의 실리콘 계열 절연막으로 형성되거나, 알루미늄 산화막(Al₂O₃), 하프늄 산화막(HfO₂), 지르코늄 산화막(ZrO₂), 마그네슘 산화막(MgO), 티타늄 산화막(TiO₂), 탄탈륨 산화막(Ta₂O₅), 란타늄 산화막(La₂O₃), 스트론튬-티타늄 산화막(SrTiO₃)으로 형성될 수 있다. 또는 앞서 언급된 산화물을 구성하는 금속 원소와 실리콘이 혼합된 실리케이트 절연막으로 형성될 수 있다. 물론, 일반적인 박막 트랜지스터의 제작에 있어서 게이트 절연막 재료로 사용 가능한 절연막 소재들로 형성될 수 있다.

[0155] 보조 절연막층(3110) 상부 및 소스 및 드레인 전극(3106) 상부에는 제2 게이트 절연막층(3112)이 형성된다. 제2 게이트 절연막층(3112)은 본 발명의 전하 주입형 메모리 박막 트랜지스터의 터널 절연막층(tunneling oxide)의 역할을 한다. 제2 게이트 절연막층(3112)은 가시광에서 투명한 산화물 절연막층 또는 유기물 절연막층으로 구성될 수 있다.

[0156] 제2 게이트 절연막층(3112) 상부에는 단층 또는 복층 구조의 전하 축적층(3200)이 형성된다. 전하 축적층이 복층 구조로 형성되는 경우, 전하 축적층(3200)은 하부 전극층(제1 층), 중간 전하 축적층(제2 층), 상부 전극층(제3 층)의 형태로 구성될 수 있다. 전하 축적층을 구성하는 하부 전극층 및 상부 전극층은 산화물 반도체의 조성물로 구성될 수 있으며, 중간 전하 축적층에 비해

높은 전도성을 갖는다. 전하 축적층을 구성하는 중간 전하 축적층은 상부 및 하부 전극층보다 낮은 전도성 물질 또는 절연성을 갖는 산화물 반도체 박막층으로 구성될 수 있다. 전하 축적층(3200)은 소스 및 드레인 전극(3106)의 간격으로 결정되는 게이트 길이에 해당하는 크기의 패턴으로 형성된다.

- [0157] 제2 게이트 절연막층(3112) 상부에는 전하 축적층(3200)을 감싸는 형태로 제3 게이트 절연막층(3114)이 형성된다. 제3 게이트 절연막층(3114)은 본 발명의 전하 주입형 메모리 박막 트랜지스터의 차단 절연막층(blocking oxide)의 역할을 한다. 제3 게이트 절연막층(3114)은 제2 게이트 절연막층(3112)과 동일한 소재로 구성될 수 있다.
- [0158] 소스 및 드레인 전극(3106) 상부에는 제2 게이트 절연막층(3112) 및 제3 게이트 절연막층(3114)을 관통하는 형태로 콘택 플러그(3116)가 형성된다. 콘택 플러그(3116)는 제3 게이트 절연막층(3114) 상부에 형성되는 소스 및 드레인 전극 패드(3118)와 소스 및 드레인 전극(3106)을 전기적으로 연결하는 역할을 한다.
- [0159] 제3 게이트 절연막층(3114) 상부에 형성되는 소스 및 드레인 전극 패드(3118)는 콘택 플러그(3116)를 형성하기 위해 비아 홀을 도전 물질로 매립하면서 패드 형태로 형성된다.
- [0160] 제3 게이트 절연막층(3114) 상부에는 소스 및 드레인 전극(3106)의 간격으로 결정되는 게이트의 길이 영역과 전하 축적층(3200)과 동시에 정렬되는 형태로 제2 게이트 전극(3120)이 형성된다. 제2 게이트 전극(3120)은 메모리 트랜지스터의 게이트 전극으로 이용된다.
- [0161] 소스 및 드레인 전극 패드(3118)와 제2 게이트 전극(3120)은 가시광에서 투명한 특징을 갖는 도전성 산화물 전극층 또는 도전성 유기물 전극층으로 구성될 수 있다.
- [0162] 한편, 이상에서 설명한 바와 같이 본 발명은 전하 축적층(3200)을 상하층에 위치하는 상대적으로 도전성이 높은 제1 및 제3 층과 중앙에 위치하는 제1 및 제3 층보다 도전성이 낮은 제2 층의 복층 구조로 구성함으로써, 프로그램 전압의 크기 또는 폭을 변경함에 따라 전하 축적층(3200)에 저장되는 전하의 양을 정량적으로 조절할 수 있다.
- [0163] 그 이유는 다음과 같이 설명할 수 있다. 제2 게이트 전극(3120)에 인가되는 프로그램 전압에 의해 전하 축적층(3200)에 주입되는 전하는 차단 절연막층인 제3 게이트 절연막층(3114)과 전하 축적층(3200) 사이에 형성되는 장벽 높이의 크기에 따라 그 양이 변화하게 되는데, 장벽의 높이는 전하 축적층(3200)의 도전성과 밀접한 관련이 있다. 즉, 도전성이 높은 경우에는 장벽의 높이가 낮아지고, 도전성이 낮은 경우에는 상대적으로 장벽의 높이가 높다. 따라서, 소정의 프로그램 전압에 의해 우선적으로 장벽의 높이가 낮은 도전성이 높은 전하 축적층(제1 및 제3 층)에 전하를 저장할 수 있으며, 이렇게 저장된 전하는 차단 절연막층인 제3 게이트 절연막층(3114)과 도전성이 낮은 전하 축적층(제2

층) 사이의 안정된 에너지 준위에 위치하게 된다.

[0164] 전하 축적층에 저장할 전하의 양을 증가시키기 위해서는 프로그램 전압보다 높은 값의 전압을 인가함으로써, 상대적으로 높은 장벽을 갖는 도전성이 낮은 중앙의 전하 축적층(제2 층)에도 전하를 저장할 수 있게 된다. 이러한 방법을 이용하면 프로그램 전압 값의 변화를 통해 몇 단계의 전하 저장 상태를 구현할 수 있으며, 이를 통해 다치 정보 저장을 용이하게 구현할 수 있다.

[0165] 한편, 이러한 저장 전하의 조절은 프로그램 전압의 크기뿐만 아니라, 프로그램 전압 펄스의 폭을 변경하는 방법으로도 구현할 수 있다. 또한, 각 층에 저장되는 전하의 양은 각 층의 두께를 변경하는 방법으로도 조절할 수 있으며, 구현하고자 하는 다치 정보의 크기를 보다 용이하게 설계할 수 있는 구조를 제공할 수 있다.

[0166] 여기서 복층 구조의 전하 축적층(3200)에 다치 정보를 저장하는 방법에 대해 간단히 설명한다.

[0167] 첫째, 본 발명의 전하주입형 메모리 박막 트랜지스터에 다치의 정보를 저장하기 위해 제2 게이트 전극(3120)에 인가되는 프로그래밍 전압 펄스의 총 인가 시간을 조절할 수 있다. 구체적으로 설명하면, 프로그래밍 전압 펄스의 폭을 전하 축적층(3200)에 저장할 수 있는 전하의 포화량에 이르는 시간보다 매우 짧게 설정하고, 인가하는 펄스 신호의 수를 변경함으로써 저장되는 전하의 양을 조절할 수 있다. 결과적으로 저장되는 전하의 양을 조절함으로써 다치의 정보를 저장할 수 있다.

[0168] 둘째, 첫째 방법은 프로그래밍 전압 펄스의 폭 그 자체를 변경하는 방법으로도 실현될 수 있다. 구체적으로 설명하면, 본 발명의 전하주입형 메모리 박막 트랜지스터의 전하 축적층(3200)에 저장되는 전하의 양을 변경하기 위해 프로그래밍 전압 펄스의 폭을 변경하여 전하의 주입 시간을 제어함으로써 저장 전하의 양을 조절할 수 있다. 결과적으로 저장되는 전하의 양을 조절함으로써 다치의 정보를 저장할 수 있다.

[0169] 셋째, 본 발명의 전하주입형 메모리 박막 트랜지스터에 다치의 정보를 저장하는 또 다른 방법은 제2 게이트 전극(3120)에 인가되는 프로그래밍 전압 펄스의 크기를 조절하는 것이다. 구체적으로 설명하면, 전하 축적층(3200)에 전하를 주입하기 위해 필요한 충분한 시간의 폭을 가진 전압 펄스를 사용하고, 전압 펄스의 전압 크기를 변경하면, 저장 전하의 양을 조절할 수 있다. 결과적으로 저장되는 전하의 양을 제어함으로써 다치의 정보를 저장할 수 있다.

[0170] 한편, 종래와 같이 단층 구조의 전하 축적층을 사용하는 경우, 차단 절연막층과 전하 축적층 사이에 형성되는 장벽의 높이는 상기 두 물질의 밴드 구조에 따라 결정되며, 이를 동적으로 변경할 수는 없다. 하지만, 본 발명과 같이 전하 축적층을 복층 구조로 형성하는 경우에는, 전하 주입에 따른 상대적인 장벽 높이를 낮추고, 결과적으로 게이트 전극에서 주입되는 전하를 차단 절연막층을 통과하여 전하 축적층으로 주입하기 쉽다. 이렇게 저장된 전하는 추가적인 프로그램 전압 인가에 의해 단계적으로 장벽을 넘어 중앙의 전하 축적층까지

도달할 수 있다. 중앙의 전하 축적층에 저장된 전하는 전하 주입 과정과 동일한 원리로부터 하부의 도전성이 높은 전하 축적층으로 방출하기 쉬운 구조를 제공할 수 있다.

- [0171] 다시 말해, 본 발명은 상대적으로 높이가 낮은 두 단계 장벽 구조를 상하 대칭적으로 가지는 복층 구조의 전하 축적층을 제공함으로써, 전하 주입형 메모리 소자의 구동 과정에서 전하의 주입 및 방출 효율을 개선할 수 있다. 특히 전하 축적층을 산화물 반도체로 구성하는 경우, 도전성이 각각 다른 복층 구조의 전하 축적층을 산화물 반도체의 조성 변화에 따라 매우 용이하게 제공할 수 있다는 장점을 제공할 수 있다.
- [0172] 도 17 내지 도 27는 본 발명에 따른 비휘발성 메모리 셀의 제조 방법을 설명하기 위한 공정 단면도이다.
- [0173] 도 17에 도시된 바와 같이, 메모리 트랜지스터 및 구동 트랜지스터를 집적시키기 위한 기판(3100)을 제공한다. 여기서, 기판(3100)은 앞서 설명한 바와 같이 유리 또는 플라스틱 기판일 수 있다. 플라스틱 기판일 경우, 기판(3100) 자체의 평활도 개선을 위해 적절한 전처리 과정을 수행한 후에 제공되는 것이 바람직하다.
- [0174] 도 18에 도시된 바와 같이, 투명 기판(3100) 상에 게이트 전극용 도전층을 형성한 후, 이를 패터닝하여 구동 트랜지스터를 위한 제1 게이트 전극(3102)을 형성한다. 여기서 제1 게이트 전극(3102)은 가시광에서 투명한 특징을 갖는 도전성 산화물 전극층 또는 도전성 유기물 전극층으로 구성될 수 있다. 또한 게이트 전극용 도전층은 스퍼터링 방식에 의해 형성될 수 있으며, 패터닝 공정은 습식 식각 또는 건식 식각 공정에 의해 수행될 수 있다.
- [0175] 도 19에 도시된 바와 같이, 투명 기판(3100) 상부에 제1 게이트 전극(3102)을 감싸는 형태로 제1 게이트 절연막층(3104)을 형성한다. 제1 게이트 절연막층(3104)은 가시광에서 투명한 산화물 절연막층 또는 유기물 절연막층으로 구성될 수 있다. 제1 게이트 절연막층(3104)은 본 발명의 메모리 셀을 구성하는 구동 트랜지스터의 게이트 절연막층의 역할을 수행한다.
- [0176] 도 20에 도시된 바와 같이, 제1 게이트 절연막층(3104) 상에 소스 및 드레인 전극용 도전막을 형성한 후, 이를 패터닝하여 복수의 소스 및 드레인 전극(3106)을 형성한다. 여기서, 소스 및 드레인 전극(3106)은 구동 트랜지스터(320) 및 메모리 트랜지스터(310)가 공동으로 사용한다. 소스 및 드레인 전극용 도전막은 스퍼터링 방식에 의해 형성될 수 있으며, 패터닝 공정은 습식 식각 또는 건식 식각 공정에 의해 수행될 수 있다.
- [0177] 도 21에 도시된 바와 같이, 소스 및 드레인 전극(3103)이 형성된 결과물의 전면을 따라 산화물 반도체 박막층(3108)을 형성한 후, 산화물 반도체 박막층(3108) 상에 보조 절연막층(3110)을 형성한다. 여기서, 산화물 반도체 박막층(3108)의 두께는 메모리 트랜지스터 및 구동 트랜지스터의 동작 조건을 결정하는 중요한 소자 변수로 작용하므로, 다음을 고려하여 산화물 반도체

박막층(3108)의 증착 두께를 결정하는 것이 바람직하다.

[0178] 첫째, 메모리 트랜지스터 및 구동 트랜지스터의 동작 특성을 확보할 수 있는 범위 내에서 산화물 반도체 박막층(3108)의 두께를 결정한다. 둘째, 메모리 트랜지스터의 메모리 동작이 보다 낮은 전압에서 수행될 수 있도록 산화물 반도체 박막층(3108)의 두께를 결정하는 것이 바람직하다. 또한 산화물 반도체 박막층(3108)은 가시광에서 투명한 산화물 반도체 박막으로 200°C 이하의 온도에서 형성되는 것이 바람직하다.

[0179] 또한, 보조 절연막층(3110)의 두께는 메모리 트랜지스터의 동작 특성을 결정짓는 중요한 소자 변수로 작용하므로, 다음의 사항을 고려하여 보조 절연막층(3110)의 증착 두께를 결정하는 것이 바람직하다.

[0180] 첫째, 메모리 트랜지스터의 동작 전압이 너무 증가시키지 않는 범위에서 결정되어야 한다. 즉, 보조 절연막층(3110)의 두께가 너무 두꺼운 경우, 메모리 트랜지스터의 구동 전압의 일부가 트랜지스터의 게이트 스택의 일부를 구성하는 버퍼막에 의해 생기는 직렬 커패시터에서 소모되어 전체적으로 동작 전압을 상승시키는 원인이 될 수 있기 때문이다. 따라서, 첫 번째 사항을 고려할 때 보조 절연막층(3110)의 두께는 10nm 이하의 범위에서 결정되는 것이 바람직하다.

[0181] 둘째, 산화물 반도체 박막층(3108)의 식각 공정 중 공정 열화를 충분히 억제할 수 있는 범위에서 결정되어야 한다. 이를 고려할 때 보조 절연막층(3110)의 두께는 4nm 이상인 것이 바람직하다. 결과적으로 첫 번째 및 두 번째 사항을 동시에 고려할 때, 보조 절연막층(3110)의 두께는 4 내지 10nm의 범위에서 결정되는 것이 바람직하다.

[0182] 한편, 산화물 반도체 박막층(3108) 및 보조 절연막층(3110)은 반도체 장치 제조 공정에서 통상적으로 사용되는 박막 형성 방식에 의해 형성될 수 있는데, 예를 들어, 원자층 증착법(Atomic Layer Deposition; ALD), 화학 기상 증착법(Chemical Vapor Deposition; CVD), 반응성 스퍼터링법(Reactive Sputtering) 등에 의해 형성될 수 있다. 이때, 구체적인 공정 조건은 하부에 형성된 산화물 반도체 박막층(3108)의 특성을 열화시키지 않도록 공정 온도, 플라즈마 사용 여부, 박막 형성 원료 등을 결정하는 것이 바람직하다. 특히, 산화물 반도체 박막층(3108)과 보조 절연막층(3110)의 형성 공정은 동일한 장비 내에서 연속적으로 수행되는 것이 더욱 바람직하다.

[0183] 도 22에 도시된 바와 같이, 보조 절연막층(3110) 및 산화물 반도체 박막층(3108)을 식각하여, 메모리 트랜지스터 및 구동 트랜지스터를 위한 트랜지스터의 채널 영역 상에 보조 절연막(3110A) 및 산화물 반도체 박막(3108A)을 형성한다. 여기서, 식각 공정은 포토 리소그래피 공정에 의해 수행될 수 있다. 예를 들어, 소정의 습식 식각 용액을 사용하여 습식 식각 공정을 수행하거나, 플라즈마를 이용하여 건식 식각 공정을 수행할 수 있다. 이와 같은 식각 공정 수행시, 보조 절연막(3110A)은 산화물 반도체 박막(3108A)이

열화되는 것을 효과적으로 억제하는 역할을 한다.

- [0184] 도 23에 도시된 바와 같이, 산화물 반도체 박막(3108A) 및 보조 절연막(3110A)이 형성된 결과물의 전체 구조상에 제2 게이트 절연막층(3112)을 형성한다. 제2 게이트 절연막층(3112)은 가시광에서 투명한 산화물 절연막층 또는 유기물 절연막층으로 구성될 수 있으며, 통상의 반도체 장치 제조 공정에서 사용되는 박막 형성 공정 방법에 의해 형성될 수 있다.
- [0185] 도 24에 도시된 바와 같이, 제2 게이트 절연막층(3112) 상부에 메모리 셀을 위한 전하 축적층(3200)을 형성한다. 이때 전하 축적층(3200)은 단층 또는 복층으로 구성될 수 있다. 바람직하게는 본 발명은 전하 축적층(3200)을 복층으로 구성하는 것을 제안한다. 전하 축적층(3200)을 복층으로 구성하기 위해 순차적으로 하부전극층(제1 층), 중간 전하 축적층(제2 층), 상부 전극층(제3 층)을 형성하고, 패터닝 공정을 통해 복층 구조의 전하 축적층(3200)을 형성한다.
- [0186] 도 25에 도시된 바와 같이, 전하 축적층(3200)이 형성된 제2 게이트 절연막층(3112) 상부에 전하 축적층(3200)을 감싸도록 제3 게이트 절연막층(3114)을 형성한다. 제3 게이트 절연막층(3114)은 가시광에서 투명한 산화물 절연막층 또는 유기물 절연막층으로 구성될 수 있으며, 통상의 반도체 장치 제조 공정에서 사용되는 박막 형성 공정 방법에 의해 형성될 수 있다.
- [0187] 도 26에 도시된 바와 같이, 제2 및 제3 게이트 절연막층(3112, 3114)을 식각하여 복수의 소스 및 드레인 전극(3106)을 각각 노출시키는 복수의 비아 홀(H1)을 형성한다. 여기서, 비아 홀(H1)의 형성 공정은 포토 리소그래피를 이용한 식각 공정 및 소정의 습식 식각 용액을 이용한 습식 식각 공정에 의해 수행되는 것이 바람직하다.
- [0188] 도 27에 도시된 바와 같이, 복수의 비아 홀(H1) 내에 도전막을 매립하여 복수의 소스 및 드레인 전극(3106)과 각각 연결되는 복수의 콘택 플러그(3116)를 형성한다. 여기서, 복수의 콘택 플러그(3116)는 제2 및 제3 게이트 절연막층(3112, 3114)을 관통하도록 형성된다. 이어서, 복수의 콘택 플러그(3116) 상에 복수의 소스 및 드레인 전극 패드(3118)를 형성한다. 여기서, 복수의 소스 및 드레인 전극 패드(3118)는 콘택 플러그(3116)를 통해 복수의 소스 및 드레인 전극(3106)과 전기적으로 각각 연결된다. 소스 및 드레인 전극 패드(3118)는 스퍼터링 방법에 의해 형성될 수 있다.
- [0189] 이어서, 메모리 트랜지스터의 게이트 전극 영역에 형성된 제3 게이트 절연막층(3114) 상에 메모리 트랜지스터를 위한 제2 게이트 전극(3120)을 형성한다.
- [0190] 이상에서 설명한 본 발명은 메모리 트랜지스터 부분이 구동 트랜지스터 부분의 상층에 적층되는 것으로 설명하였지만, 반대로 구동 트랜지스터 부분이 메모리 트랜지스터 부분의 상층에 적층되는 형태로 구현 가능하다.
- [0191] 도 28은 본 발명의 또 다른 실시예에 따른 비휘발성 메모리 셀의 단면도이다.
- [0192] 도 28을 참조하면, 투명 기관(3100) 상에 메모리 트랜지스터(310)를 위한 제1

게이트 전극(3202)이 형성된다. 그리고, 제1 게이트 전극(3202)을 감싸는 형태로 기판(3200) 상에 제1 게이트 절연막층(3204)이 형성된다. 그리고 제1 게이트 절연막층(3204) 상에 전하 축적층(3300)이 마련되고, 제1 게이트 절연막층(3204) 상에 전하 축적층(3300)을 감싸는 형태로 제2 게이트 절연막층(3206)이 형성된다.

[0193] 다음 제2 게이트 절연막층(3206) 상에 소스 및 드레인 전극(3208)과 산화물 반도체 박막층(3210)이 형성되며, 산화물 반도체 박막층(3210) 상에 보조 절연막층(3212)이 형성된다. 그리고 소스 및 드레인 전극(3208)과 산화물 반도체층 상에 제3 게이트 절연막층(3214)이 형성되고, 제3 게이트 절연막층(3214) 상에 구동 트랜지스터(320)를 위한 제2 게이트 전극(3220)이 형성된다.

[0194] 또한 제3 게이트 절연막층(3214)을 관통하여 소스 및 드레인 전극(3208)에 전기적으로 연결되는 콘택 플러그(3216)가 형성되며, 콘택 플러그(3216)를 통해 소스 및 드레인 전극(3208)과 전기적으로 연결되는 소스 및 드레인 전극 패드(3218)가 제3 게이트 절연막층(3214) 상에 형성된다.

[0195] 따라서 본 발명의 청구범위는 특정 실시예에 한정되는 것은 아니며, 본 발명과 관련하여 통상의 지식을 가진자에게 자명한 범위내에서 여러 가지의 대안, 수정 및 변경하여 실시할 수 있다. 따라서, 본 발명에 개시된 실시예 및 첨부된 도면들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예 및 첨부된 도면에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 투명한 기관;
 상기 투명한 기관 상에 형성되고 산화물 반도체 물질을 이용하고 채널 형성 영역을 가지는 산화물 반도체층과 게이트 전극으로 구성되는 산화물 반도체 트랜지스터; 및
 상기 게이트 전극과 상기 산화물 반도체층 사이의 게이트 절연층 상에 복층 구조로 형성되고, 상기 복층 중 적어도 하나의 층은 다른 층에 비해 도전성이 낮은 물질로 구성되어 전하를 축적하는 전하 축적층을 포함하는 비휘발성 메모리 셀.
- [청구항 2] 제 1 항에 있어서,
 상기 전하 축적층은,
 상기 게이트 절연층 상에 형성되고 도전성 물질로 형성되는 제1 층;
 상기 제1 층 상에 형성되고 상기 제1 층보다 도전성이 낮은 물질로 형성되는 제2 층; 및
 상기 제2 층 상에 형성되고 상기 제1 층과 동일한 도전성 물질로 형성되는 제3 층을 포함하는 비휘발성 메모리 셀.
- [청구항 3] 제 2 항에 있어서,
 상기 제1 층 및 제3 층은 전극층으로 이용되고 산화물 반도체의 조성물로 구성되는 비휘발성 메모리 셀.
- [청구항 4] 제 2 항에 있어서,
 상기 제2 층은 전하 축적층으로 이용되고 상기 제1 및 제3 층보다 낮은 전도성 또는 절연성을 갖는 산화물 반도체 박막층으로 구성되는 비휘발성 메모리 셀.
- [청구항 5] 제 2 항에 있어서,
 상기 전하 축적층은 다치 정보를 저장하는 비휘발성 메모리 셀.
- [청구항 6] 제 5 항에 있어서,
 상기 전하 축적층에 저장되는 다치 정보는 상기 게이트 전극에 인가되는 프로그래밍 전압 펄스의 총 인가 시간을 조절하는 것에 의해 달성되는 비휘발성 메모리 셀.
- [청구항 7] 제 5 항에 있어서,
 상기 전하 축적층에 저장되는 다치 정보는 상기 게이트 전극에 인가되는 프로그래밍 전압 펄스의 폭을 변경하는 것에 의해 달성되는 비휘발성 메모리 셀.
- [청구항 8] 제 5 항에 있어서,
 상기 전하 축적층에 저장되는 다치 정보는 상기 게이트 전극에 인가되는 프로그래밍 전압 펄스의 크기를 조절하는 것에 의해

- 달성되는 비휘발성 메모리 셀.
- [청구항 9] 제 1 항에 있어서,
상기 산화물 반도체층 상에 형성되어 식각 공정에 의한 상기 산화물 반도체층의 손상을 방지하는 보조 절연막층을 더 포함하는 비휘발성 메모리 셀.
- [청구항 10] 제 1 항에 있어서,
상기 게이트 전극은 가시광에 투명한 도전성 산화물 전극층 또는 도전성 유기물 전극층으로 구성되는 비휘발성 메모리 셀.
- [청구항 11] 투명한 기관 상에 형성된 제1 산화물 반도체층과, 상기 제1 산화물 반도체층 상에 형성된 제1 보조 절연막층과, 상기 제1 보조 절연막층 상에 형성된 제1 게이트 절연막층과, 상기 제1 게이트 절연막층 상에 형성된 복층 구조의 전하 축적층과, 상기 전하 축적층 및 상기 제1 게이트 절연막층 상에 형성된 제2 게이트 절연막층과, 상기 제2 게이트 절연막층 상에 형성된 제1 게이트 전극을 포함하는 메모리 트랜지스터; 및
상기 기관 상에 형성된 제2 산화물 반도체층과, 상기 제2 산화물 반도체층 상에 형성된 제2 보조 절연막층과, 상기 제2 게이트 절연막층 상에 형성된 제2 게이트 전극을 포함하는 구동 트랜지스터를 포함하는 비휘발성 메모리 셀.
- [청구항 12] 제 11 항에 있어서,
상기 전하 축적층은,
상기 제1 게이트 절연층 상에 형성되고 도전성 물질로 형성되는 제1 층;
상기 제1 층 상에 형성되고 상기 제1 층보다 도전성이 낮은 물질로 형성되는 제2 층; 및
상기 제2 층 상에 형성되고 상기 제1 층과 동일한 도전성 물질로 형성되는 제3 층을 포함하는 비휘발성 메모리 셀.
- [청구항 13] 제 12 항에 있어서,
상기 제1 층 및 제3 층은 전극층으로 이용되고 산화물 반도체의 조성물로 구성되는 비휘발성 메모리 셀.
- [청구항 14] 제 12 항에 있어서,
상기 제2 층은 전하 축적층으로 이용되고 상기 제1 및 제3 층보다 낮은 전도성 또는 절연성을 갖는 산화물 반도체 박막층으로 구성되는 비휘발성 메모리 셀.
- [청구항 15] 제 12 항에 있어서,
상기 전하 축적층은 다치 정보를 저장하는 비휘발성 메모리 셀.
- [청구항 16] 제 15 항에 있어서,
상기 전하 축적층에 저장되는 다치 정보는 상기 게이트 전극에

인가되는 프로그래밍 전압 펄스의 총 인가 시간을 조절하는 것에 의해 달성되는 비휘발성 메모리 셀.

[청구항 17]

제 15 항에 있어서,

상기 전하 축적층에 저장되는 다치 정보는 상기 게이트 전극에 인가되는 프로그래밍 전압 펄스의 폭을 변경하는 것에 의해 달성되는 비휘발성 메모리 셀.

[청구항 18]

제 15 항에 있어서,

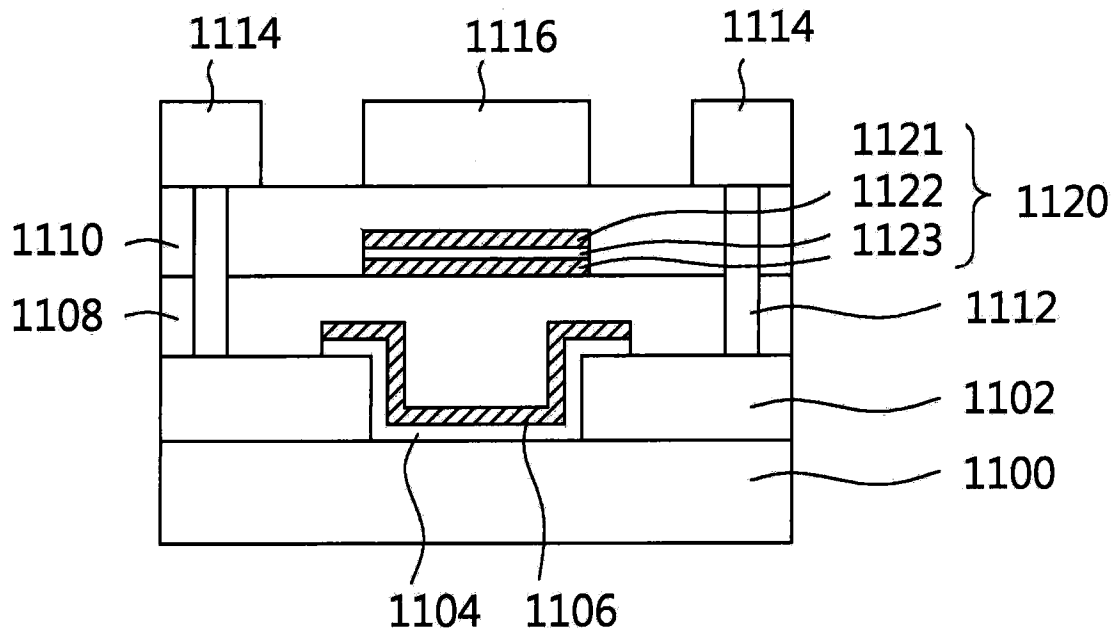
상기 전하 축적층에 저장되는 다치 정보는 상기 게이트 전극에 인가되는 프로그래밍 전압 펄스의 크기를 조절하는 것에 의해 달성되는 비휘발성 메모리 셀.

[청구항 19]

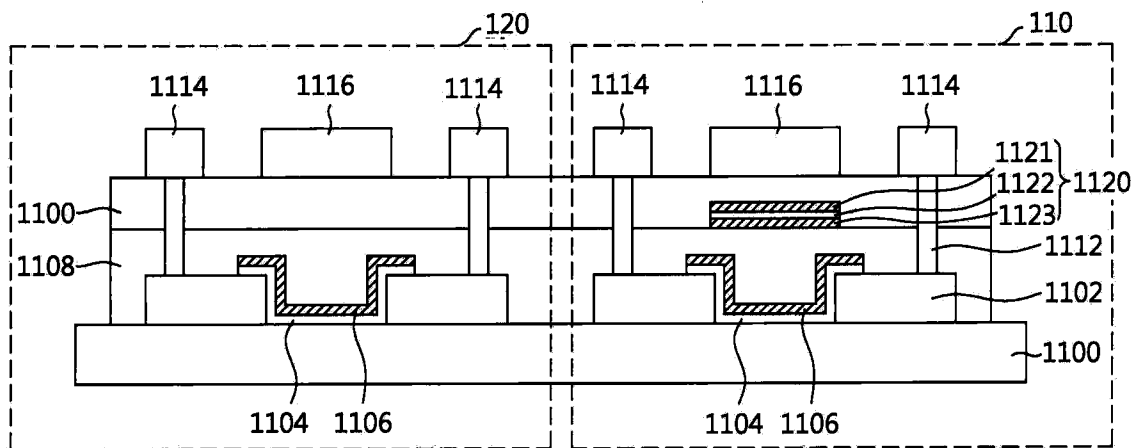
제 1 항에 있어서,

상기 제1 및 제2 게이트 전극은 가시광에 투명한 도전성 산화물 전극층 또는 도전성 유기물 전극층으로 구성되는 비휘발성 메모리 셀.

[Fig. 1]



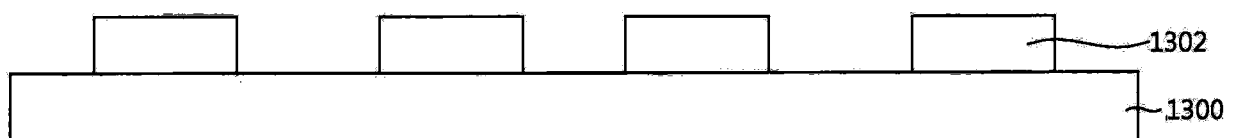
[Fig. 2]



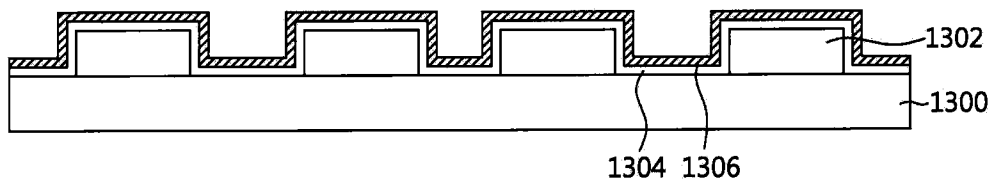
[Fig. 3]



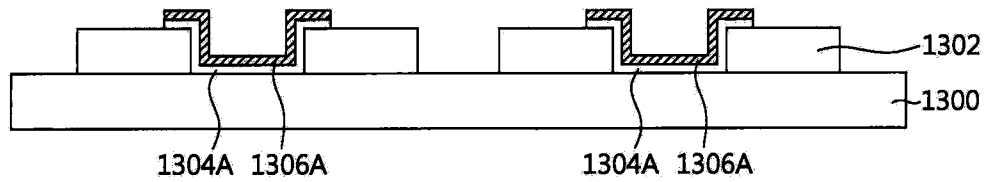
[Fig. 4]



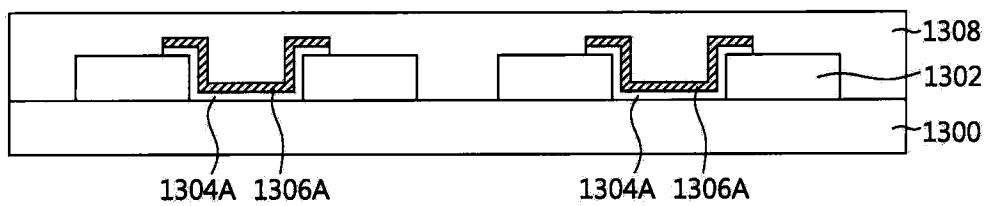
[Fig. 5]



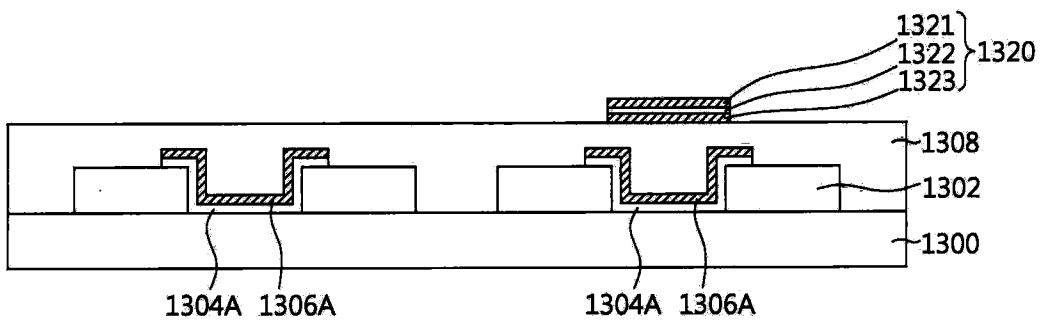
[Fig. 6]



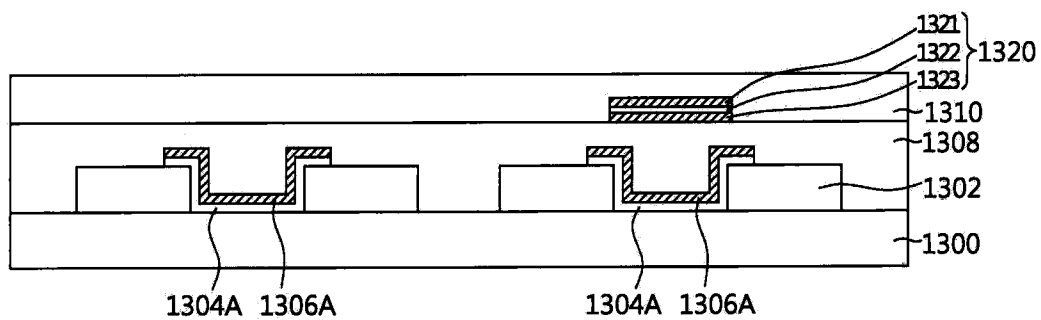
[Fig. 7]



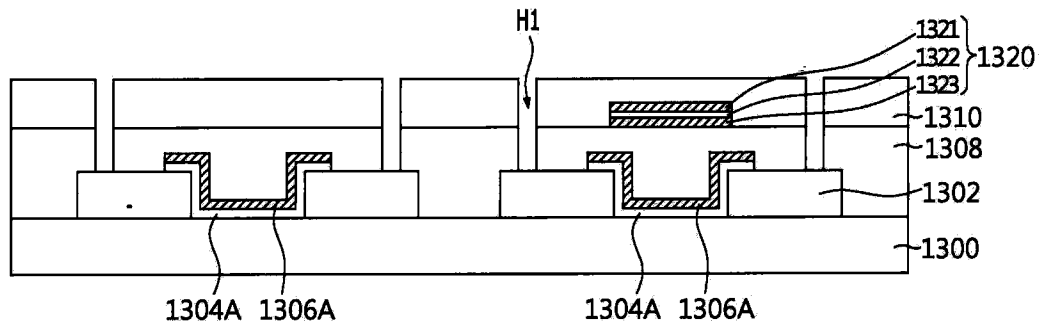
[Fig. 8]



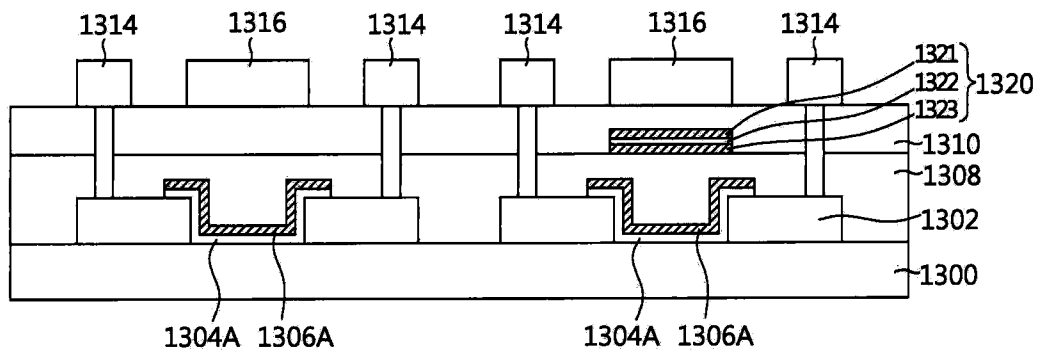
[Fig. 9]



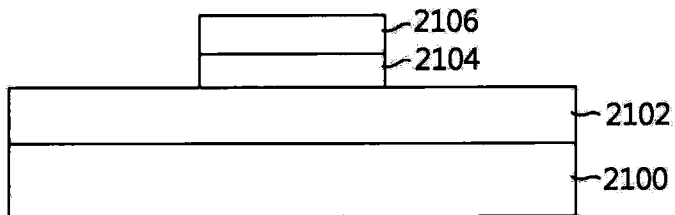
[Fig. 10]



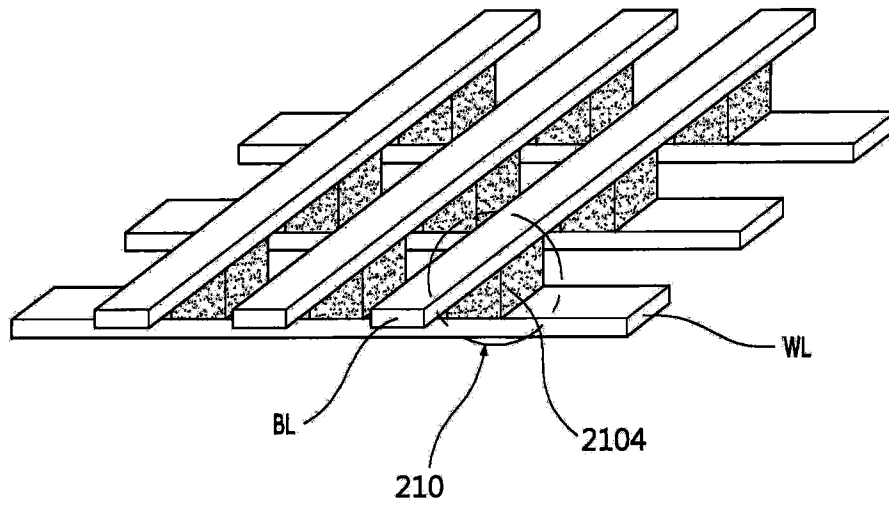
[Fig. 11]



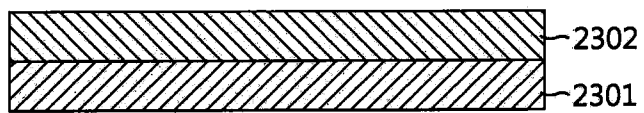
[Fig. 12]



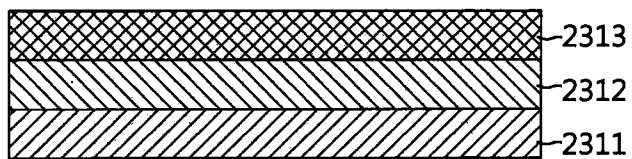
[Fig. 13]



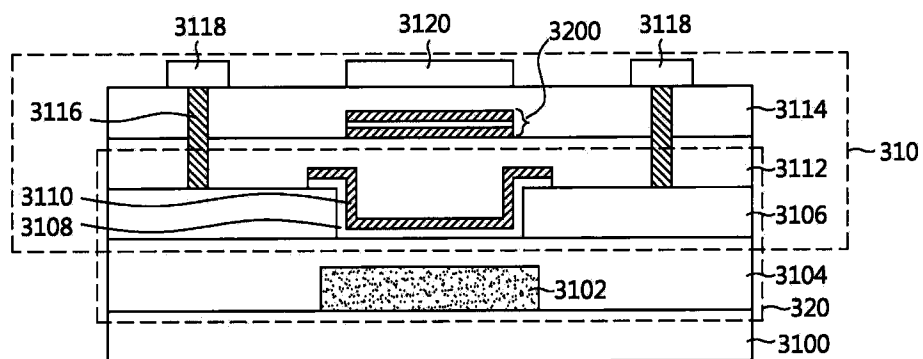
[Fig. 14]



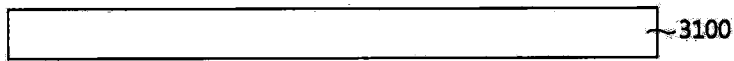
[Fig. 15]



[Fig. 16]



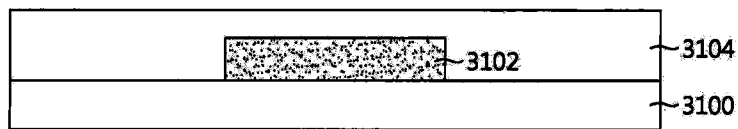
[Fig. 17]



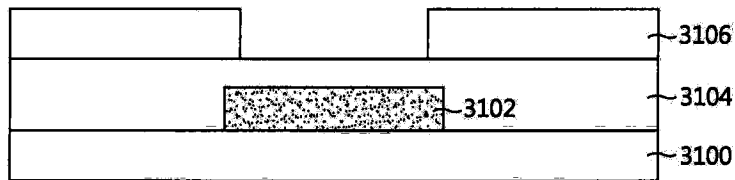
[Fig. 18]



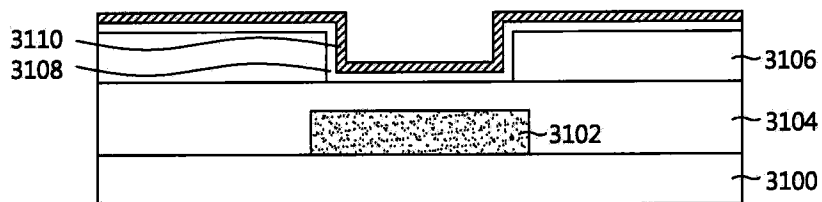
[Fig. 19]



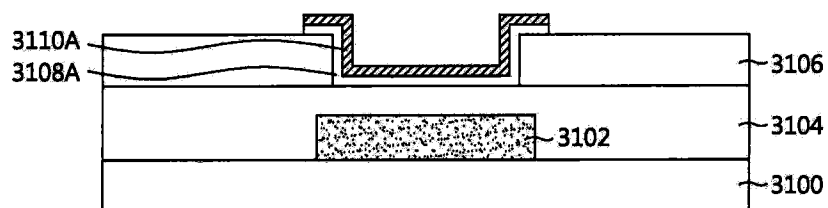
[Fig. 20]



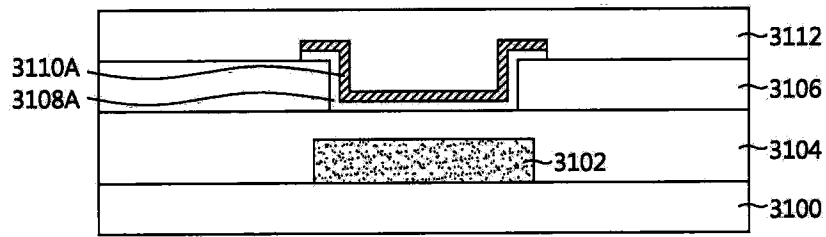
[Fig. 21]



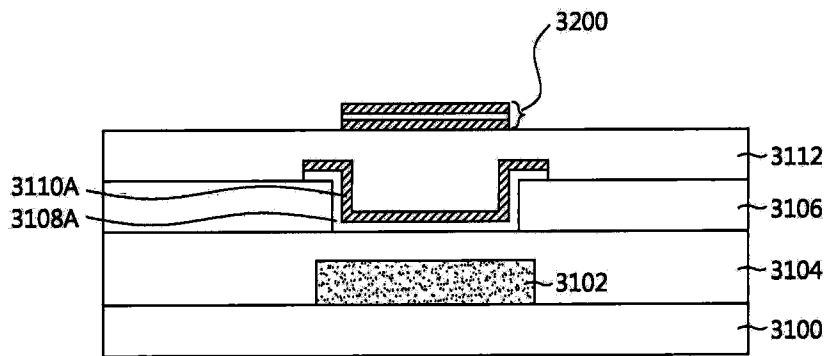
[Fig. 22]



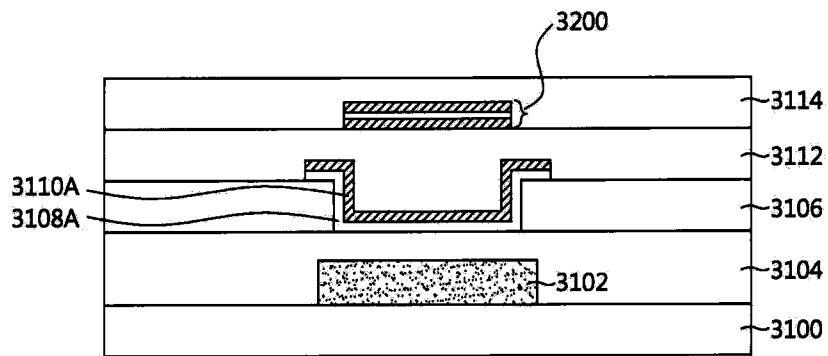
[Fig. 23]



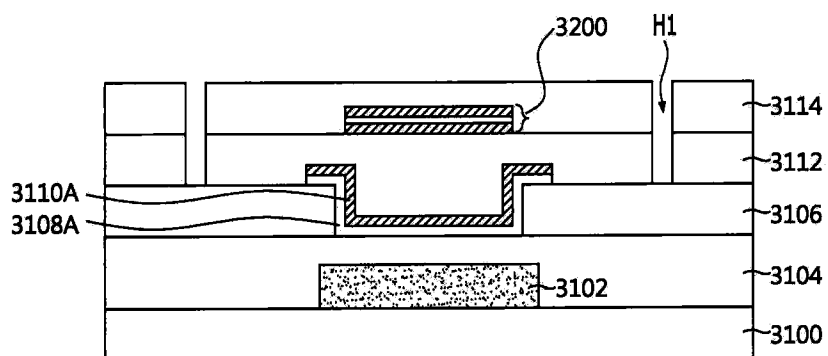
[Fig. 24]



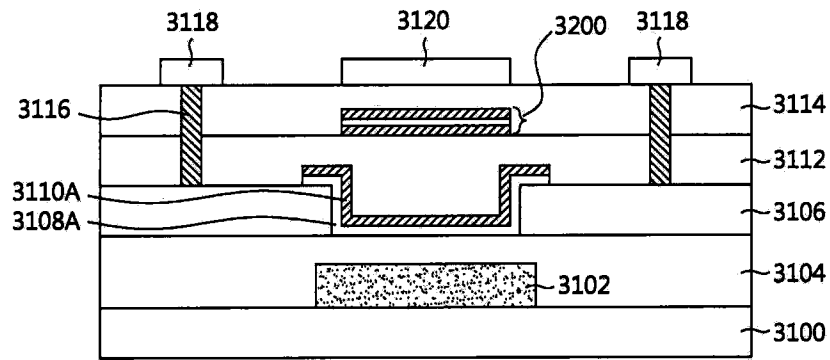
[Fig. 25]



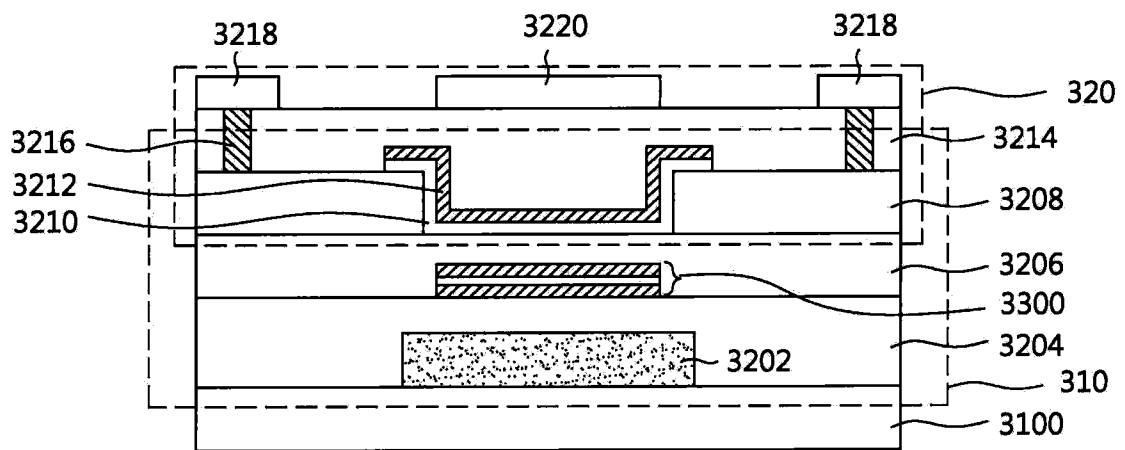
[Fig. 26]



[Fig. 27]



[Fig. 28]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2013/005546**A. CLASSIFICATION OF SUBJECT MATTER****H01L 27/115(2006.01)i, H01L 21/8247(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/115; H01L 29/786; H01L 21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: oxide semiconductor, transparent memory, charge accumulated layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2009-0029136 A (SAMSUNG ELECTRONICS CO., LTD.) 20 March 2009 See paragraphs [0011], [0024]-[0042] and [0050]-[0057]; and figures 1-3, 12	1
Y		9-11,19
A		2-8,12-18
Y	KR 10-2011-0021632 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 04 March 2011	9-11,19
A	See paragraphs [0030]-[0062]; and figure 2	1-8,12-18
A	KR 10-2011-0010019 A (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 31 January 2011 See paragraphs [0028]-[0057]; and figures 3-4f	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23 OCTOBER 2013 (23.10.2013)

Date of mailing of the international search report

24 OCTOBER 2013 (24.10.2013)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2013/005546

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2009-0029136 A	20/03/2009	NONE	
KR 10-2011-0021632 A	04/03/2011	CN 101997002 A JP 2011-049537A US 2011-0049592 A1	30/03/2011 10/03/2011 03/03/2011
KR 10-2011-0010019 A	31/01/2011	KR 10-1268696 B1	29/05/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/115(2006.01)i, H01L 21/8247(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/115; H01L 29/786; H01L 21/8247 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드:산화물 반도체, 투명 메모리, 전하축적층		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2009-0029136 A (삼성전자주식회사) 2009.03.20 단락 [0011], [0024]-[0042], [0050]-[0057]; 및 도면 1-3, 12 참조	1
Y		9-11, 19
A		2-8, 12-18
Y	KR 10-2011-0021632 A (한국전자통신연구원) 2011.03.04 단락 [0030]-[0062]; 및 도면 2 참조	9-11, 19
A		1-8, 12-18
A	KR 10-2011-0010019 A (고려대학교 산학협력단) 2011.01.31 단락 [0028]-[0057]; 및 도면 3-4f 참조	1-19
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2013년 10월 23일 (23.10.2013)		국제조사보고서 발송일 2013년 10월 24일 (24.10.2013)
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-472-7140		심사관 방기인 전화번호 +82-42-481-8684 

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2009-0029136 A	2009/03/20	없음	
KR 10-2011-0021632 A	2011/03/04	CN 101997002 A JP 2011-049537A US 2011-0049592 A1	2011/03/30 2011/03/10 2011/03/03
KR 10-2011-0010019 A	2011/01/31	KR 10-1268696 B1	2013/05/29