

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年1月14日(14.01.2016)



(10) 国際公開番号
WO 2016/006510 A1

- (51) 国際特許分類:
H01G 4/12 (2006.01) *H01G 4/30* (2006.01)
- (21) 国際出願番号: PCT/JP2015/068974
- (22) 国際出願日: 2015年7月1日(01.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-140823 2014年7月8日(08.07.2014) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 川本 光俊(KAWAMOTO Mitsutoshi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 國弘 安俊(KUNIHIRO Yasutoshi); 〒5320011 大阪府大阪市淀川区西中島5丁目14-10 新大阪トヨタビル10階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

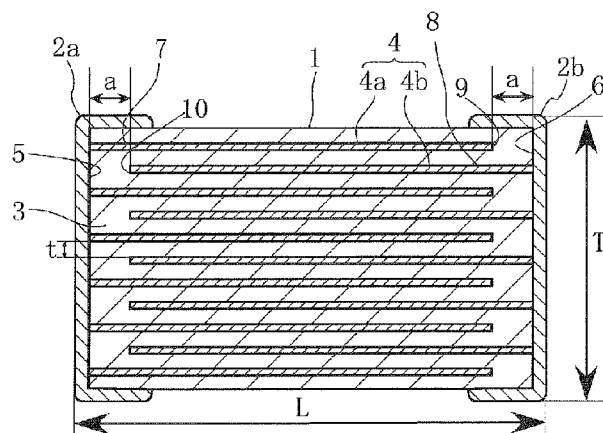
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: STACKED SEMICONDUCTOR CERAMIC CAPACITOR WITH VARISTOR FUNCTION

(54) 発明の名称: バリスタ機能付き積層型半導体セラミックコンデンサ

Fig. 2



(57) Abstract: The present invention is provided with: a component element (1) obtained by alternately stacking semiconductor ceramic layers (3) formed from an SrTiO_3 -based grain boundary insulated semiconductor ceramic, and internal electrode layers (4a, 4b); and external electrodes (2a, 2b) which are electrically connected, at both ends of the component element (1), to the internal electrode layers (4a, 4b). The internal electrode layers (4a, 4b) are provided with lead-out sections (7, 8) which are lead out to one end surface (5) or another end surface (6) of the component element (1). The interval (a) between end surfaces (9, 10) of the internal electrode layers (4a, 4b) and the end surfaces (5, 6) of the component element (1), the interval (b) between side surfaces (13, 14) of the internal electrode layers (4a, 4b) and side surfaces (15, 16) of the component element (1), and the thickness (t) of each of the semiconductor ceramic layers (3) satisfy the relationships $2 \leq a/t \leq 10$ and $2 \leq b/t \leq 5$. Accordingly, a stacked semiconductor ceramic capacitor with varistor function is achieved which exhibits excellent reliability, is capable of inhibiting a reduction in insulation properties even if ESD repeatedly occurs, and is capable of ensuring desired electrical characteristics.

(57) 要約:

[続葉有]



WO 2016/006510 A1



SrTiO₃系粒界絶縁型の半導体セラミックで形成された半導体セラミック層3と内部電極層4a、4bとが交互に積層されてなる部品素体1と、部品素体1の両端部に内部電極層4a、4bと電氣的に接続された外部電極2a、2bとを有する。内部電極層4a、4bは、部品素体1の一方の端面5又は他方の端面6に引き出された引出部7、8を有する。内部電極層4a、4bの端面9、10と部品素体1の端面5、6との間隔a、内部電極層4a、4bの側面13、14と部品素体1の側面15、16との間隔b、及び半導体セラミック層3の厚みtとの間には、 $2 \leq a/t \leq 10$ 、及び $2 \leq b/t \leq 5$ の関係が成立する。これにより繰り返しESDが生じても絶縁性の低下を抑制でき、所望の電気特性を確保できる信頼性に優れたバリスタ機能付き積層型半導体セラミックコンデンサを実現する。

明 細 書

発明の名称：

バリスタ機能付き積層型半導体セラミックコンデンサ

技術分野

[0001] 本発明はバリスタ機能付き積層型半導体セラミックコンデンサに関し、より詳しくは SrTiO_3 系粒界絶縁型の半導体セラミックを利用したバリスタ機能を有する積層型半導体セラミックコンデンサに関する。

背景技術

[0002] 近年のエレクトロニクス技術の発展に伴い、携帯電話、ノート型パソコン等の携帯用電子機器や、自動車などに搭載される車載用電子機器の普及と共に、電子機器の小型化、多機能化が求められている。

[0003] 一方、電子機器の小型化、多機能化を実現するために、各種IC、LSIなどの半導体素子が多く用いられるようになってきており、それに伴って電子機器のノイズ耐力が低下しつつある。

[0004] このため半導体素子の電源ラインにバイパスコンデンサとしてフィルムコンデンサ、積層型セラミックコンデンサ、積層型半導体セラミックコンデンサなどを配し、これにより電子機器のノイズ耐力を確保することが行われている。

[0005] 特に、カーナビやカーオーディオ、車載ECU等では、静電容量が1 nF程度のコンデンサを外部端子に接続し、これにより高周波ノイズを吸収することが広く行われている。

[0006] しかしながら、これらのコンデンサは、高周波ノイズの吸収に対しては優れた性能を示すが、コンデンサ自体は高電圧パルスや静電気を吸収する機能を有さない。このため斯かる高電圧パルスや静電気が電子機器内に侵入すると、電子機器の誤動作や半導体素子の破損を招くおそれがある。特に、静電容量が1 nF程度の低容量になると、ESD (Electro-Static Discharge : 「静電気放電」) 耐圧が極端に低くなり(例えば、2 kV～4 kV程度)、コ

ンデンサそのものの破損を招くおそれがある。

[0007] そこで、従来では、図4（a）に示すように、外部端子101と半導体素子（IC）102とを接続する電源ライン103に接続されたコンデンサ104に対し、ツェナーダイオード105を並列に接続したり、或いは図4（b）に示すように、前記コンデンサ104に対し、バリスタ106を並列に接続することにより、ESD対策を講じている。

[0008] しかしながら、このようにコンデンサ104に対しツェナーダイオード105やバリスタ106を並列接続した場合は、部品個数が増加しコスト高を招く上に、設置スペースを確保しなければならず、デバイスの大型化を招くおそれがある。

[0009] 一方、 SrTiO_3 系粒界絶縁型の積層型半導体セラミックコンデンサは、バリスタ特性を有することが知られており、一定の電圧以上の電圧が印加されると大きな電流が流れることから、ESD対策品としても注目されている。

[0010] したがって、この種の積層型半導体セラミックコンデンサが、ESDに対する耐性を有し、半導体素子102の保護をも担うことができれば、図4のツェナーダイオード105やバリスタ106に代え、図5に示すように、1個の積層型半導体セラミックコンデンサ107のみで賄うことができる。そしてこれにより、部品点数の削減や低コスト化と共に、設計の標準化も容易となり、付加価値を有するコンデンサの提供が可能となる。

[0011] そして、特許文献1では、積層されている複数の半導体セラミック層と、前記半導体セラミック層間の界面に沿って形成されており、Niを主成分とする複数の内部電極と、を有する積層体と、前記積層体の両端部に設けられ、前記内部電極と電氣的に接続されている外部電極と、を備える半導体セラミックコンデンサにおいて、前記半導体セラミック層は、比表面積が $4.0 \text{ m}^2/\text{g}$ 以上 $8.0 \text{ m}^2/\text{g}$ 以下であり、累積90%粒径 D_{90} が $1.2 \mu\text{m}$ 以下のセラミック粉末が焼結してなる SrTiO_3 系粒界絶縁型の半導体セラミックコンデンサが提案されている。

[0012] この特許文献1では、上記熱処理粉末を使用することにより、焼成後の結晶粒子が粗大化するのを抑制することができ、これにより良好なESD耐圧を有する半導体セラミックコンデンサを得ようとしている。

先行技術文献

特許文献

[0013] 特許文献1：国際公開2012/176714号（請求項1～3、段落番号〔0040〕～〔0049〕）

発明の概要

発明が解決しようとする課題

[0014] しかしながら、特許文献1では、初期の絶縁性は良好であってもESDが繰り返して生じると、絶縁性が顕著に低下する場合があります、信頼性に欠けるという問題があった。

[0015] 本発明者は、その原因を究明したところ、半導体セラミック層の端面や側面と内部電極層の端面や側面のそれぞれの間隔が極端に狭くなると、ESD耐性の低下を招くことが判明した。

[0016] すなわち、この種の積層型半導体セラミックコンデンサは、通常、いわゆる多数個取り方式により以下のようにして製造される。

[0017] まず、大判のセラミックグリーンシート上に所定パターンの導電膜とセラミックグリーンシートとを交互に積層し、大判の積層体を作製し、次いで、前記導電膜の一端が引出部を有するように前記大判の積層体を所定寸法に切断して個片化し、グリーン積層体を作製する。次いで、このグリーン積層体に一次焼成及び二次焼成を施し、半導体セラミック層と一端が引出部を有する内部電極層とが交互に積層された部品素体を作製し、その後、該部品素体の両端部に外部電極を形成している。

[0018] このように上記積層型半導体セラミックコンデンサは、多数個取り方式で製造されるため、大判の積層体を個片化してグリーン積層体を得る際に、半導体セラミック層の端面や側面と内部電極層の端面や側面のそれぞれの間隔

に寸法誤差が生じ、これらの間隔が極端に狭くなってしまうことがある。

[0019] そして、これらの間隔が極端に狭くなって半導体セラミック層の厚みよりも小さくなってしまうと、静電気放電時に本来内部電極間に流れるべき電流が、内部電極の端面と外部電極との間に流れてしまい、このため部品にクラックが発生して絶縁性が低下し、ESD耐性の低下を招くことが分かった。

[0020] 本発明はこのような事情に鑑みなされたものであって、繰り返しESDが生じても絶縁性の低下を抑制でき、所望の電気特性を確保できる信頼性に優れたバリスタ機能付き積層型半導体セラミックコンデンサを提供することを目的とする。

課題を解決するための手段

[0021] 本発明者は、上記目的を達成するために鋭意研究を行ったところ、内部電極層の引出部とは反対側の端面と部品素体の端面との間隔（以下、この間隔を「端面間隔」という。） a 、内部電極の側面と部品素体の側面との間隔（以下、この間隔を「側面間隔」という。） b 、及び半導体セラミック層の厚み（以下、この厚みを「層厚み」という。） t とが一定の関係を有するように、端面間隔 a 及び側面間隔 b の寸法を管理することにより、ESDを多数回繰り返しても絶縁性の低下を抑制でき、これにより所望の電気特性を確保できると共に、信頼性に優れた積層型半導体セラミックコンデンサを得ることができるという知見を得た。

[0022] 本発明はこのような知見に基づきなされたものであって、本発明に係るバリスタ機能付き積層型半導体セラミックコンデンサ（以下、単に「積層型半導体セラミックコンデンサ」という。）は、 SrTiO_3 系粒界絶縁型の半導体セラミック形成された複数の半導体セラミック層と複数の内部電極層とが交互に積層されてなる部品素体と、該部品素体の両端部に前記内部電極層と電氣的に接続された一対の外部電極とを有する積層型半導体セラミックコンデンサにおいて、前記内部電極層は、前記部品素体の一方の端面及び他方の端面のうちのいずれかの端面に引き出された引出部を有すると共に、前記引出部とは反対側の端面と前記部品素体の端面との間隔（端面間隔） a 、前記

内部電極層と前記部品素体の側面との間隔（側面間隔） b 、及び前記半導体セラミック層の厚み（層厚み） t との間には、 $2 \leq a/t \leq 10$ 、及び $2 \leq b/t \leq 5$ の関係が成立することを特徴としている。

[0023] また、本発明の積層型半導体セラミックコンデンサは、前記半導体セラミックは、 Sr サイトと Ti サイトとの配合モル比 m は $0.990 \leq m \leq 1.010$ であり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、前記 Ti 元素100モルに対し0.7モル以下（ただし、0モルを含まず。）の範囲で粒界層中に存在しているのが好ましい。

[0024] また、本発明の積層型半導体セラミックコンデンサは、前記アクセプタ元素が、 Mn 、 Co 、 Ni 、及び Cr のうちの少なくとも1種の元素であるのが好ましい。

[0025] また、本発明の積層型半導体セラミックコンデンサは、前記ドナー元素が、 La 、 Nd 、 Sm 、 Dy 、 Nb 、及び Ta 中から選択された少なくとも1種の元素であるのが好ましい。

[0026] また、本発明の積層型半導体セラミックコンデンサは、低融点酸化物が、前記 Ti 元素100モルに対し0.1モル以下の範囲で含有されているのが好ましい。

[0027] さらに、本発明の積層型半導体セラミックコンデンサは、前記低融点酸化物が、 SiO_2 であるのが好ましい。

[0028] また、本発明の積層型半導体セラミックコンデンサは、前記内部電極が、 Ni を主成分とするのが好ましい。

発明の効果

[0029] 上記積層型半導体セラミックコンデンサによれば、 $SrTiO_3$ 系粒界絶縁型の半導体セラミック形成された複数の半導体セラミック層と複数の内部電極層とが交互に積層されてなる部品素体と、該部品素体の両端部に前記内部電極層と電氣的に接続された一対の外部電極とを有する積層型半導体セラミックコンデンサにおいて、前記内部電極層は、前記部品素体の一方の端面及び他方の端面のいずれかの端面に引き出された引出部を有すると共に、端面

間隔 a 、側面間隔 b 、及び層厚み t との間には、 $2 \leq a/t \leq 10$ 、及び $2 \leq b/t \leq 5$ の関係が成立するので、繰り返し ESD が生じて、端面間隔 a や側面間隔 b で放電が生じることもなく、内部電極間で放電させることができ、これにより絶縁性の低下を抑制することが可能となり、所望の電気特性を有する耐久性に優れた積層型半導体セラミックコンデンサを得ることができる。

[0030] そしてその結果、コンデンサとツェナーダイオードの機能を 1 個の積層型半導体セラミックコンデンサで実現することが可能となり、部品点数が削減され、低コスト化が可能となり、設計の標準化も容易となり、ESD 耐性が良好で信頼性に優れた付加価値を有する積層型半導体セラミックコンデンサを実現することが可能となる。

図面の簡単な説明

[0031] [図1]本発明に係る積層型半導体セラミックコンデンサの一実施の形態を模式的に示す斜視図である。

[図2]図1のA-A矢視断面図である。

[図3]図1のB-B矢視断面図である。

[図4]電源ラインに配されたバイパスコンデンサにツェナーダイオード又はバリスタを並列接続した場合の電気回路図である。

[図5]コンデンサにバリスタ機能を持たせた積層型半導体セラミックコンデンサを電源ラインに接続した場合の電気回路図である。

発明を実施するための形態

[0032] 次に、本発明の実施の形態を詳説する。

[0033] 図1は本発明に係る積層型半導体セラミックコンデンサの一実施の形態を模式的に示す斜視図であり、図2は図1のA-A矢視断面図、図3は図1のB-B矢視断面図である。

[0034] この積層型半導体セラミックコンデンサは、部品素体1と、該部品素体1の両端部に形成された外部電極2a、2bとを備えている。

[0035] 部品素体1は、長さL、幅W、厚みTの方形形状を有し、 SrTiO_3 系粒

界絶縁型の半導体セラミックで形成された複数の半導体セラミック層 3 と複数の内部電極層 4 (4 a、4 b) とが交互に積層されて焼結されてなる。

[0036] 内部電極層 4 のうち、内部電極層 4 a は、部品素体 1 の一方の端面 5 に引き出された引出部 7 を有し、該引出部 7 は外部電極 2 a に電氣的に接続されている。また、内部電極層 4 b は、部品素体 1 の他方の端面 6 に引き出された引出部 8 を有し、該引出部 8 は外部電極 2 b に電氣的に接続されている。

[0037] 半導体セラミック層 3 は、主成分が SrTiO_3 系材料からなり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、粒界層中に存在している。すなわち、半導体セラミック層 3 は、微視的には半導体セラミックからなる複数の結晶粒子と、結晶粒子の周囲に形成される粒界層とからなり (図示せず)、結晶粒子同士が粒界層を介して静電容量を形成する。そしてこれら半導体セラミック層 3 を介して対抗する内部電極層 4 の対向面間で直列に、或いは並列に繋がることで、全体として所望の静電容量を得ている。

[0038] 尚、内部電極層 4 に使用される内部電極材料は、特に限定されるものではないが、通常は低コストで良導電性を有する Ni を主成分とした卑金属材料が好んで使用される。

[0039] また、外部電極 2 a、2 b に使用される外部電極材料も、特に限定されるものではなく、 Ni 、 Cr 、 Cu 、 Ga 、 In やこれらを含有了合金類を使用することができる。外部電極 2 a、2 b は、これらの外部電極材料を使用して単層構造又は多層構造に形成することができ、また、これらの上に Ag 層を形成するのも好ましく、さらにはこれらを下地電極として Ni や Sn 等からなるめっき皮膜を形成し、外部電極 2 a、2 b としてもよい。

[0040] そして、本積層型半導体セラミックコンデンサは、端面間隔 a (引出部 7 の反対側の端面 9 と部品素体 1 の端面 6 との間隔、引出部 8 の反対側の端面 10 と部品素体 1 の端面 5 との間隔)、側面間隔 b (内部電極層 4 a、4 b の側面 13、14 と部品素体 1 の側面 15、16 との間隔)、及び層厚み t (半導体セラミック層 3 の厚み) との間には、数式 (1)、(2) の関係が成立する。

[0041] $2 \leq a/t \leq 10 \quad \dots (1)$

$2 \leq b/t \leq 5 \quad \dots (2)$

すなわち、本積層型半導体セラミックコンデンサは、端面間隔 a 、側面間隔 b 及び層厚み t が数式 (1)、(2) を満足しており、これにより繰り返し ESD が発生しても絶縁性を確保できる耐久性・信頼性に優れた積層型半導体セラミックコンデンサを得ることができる。

[0042] 以下、端面間隔 a 、側面間隔 b 及び層厚み t が数式 (1)、(2) を満足するようにした理由を詳述する。

[0043] (1) 端面間隔 a と層厚み t との比 a/t

〔発明が解決しようとする課題〕の項でも述べたように、積層型半導体セラミックコンデンサは、通常、いわゆる多数個取り方式により製造される。すなわち、大判のセラミックグリーンシート上に所定パターンの導電膜を形成し、導電膜の形成されたセラミックグリーンシートを積層して大判の積層体を作製し、その後、端面間隔 a 及び側面間隔 b が所定寸法を有するように大判の積層体を切断して個片化した後、焼成処理（一次焼成及び二次焼成）を行っている。

[0044] しかしながら、端面間隔 a と層厚み t との比 a/t が 2 未満になると、端面間隔 a が層厚み t に比べて過度に小さくなり、このため内部電極層 4 a、4 b 間で放電されるべき電流が、内部電極層 4 a の端面 9 と部品素体 1 の端面 6 との間や、内部電極層 4 b の端面 10 と部品素体 1 の端面 5 との間で放電してしまい、それが原因で部品素体 1 にクラックが発生し、絶縁性の低下を招くおそれがある。

[0045] 一方、端面間隔 a と層厚み t との比 a/t が 10 を超えると、端面間隔 a が大きくなりすぎ、内部電極 4 a と内部電極 4 b との間の対向面積が減少して静電容量の低下を招き、所望の静電容量を確保しようとすると部品の大型化を招くおそれがある。

[0046] そこで、本実施の形態では、端面間隔 a と層厚み t との比 a/t を 2 ～ 10 に設定している。

[0047] (2) 側面間隔 b と層厚み t との比 b/t

側面間隔 b と層厚み t との比 b/t も、良好な ESD 耐性を得る上で重要である。

[0048] すなわち、上記比 b/t が 2 未満になると、側面間隔 b が層厚み t に比べて過度に小さくなり、このため上述と同様、内部電極層 4 a、4 b 間で放電されるべき電流が、内部電極層 4 a、4 b の側面 13、14 と部品素体 1 の側面 15、16 との間で放電してしまい、それが原因で部品素体 1 にクラックが発生し、絶縁性の低下を招くおそれがある。

[0049] 一方、側面間隔 b と層厚み t との比 b/t が 5 を超えると、側面間隔 b が大きくなりすぎ、内部電極 4 a と内部電極 4 b との対向面積が減少して静電容量の低下を招き、所望の静電容量を確保しようとする部品の大型化を招くおそれがある。

[0050] そこで、本実施の形態では、側面間隔 b と層厚み t との比 a/t を 2～5 に設定している。

[0051] このように上記積層型半導体セラミックコンデンサでは、端面間隔 a 、側面間隔 b 及び層厚み t が数式 (1)、(2) を満足することにより、繰り返し ESD が生じても、側面間隔 a や端面間隔 b で放電が生じることもなく、内部電極 4 a と内部電極 4 b との間で放電させることができ、これにより絶縁性の低下を抑制することが可能となり、所望の電気特性を有する耐久性に優れた積層型半導体セラミックコンデンサを得ることができる。

[0052] 具体的には 30 kV の電圧を正逆 1000 回繰り返し印加して接触放電させても、 $1.0 \times 10^8 \Omega$ 以上の絶縁抵抗 I_R を確保することができ、絶縁性の低下を抑制することが可能となる。

[0053] そしてその結果、コンデンサとツェナーダイオードの機能を 1 個の積層型半導体セラミックコンデンサで実現することが可能となり、部品点数が削減され、低コスト化が可能となり、設計の標準化も容易となり、ESD 耐性が良好で信頼性に優れた付加価値を有する積層型半導体セラミックコンデンサを実現することができる。

- [0054] 尚、本実施の形態では、 S_r サイトと T_i サイトとの配合モル比 m は、 $0.990 \leq m \leq 1.010$ となるように調製するのが好ましい。
- [0055] すなわち、 S_r を化学量論組成よりも過剰に含有させることにより、結晶粒子に固溶されずに結晶粒界に析出した S_r が粒成長を抑制し、これにより微粒の結晶粒子が得られる。そして結晶粒子が微粒化することによって結晶粒界に酸素が行き渡りやすくなり、ショットキー障壁の形成を促進し、良好な絶縁性を確保することができる。
- [0056] ただし、配合モル比 m は 1.010 を超えると、結晶粒子に固溶されなかった S_r の結晶粒界への析出が増加し、粒界絶縁層の厚みが過度に厚くなって静電容量の過度の低下を招くおそれがある。
- [0057] 一方、配合モル比 m が 0.990 未満になると、 T_i の含有モル量が過剰となり、結晶粒子が粗大化傾向となって絶縁性の低下を招くおそれがある。
- [0058] したがって、配合モル比 m は $0.990 \leq m \leq 1.010$ となるように調製するのが好ましい。
- [0059] 尚、ドナー元素は、上述したように還元雰囲気中で焼成処理を行ってセラミックを半導体化するために結晶粒子中に固溶させているが、その含有量は特に限定されない。ただし、ドナー元素が T_i 元素 100 モルに対し 0.2 モル未満の場合は静電容量の過度の低下を招くおそれがある。一方、ドナー元素が T_i 元素 100 モルに対し 1.2 モルを超えると焼成温度の許容温度幅が狭くなるおそれがある。
- [0060] したがって、ドナー元素の含有モル量は T_i 元素 100 モルに対し $0.2 \sim 1.2$ モル、好ましくは $0.4 \sim 1.0$ モルがよい。
- [0061] そして、このようなドナー元素としては、特に限定されるものではなく、例えば、例えば、 La 、 Nd 、 Sm 、 Dy 、 Nb 、及び Ta 等を使用することができる。
- [0062] また、アクセプタ元素は、上述したように粒界絶縁層中に存在する。粒界絶縁層は、電氣的に活性化するエネルギー準位（粒界準位）を形成してショットキー障壁の形成を促進し、これにより絶縁抵抗が向上し、良好な絶縁性

を有する積層型半導体セラミックコンデンサを得ることができる。ただし、アクセプタ元素の含有モル量がTi元素100モルに対し0.7モルを超えると、ESD耐圧の低下を招き、好ましくない。

[0063] したがって、アクセプタ元素の含有モル量をTi元素100モルに対し0.7モル以下（ただし、0モルを含まず。）、好ましくは0.3～0.5モルが好ましい。

[0064] そして、このようなアクセプタ元素としては、特に限定されるものではないが、Mn、Co、Ni、Cr等を使用することができ、特にMnが好んで使用される。

[0065] また、上記半導体セラミック層3中に、Ti元素100モルに対し、0.1モル以下の範囲で低融点酸化物を添加するのも好ましく、このような低融点酸化物を添加することにより、焼結性を向上させることができると共に上記アクセプタ元素の結晶粒界への偏析を促進することができる。

[0066] 尚、低融点酸化物の含有モル量を上記範囲としたのは、その含有モル量がTi元素100モルに対し、0.1モルを超えると静電容量の過度の低下を招き、所望の電気特性が得られないおそれがあるからである。

[0067] また、低融点酸化物としては、特に限定されるものではなく、SiO₂、Bやアルカリ金属元素（K、Li、Na等）を含有したガラスセラミック、銅ータングステン塩等を使用することができるが、SiO₂が好んで使用される。

[0068] 次に、上記積層型半導体セラミックコンデンサの製造方法の一実施の形態を説明する。

[0069] まず、セラミック素原料としてSrCO₃等のSr化合物、LaやSm等のドナー元素を含有したドナー化合物、及び、例えば比表面積が10m²/g以上（平均粒径：約0.1μm以下）のTiO₂等、微粒のTi化合物をそれぞれ用意し、所定量秤量する。

[0070] 次いで、この秤量物100重量部に対し、例えば1～3重量部の分散剤を添加し、PSZ（Partially Stabilized Zirconia；「部分安定化ジルコニア

」) ボール等の粉碎媒体及び純水と共にボールミルに投入し、該ボールミル内で十分に湿式混合してスラリーを作製する。

[0071] 次に、このスラリーを蒸発乾燥させた後、大気雰囲気下、所定温度（例えば、 1350°C ～ 1450°C ）で2時間程度、仮焼処理を施し、ドナー元素が固溶した仮焼粉末を作製する。

[0072] 次いで、MnやCo等のアクセプタ元素を含有したアクセプタ化合物を所定量秤量し、必要に応じて SiO_2 等の低融点酸化物を所定量秤量する。次いでこれらアクセプタ化合物及び低融点酸化物を前記仮焼粉末と混合し、さらには所定量の分散剤及び純水を添加し、再度前記粉碎媒体と共にボールミルに投入し、該ボールミル内で十分に湿式で混合し、混合物を得る。

[0073] 尚、分散剤は、混合物中の結晶粒子の凝集を回避するために添加されるものであり、分散剤の種類は、特に限定されるものではないが、通常はポリカルボン酸アンモニウム塩等の有機系分散剤を好んで使用することができる。

[0074] 次いで、上記混合物を蒸発乾燥させた後、大気雰囲気下、所定温度（例えば、 500°C ～ 700°C ）で5時間程度、熱処理を行い、熱処理粉末を作製する。

[0075] 次に、この熱処理粉末にトルエン、アルコール等の有機溶媒や有機バインダ、可塑剤、界面活性剤等を適宜添加して十分に湿式で混合し、これによりセラミックスラリーを得る。

[0076] 次に、ドクターブレード法、リップコータ法、ダイコータ法等の成形加工法を使用してセラミックスラリーに成形加工を施し、大判のセラミックグリーンシートを作製する。

[0077] 次いで、Ni等を主成分とした内部電極用導電性ペーストを使用してセラミックグリーンシート上にスクリーン印刷法、グラビア印刷法、又は真空蒸着法、スパッタリング法などを用いた転写等を施し、前記セラミックグリーンシートの表面に所定パターンの導電膜を形成する。

[0078] 次いで、導電膜が形成されたセラミックグリーンシートを所定方向に複数枚積層すると共に、導電膜の形成されていない外装用のセラミックグリーン

シートを積層し、熱圧着した後、端面間隔 a 、側面間隔 b 、層厚み t が焼成後に上記（１）、（２）を満足するように所定寸法に切断して個片化し、グリーン積層体を作製する。

[0079] そしてこの後、グリーン積層体を窒素雰囲気下、 $300\sim500^{\circ}\text{C}$ の温度で２時間程度、脱バインダ処理し、次いで、 H_2 ガスと N_2 ガスが所定の流量比（例えば、 $\text{H}_2/\text{N}_2=0.025/100\sim1/100$ ）となるように還元雰囲気とされた焼成炉を使用し、該焼成炉内で、 $1200\sim1250^{\circ}\text{C}$ の温度で２時間程度、一次焼成を行い、グリーン積層体を半導体化し、積層焼結体を作製する。

[0080] このように一次焼成処理における焼成温度（ $1200\sim1250^{\circ}\text{C}$ ）を、仮焼処理における仮焼温度（ $1350\sim1450^{\circ}\text{C}$ ）よりも低くすることにより、一次焼成処理において結晶粒子の粒成長が促進されることがほとんどなく、結晶粒子が粗大化するのを抑制することができ、これにより Sr と Ti との配合モル比 m と相俟って結晶粒子の平均粒径 D_{ave} を容易に $1.0\mu\text{m}$ 以下にすることができ、半導体セラミック層３の薄層化が可能となる。

[0081] そして、上記積層焼結体を大気雰囲気下、 $600\sim900^{\circ}\text{C}$ の低温で１時間程度、二次焼成を行い半導体セラミックに再酸化処理を施し、酸素を結晶粒界に拡散させる。そしてこれにより結晶粒界は絶縁層（粒界絶縁層）となって該結晶粒界にショットキー障壁が形成され、絶縁性を向上させることができ、内部電極４が埋設された部品素体１が作製される。

[0082] その後、部品素体１の両端部に外部電極用導電性ペーストを塗布し、焼付処理を行い、外部電極２ a 、２ b を形成し、これにより積層型半導体セラミックコンデンサが製造される。

[0083] 尚、本発明は上記実施の形態に限定されるものではない。例えば、上記実施の形態では、固溶体を固相法で作製しているが、固溶体の作製方法は特に限定されるものではなく、例えば水熱合成法、ゾル・ゲル法、加水分解法、共沈法等任意の方法を使用することができる。

[0084] 次に、本発明の実施例を具体的に説明する。

実施例

[0085] 〔試料の作製〕

セラミック素原料として SrCO_3 、比表面積が $30\text{ m}^2/\text{g}$ （平均粒径：約 30 nm ）の TiO_2 、及びドナー化合物としての LaCl_3 を用意した。そして、 Sr サイトと Ti サイトとの配合モル比 m （= Sr サイト/ Ti サイト）が 1.000 となるように SrCO_3 及び TiO_2 を秤量し、 La の含有量が Ti 元素 100 モルに対し 0.8 モルとなるように LaCl_3 を秤量した。

[0086] 次いで、これらの秤量物 100 重量部に対し 3 重量部のポリカルボン酸アンモニウム塩を分散剤として添加した後、粉碎媒体として直径 2 mm の PSZ ボール及び純水と共にボールミルに投入し、該ボールミル内で 16 時間湿式混合してスラリーを作製した。

[0087] 次に、このスラリーを蒸発乾燥させた後、大気雰囲気下、 1400°C の仮焼温度で 2 時間仮焼処理を行い、 La が結晶粒子に固溶した仮焼粉末を得た。

[0088] 次に、アクセプタ元素としての Mn 元素の含有量が、 Ti 元素 100 モルに対し 0.3 モルとなるように MnCO_3 を秤量し、 Si の含有モル量が、 Ti 元素 100 モルに対し 0.1 モルとなるように SiO_2 を秤量し、これら秤量物を前記仮焼粉末に添加し、さらに分散剤としてのポリカルボン酸アンモニウム塩を、仮焼粉末 100 重量部に対し 3 重量部となるように、前記仮焼粉末に添加した。

[0089] 次いで、再び直径 2 mm の PSZ ボール及び純水と共にボールミルに投入し、該ボールミル内で 35 時間湿式混合し、混合物を得た。尚、本実施例では、 MnCO_3 を仮焼粉末に添加しているが、 MnCl_2 溶液や Mn ゾル溶液を添加してもよい。

[0090] 次いで、この混合物を蒸発乾燥させ、大気雰囲気下、 600°C で 5 時間、熱処理を行い、分散剤等の有機成分を除去し、熱処理粉末を得た。

[0091] 次に、トルエン、アルコール等の有機溶媒、及び適量の分散剤を前記熱処

理粉末に添加し、再び直径 2 mm の P S Z ボールと共にボールミルに投入し、該ボールミル内にて湿式で 16 時間混合した。そしてこの後、有機バインダとしてのポリビニルブチラール (P V B) や可塑剤としてのジオクチルフタレート (D O P)、更にはカチオン性界面活性剤を適量添加し、湿式で 1.5 時間混合処理を行い、これによりセラミックスラリーを作製した。

[0092] 次に、リップコータ法を使用し、セラミックスラリーに成形加工を施し、焼成後の厚みが $25\ \mu\text{m}$ となるように大判のセラミックグリーンシートを作製した。

[0093] 次いで、N i を主成分とする内部電極用導電性ペーストを使用してセラミックグリーンシート上にスクリーン印刷を施し、前記セラミックグリーンシートの表面に所定パターンの導電膜を形成した。

[0094] 次いで、導電膜の形成されたセラミックグリーンシートを所定方向に 11 枚積層した後、導電膜の形成されていない外装用のセラミックグリーンシートを上下に付与し、その後厚みが 0.7 mm 程度となるように熱圧着し、セラミックグリーンシートと内部電極とが交互に積層された大判の積層体を得た。

[0095] 尚、導電膜は、焼成後の端面間隔 a と層厚み t との比 a/t 及び側面間隔 b と層厚み t との比 b/t が表 1 となるように種々のパターンを形成した。

[0096] そしてこの後、この大判の積層体を所定寸法に切断して個片化し、グリーン積層体を得た後、該グリーン積層体を窒素雰囲気中、温度 375°C で 2 時間、脱バインダ処理を行なった。次いで、 $\text{H}_2 : \text{N}_2 = 1 : 100$ の流量比に調整された還元雰囲気下、 1220°C の焼成温度で 2 時間、一次焼成を施し、半導体化して積層焼結体を得た。

[0097] 次に、大気雰囲気下、 700°C の温度で 1 時間、二次焼成を行って再酸化処理を施し、これにより粒界に酸素を分散させて粒界絶縁層を形成し、その後、端面を研磨して部品素体を作製した。

[0098] 次いで、この部品素体の両端部にスパッタリングを施し、N i - C r 層、N i - C u 層、A g 層からなる三層構造の下地電極を形成した。次いで、電

解めつきを施し、下地電極の表面にNi皮膜及びSn皮膜を順次形成して外部電極を形成し、これにより試料番号1～11の試料を得た。試料の外径寸法は、いずれも長さL：1.0mm、幅W：0.5mm、厚みT：0.5mmであった。

[0099] 〔試料の評価〕

試料番号1～11の各試料をそれぞれ6個ずつ用意した。

[0100] そして、各6個の試料のうち3個の試料については、幅（W）方向が垂直方向に沿うような姿勢で保持し、試料の周囲を樹脂で固め、試料の長さLと、厚さTにより規定されるLT面を樹脂から露出させた。その後、研磨機により、各試料のLT面を研磨し、各試料を幅（W）方向の1/2程度の深さまで研磨し、さらに研磨面をイオンミリングして内部電極に延びが生じないようにし、各試料の縦断面を得た。

[0101] また、残りの3個の試料については、長さ（L）方向が垂直方向に沿うような姿勢で保持し、試料の周囲を樹脂で固め、試料の幅Wと、厚さTにより規定されるWT面を樹脂から露出させた。その後、研磨機により、各試料のWT面を研磨し、各試料を長さ（L）方向の1/2程度の深さまで研磨し、さらに研磨面をイオンミリングして内部電極に延びが生じないようにし、各試料の横断面を得た。

[0102] <層厚みtの測定>

LT断面を露出させた試料番号1～11の各試料3個について、半導体セラミック層と直交する中心線CをLT断面の略中央部に引いた。そして、走査型電子顕微鏡（SEM）を使用し、各試料3個の全10層について、中心線C上の半導体セラミックス層の層厚みtを測定し、平均値を算出したところ、半導体セラミック層の層厚みtの平均値は、25.0μmであった。

[0103] <端面間隔aの測定>

LT断面を露出させた試料番号1～11の各試料3個について、走査型電子顕微鏡（SEM）を使用し、一端面につき5ヶ所ずつ計10ヶ所について、端面間隔aを測定し、その平均値を算出した。

[0104] <側面間隔 b の測定>

WT断面を露出させた試料番号1～11の各試料3個について、走査型電子顕微鏡（SEM）を使用し、一端面につき5ヶ所ずつ計10ヶ所について、側面間隔 b を測定し、その平均値を算出した。

[0105] <電気特性の測定>

試料番号1～11の各試料30個について、インピーダンスアナライザ（アジレント・テクノロジー社製、HP4194A）を用い、温度 $25 \pm 2^\circ\text{C}$ に温度調整し、測定周波数1kHzで 1V_{rms} の交流電圧を印加して静電容量を測定し、その平均値を求めた。

[0106] また、試料番号1～11の各試料30個について、50Vの直流電圧を1分間印加し、絶縁抵抗 $I R$ を測定し、その平均値を求めた。

[0107] また、試料1～11の各試料3個について、静電気試験器（ノイズ研究所社製、ESS-2000AX）を使用し、ESDのイミュニティ試験規格であるIEC61000-4-2（国際規格）に準拠し、30kVの接触放電を正逆1回、10回、100回、200回、及び1000回繰り返し印加した。次いで、接触放電後に50Vの直流電圧を1分間印加し、その漏れ電流から接触放電後の絶縁抵抗 $I R$ をそれぞれ測定し、その平均値を求めた。

[0108] 表1は、試料番号1～11の各試料における比 a/t 、比 b/t 、静電容量、初期絶縁抵抗 $I R_0$ 、及び接触放電後の絶縁抵抗 $I R$ を示している。尚、絶縁抵抗 $I R$ は、常用対数（ $\log I R$ ）で表示している。

[0109]

[表1]

試料 No.	比a/t	比b/t	静電容量 (nF)	絶縁抵抗logIR (IR: Ω)				
				初期値	正逆1回	正逆10回	正逆100回	正逆1000回
1	6	3	1.24	8.9	8.9	8.9	8.9	8.9
2	2	2	1.83	8.4	8.4	8.3	8.4	8.4
3	10	5	0.75	9.1	9.1	9.1	8.9	8.8
4	2	5	1.13	8.8	8.8	8.7	8.6	8.7
5	10	2	1.08	9.0	9.1	8.9	9.0	9.0
6*	1.5	3	1.65	8.5	5.8	—	—	—
7*	6	1.5	1.71	8.4	5.9	—	—	—
8*	15	3	0.51	9.5	5.0	—	—	—
9*	6	8	0.42	9.6	5.3	—	—	—
10*	1.75	2	2.05	8.3	8.3	8.2	5.7	—
11*	2	1.75	2.13	8.2	8.2	8.3	5.4	—

* は本発明範囲外

[0110] 試料番号6は、比 a/t が1.5と小さく、内部電極層間の対向面積は大きいこと、静電容量は1.65 nFと大きいものの、絶縁抵抗logIRの初期値は8.5であるのに対し、30 kVの電圧印加時に正逆1回の接触放電で絶縁抵抗logIRは5.8に低下した。これは端面間隔 a が層厚み t に比べて過度に小さいため、30 kVの電圧を印加した場合、内部電極層間で放電せずに端面間隔 a 間で放電し、このため、正逆1回の接触放電を行った時点で半導体セラミック層に微細なクラックが発生し、絶縁抵抗logIRの低下を招いたものと思われる。

[0111] 試料番号7は、比 b/t が1.5と小さく、この場合も内部電極層間の対向面積は大きいこと、静電容量は1.71 nFと大きいものの、絶縁抵抗logIRの初期値は8.4であるのに対し、30 kVの電圧印加時に正逆1回の接触放電で絶縁抵抗logIRは5.9に低下した。これは側面間隔 b が層厚み t に比べて過度に小さいため、30 kVの電圧を印加した場合、内部電極層間で放電せずに側面間隔 b 間で放電し、このため正逆1回の接触放電を行っ

た時点で半導体セラミック層に微細なクラックが発生し、絶縁抵抗 $\log I R$ の低下を招いたものと思われる。

[0112] 試料番号 8 は、比 a/t が 1.5 と大きく、内部電極層間の対向面積が小さくなるため、静電容量は 0.51 nF に低下した。

[0113] 試料番号 9 は、比 b/t が 8 と大きく、試料番号 8 と同様、内部電極層間の対向面積が小さくなるため、静電容量は 0.42 nF に低下した。

[0114] 尚、この試料番号 8、9 では、端面間隔 a 又は側面間隔 b が層厚み t よりも十分に大きいにも拘わらず、30 kV の接触放電を正逆 1 回行っただけで絶縁抵抗 $\log I R$ は 5.0 又は 5.3 に低下したが、これは測定に使用した上記静電気試験器が、IEC 61000-4-2 に準拠し、コンデンサ容量を 150 pF、放電抵抗を 330 Ω に設定してノイズ試験を行ったため、試料に高電圧が印加されたためと考えられる。

[0115] いずれにしても試料番号 8、9 は、内部電極層間の対向面積が小さく、このため静電容量が低下し、所望の静電容量を得るためには部品の大型化を招くことから好ましくない。

[0116] 試料番号 10、11 は、比 a/t 、比 b/t がそれぞれ 1.75 と小さく、この場合も内部電極層間の対向面積は大きいため、静電容量はそれぞれ 2.05 nF、2.13 nF と大きい。しかしながら、30 kV の電圧印加時に正逆 10 回の接触放電では、絶縁抵抗 $\log I R$ はそれぞれ 8.2、8.3 であるのに対し、正逆 100 回の接触放電では、絶縁抵抗 $\log I R$ はそれぞれ 5.7、5.4 に低下した。これは端面間隔 a 又は側面間隔 b が層厚み t に比べて十分に大きくないため、30 kV の電圧を印加した場合、正逆 100 回の接触放電を行うと、内部電極層間で放電せずに端面間隔 a 間、又は側面間隔 b 間で放電し、半導体セラミック層に微細なクラックが発生し、このため絶縁抵抗 $\log I R$ の低下を招いたものと思われる。

[0117] これに対し試料番号 1～5 は、比 a/t が 2～10、比 b/t が 2～5 といずれも本発明範囲内であるので、静電容量は 0.75～1.83 nF と良好な値を維持しつつ、30 kV の電圧を印加して接触放電を正逆 1000 回

行っても、絶縁抵抗 $\log I R$ は 8.4 ~ 9.0 であり、初期の絶縁抵抗値と遜色がなく、良好な ESD 耐性を有することが分かった。

産業上の利用可能性

[0118] 繰り返し ESD が生じても所望の絶縁性を確保でき、所望の電気特性と良好な耐久性を有し、信頼性の優れたバリスタ機能付き積層型半導体セラミックコンデンサが実現でき、コンデンサとツェナーダイオードとを 1 素子で担うことができる。

符号の説明

- [0119] 1 部品素体
- 2 a、2 b 外部電極
- 3 半導体セラミック層
- 4 内部電極層
- 5、6 部品素体の端面
- 7、8 引出部
- 9、10 内部電極層の端面
- 13、14 内部電極層の側面
- 15、16 部品素体の側面

請求の範囲

[請求項1] SrTiO_3 系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層と複数の内部電極層とが交互に積層されてなる部品素体と、該部品素体の両端部に前記内部電極層と電氣的に接続された一対の外部電極とを有するバリスタ機能付き積層型半導体セラミックコンデンサにおいて、

前記内部電極層は、前記部品素体の一方の端面及び他方の端面のうちのいずれかの端面に引き出された引出部を有すると共に、

前記引出部とは反対側の端面と前記部品素体の端面との間隔 a 、前記内部電極層の側面と前記部品素体の側面との間隔 b 、及び前記半導体セラミック層の厚み t との間には、

$$2 \leq a / t \leq 10、及び$$

$$2 \leq b / t \leq 5$$

の関係が成立することを特徴とするバリスタ機能付き積層型半導体セラミックコンデンサ。

[請求項2] 前記半導体セラミックは、 Sr サイトと Ti サイトとの配合モル比 m が $0.990 \leq m \leq 1.010$ であり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、前記 Ti 元素100モルに対し0.7モル以下（ただし、0モルを含まず。）の範囲で粒界層中に存在していることを特徴とする請求項1記載のバリスタ機能付き積層型半導体セラミックコンデンサ。

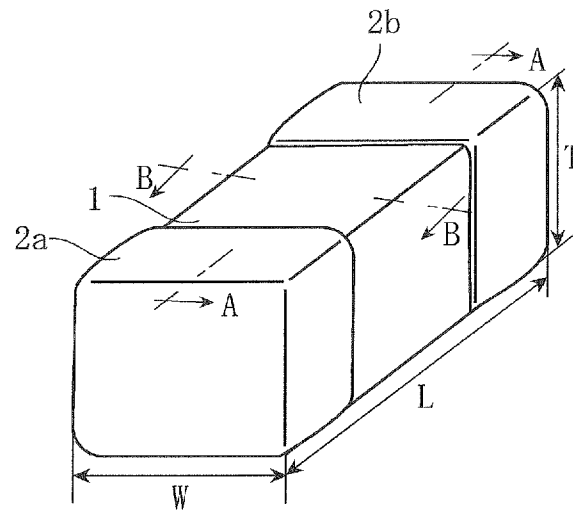
[請求項3] 前記アクセプタ元素は、 Mn 、 Co 、 Ni 、及び Cr のうちの少なくとも1種の元素であることを特徴とする請求項2記載のバリスタ機能付き積層型半導体セラミックコンデンサ。

[請求項4] 前記ドナー元素は、 La 、 Nd 、 Sm 、 Dy 、 Nb 、及び Ta 中から選択された少なくとも1種の元素であることを特徴とする請求項2又は請求項3記載のバリスタ機能付き積層型半導体セラミックコンデンサ。

- [請求項5] 低融点酸化物が、前記Ti元素100モルに対し0.1モル以下の範囲で含有されていることを特徴とする請求項1乃至請求項4のいずれかに記載のバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項6] 前記低融点酸化物が、 SiO_2 であることを特徴とする請求項5記載のバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項7] 前記内部電極層は、Niを主成分とすることを特徴とする請求項1乃至請求項6のいずれかに記載のバリスタ機能付き積層型半導体セラミックコンデンサ。

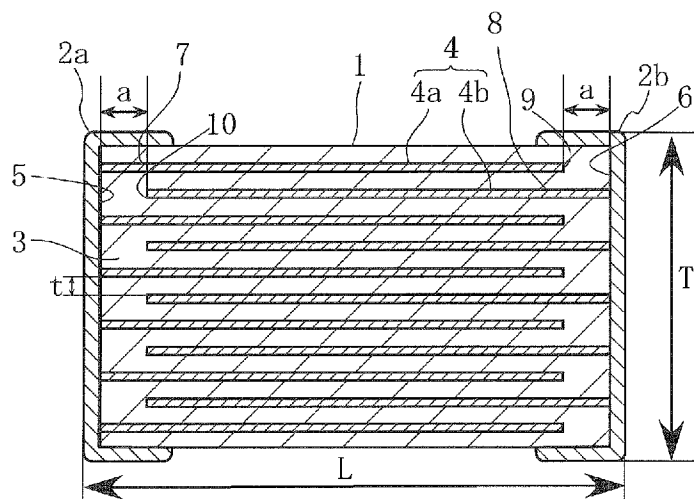
[図1]

Fig. 1



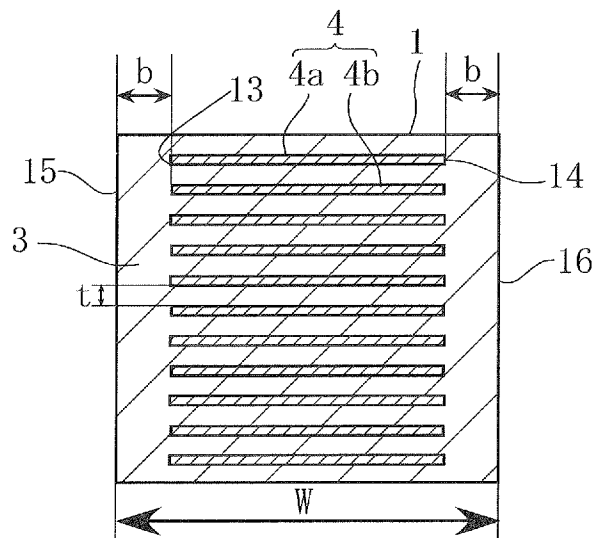
[図2]

Fig. 2



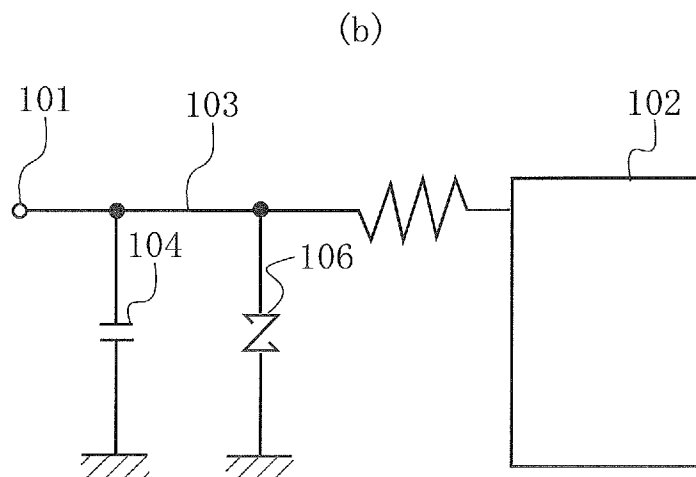
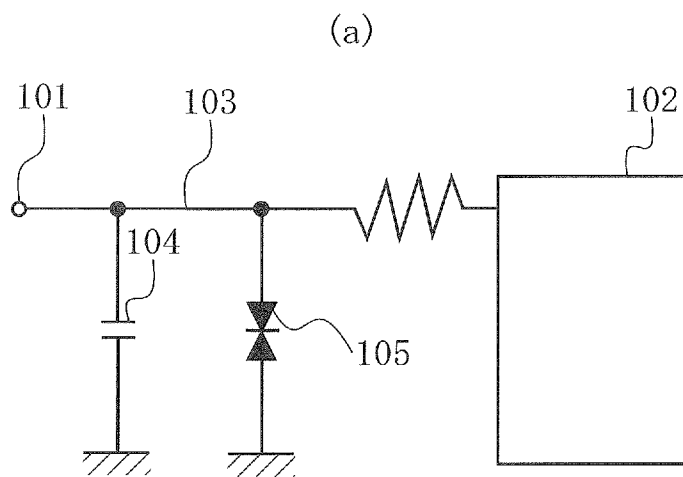
[図3]

Fig. 3



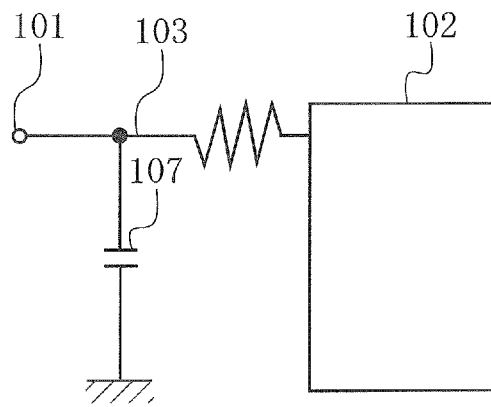
[図4]

Fig. 4



[図5]

Fig. 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/068974

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/12(2006.01)i, H01G4/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/12, H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/176714 A1 (Murata Mfg. Co., Ltd.), 27 December 2012 (27.12.2012), claims; paragraphs [0018] to [0027] & US 2014/0091432 A1 & CN 103608881 A	1-7
Y	JP 2005-303160 A (Murata Mfg. Co., Ltd.), 27 October 2005 (27.10.2005), paragraphs [0006] to [0009], [0017], [0021] to [0028]; fig. 2 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
31 August 2015 (31.08.15)

Date of mailing of the international search report
08 September 2015 (08.09.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01G4/12(2006.01)i, H01G4/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01G4/12, H01G4/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2012/176714 A1（株式会社村田製作所）2012. 12. 27, 請求の範囲, 段落 [0018] - [0027] & US 2014/0091432 A1 & CN 103608881 A	1-7
Y	JP 2005-303160 A（株式会社村田製作所）2005. 10. 27, 段落 [0006] - [0009], [0017], [0021] - [0028], 図 2 (ファミリーなし)	1-7

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 1 . 0 8 . 2 0 1 5

国際調査報告の発送日

0 8 . 0 9 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 晃洋

5 D

3 8 0 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1