



(12) 发明专利

(10) 授权公告号 CN 108321143 B

(45) 授权公告日 2021.07.16

(21) 申请号 201810179971.5

(74) 专利代理机构 中原信达知识产权代理有限

(22) 申请日 2013.11.26

责任公司 11219

(65) 同一申请的已公布的文献号

代理人 高培培 车文

申请公布号 CN 108321143 A

(51) Int.CI.

H01L 23/544 (2006.01)

(43) 申请公布日 2018.07.24

H01L 21/66 (2006.01)

(30) 优先权数据

H01L 27/146 (2006.01)

2012-258646 2012.11.27 JP

G06F 30/392 (2020.01)

(62) 分案原申请数据

审查员 邱广猷

201310611389.9 2013.11.26

(73) 专利权人 瑞萨电子株式会社

地址 日本东京

(72) 发明人 百浓宽之

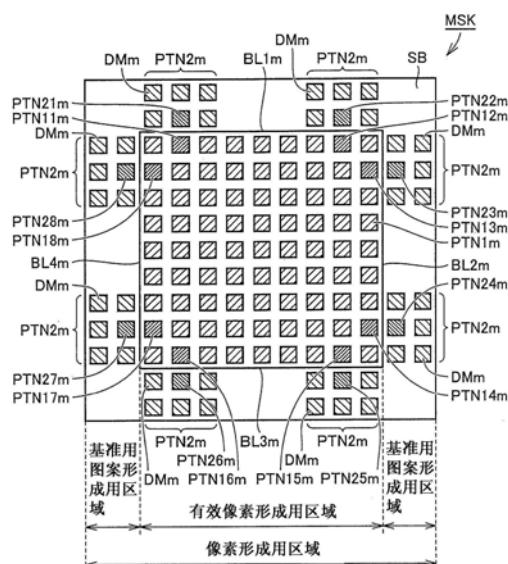
权利要求书3页 说明书16页 附图21页

(54) 发明名称

掩模及其制造方法、半导体装置

(57) 摘要

本发明提供一种掩模及其制造方法、半导体装置。掩模(MSK)具有衬底(SB)、有效像素形成用区域和基准用图案形成用区域。在有效像素形成用区域中配置有用于形成构成像素的像素构成部件的像素用图案(PTN1m)。在基准用图案形成用区域中配置有用于表示基准位置的基准用图案(PTN21m~PTN28m)，该基准位置是本来在有效像素形成用区域中配置像素用图案(PTN1m)的位置。像素用图案(PTN1m)以比基准位置偏向有效像素形成用区域的中央侧的方式配置。



1.一种掩模,具备:

基板,具有主表面;

有效像素形成用区域,配置在所述基板的所述主表面上,具有矩形的平面形状;以及

基准用图案形成用区域,配置在所述有效像素形成用区域的周围,

在所述有效像素形成用区域中配置有用于形成像素的多个像素用图案,

在所述基准用图案形成用区域中,在与构成所述有效像素形成用区域的外缘的4边中在第一方向上延伸的第一边相对且相对于从所述有效像素形成用区域的中央与所述第一边垂直地延伸的假想直线对称的两处位置和与在第二方向上延伸的第二边相对且相对于从所述有效像素形成用区域的中央与所述第二边垂直地延伸的假想直线对称的两处位置,配置有基准用图案以表示基准位置,该基准位置是所述多个像素用图案本来要配置的位置,所述第二方向与所述第一方向垂直,

所述多个像素用图案以比所述基准位置偏向所述有效像素形成用区域的中央侧的方式配置。

2.根据权利要求1所述的掩模,其中,

在所述基准用图案形成用区域中,还在与第三边相对且相对于从所述有效像素形成用区域的中央与所述第三边垂直地延伸的假想直线对称的两处位置和与第四边相对且相对于从所述有效像素形成用区域的中央与所述第四边垂直地延伸的假想直线对称的两处位置,配置有所述基准用图案以表示基准位置,该基准位置是所述多个像素用图案本来要配置的位置,所述第三边与所述第一边相对,所述第四边与所述第二边相对。

3.根据权利要求1所述的掩模,其中,

在所述基准用图案形成用区域中,在所述基准用图案的周围与所述基准用图案隔开间隔地形成有虚设形成用图案。

4.根据权利要求1所述的掩模,其中,

与所述第一边相对的所述基准用图案具有在所述第二方向上对称的平面形状,与所述第二边相对的所述基准用图案具有在所述第一方向上对称的平面形状。

5.一种半导体装置,包括:

半导体基板,具有主表面;

有效像素区域,配置在所述半导体基板的所述主表面上,具有矩形的平面形状;以及

基准部配置区域,配置在所述有效像素区域的周围,

在所述有效像素区域中配置有多个像素,

在所述基准部配置区域中,在与构成所述有效像素区域的外缘的4边中在第一方向上延伸的第一边相对且相对于从所述有效像素区域的中央与所述第一边垂直地延伸的假想直线对称的两处位置和与在第二方向上延伸的第二边相对且相对于从所述有效像素区域的中央与所述第二边垂直地延伸的假想直线对称的两处位置,配置有基准部以表示基准位置,该基准位置是所述多个像素本来要配置的位置,所述第二方向与所述第一方向垂直,

所述多个像素以比所述基准位置偏向所述有效像素区域的中央侧的方式配置。

6.根据权利要求5所述的半导体装置,其中,

在所述基准部配置区域中,还在与第三边相对且相对于从所述有效像素区域的中央与所述第三边垂直地延伸的假想直线对称的两处位置和与第四边相对且相对于从所述有效

像素区域的中央与所述第四边垂直地延伸的假想直线对称的两处位置，配置有所述基准部以表示基准位置，该基准位置是所述多个像素本来要配置的位置，所述第三边与所述第一边相对，所述第四边与所述第二边相对。

7. 根据权利要求5所述的半导体装置，其中，

在所述基准部配置区域中，在所述基准部的周围与所述基准部隔开间隔地形成有虚设结构。

8. 根据权利要求5所述的半导体装置，其中，

与所述第一边相对的所述基准部具有在所述第二方向上对称的平面形状，与所述第二边相对的所述基准部具有在所述第一方向上对称的平面形状。

9. 一种掩模的制造方法，包括以下工序：

准备具有主表面的基板；

准备被描画在第一层中的第一数据，该第一数据用于在所述基板的所述主表面中供用于构成像素的多个像素用图案形成的具有矩形的平面形状的有效像素形成用区域中描画所述多个像素用图案；

准备被描画在与所述第一层不同的第二层中的第二数据，该第二数据用于在所述基板的所述主表面中配置于所述有效像素形成用区域的周围的基准用图案形成用区域中描画基准用图案；

以所述多个像素用图案比所述多个像素用图案本来要配置的基准位置偏向所述有效像素形成用区域的中央侧的方式，使用所述第一数据在所述有效像素形成用区域中描画所述多个像素用图案；以及

使用所述第二数据在所述基准用图案形成用区域中，在与构成所述有效像素形成用区域的外缘的4边中在第一方向上延伸的第一边相对且相对于从所述有效像素形成用区域的中央与所述第一边垂直地延伸的假想直线对称的两处位置和与在第二方向上延伸的第二边相对且相对于从所述有效像素形成用区域的中央与所述第二边垂直地延伸的假想直线对称的两处位置，描画所述基准用图案以表示所述基准位置，所述第二方向与所述第一方向垂直。

10. 一种掩模的制造方法，包括以下工序：

准备具有主表面的基板；

准备第一数据和第二数据，该第一数据被描画在第一层中，用于在所述基板的所述主表面中供用于构成像素的多个像素用图案形成的具有矩形的平面形状的有效像素形成用区域中描画所述多个像素用图案，该第二数据被描画在与所述第一层不同的第二层中，用于在所述基板的所述主表面中配置于所述有效像素形成用区域的周围的基准用图案形成用区域中描画基准用图案；

准备用于辨别所述有效像素形成用区域和所述基准用图案形成用区域的辨别数据；

在使所述辨别数据重叠在所述第一数据上的状态下，以所述多个像素用图案比所述多个像素用图案本来要配置的基准位置偏向所述有效像素形成用区域的中央侧的方式，使用所述第一数据在所述有效像素形成用区域中描画所述多个像素用图案；以及

使用所述第二数据在所述基准用图案形成用区域中，在与构成有效像素形成用区域的外缘的4边中在第一方向上延伸的第一边相对且相对于从所述有效像素形成用区域的中央

与所述第一边垂直地延伸的假想直线对称的两处位置和与在第二方向上延伸的第二边相对且相对于从所述有效像素形成用区域的中央与所述第二边垂直地延伸的假想直线对称的两处位置，描画所述基准用图案以表示所述基准位置，所述第二方向与所述第一方向垂直。

11. 一种掩模的制造方法，包括以下工序：

准备具有主表面的基板；

准备被描画在第一单元中的第一数据，该第一数据用于在所述基板的所述主表面中供用于构成像素的多个像素用图案形成的具有矩形的平面形状的有效像素形成用区域中描画所述多个像素用图案；

准备被描画在与所述第一单元不同的第二单元中的第二数据，该第二数据用于在所述基板的所述主表面上配置于所述有效像素形成用区域的周围的基准用图案形成用区域中描画基准用图案；

以所述多个像素用图案比本来配置所述多个像素用图案的基准位置偏向所述有效像素形成用区域的中央侧的方式，使用所述第一数据在所述有效像素形成用区域中描画所述多个像素用图案；以及

使用所述第二数据在所述基准用图案形成用区域中，在与构成所述有效像素形成用区域的外缘的4边中在第一方向上延伸的第一边相对且相对于从所述有效像素形成用区域的中央与所述第一边垂直地延伸的假想直线对称的两处位置和与在第二方向上延伸的第二边相对且相对于从所述有效像素形成用区域的中央与所述第二边垂直地延伸的假想直线对称的两处位置，描画所述基准用图案以表示所述基准位置，所述第二方向与所述第一方向垂直，

所述第一单元和所述第二单元被描画于同一个层。

12. 一种掩模的制造方法，包括以下工序：

准备具有主表面的基板；

确定有效像素形成用区域和基准用图案形成用区域在所述基板的所述主表面中的坐标的范围，所述有效像素形成用区域是在所述基板的所述主表面中供用于构成像素的多个像素用图案形成的具有矩形的平面形状的区域，所述基准用图案形成用区域在所述基板的所述主表面中配置在所述有效像素形成用区域的周围；

准备第一数据和第二数据，该第一数据用于在所述有效像素形成用区域中描画所述像素用图案，该第二数据用于在所述基准用图案形成用区域中描画基准用图案；

辨别所述坐标的范围，并且以所述多个像素用图案比所述多个像素用图案本来要配置的基准位置偏向所述有效像素形成用区域的中央侧的方式，使用所述第一数据在所述有效像素形成用区域中描画所述多个像素用图案；以及

辨别所述坐标的范围，并且使用所述第二数据在所述基准用图案形成用区域中，在与构成所述有效像素形成用区域的外缘的4边中在第一方向上延伸的第一边相对且相对于从所述有效像素形成用区域的中央与所述第一边垂直地延伸的假想直线对称的两处位置和与在第二方向上延伸的第二边相对且相对于从所述有效像素形成用区域的中央与所述第二边垂直地延伸的假想直线对称的两处位置，描画所述基准用图案以表示所述基准位置，所述第二方向与所述第一方向垂直。

掩模及其制造方法、半导体装置

[0001] 本申请为2013年11月26日提交的、申请号为201310611389.9的、发明名称为“掩模及其制造方法、半导体装置”的申请的分案申请。

技术领域

[0002] 本发明涉及掩模及其制造方法、半导体装置，尤其涉及具有所谓收缩区域的半导体装置及其制造方法。

背景技术

[0003] 在形成半导体装置时，从对重叠形成不同的两个图案的工序中的重叠位置的偏差进行抑制的观点来看，有时采用用于验证偏差量的图案。作为这种图案，例如有在日本特开平10-335205号公报、日本特开平9-17715号公报、日本特开平11-145047号公报、以及日本特开2008-205312号公报中公开的所谓游标卡尺图案。

[0004] 例如，在CMOS (Complementary Metal Oxide Semiconductor: 互补金属氧化物半导体) 图像传感器中，优选在配置有多个像素的有效像素区域中，构成该多个像素的遮光膜等配置为，与有效像素区域的外侧的有效外部区域的遮光膜等相比偏向有效像素区域的中央侧。由此，遮光膜仅对将要进入到除了期望的像素以外的像素中的光等应该遮光的光进行遮挡，从而提高对将要进入到期望的像素中的光的遮挡进行抑制的效果，其结果是使遮光膜进行适当遮光的效率提高。

[0005] 但是，目前现状是高精度地表示在有效像素区域中应该配置像素的位置的方法还没有确定。考虑过应用上述各专利文献所示的游标卡尺图案的思路来管理在分别形成有效像素区域和有效像素区域外部的区域时的重叠的偏差量，但是上述各专利文献中的任一个都只不过是管理不同的两个图案之间的偏差的相对量的方法。

[0006] 因此，根据上述各专利文献所公开的方法，即使能够高精度地管理上述重叠的偏差量，也不能验证相对于分别应该形成有效像素区域及其外部区域的基准位置的偏差量。具体地讲，例如在两个图案的位置双方都以成为相同相位的方式产生偏差的情况下，存在产生好像能够实现重叠精度极高的加工的错觉的可能性。

发明内容

[0007] 根据一个实施方式，掩模具有衬底、有效像素形成用区域、和基准用图案形成用区域。在基准用图案形成用区域中配置基准用图案，用于表示在有效像素形成用区域中本来配置像素用图案的基准位置。像素用图案以比基准位置偏向有效像素形成用区域的中央侧的方式进行配置。

[0008] 根据另一个实施方式，半导体装置具有半导体衬底、有效像素区域、和基准部配置区域。在基准部配置区域中配置基准部，用于表示在有效像素区域中本来配置像素构成部件的基准位置。像素构成部件以比基准位置偏向有效像素区域的中央侧的方式进行配置。

[0009] 根据另一个实施方式的掩模的制造方法，首先准备具有主表面的衬底。准备被描

画于第一层的第一数据,用于在衬底的主表面中形成有像素用图案的有效像素形成用区域中描画像素用图案,该像素用图案用于形成构成像素的像素构成部件。准备被描画于与第一层不同的第二层的第二数据,用于在包围有效像素形成用区域、并形成有基准用图案的基准用图案形成用区域中描画基准用图案,该基准用图案用于表示在有效像素形成用区域中本来配置像素用图案的基准位置。进行使用第一数据的描画。使用第二数据在基准用图案形成用区域中描画基准用图案。

[0010] 根据另一个实施方式的掩模的制造方法,首先准备具有主表面的衬底。准备用于在有效像素形成用区域中描画像素用图案的第一数据。准备用于在包围有效像素形成用区域、并形成有基准用图案的基准用图案形成用区域中描画基准用图案的第二数据,该基准用图案用于表示在有效像素形成用区域中本来配置像素用图案的基准位置。准备用于辨别有效像素形成用区域和基准用图案形成用区域的辨别数据。在将辨别数据重叠在第一数据上的状态下进行使用第一数据的描画。使用第二数据在基准用图案形成用区域中描画基准用图案。

[0011] 根据另一个实施方式的掩模的制造方法,与上述掩模的制造方法相同地首先准备衬底。准备被描画在第一单元中的第一数据,用于在有效像素形成用区域中描画像素用图案,准备被描画在第二单元中的第二数据,用于在基准用图案形成用区域中描画基准用图案。使用第二数据在基准用图案形成用区域中描画基准用图案。第一单元和第二单元被描画于同一个层。

[0012] 根据另一个实施方式的掩模的制造方法,与上述的掩模的制造方法相同地首先准备衬底,确定有效像素形成用区域和基准用图案形成用区域在衬底的主表面中的坐标的范围。准备用于在有效像素形成用区域中描画像素用图案的第一数据、和用于在基准用图案形成用区域中描画基准用图案的第二数据。确定坐标的范围并进行使用第一数据的描画。确定坐标的范围并使用第二数据在基准用图案形成用区域中描画基准用图案。

[0013] 根据一个实施方式能够提供一种掩模,该掩模能够根据基准用图案而更高精度地管理像素用图案相对于基准位置的偏差量。

[0014] 根据另一个实施方式能够提供一种半导体装置,该半导体装置能够根据基准部而更高精度地管理像素构成部件相对于基准位置的偏差量。

[0015] 进而根据另一个实施方式的掩模的制造方法能够提供一种掩模,该掩模能够根据基准用图案而更高精度地管理像素用图案相对于基准位置的偏差量。其它各实施方式的掩模的制造方法基本上带来与上述的掩模的制造方法相同的效果。

[0016] 本发明的上述及其他目的、特征、方面和优点在关于与附图相关联地进行理解的本发明的以下详细说明的基础上将更加明确。

附图说明

[0017] 图1是实施方式1的掩模的概要俯视图。

[0018] 图2是用于对实施方式1的掩模的有效像素形成用区域相对于基准用图案形成用区域的位置的偏差进行说明的概要俯视图。

[0019] 图3是使用实施方式1的掩模而形成的半导体芯片的概要俯视图。

[0020] 图4是表示光入射到半导体芯片的有效像素区域的状态的概要剖视图。

- [0021] 图5是实施方式2的掩模的第一例的概要俯视图。
- [0022] 图6是实施方式2的掩模的第二例的概要俯视图。
- [0023] 图7是用于对实施方式2(图5)的掩模的有效像素形成用区域相对于基准用图案形成用区域的位置的偏差进行说明的概要俯视图。
- [0024] 图8是实施方式2的掩模的第三例的概要俯视图。
- [0025] 图9是使用实施方式2(图5)的掩模而形成的半导体芯片的概要俯视图。
- [0026] 图10是用于对在实施方式3的制造方法中使用的、用于形成实施方式1的掩模的层进行说明的概要俯视图。
- [0027] 图11是用于对在实施方式3的制造方法中使用的、用于形成实施方式2的掩模的层进行说明的概要俯视图。
- [0028] 图12是用于说明实施方式3的制造方法的流程图。
- [0029] 图13是用于对在实施方式4的制造方法中使用的、用于形成实施方式1的掩模的层进行说明的概要俯视图。
- [0030] 图14是用于对在实施方式4的制造方法中使用的、用于形成实施方式2的掩模的层进行说明的概要俯视图。
- [0031] 图15是用于说明实施方式4的制造方法的流程图。
- [0032] 图16是用于对在实施方式5的制造方法中使用的、用于形成实施方式1的掩模的层进行说明的概要俯视图。
- [0033] 图17是用于对在实施方式5的制造方法中使用的、用于形成实施方式2的掩模的层进行说明的概要俯视图。
- [0034] 图18是用于说明实施方式5的制造方法的流程图。
- [0035] 图19是用于对在实施方式6的制造方法中使用的、用于形成实施方式1的掩模的层进行说明的概要俯视图。
- [0036] 图20是用于对在实施方式6的制造方法中使用的、用于形成实施方式2的掩模的层进行说明的概要俯视图。
- [0037] 图21是用于说明实施方式6的制造方法的流程图。

具体实施方式

- [0038] 下面,根据附图来说明一个实施方式。
- [0039] (实施方式1)
- [0040] 首先,使用图1、图2说明在一个实施方式的半导体装置的加工中使用的掩模的结构。
- [0041] 参照图1,一个实施方式的掩模MSK例如是被用来形成CMOS图像传感器的掩模。掩模MSK例如被用来形成用于构成在CMOS图像传感器形成的光电二极管等的像素的遮光膜、内透镜或滤色片的薄膜。
- [0042] 掩模MSK具有如下结构:在利用通常公知的材料(玻璃等)形成的衬底SB的一个主表面上,配置用于形成上述的遮光膜或内透镜、滤色片等的多个图案。
- [0043] 具体地讲,掩模MSK的主表面是所谓像素形成用区域,是用于形成CMOS图像传感器的像素区域的区域。在像素形成用区域中具有有效像素形成用区域和基准用图案形成用区

域。

[0044] 有效像素形成用区域是用于形成有效像素区域的区域，在该有效像素区域中形成有构成CMOS图像传感器的实际的像素。例如，在掩模MSK具有矩形的平面形状的情况下，在该矩形的主表面的中央部配置有效像素形成用区域。

[0045] 基准用图案形成用区域配置为在衬底SB的主表面上包围有效像素形成用区域，换言之，配置为在衬底SB的主表面上的有效像素形成用区域的外周部。有效像素形成用区域与基准用图案形成用区域的边界是作为有效像素形成用区域的外周线的边界线BL1m、BL2m、BL3m、BL4m，以被形成这些边界线BL1m～BL4m的矩形包围的方式配置有效像素形成用区域，在这些边界线BL1m～BL4m的外侧分别配置基准用图案形成用区域。

[0046] 在有效像素形成用区域中配置有多个像素用图案PTN1m。在此，作为像素用图案PTN1m例如是用于形成构成遮光膜等的像素的像素构成部件的图案，该图案是将利用通常公知的材料(铬等)形成的物质呈矩阵状配置多个而形成的。利用该像素用图案PTN1m形成CMOS图像传感器的像素构成部件。

[0047] 在基准用图案形成用区域中配置有多个非像素用图案PTN2m。非像素用图案PTN2m是除了像素用图案PTN1m以外的图案，是用于形成除了像素构成部件以外的部件(例如后述的基准部等)的图案。

[0048] 非像素用图案PTN2m配置在面对边界线BL1m～BL4m的两端附近的区域中，换言之，在分别面对各边界线BL1m～BL4m的区域中配置各两处非像素用图案PTN2m的组，合计为八处。

[0049] 非像素用图案PTN2m的组由一个基准用图案PTN21m～PTN28m和多个(此处为5个)虚设形成用图案DMm构成。

[0050] 基准用图案PTN21m、PTN22m配置在面对边界线BL1m的区域中，基准用图案PTN23m、PTN24m配置在面对边界线BL2m的区域中。并且，基准用图案PTN25m、PTN26m配置在面对边界线BL3m的区域中，基准用图案PTN27m、PTN28m配置在面对边界线BL4m的区域中。即，基准用图案PTN21m～PTN28m以隔着有效像素形成用区域的边界线BL1m～BL4m与像素用图案PTN1m面对的方式配置。

[0051] 在图1中示出了有效像素形成用区域的多个像素用图案PTN1m彼此的间隔、与基准用图案形成用区域的非像素用图案PTN2m彼此的间隔基本相同的状态。并且，像素用图案PTN1m和非像素用图案PTN2m在平面上的尺寸全部相同，而且以使隔着边界线BL1m～BL4m相互面对的像素用图案PTN1m和非像素用图案PTN2m彼此高度相同的方式(在沿着边界线BL1m～BL4m的方向上的坐标彼此相同的方式)配置。

[0052] 例如，基准用图案PTN21m和隔着边界线BL1m与基准用图案PTN21m面对的像素用图案PTN1m(像素用图案PTN11m)，以使在沿着边界线BL1m的图中的左右方向上的坐标相同的方式配置。像素用图案PTN11m(基准用图案PTN21m)例如配置在图1中沿横向排列九行得到的像素用图案PTN1m中的从左端起第二行的位置。其它基准用图案PTN22m～PTN28m同样地配置在例如坐标与从像素用图案PTN1m的行(或列)的左端起第二行(或列)相同的位置。

[0053] 但是，实际上相邻的像素用图案PTN1m彼此的间隔和相邻的非像素用图案PTN2m彼此的(沿着图中的行方向或者列方向的)间隔不同。具体地讲，参照图2，像素用图案PTN1m以相对于非像素用图案PTN2m整体上偏向有效像素形成用区域的中央侧的方式(集中于中央

侧的方式)配置。即,相邻的一对像素用图案PTN1m彼此的间隔比相邻的一对非像素用图案PTN2m彼此的间隔短。其结果是,例如基准用图案PTN21m、和隔着边界线BL1m与基准用图案PTN21m面对的像素用图案PTN11m在沿着边界线BL1m的图中的左右方向上的坐标不同。

[0054] 基准用图案PTN21m~PTN28m分别以示出基准位置的方式配置,该基准位置是指本来在沿着边界线BL1m~BL4m的方向上、配置分别隔着边界线BL1m~BL4m而面对的有效像素形成用区域的像素用图案PTN11m~PTN18m的位置。具体地讲,例如基准用图案PTN21m被配置在与本来在沿着边界线BL1m的图中的左右方向上配置像素用图案PTN11m的基准位置相同的位置。此处所谓本来配置的基准位置,是指不需要考虑有效像素形成用区域的像素用图案PTN1m相对于(隔着边界线而面对的)非像素用图案PTN2m的位置的偏差(像素用图案PTN1m完全不存在偏差)时的像素用图案PTN1m的配置位置。因此,图1中的像素用图案PTN11m~PTN18m以比其本来应该所处的基准位置(配置有基准用图案PTN21m~PTN28m的位置)偏向中央侧集中的方式配置。

[0055] 在基准用图案形成用区域中,在基准用图案PTN21m~PTN28m的周围,与基准用图案PTN21m~PTN28m隔开间隔地形成有虚设形成用图案DMm。在此虚设形成用图案DMm被配置在俯视视角中的基准用图案PTN21m~PTN28m的第一方向(例如图中的行方向)、第二方向(例如图中的列方向)和第三方向(例如图中的倾斜约45°的方向)。但是,基准用图案PTN21m~PTN28m以与分别隔着边界线BL1m~BL4m而面对的像素用图案PTN11m~PTN18m在与边界线BL1m~BL4m相交的方向上的间隔、和相邻的一对像素用图案PTN1m的间隔大致相同的方式配置。由此,在各基准用图案PTN21m~PTN28m的边界线BL1m~BL4m侧没有配置虚设形成用图案DMm的空间,不配置虚设形成用图案DMm。其结果是,此处,在各基准用图案的周围配置五个虚设形成用图案DMm。但是不限于此,也可以配置数量更多的虚设形成用图案DMm。

[0056] 虚设形成用图案DMm与基准用图案在上述第一或者第二方向上的间隔,比相邻的一对像素用图案PTN1m在上述第一或者第二方向上的间隔长,并且是与像素用图案PTN1m以相对于基准用图案完全不偏差的方式配置时相同的间隔。

[0057] 像素用图案PTN11m~PTN18m相对于基准用图案PTN21m~PTN28m的位置偏差是由以下两个原因产生的。第一个原因是如上所述像素用图案PTN1m以相对于非像素用图案PTN2m整体上偏向有效像素形成用区域的中央侧的方式配置。由于以整体上偏向有效像素形成用区域的中央侧的方式进行配置,因此各像素用图案PTN1m的间隔例如比各非像素用图案PTN2m的间隔小。

[0058] 多个像素用图案PTN1m以整体上偏向有效像素形成用区域的中央侧的方式配置,因此与有效像素形成用区域不这样偏向中央侧的情况相比,看起来好像是在衬底SB的主表面的中央侧收缩。由此,以后将像素用图案PTN1m集中于中央侧的状态称为收缩。

[0059] 位置偏差的第二个原因是,根据加工的精度,在形成有效像素形成用区域的像素用图案PTN1m时,产生相对于非像素用图案PTN2m的位置的误差。这是由于手工作业和设备的尺寸精度等多种原因因此产生的。如图2所示,通过将这些原因结合在一起,在有效像素形成用区域中,例如本来位置在c1的点朝向c2沿图中的右方向位置偏差z。

[0060] 另外,如图2所示,像素用图案PTN11m的左侧的边缘部相对于基准用图案PTN21m沿图中的右方向偏差a,像素用图案PTN12m的右侧的边缘部相对于基准用图案PTN22m沿图中的右方向偏差b。

[0061] 将基准用图案PTN21m的左侧的边缘部与基准用图案PTN22m的右侧的边缘部在图中的左右方向上的距离设为L。此时,将收缩率设为S,可得到

[0062] 【数式1】

$$[0063] a = \frac{L}{2} \cdot S + z \quad \cdots (1)$$

[0064] 【数式2】

$$[0065] b = \frac{L}{2} \cdot S - z \quad \cdots (2)$$

[0066] 这些数式是通过将上述的位置偏差的两个原因结合起来而导出的。

[0067] 另外,根据上述的数式,得到收缩率S为

[0068] 【数式3】

$$[0069] S = \frac{a + b}{L} \quad \cdots (3)$$

[0070] 并且偏差量z为

[0071] 【数式4】

$$[0072] z = \frac{a - b}{2} \quad \cdots (4)$$

[0073] 另外,在此为了简化附图,使像素用图案PTN1m和非像素用图案PTN2m(基准用图案PTN21m~PTN28m和虚设形成用图案DMm)具有矩形的平面形状,但不限于此,这些图案可以取任意的平面形状。

[0074] 参照图3,一个实施方式的半导体芯片CHP是使用图1和图2的掩模MSK形成的作为半导体装置的CMOS图像传感器。半导体芯片CHP配置在利用通常公知的材料(例如单晶硅)形成的半导体衬底SUB的一个主表面上。

[0075] 在半导体衬底SUB的一个主表面上具有像素区域和周边电路区域。像素区域是半导体芯片CHP的主要部分,配置有CMOS图像传感器的光电二极管等的像素。例如,在半导体芯片CHP具有矩形的平面形状的情况下,像素区域配置在该矩形的主表面的中央部。

[0076] 另外,周边电路区域例如是配置有用于与半导体芯片CHP的外部的电路进行电信号的输入输出等的电路的区域。周边电路区域以在半导体衬底SUB的主表面上包围像素区域的方式配置,换言之,配置在半导体衬底SUB的主表面上的像素区域的外周部。像素区域与周边电路区域的边界是作为像素区域的外周线的边界线B1c、B2c、B3c、B4c,像素区域以被形成这些边界线B1c~B4c的矩形包围的方式配置,在这些边界线B1c~B4c的外侧配置周边电路区域。

[0077] 在像素区域中具有有效像素区域和基准部配置区域。例如在像素区域具有矩形的平面形状的情况下,有效像素区域配置在该矩形的主表面的中央部。有效像素区域是具有作为光电二极管的有效功能的像素区域的主要部分,用于使像素吸收光并变换为电信号。

[0078] 基准部配置区域以在像素区域的主表面上包围有效像素区域的方式配置,换言之,配置在半导体衬底SUB的主表面上的有效像素区域的外周部。有效像素区域与基准部配置区域的边界是作为有效像素区域的外周线的边界线BL1c、BL2c、BL3c、BL4c,有效像素区

域以被形成这些边界线BL1c～BL4c的矩形包围的方式配置,在这些边界线BL1c～BL4c的外侧配置基准部配置区域。

[0079] 在有效像素区域中配置有多个像素构成部件PTN1c。像素构成部件PTN1c是利用掩模MSK的像素用图案PTN1m形成的、遮光膜和内透镜、滤色片等的像素的构成要素,多个像素构成部件PTN1c与像素用图案PTN1m相同地配置成矩阵状。

[0080] 在图3的有效像素区域中配置有作为像素的光电二极管PD。在此作为一例图示了光电二极管PD位于被夹在呈矩阵状配置的一对像素构成部件PTN1c之间的位置,但这是为了简化附图,光电二极管PD的结构不限于这种方式。

[0081] 在基准部配置区域中配置有多个非像素构成部件PTN2c。非像素构成部件PTN2c与像素构成部件PTN1c配置于同一个层,但不是作为像素的构成要素的部件。

[0082] 非像素构成部件PTN2c配置在面对边界线BL1c～BL4c的两端附近的区域中,换言之,在分别面对各边界线BL1c～BL4c的区域中配置各两处非像素构成部件PTN2c的组,合计为八处。

[0083] 非像素构成部件PTN2c的组由一个基准部PTN21c～PTN28c和多个(此处为5个)虚设结构DMc构成。基准部PTN21c～PTN28c利用基准用图案PTN21m～PTN28m形成,虚设结构DMc利用虚设形成用图案DMm形成。

[0084] 由此,像素构成部件PTN1c利用掩模MSK的像素用图案PTN1m形成,非像素构成部件PTN2c利用掩模MSK的非像素用图案PTN2m形成。由此,像素构成部件PTN1c和非像素构成部件PTN2c基本上是与像素用图案PTN1m和非像素用图案PTN2m相同的结构。

[0085] 具体地讲,像素构成部件PTN1c(包括像素构成部件PTN11c～PTN18c)以相对于非像素构成部件PTN2c整体上偏向有效像素区域的中央侧的方式配置,即以收缩的方式配置。另一方面,非像素构成部件PTN2c、尤其是基准部PTN21c～PTN28c分别以隔着边界线BL1c～BL4c与有效像素区域的像素构成部件PTN11c～PTN18c面对的方式配置。基准部PTN21c～PTN28c分别以示出基准位置的方式配置,该基准位置是指本来在沿着边界线BL1c～BL4c的方向上配置有效像素区域的像素构成部件PTN11c～PTN18c的位置。

[0086] 另外,在基准部配置区域中,在基准部PTN21c～PTN28c的周围与基准部PTN21c～PTN28c隔开间隔地形成有虚设结构DMc。

[0087] 其它像素构成部件PTN1c及非像素构成部件PTN2c的各部分的结构基本上是与上述的像素用图案PTN1m和非像素用图案PTN2m的各部分相同的结构。

[0088] 另外,在此为了简化附图,使像素构成部件PTN1c和非像素构成部件PTN2c(基准部PTN21c～PTN28c和虚设结构DMc)具有矩形的平面形状,但不限于此,这些图案可以取任意的平面形状。

[0089] 下面说明一个实施方式的作用效果。首先,参照图4说明在一个实施方式的掩模MSK和半导体芯片CHP的有效像素(形成用)区域中使图案等收缩的意义。

[0090] 参照图4,例如从透镜LNS的正上方通过在半导体芯片CHP的上方配置的透镜LNS而入射到半导体芯片CHP(CMOS图像传感器)的尤其是光电二极管PD(有效像素区域)的光,按照下面所述在透镜LNS透射。在透镜LNS的中央部通过的光几乎没有受到由透镜LNS实现的折射而入射到有效像素区域的中央部的光电二极管PD。与此相对地,从透镜LNS的端部入射到透镜LNS的光通过透镜LNS而折射,并且沿相对于图4的上下方向形成较大的夹角的方向

行进。由此,随着使光入射到透镜LNS的位置远离透镜LNS的中央部,该光经由透镜LNS被大幅折射。

[0091] 在此,在被配置于有效像素区域的各个光电二极管PD的上方配置有遮光膜。该遮光膜抑制光意外地入射到在半导体芯片CHP的主表面中、与期望的光电二极管PD相邻配置的光电二极管PD中,在图4中该遮光膜表示为遮光膜PTN。例如,图3的像素构成部件PTN1c相当于图4的遮光膜PTN。因此,遮光膜PTN有时配置在例如在平面上与光电二极管PD相邻的区域中。

[0092] 可是,如上所述如果经过透镜LNS的作用而入射的光大幅折射,则尤其是在有效像素区域的端部,遮光膜PTN不仅遮挡应该遮光的光,而且也有可能遮挡应该入射到期望的光电二极管PD的光的一部分光。

[0093] 为了解决这种问题,优选使半导体芯片CHP内的遮光膜PTN以在有效像素区域中偏向平面的中心侧的方式进行收缩。这样,在有效像素区域的俯视视角中的相对外侧没有配置遮光膜PTN,因此能够降低经由有效像素区域的端部的透镜LNS而大幅折射后的光意外被遮光膜PTN遮挡的可能性。以上说明的使掩模MSK的像素用图案PTN1m和半导体芯片CHP的像素构成部件PTN1c收缩即具有这种意义。

[0094] 可是,例如如果不能高精度地掌握通过收缩而相对于本来配置掩模MSK的像素用图案PTN1m的基准位置偏差的量,则难以高精度地管理该偏差量。但是,截止到目前还没有确定表示本来配置的基准位置的方法。

[0095] 因此,在一个实施方式中设置有表示未收缩时的基准位置的基准用图案PTN21m~PTN28m。基准用图案PTN21m~PTN28m能够不考虑收缩而形成,因此能够容易地按照通常的设计规格来形成。由此,通过测定像素用图案PTN1m~PTN18m相对于基准用图案PTN21m~PTN28m的位置的偏差,能够高精度地掌握像素用图案PTN1m~PTN18m相对于基准位置的偏差量,能够将该偏差量控制成为期望的值。

[0096] 基准用图案PTN21m~PTN28m以隔着边界线BL1m~BL4m与像素用图案PTN1m~PTN18m面对的方式配置。并且,基准用图案PTN21m~PTN28m示出了本来在沿着边界线BL的方向上配置的基准位置。像素用图案PTN1m~PTN18m与基准用图案PTN21m~PTN28m的距离较短,因此能够更准确地掌握像素用图案PTN1m~PTN18m的位置。

[0097] 在一个实施方式中,以包围基准用图案PTN21m~PTN28m的周围的方式配置虚设形成用图案DMm。由此,在通过图案加工来形成基准用图案PTN21m~PTN28m时,能够降低形状由于光接近效果和微负载效果等而变动的可能性。

[0098] 即,在俯视视角中的位于端部而且周围没有形成虚设图案的图案,其形状有可能由于光接近效果和微负载效果等而变动。可是,利用虚设形成用图案DMm包围在掩模MSK中承担表示基准位置的重要作用的基准用图案PTN21m~PTN28m的周围,从而能够将基准用图案PTN21m~PTN28m配置在俯视视角中的中央部。这样,周围的虚设形成用图案DMm发挥保护基准用图案PTN21m~PTN28m不受损伤的作用,从而能够抑制基准用图案PTN21m~PTN28m的形状变化。

[0099] 另外,如上所述,在各基准用图案PTN21m~PTN28m的边界线BL1m~BL4m侧没有配置虚设形成用图案DMm的空间,不配置虚设形成用图案DMm。但是,在各基准用图案PTN21m~PTN28m的边界线BL1m~BL4m侧,在超过边界线BL1m~BL4m的有效像素形成用区域中配置具

有与基准用图案PTN21m～PTN28m相同的结构的像素用图案PTN1m。即，基准用图案PTN21m～PTN28m在边界线BL1m～BL4m侧的方向上被该像素用图案PTN1m包围。该像素用图案PTN1m具有与虚设形成用图案DMm相同的作用，因此能够进一步提高上述的抑制基准用图案PTN21m～PTN28m的形状变化的效果。

[0100] 另外，在半导体芯片CHP中具有与上述的掩模MSK相同的结构，从而发挥与上述的掩模MSK具有的作用效果相同的作用效果。

[0101] (实施方式2)

[0102] 本实施方式与实施方式1相比，不同之处在于基准用图案和基准部的平面形状。首先，利用图5、图6说明本实施方式的掩模的结构。

[0103] 参照图5，本实施方式的掩模MSK基本上具有与实施方式1的掩模MSK相同的结构。但是，在图5的掩模MSK中，被配置在基准用图案形成用区域中的非像素用图案PTN2m的平面形状为箭头状(楔形形状)。

[0104] 具体地讲，非像素用图案PTN2m配置在面对边界线BL1m～BL4m的两端附近的区域中，在分别与各边界线BL1m～BL4m面对的区域中配置有各两处非像素用图案PTN2m，合计为八处。但是，相对于各非像素用图案PTN2m仅配置有一个基准用图案PTN21m～PTN28m。因此，在图5的掩模MSK中没有配置虚设形成用图案DMm。但是，在图5的掩模MSK中配置有基准用图案PTN21m～PTN28m的位置与图1的掩模MSK相同，具体地讲，配置在坐标与从像素用图案PTN1m的行(或列)的端部起第二行(或列)相同的位置。

[0105] 基准用图案PTN2m(PTN21m～PTN28m)具有在掩模MSK的衬底SB的主表面上将与各边界线BL1m～BL4m垂直地延伸的假想直线1作为对称线而对称的平面形状。图5的基准用图案PTN21m～PTN28m所示的楔形的平面形状被用作满足上述的对称条件的形状的一例。因此，例如参照图6，本实施方式的基准用图案PTN21m～PTN28m也可以具有菱形的平面形状来取代图5所示的楔形形状。在这种情况下，该菱形的基准用图案PTN21m～PTN28m也具有将与边界线BL1m～BL4m垂直的假想直线作为对称线而对称的平面形状。

[0106] 图5和图6没有考虑有效像素形成用区域的像素用图案PTN11m的收缩和有效像素形成用区域的位置偏差。但是，参照图7，实际上在本实施方式中与实施方式1相同地，像素用图案PTN1m以相对于非像素用图案PTN2m整体上偏向有效像素形成用区域的中央侧的方式(集中于中央侧的方式)配置。

[0107] 另外，如图6所示，关于菱形的基准用图案PTN21m～PTN28m实际上也存在如图7所示的收缩和位置偏差，但在此省略图示。

[0108] 将基准用图案PTN21m的中央部(假想直线1)与基准用图案PTN22m的中央部(假想直线1)在图中的左右方向上的距离设为L。此时，将收缩率设为S，基准用图案PTN21m的中央部与像素用图案PTN11m的中央部的距离a0为

[0109] 【数式5】

$$[0110] a_0 = \frac{a_1 + a_2}{2} \quad \cdots (5)$$

[0111] 基准用图案PTN22m的中央部与像素用图案PTN12m的中央部的距离b0为

[0112] 【数式6】

$$[0113] \quad b0 = \frac{b1 + b2}{2} \quad \dots (6)$$

[0114] 此处, a1为基准用图案PTN21m的中央部与像素用图案PTN11m的边缘部的距离,b1为基准用图案PTN22m的中央部与像素用图案PTN12m的边缘部的距离。

[0115] 在图5~图7中没有配置虚设形成用图案DMm,但参照图8,在本实施方式中也可以与实施方式1相同地,以包围基准用图案PTN21m~PTN28m的方式在基准用图案PTN21m~PTN28m的周围配置虚设形成用图案DMm。

[0116] 参照图9,使用图5的掩模MSK形成的本实施方式的半导体芯片CHP基本上具有与实施方式1的半导体芯片CHP相同的结构。但是,在图9的半导体芯片CHP中,配置在基准部配置区域中的非像素构成部件PTN2c(基准部PTN21c~PTN28c)的平面形状为箭头状(楔形形状)。图9的半导体芯片CHP是利用图5的掩模MSK形成的,因此像素构成部件PTN1c和非像素构成部件PTN2c基本上是与像素用图案PTN1m和非像素用图案PTN2m相同的结构。本实施方式的半导体芯片CHP例如也可以具有利用图6的掩模MSK形成的、菱形的非像素构成部件PTN2c(基准部PTN21c~PTN28c)。

[0117] 以下,说明本实施方式的作用效果。

[0118] 本实施方式的掩模MSK的非像素用图案PTN2m具有将与边界线BL1m~BL4m垂直地延伸的假想直线1作为对称线而对称的平面形状。即,非像素用图案PTN2m处于在与假想直线1垂直的方向上、在假想直线1的左侧和右侧双方以相同距离配置图案的状态。因此,在本实施方式的非像素用图案PTN2m中,在假想直线1的左侧和右侧双方形成大致相同的光接近效果和微负载效果。由此,在本实施方式的非像素用图案PTN2m中,在假想直线1的左侧和右侧双方沿彼此相反的方向产生由光接近效果和微负载效果引起的变形等。

[0119] 因此,即使是在非像素用图案PTN2m的假想直线1的左侧和右侧由于光接近效果等而使得形状变化时,在作为非像素用图案PTN2m的中央部的假想直线1中,假想直线1的左侧的形状变化和右侧的形状变化相互抵消,不会产生形状和位置的变化。即,至少假想直线1被确保在期望的位置,从而例如图5所示的楔形的非像素用图案PTN2m和图6所示的菱形的非像素用图案PTN2m的前端部(尖锐的部分)的位置作为基准位置的可靠性提高,能够利用该位置高精度地检测像素用图案PTN11m~PTN18m相对于基准用图案PTN21m~PTN28m的位置的偏差。

[0120] 如上所述,在本实施方式中,只要至少能够确保假想直线1上的非像素用图案PTN2m的位置即可,即使是除了假想直线1上以外的区域的非像素用图案PTN2m变形等也没有问题。由此,如图5等所示,在本实施方式的非像素用图案PTN2m的组中也可以不配置虚设形成用图案DMm。但是,如图8所示,关于本实施方式的非像素用图案PTN2m的组,如果与实施方式1相同地由一个基准用图案PTN21m~PTN28m和多个(此处为5个)虚设形成用图案DMm构成,则能够抑制基准用图案PTN21m的变形,因此能够更高精度地表示基准位置。

[0121] 另外,在半导体芯片CHP中具有与上述的掩模MSK相同的结构,从而发挥与上述的掩模MSK具有的作用效果相同的作用效果。

[0122] (实施方式3)

[0123] 实施方式1~2的掩模MSK的第一制造方法如下所述。在此特别说明在CAD上的设计(布局)方法。

[0124] 参照图10和图11,在本实施方式中,准备用于在掩模MSK形成有效像素形成用区域(及其图案)的CAD上的数据的集合即层、和用于在掩模MSK形成基准用图案形成用区域(及其图案)的CAD上的层即另一个层。

[0125] 即,用于形成有效像素形成用区域的层是收缩区域的层LYR1,用于形成基准用图案形成用区域的层是非收缩区域的层LYR2。这是因为在有效像素形成用区域中形成的像素用图案PTN1m发生收缩,而在基准用图案形成用区域中形成的非像素用图案PTN2m不发生收缩。

[0126] 收缩区域的层包括用于形成像素用图案PTN1m(包括像素用图案PTN11m~PTN18m)的像素用数据PTN1,像素用数据PTN1包括像素用数据PTN11~PTN18。像素用数据PTN11~PTN18分别与用于形成像素用图案PTN11m~PTN18m的数据对应。

[0127] 非收缩区域的层包括非像素用数据PTN2,用于形成非像素用图案PTN2m即基准用图案PTN21m~PTN28m、和虚设形成用图案DMm,非像素用数据PTN2包括基准用数据PTN21~PTN28和用于形成虚设形成用图案DMm的数据。基准用数据PTN21~PTN28分别与用于形成基准用图案PTN21m~PTN28m的数据对应。

[0128] 图10所示的图1(实施方式1)的掩模MSK和图11所示的图5(实施方式2)的掩模MSK双方都能够如本实施方式这样、通过收缩区域的层和非收缩区域的层这两个层形成。

[0129] 另外,为了容易地将位于层LYR1、LYR2的数据的集合进行图像化,以与掩模MSK等相同地呈矩阵状配置的方式来图示各数据。

[0130] 下面,参照图12说明本实施方式的掩模MSK的制造方法(使用CAD的设计方法)。

[0131] 参照图12,首先准备掩模用的衬底SB(S00)。然后,分别准备如图10和图11所示的能够集合收缩区域的数据(第一数据)的第一层、和能够集合非收缩区域的数据(第二数据)的第二层(S10)。

[0132] 然后,在第一层中描画收缩数据PTN1(第一数据),从而在形成有像素用图案PTN1m的有效像素形成用区域中描画像素用图案PTN1m,该像素用图案PTN1m用于形成像素构成部件PTN1c(参照图3、图9)的(S20)。

[0133] 然后,在第二层中描画非收缩数据PTN2(第二数据),从而在形成有基准用图案PTN21m~PTN28m的基准用图案形成用区域中描画基准用图案PTN21m~PTN28m,该基准用图案PTN21m~PTN28m用于表示本来配置像素用图案PTN1m的基准位置(用于形成基准部件PTN21c~PTN28c)(S30)。

[0134] 更简洁地来说明上述情况,在收缩区域的层即第一层中描画收缩区域的数据即第一数据PTN1(PTN11~PTN18),在非收缩区域的层即第二层中描画非收缩区域的数据即第二数据PTN2(PTN21~PTN28)。此处的第二数据PTN2包括用于形成虚设形成用图案DMm的数据。

[0135] 另外,工序(S20)和工序(S30)的顺序没有限定,可以在工序(S20)之前执行工序(S30),也可以同时执行工序(S20)和工序(S30)。

[0136] 然后,使用收缩区域的数据即第一数据在掩模用衬底SB上进行像素用图案PTN1m(PTN11m~PTN18m)的描画(S40)。此时,进行收缩控制使得像素用图案PTN1m比本来不进行收缩时的配置位置偏向有效像素形成用区域的中央侧(S41)。

[0137] 然后,使用非收缩区域的数据即第二数据在掩模用衬底SB上进行非像素用图案PTN2m(PTN21m~PTN28m和虚设形成用图案DMm)的描画(S50)。此处的描画不进行收缩,容易

利用通常的方法以能够示出基准位置的方式进行描画。

[0138] 另外,工序(S40)和工序(S50)的顺序没有限定,可以在工序(S40)之前执行工序(S50),也可以同时执行工序(S40)和工序(S50)。

[0139] 通过如本实施方式这样在不同的层中描画收缩区域的数据和非收缩区域的数据,在实际向掩模MSK的衬底SB上进行描画时能够仅使收缩区域的数据相对于非收缩区域的数据进行收缩。并且,能够以表示通常的基准位置的方式描画非收缩区域的数据,因此不需使用特殊的方法即可容易形成。因此,能够提供实施方式1~2所示的高精度的掩模MSK。

[0140] (实施方式4)

[0141] 实施方式1~2的掩模MSK的第二制造方法如下所述。在此也特别说明在CAD上的设计(布局)方法。

[0142] 参照图13和图14,在本实施方式中,例如在单一的层内混合存在用于形成有效像素形成用区域的像素用图案PTN1m的数据、和用于形成基准用图案形成用区域的非像素用图案PTN2m的数据。但是,在这些数据中,仅在例如用于形成像素用图案PTN1m的数据上重叠、表示在使该数据收缩后再形成于掩模MSK的衬底SB上的辨别数据。由于该辨别数据的存在,当实际在衬底SB上描画图案PTN1m、PTN2m时,在进行仅使收缩区域用的数据相对于非收缩区域用的数据进行收缩的控制后再进行描画。

[0143] 本实施方式在以上方面与上述实施方式3不同,其它构成要素等与实施方式3相同,因此省略其说明。

[0144] 下面,参照图15说明本实施方式的掩模MSK的制造方法(使用CAD的设计方法)。

[0145] 参照图15,首先准备掩模用的衬底SB(S00)。

[0146] 然后,如图13和图14所示,准备用于描画第一数据和第二数据的例如一个层,该第一数据用于在有效像素形成用区域(收缩区域)中描画像素用图案PTN1m,该第二数据用于在基准用图案形成用区域(非收缩区域)中描画非像素用图案PTN2m(S10)。

[0147] 然后,准备被描画于在工序(S10)中准备的层上的上述的第一数据和第二数据(S20)。

[0148] 然后,准备用于辨别第一数据和第二数据的辨别数据,该第一数据用于在有效像素形成用区域(收缩区域)中描画像素用图案PTN1m,该第二数据用于在基准用图案形成用区域(非收缩区域)中描画非像素用图案PTN2m(S30)。所谓辨别数据,具体地讲例如是用于仅重叠在第一数据上的数据。这样,能够辨别出如果重叠了辨别数据就是第一数据,如果没有重叠辨别数据就是第二数据。另外,反之也可以准备用于仅重叠在第二数据上的数据。在这种情况下,能够辨别出如果重叠了辨别数据就是第二数据,如果没有重叠辨别数据就是第一数据。但是,下面假设在第一数据上重叠了辨别数据来进行说明。

[0149] 然后,仅在收缩区域的第一数据上重叠工序(S30)所准备的辨别数据(S40)。即,以重叠的方式在第一数据上描画辨别数据。这样,即使是第一数据和第二数据混合存在时,也能够容易辨别出被重叠了辨别数据的数据是第一数据,没有被重叠辨别数据的数据是第二数据。

[0150] 然后,当仅在上述第一数据上重叠了辨别数据的状态下,与图12的工序(S40)相同地,在掩模用衬底SB上进行像素用图案PTN1m(PTN11m~PTN18m)的描画(S50)。此时,与图12的工序(S41)相同地进行收缩控制(S51)。

[0151] 然后,与图12的工序(S50)相同地,使用非收缩区域的数据即第二数据在掩模用衬底SB上进行非像素用图案PTN2m(基准用图案PTN21m~PTN28m和虚设用形成图案DMm)的描画(S60)。

[0152] 另外,在此工序(S50)和工序(S60)的顺序也没有限定,可以在工序(S50)之前执行工序(S60),也可以同时执行工序(S50)和工序(S60)。

[0153] 通过如本实施方式这样在收缩区域的数据上重叠用于辨别该收缩区域的数据和非收缩区域的数据的辨别数据,即使是在同一个层中描画收缩区域的数据和非收缩区域的数据时,当在实际的掩模MSK的衬底SB上进行描画时,也能够仅使收缩区域的数据相对于非收缩区域的数据进行收缩。其结果是,能够提供实施方式1~2所示的高精度的掩模MSK。

[0154] (实施方式5)

[0155] 实施方式1~2的掩模MSK的第三制造方法如下所述。在此也特别说明在CAD上的设计(布局)方法。

[0156] 参照图15和图16,在本实施方式中,例如在单一的层内包括第一单元CE1和第二单元CE2这两个单元。其中,第一单元包括用于在有效像素形成用区域(收缩区域)中描画像素用图案PTN1m的数据(像素用数据PTN1),第二单元包括用于在基准用图案形成用区域(非收缩区域)中描画基准用图案PTN2m的数据(非像素用数据PTN2)。

[0157] 即,用于形成有效像素形成用区域的单元是收缩区域的单元CE1,用于形成基准用图案形成用区域的单元是非收缩区域的单元CE2。

[0158] 由此,在本实施方式中,在作为CAD上的数据的集合的层中还包括更小的数据的集合的单位即单元。

[0159] 本实施方式在以上方面与上述实施方式3不同,其它构成要素等与实施方式3相同,因此省略其说明。

[0160] 下面,参照图18说明本实施方式的掩模MSK的制造方法(使用CAD的设计方法)。

[0161] 参照图18,首先准备掩模用的衬底SB(S00)。

[0162] 然后,如图16和图17所示,准备用于描画第一数据和第二数据的例如单一的层,该第一数据用于在有效像素形成用区域(收缩区域)中描画像素用图案PTN1m,该第二数据用于在基准用图案形成用区域(非收缩区域)中描画非像素用图案PTN2m(S10)。该工序与图15的工序(S10)相同。

[0163] 然后,在所述层中描画作为有效像素形成用区域(收缩区域)的单元的第一单元CE1、和作为基准用图案形成用区域(非收缩区域)的单元的第二单元CE2。并且,在收缩区域的单元CE1中描画第一数据,该第一数据用于在有效像素形成用区域(收缩区域)中描画像素用图案PTN1m(S20)。

[0164] 并且,在非收缩区域的单元CE2中描画第二数据,该第二数据用于在基准用图案形成用区域(非收缩区域)中描画非像素用图案PTN2m(S30)。

[0165] 以下,通过例如与实施方式3(图12)的工序(S40)、(S41)、(S50)相同的处理,在掩模用衬底上进行描画(S40~S50)。

[0166] 即使在如本实施方式这样将收缩区域的数据和非收缩区域的数据描画在同一个层内的不同单元中的情况下,也能够发挥与例如实施方式3那样收缩区域的数据和非收缩区域的数据被描画在不同的层中时相同的效果。即,当在实际的掩模MSK的衬底SB上进行描

画时,能够仅使收缩区域的数据相对于非收缩区域的数据进行收缩,能够提供实施方式1~2所示的高精度的掩模MSK。

[0167] 另外,例如在实施方式4中在层内的数据上重叠用于辨别收缩区域或者非收缩区域的数据,但应用本实施方式,也可以在一个单元内的数据上重叠用于辨别收缩区域或者非收缩区域的数据作为代替。

[0168] (实施方式6)

[0169] 实施方式1~2的掩模MSK的第四制造方法如下所述。在此也特别说明在CAD上的设计(布局)方法。

[0170] 参照图19和图20,在本实施方式中,例如在单一的层内混合存在用于形成有效像素形成用区域的像素用图案PTN1m的数据、和用于形成基准用图案形成用区域的非像素用图案PTN2m的数据。并且,已经决定了每个数据应该被描画在掩模MSK的衬底SB上的位置的坐标。

[0171] 在本实施方式中,利用描画第一数据(收缩区域的数据)和第二数据(非收缩区域的数据)的位置的坐标来辨别每个数据,该第一数据用于描画有效像素形成用区域的像素用图案PTN1m,该第二数据用于描画基准用图案形成用区域的非像素用图案PTN2m。并且,在进行仅使收缩区域的数据相对于非收缩区域的数据进行收缩的控制后再进行描画。

[0172] 例如,如图19和图20所示,在该层被描画在掩模MSK的 $x_1 \leq x \leq x_2$ 、而且 $y_1 \leq y \leq y_2$ 的坐标范围内的情况下,该层被描画在收缩区域内,因此可以说其原来的数据是第一数据(收缩区域的数据)。并且,在该层被描画在掩模MSK的上述坐标范围外的情况下,可以说其原来的数据是第二数据(非收缩区域的数据)。

[0173] 即,在实施方式4中利用被重叠在各数据上的辨别数据来辨别是否是收缩区域的数据,与此相对地,在本实施方式中,通过辨别描画各数据的位置的坐标来辨别是否是收缩区域的数据。

[0174] 本实施方式在以上方面与上述实施方式4不同,其它构成要素等与实施方式4相同,因此省略其说明。

[0175] 下面,参照图21说明本实施方式的掩模MSK的制造方法(使用CAD的设计方法)。

[0176] 参照图21,首先准备掩模用的衬底SB(S00)。

[0177] 然后,如图21所示,在掩模用的衬底SB中确定有效像素形成用区域(收缩区域)和基准用图案形成用区域(非收缩区域)的坐标的范围(S10)。在此如上所述, $x_1 \leq x \leq x_2$ 而且 $y_1 \leq y \leq y_2$ 的坐标范围内被确定为收缩区域,除此以外的坐标范围被确定为非收缩区域。

[0178] 然后,准备用于描画第一数据和第二数据的例如一个层,该第一数据用于在有效像素形成用区域(收缩区域)中描画像素用图案PTN1m,该第二数据用于在基准用图案形成用区域(非收缩区域)中描画非像素用图案PTN2m(S20)。该工序与图15的工序(S10)相同。

[0179] 然后,准备被描画于在工序(S20)所准备的层中的上述的第一数据和第二数据(S30)。该工序与图15的工序(S20)相同。

[0180] 然后,通过例如与实施方式3(图12)的工序(S40)、(S41)、(S50)相同的处理,在掩模用衬底上进行描画(S40~S50)。此时辨别坐标的范围,并且辨别是收缩区域或者非收缩区域的哪个区域中的数据,在仅使收缩区域的数据进行收缩后进行描画。

[0181] 如本实施方式这样,通过确定收缩区域和非收缩区域的坐标的范围并辨别收缩区

域和非收缩区域,能够与其它实施方式相同地,当在实际的掩模MSK的衬底SB上进行描画时,能够仅使收缩区域的数据相对于非收缩区域的数据进行收缩。其结果是,能够提供实施方式1~2所示的高精度的掩模MSK。

[0182] 以上,根据实施方式具体说明了由本发明者完成的发明,但本发明不限于上述实施方式,当然能够在不脱离其宗旨的范围内进行各种变更。

[0183] 下面记述了在实施方式中记述的内容的一部分,但也存在一部分与上述实施方式重复的部分。

[0184] (1)一种掩模的制造方法,包括准备具有主表面的衬底的工序。包括准备第一数据的工序,该第一数据用于在衬底的主表面中形成有像素用图案的有效像素形成用区域中描画像素用图案,该像素用图案用于形成构成像素的像素构成部件。包括准备第二数据的工序,该第二数据用于在衬底的主表面中包围有效像素形成用区域、并形成有基准用图案的基准用图案形成用区域中描画基准用图案,该基准用图案用于表示本来在有效像素形成用区域中配置像素用图案的基准位置。包括准备辨别数据的工序,该辨别数据用于辨别有效像素形成用区域和基准用图案形成用区域。包括这样的工序:在使辨别数据重叠在第一数据上的状态下,以使像素用图案比基准位置偏向有效像素形成用区域的中央侧的方式,使用第一数据在有效像素形成用区域中描画像素用图案。包括使用第二数据在基准用图案形成用区域中描画基准用图案的工序。

[0185] (2)一种掩模的制造方法,包括准备具有主表面的衬底的工序。包括准备被描画在第一单元中的第一数据的工序,用于在衬底的主表面中形成有像素用图案的有效像素形成用区域中描画像素用图案,该像素用图案用于形成构成像素的像素构成部件。包括准备被描画在与第一单元不同的第二单元中的第二数据的工序,用于在衬底的主表面中包围有效像素形成用区域、并形成有基准用图案的基准用图案形成用区域中描画基准用图案,该基准用图案用于表示本来在有效像素形成用区域中配置像素用图案的基准位置。包括这样的工序:以使像素用图案比基准位置偏向有效像素形成用区域的中央侧的方式,使用第一数据在有效像素形成用区域中描画像素用图案。包括使用第二数据在基准用图案形成用区域中描画基准用图案的工序。第一单元和第二单元被描画在同一个层中。

[0186] (3)一种掩模的制造方法,包括准备具有主表面的衬底的工序。包括这样的工序:确定有效像素形成用区域和基准用图案形成用区域在衬底的主表面中的坐标的范围,该有效像素形成用区域是指在衬底的主表面中形成有像素用图案的区域,该像素用图案用于形成构成像素的像素构成部件,该基准用图案形成用区域是指在衬底的主表面中包围有效像素形成用区域、并形成有基准用图案的区域,该基准用图案用于表示本来在有效像素形成用区域中配置像素用图案的基准位置。包括准备第一数据和第二数据的工序,该第一数据用于在有效像素形成用区域中描画像素用图案,该第二数据用于在基准用图案形成用区域中描画基准用图案。包括这样的工序:辨别坐标的范围,并以使像素用图案比基准位置偏向有效像素形成用区域的中央侧的方式,使用第一数据在有效像素形成用区域中描画像素用图案。包括辨别坐标的范围、并使用第二数据在基准用图案形成用区域中描画基准用图案的工序。

[0187] 对本发明的实施方式进行了说明,但应该理解为此次公开的实施方式在所有方面上都仅是示例,不是限制性的方式。应该理解为本发明的范围通过权利要求书进行了公开,

并且包含与权利要求书同等的意义及范围内的所有变更。

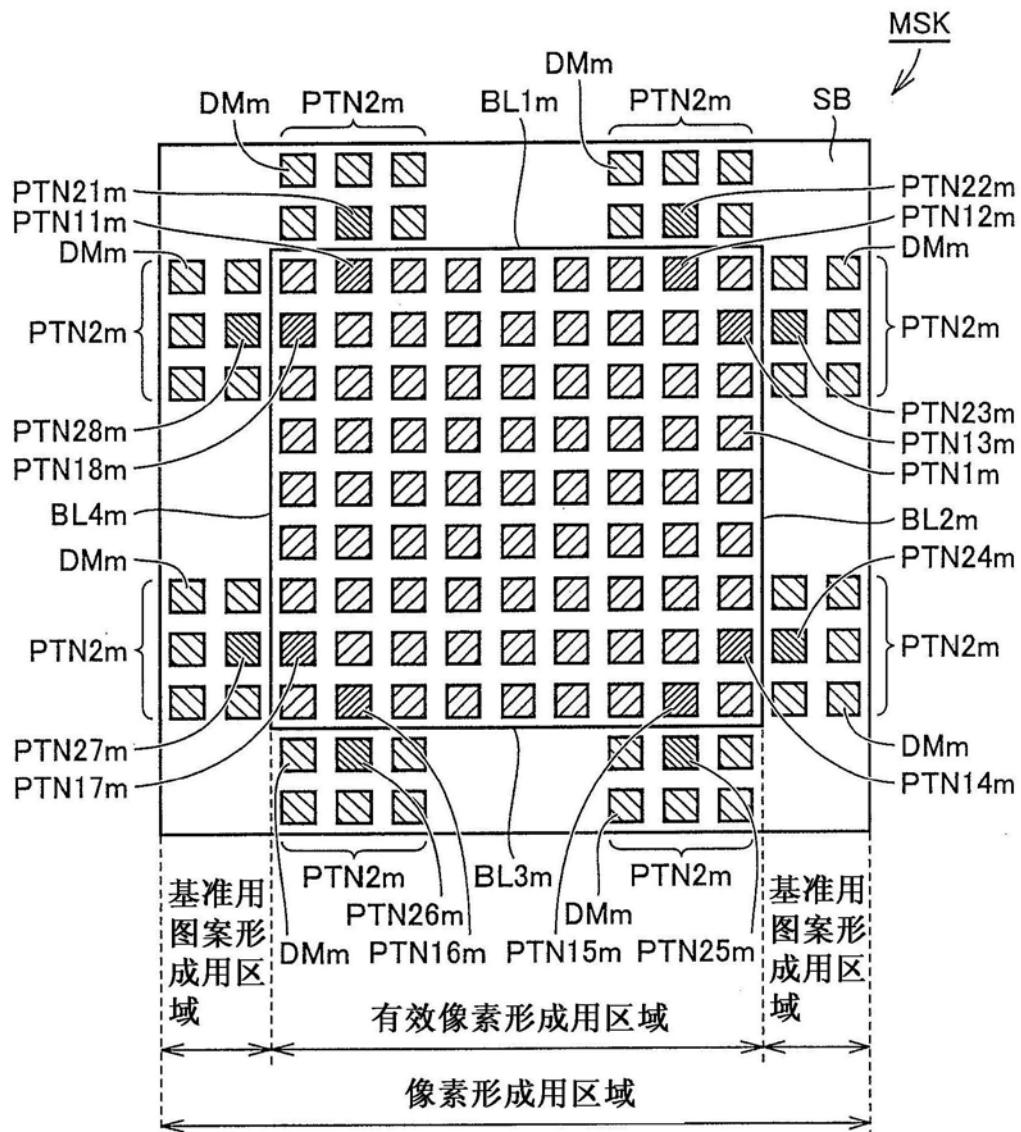


图1

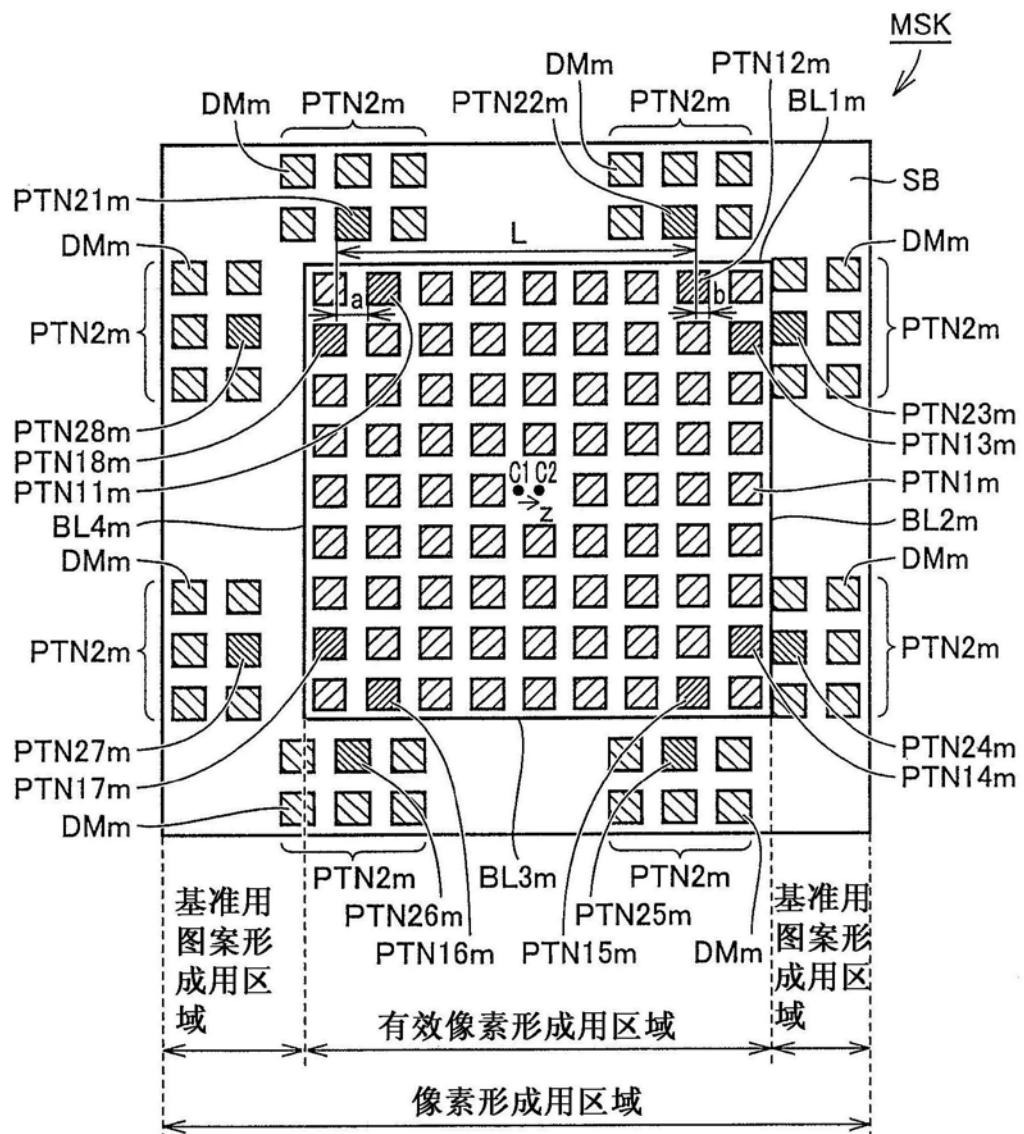
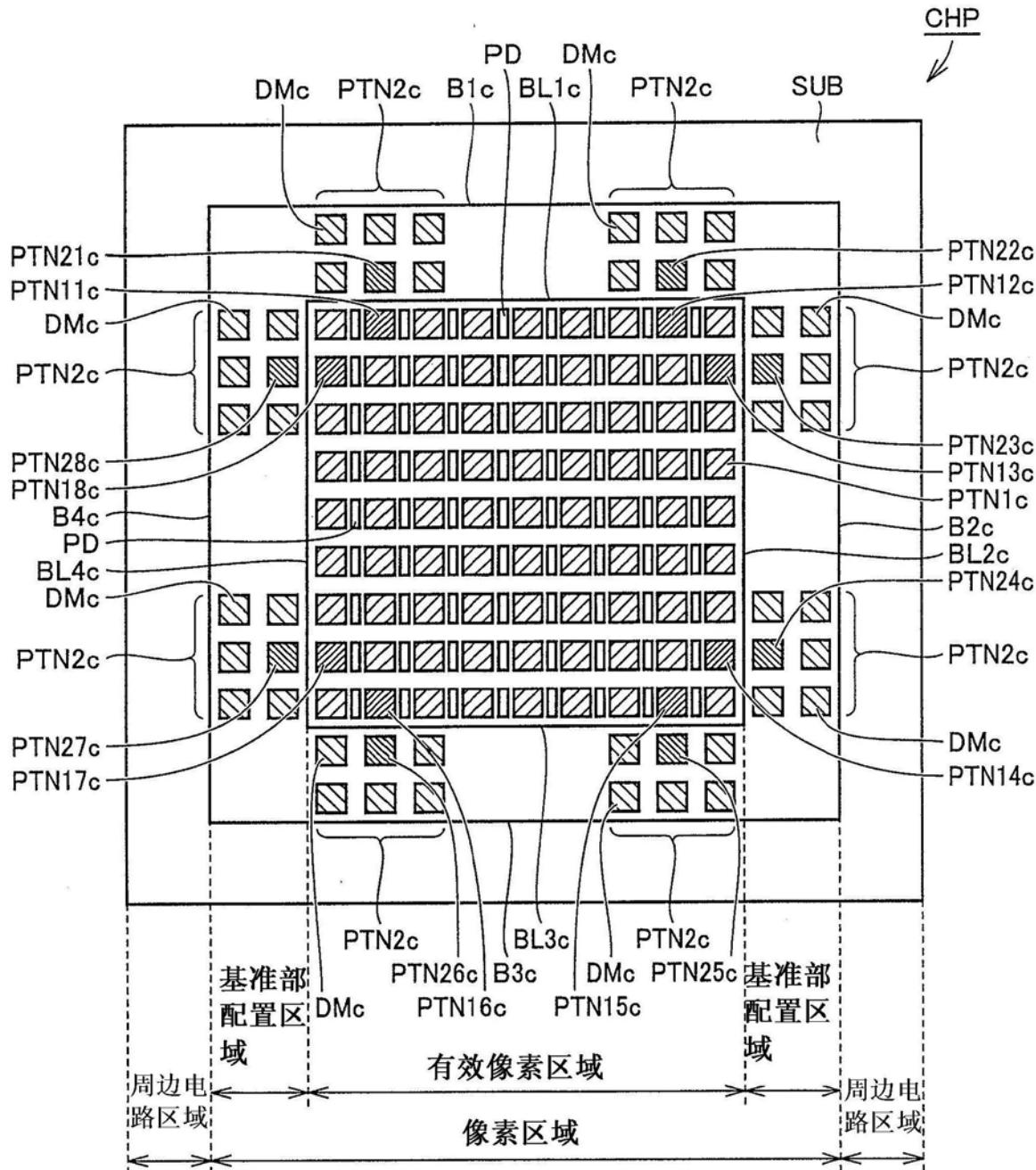


图2



冬 3

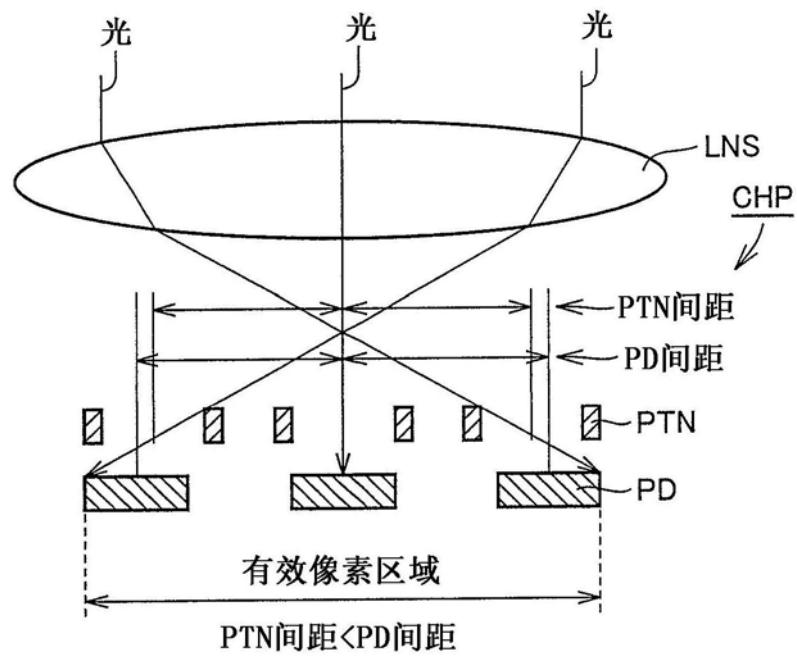


图4

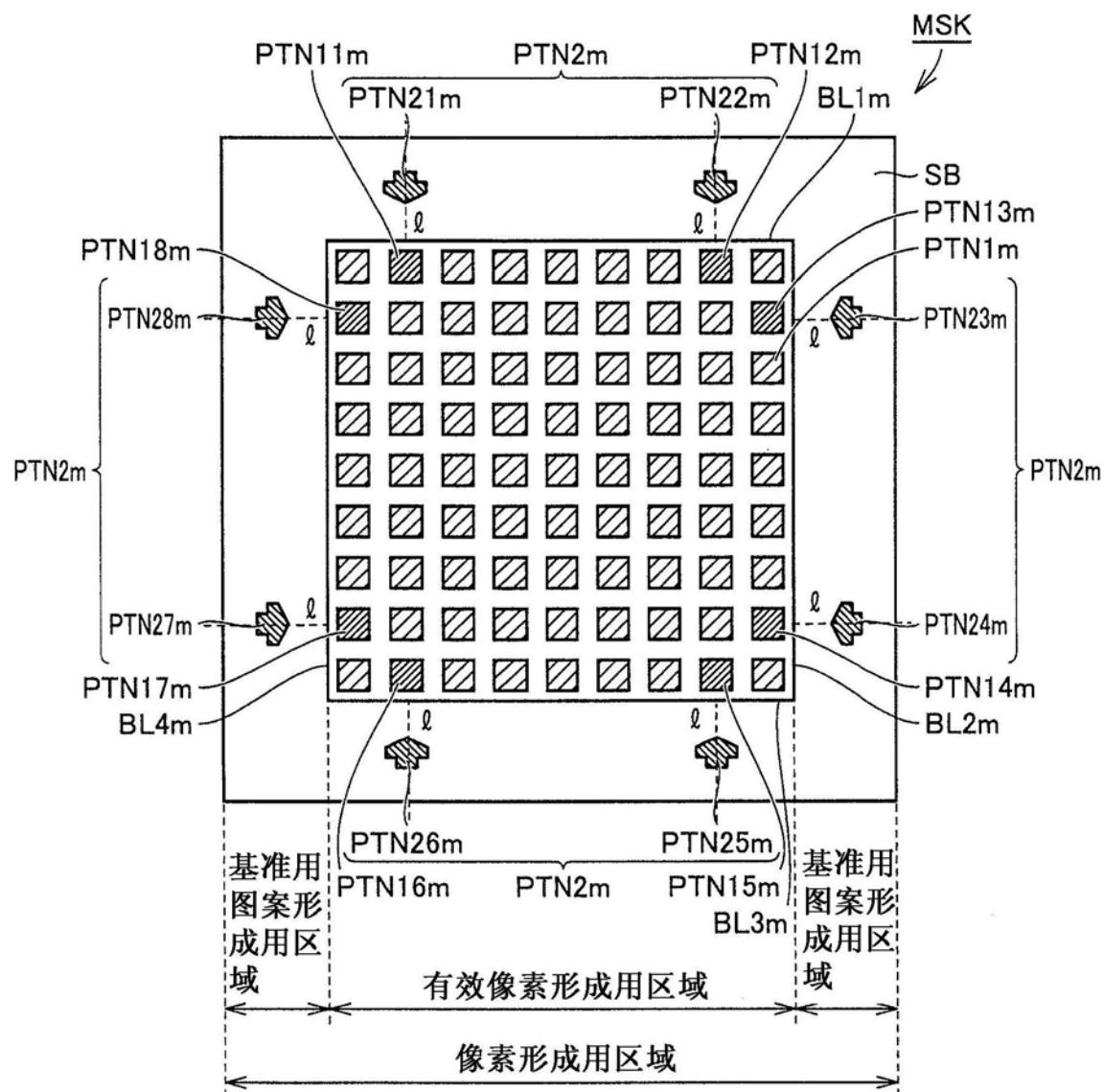


图5

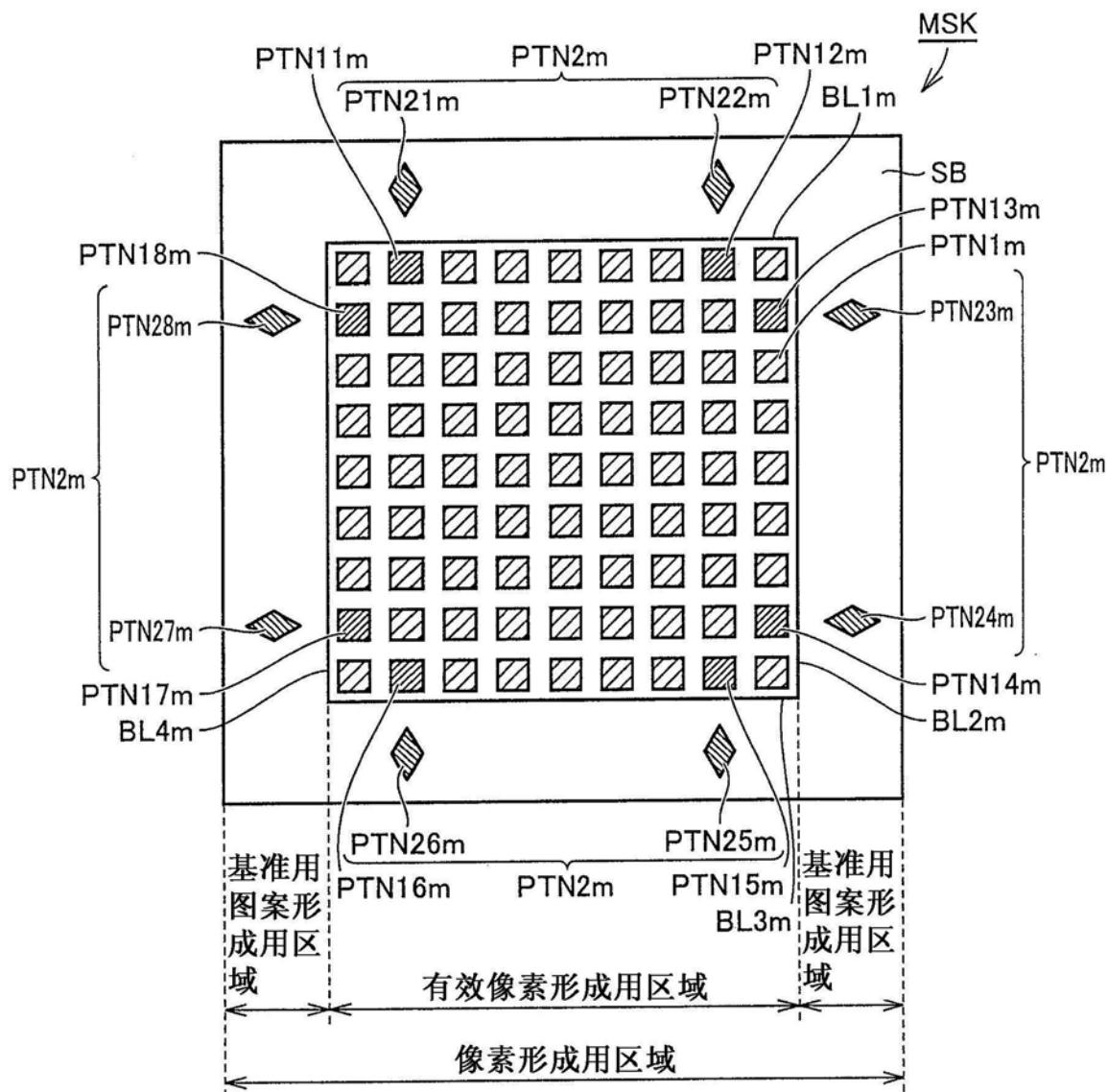


图6

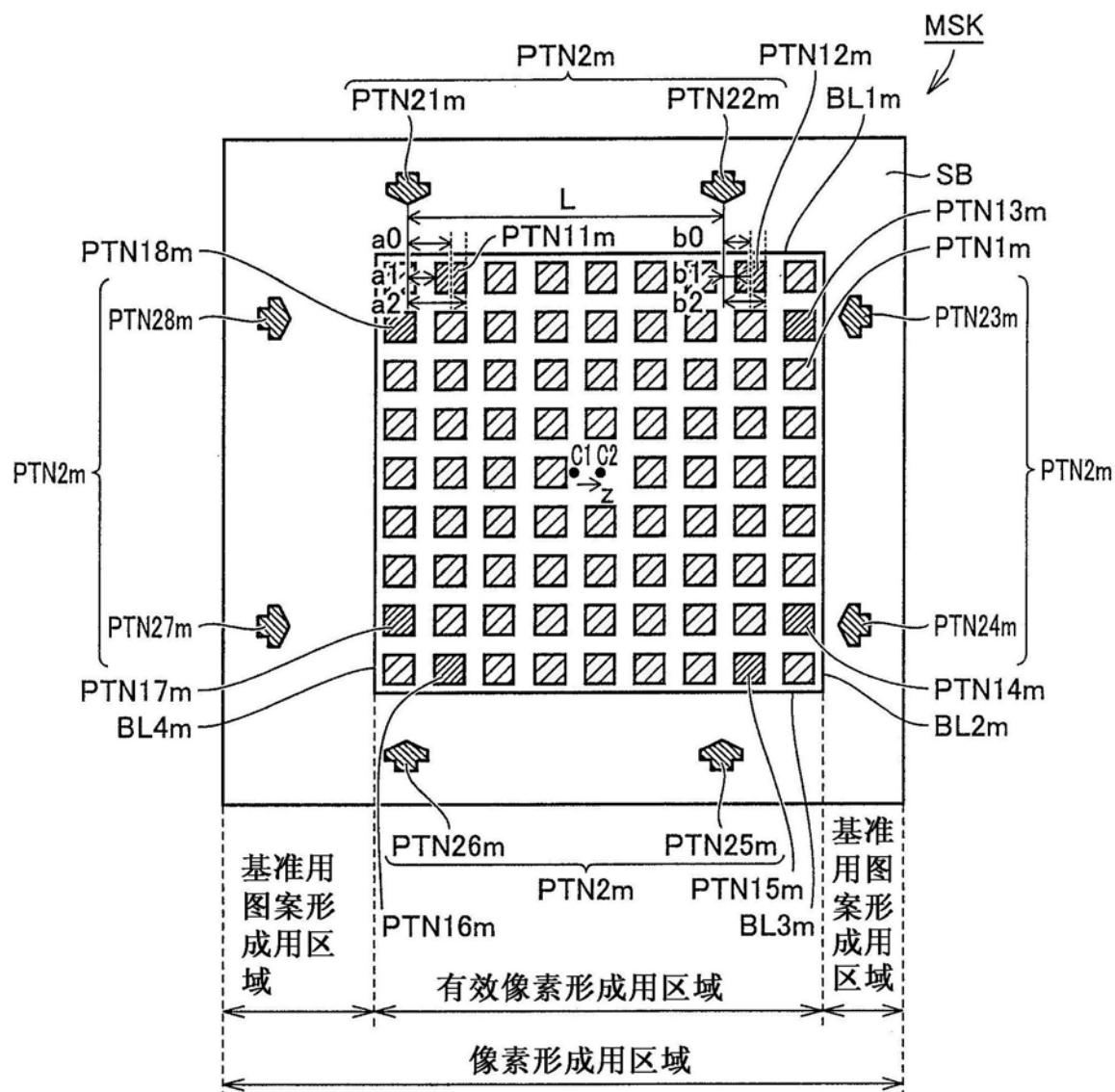


图7

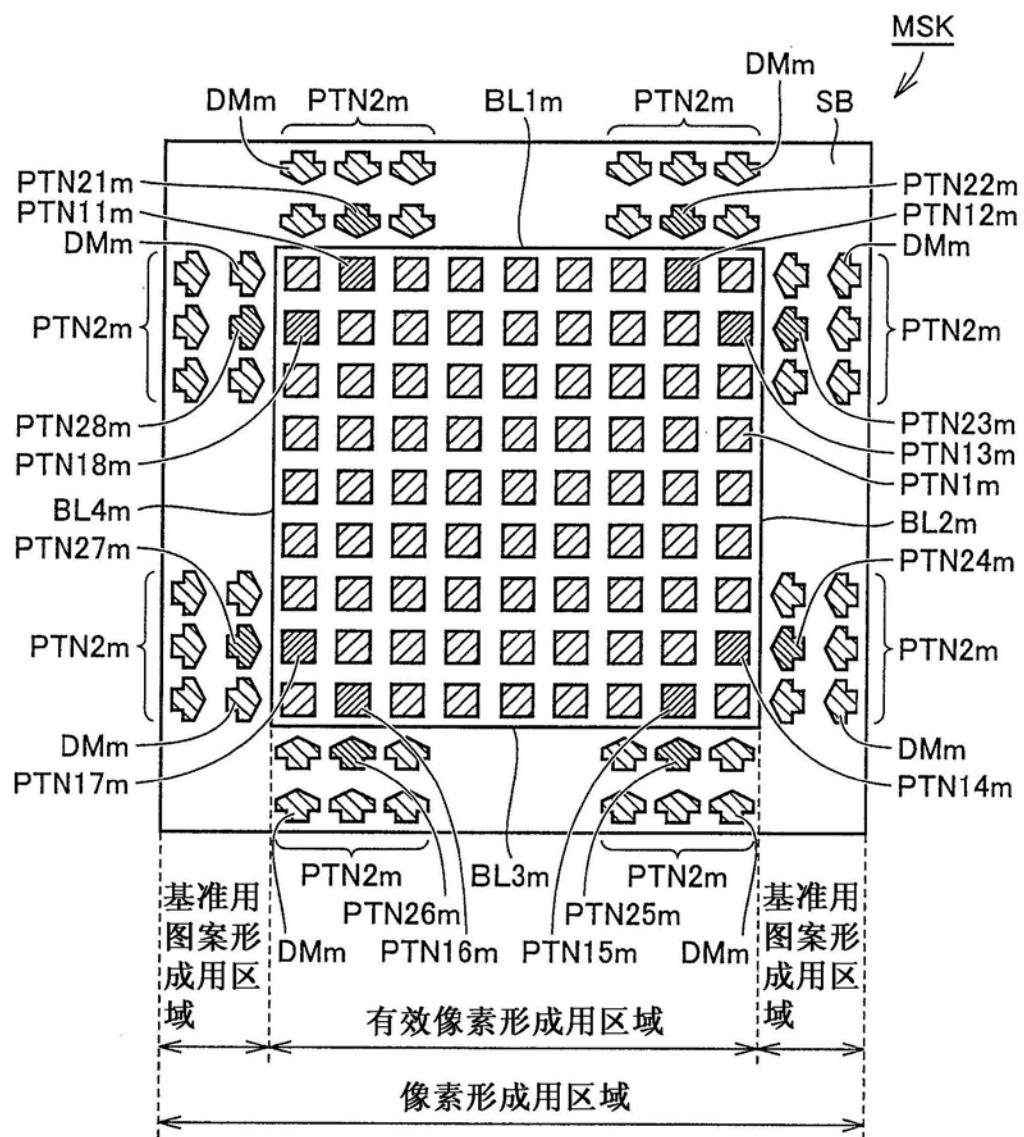


图8

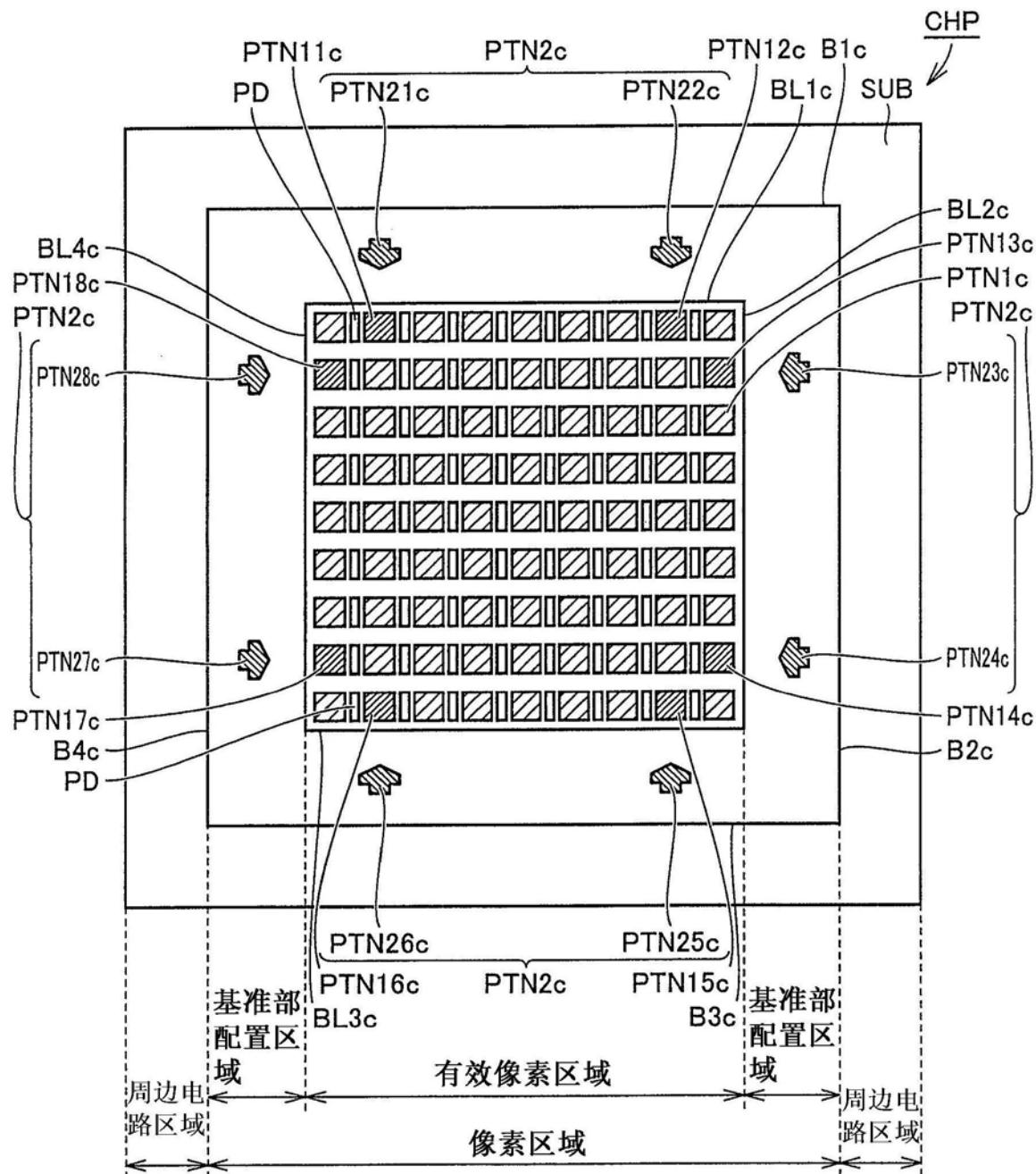


图9

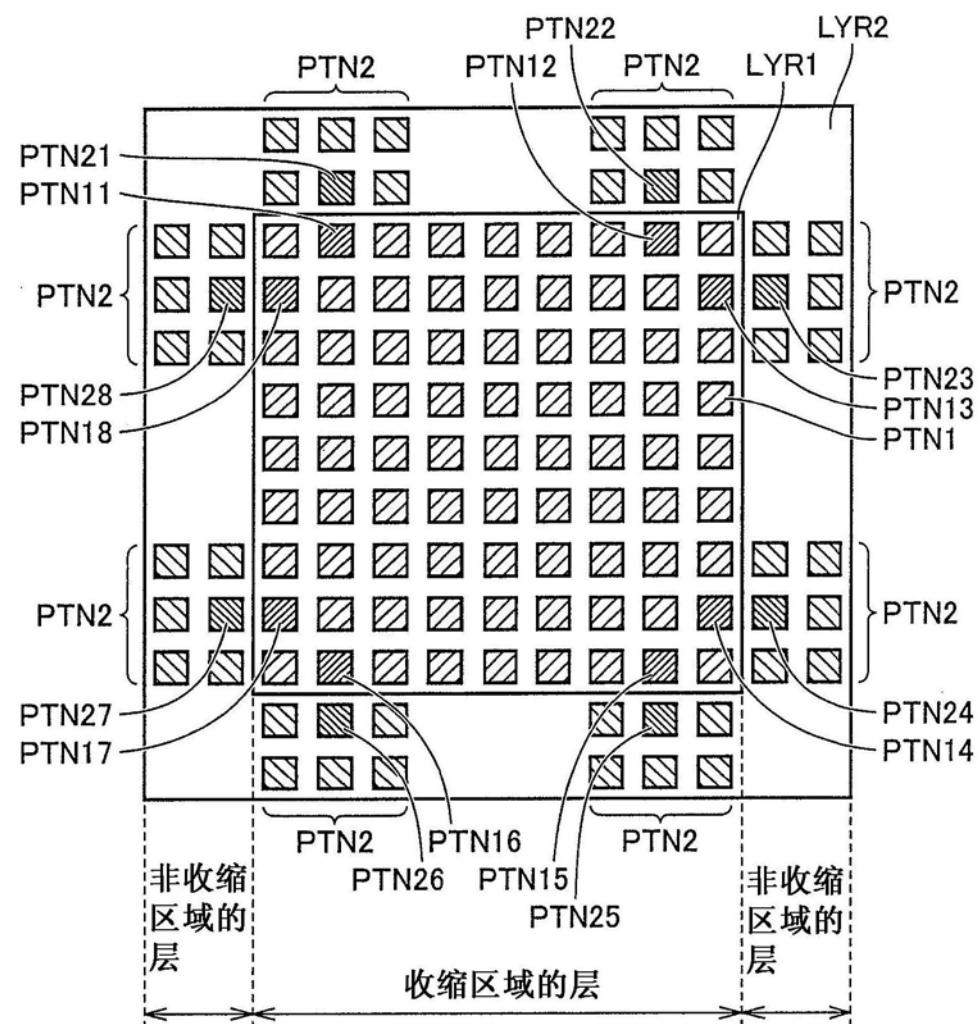


图10

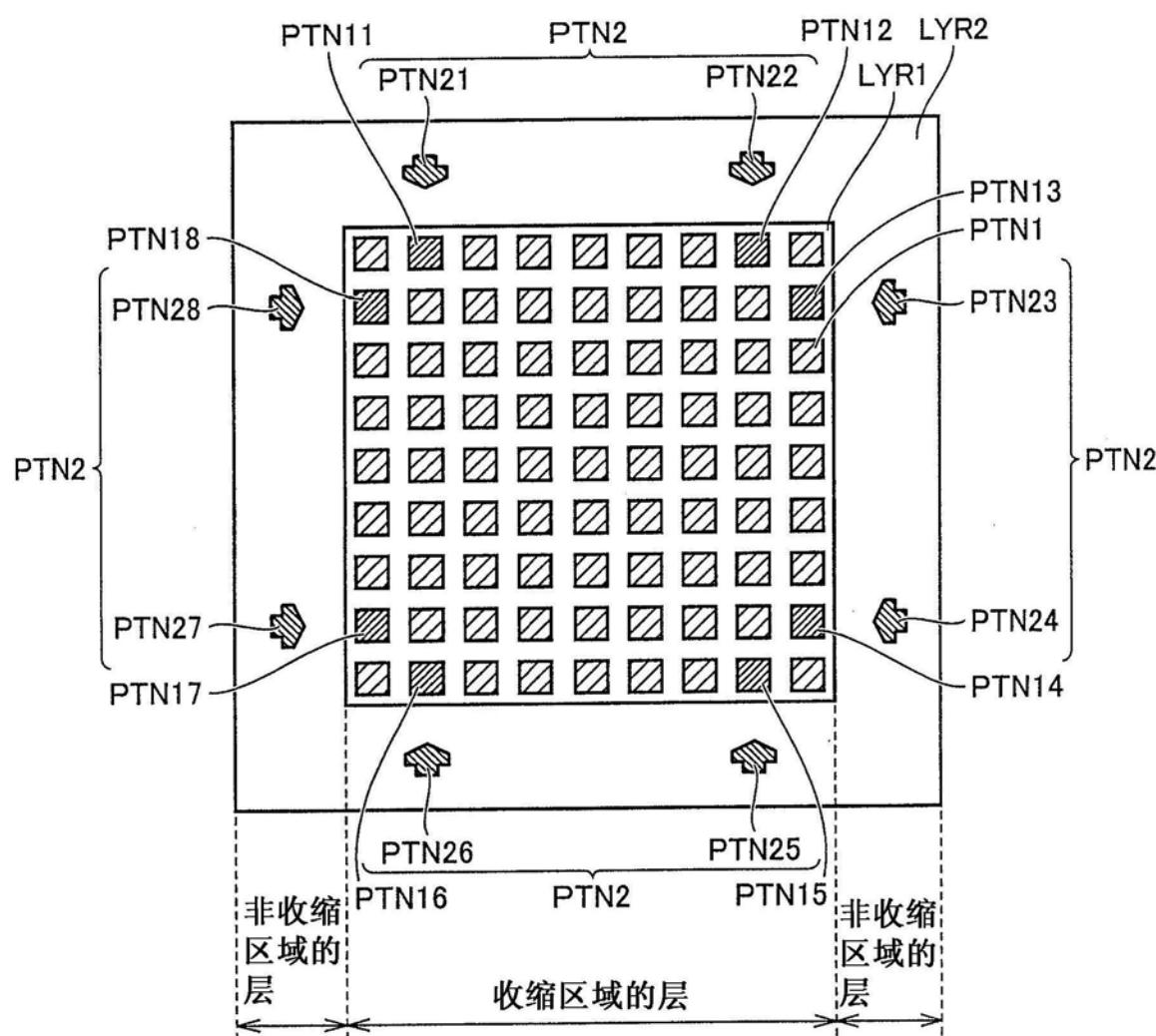


图11

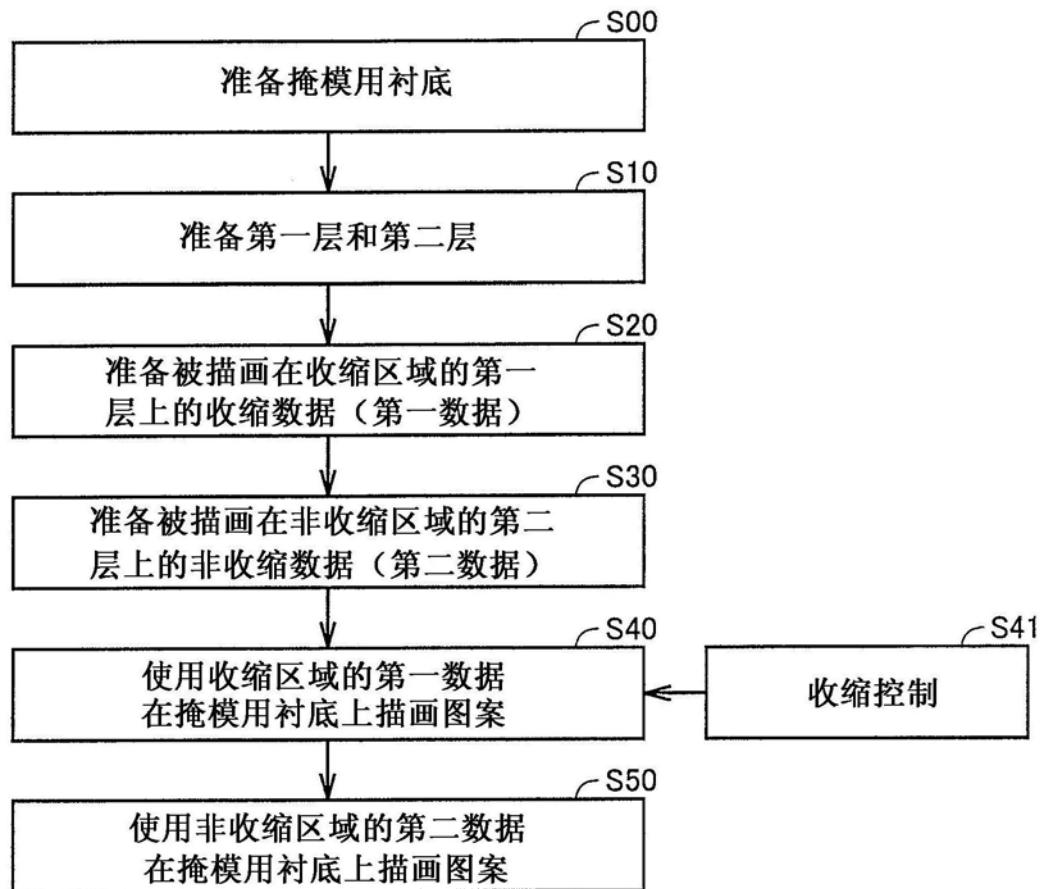


图12

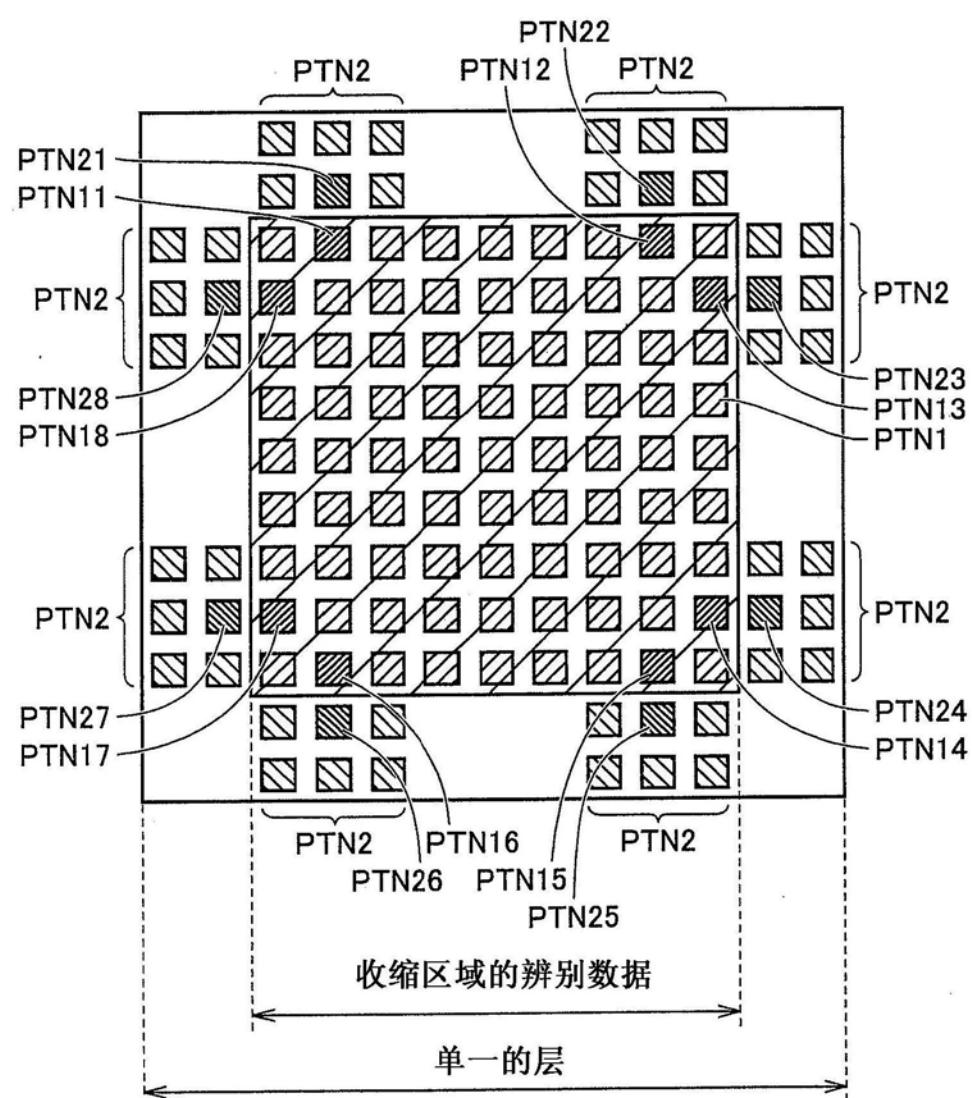


图13

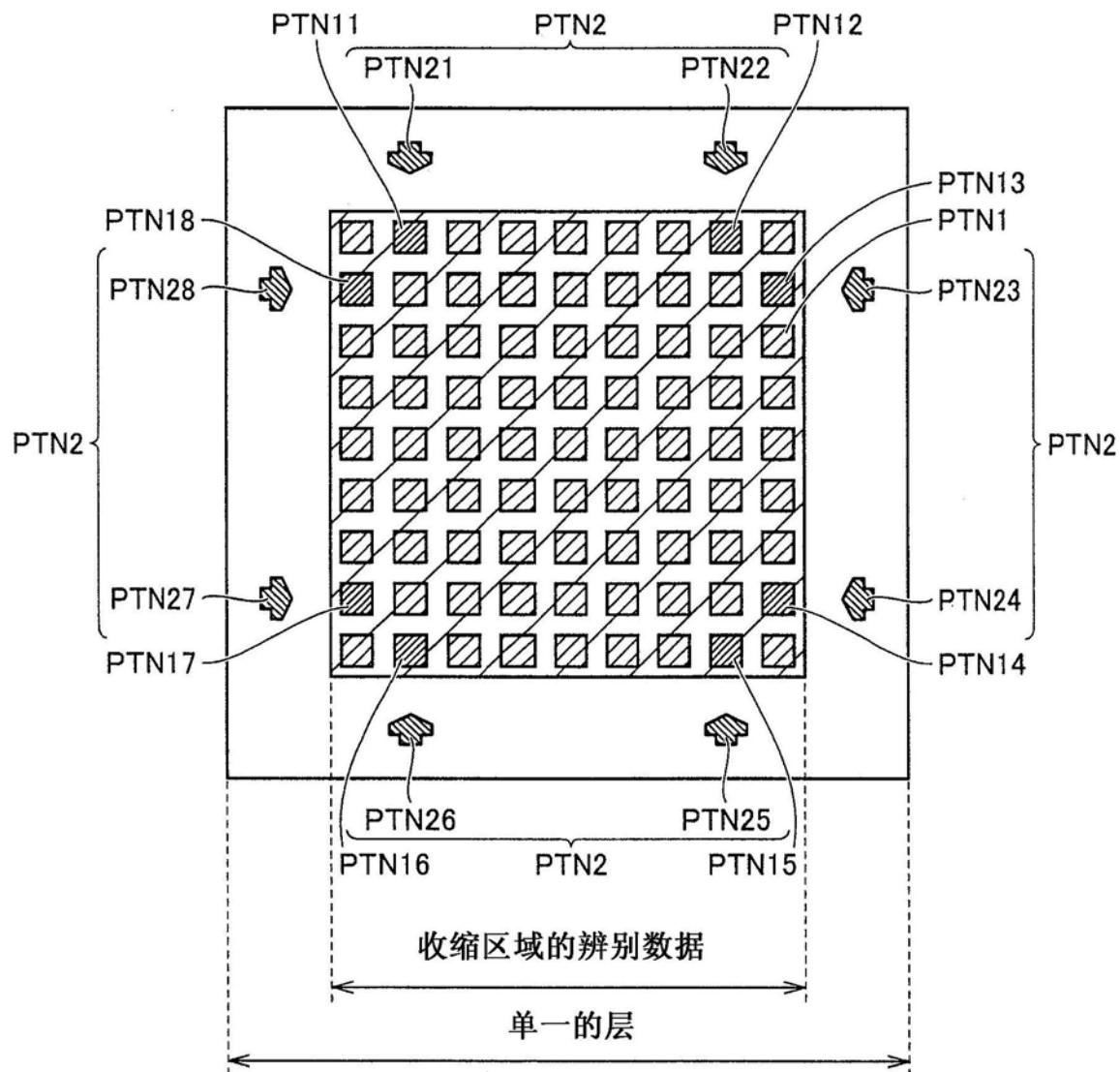


图14

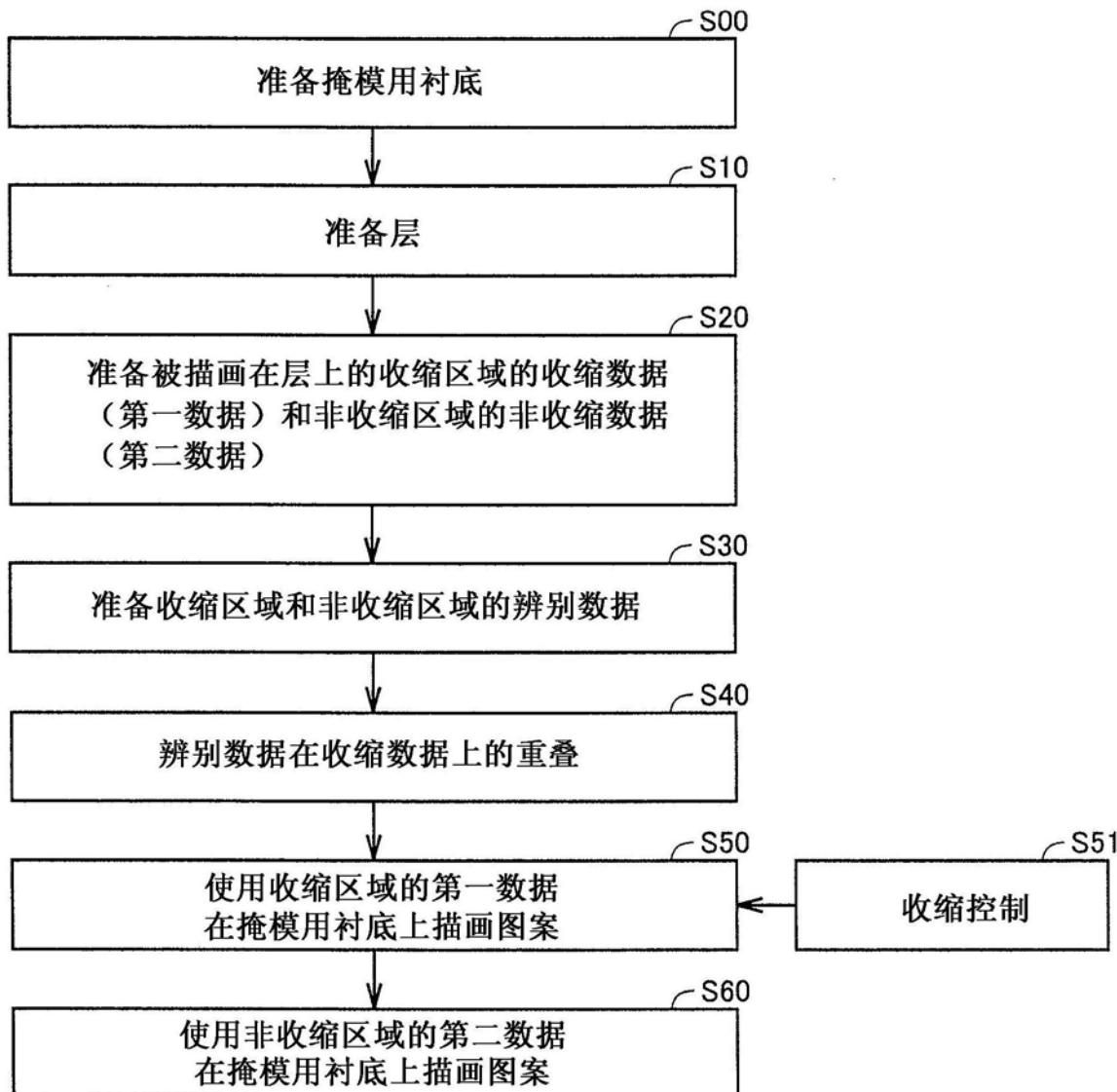


图15

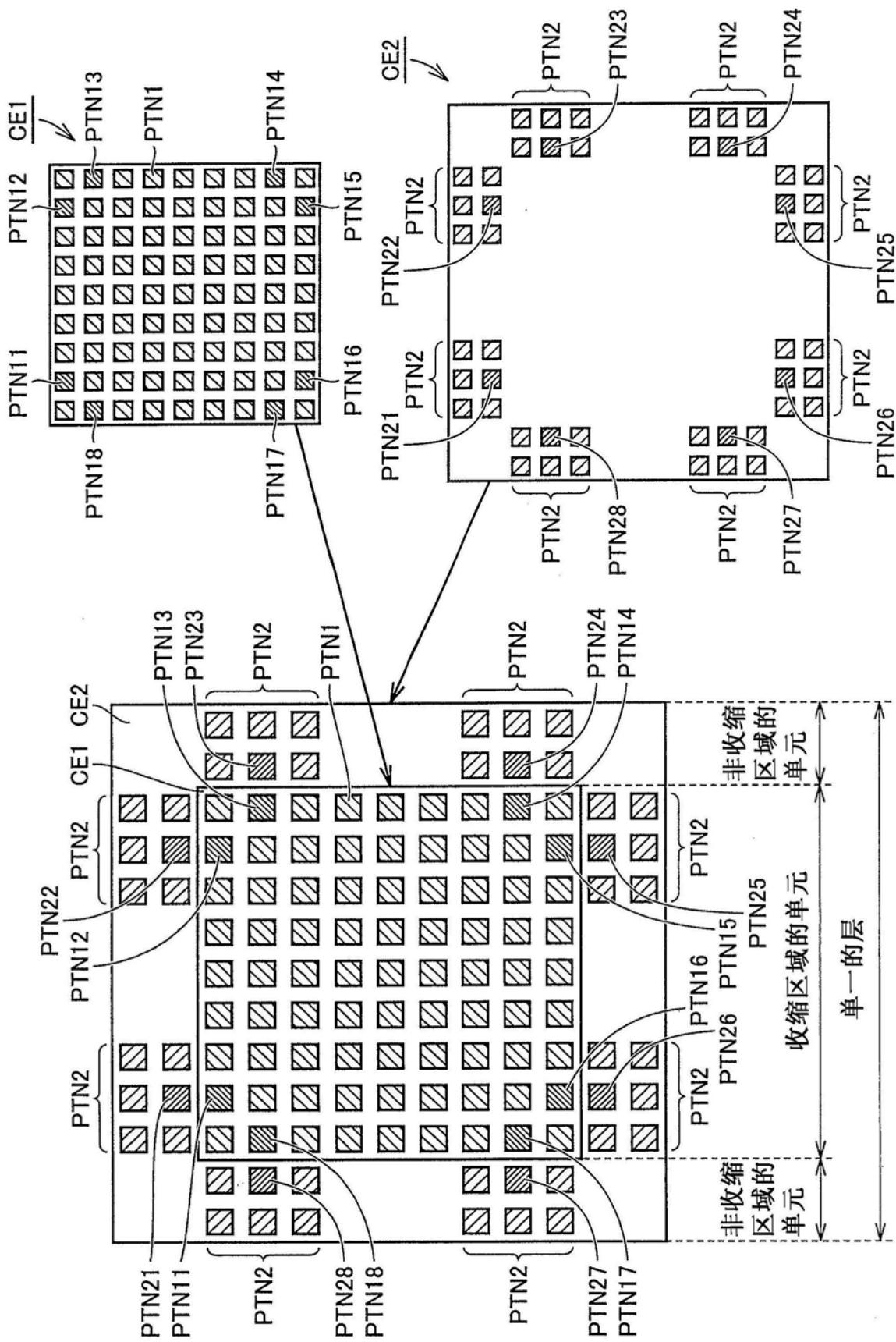


图16

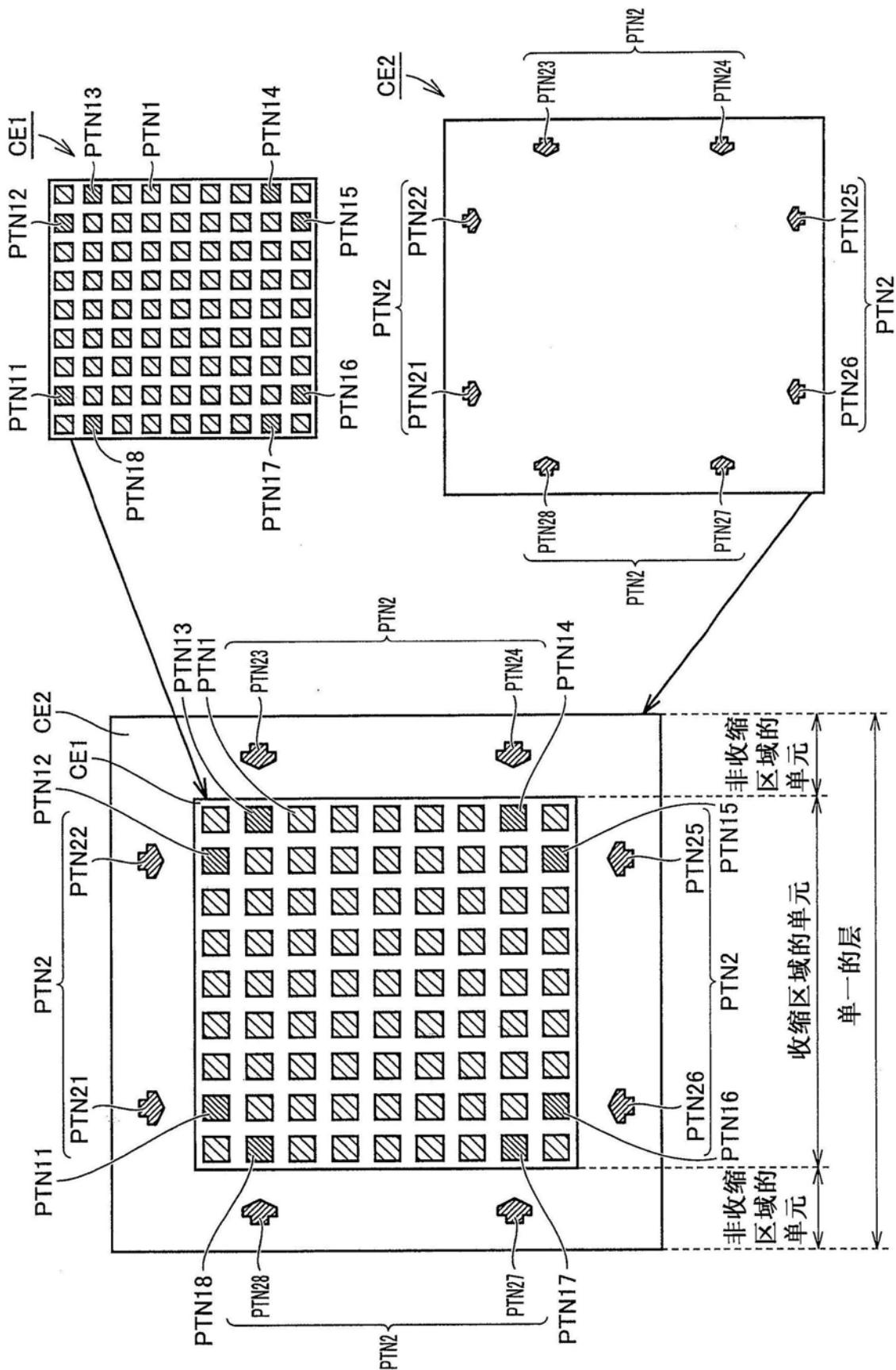


图17

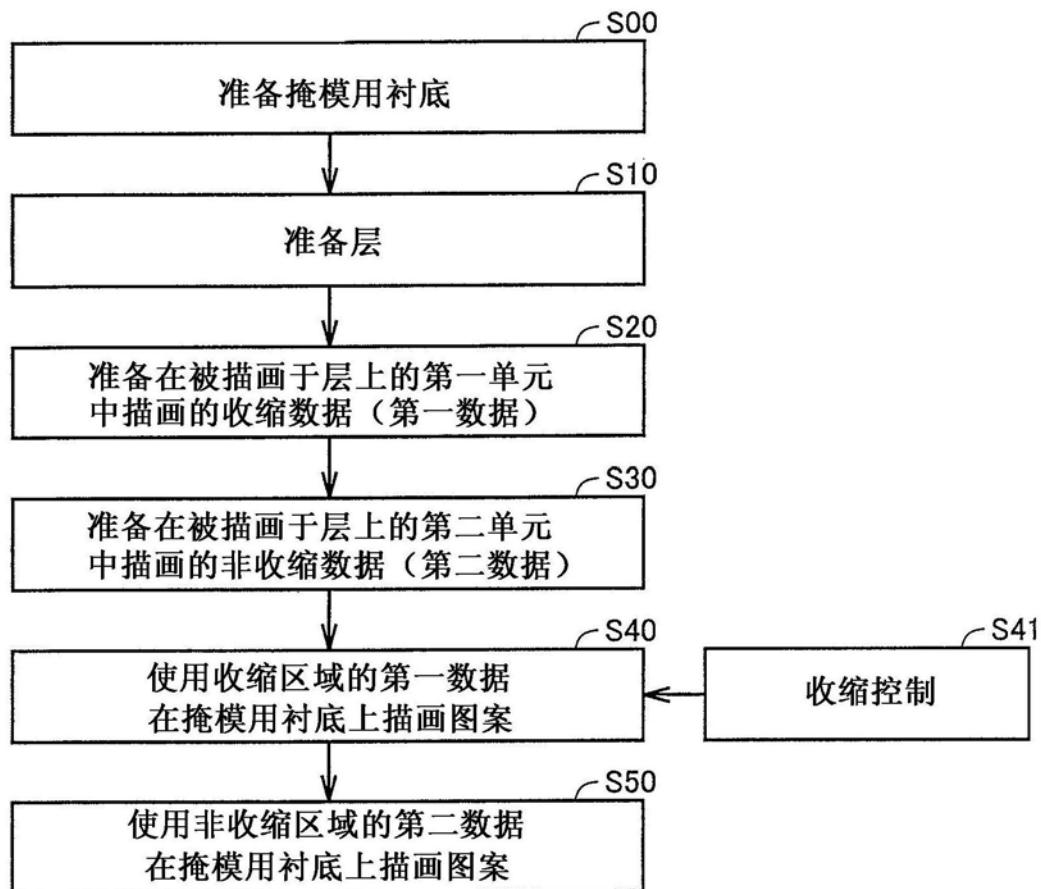


图18

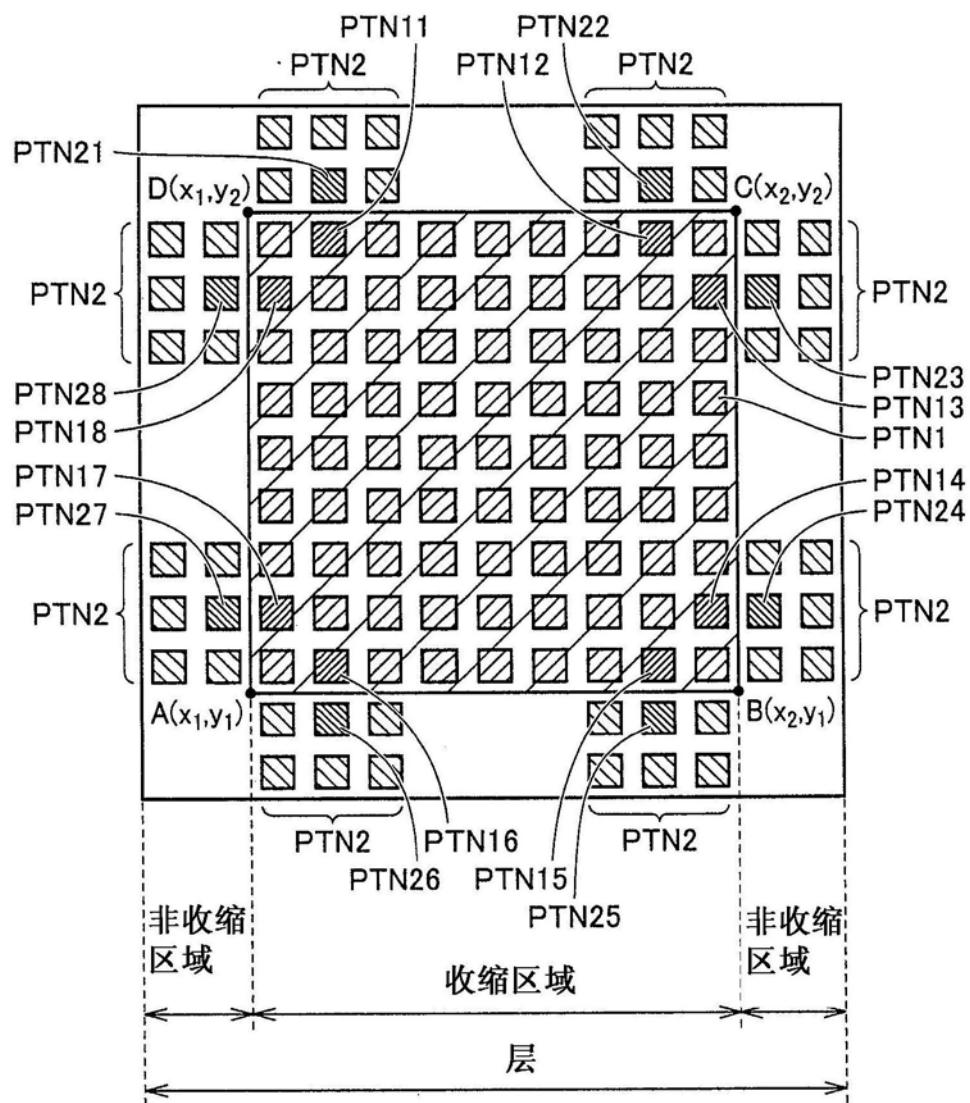


图19

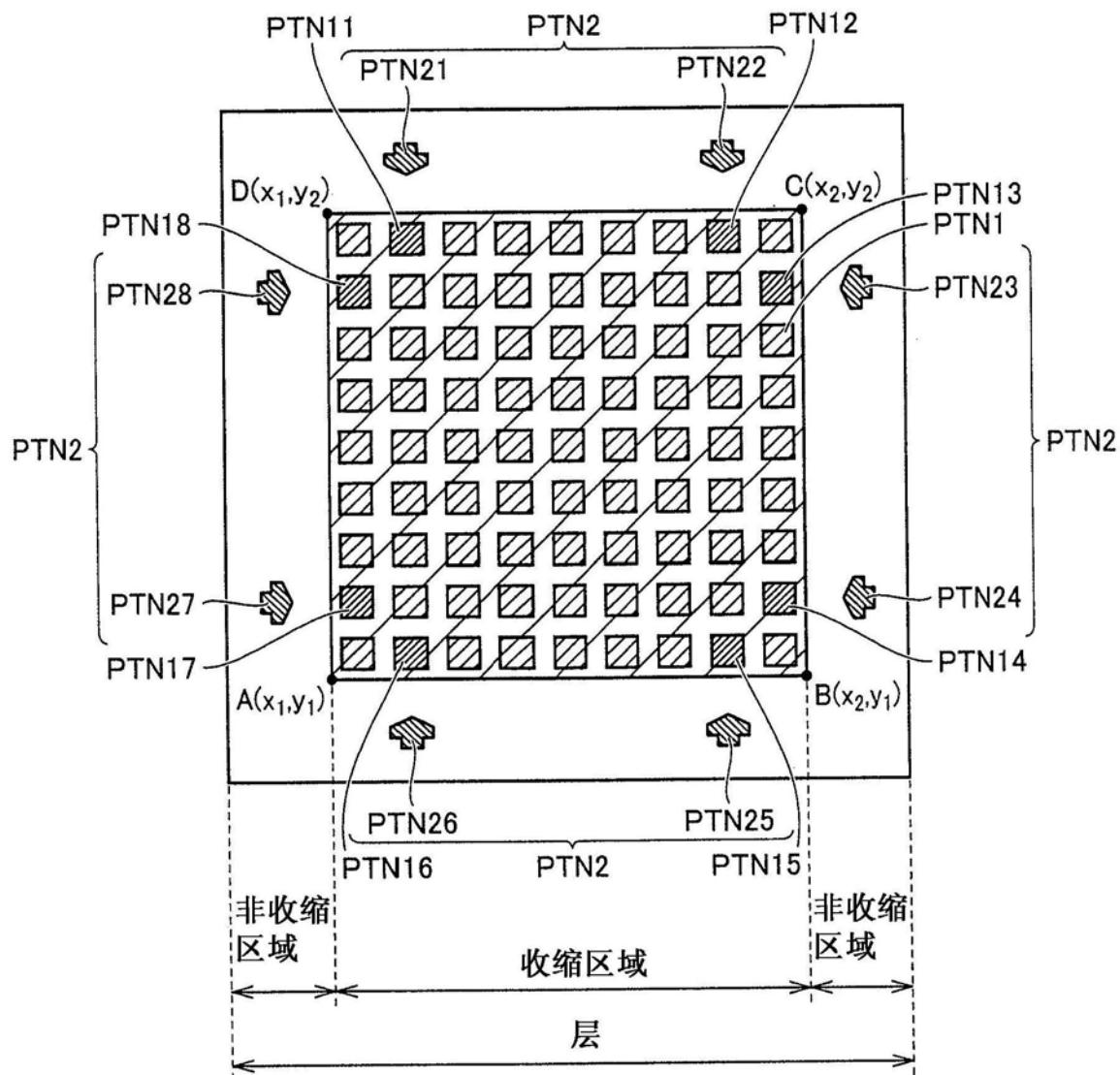


图20

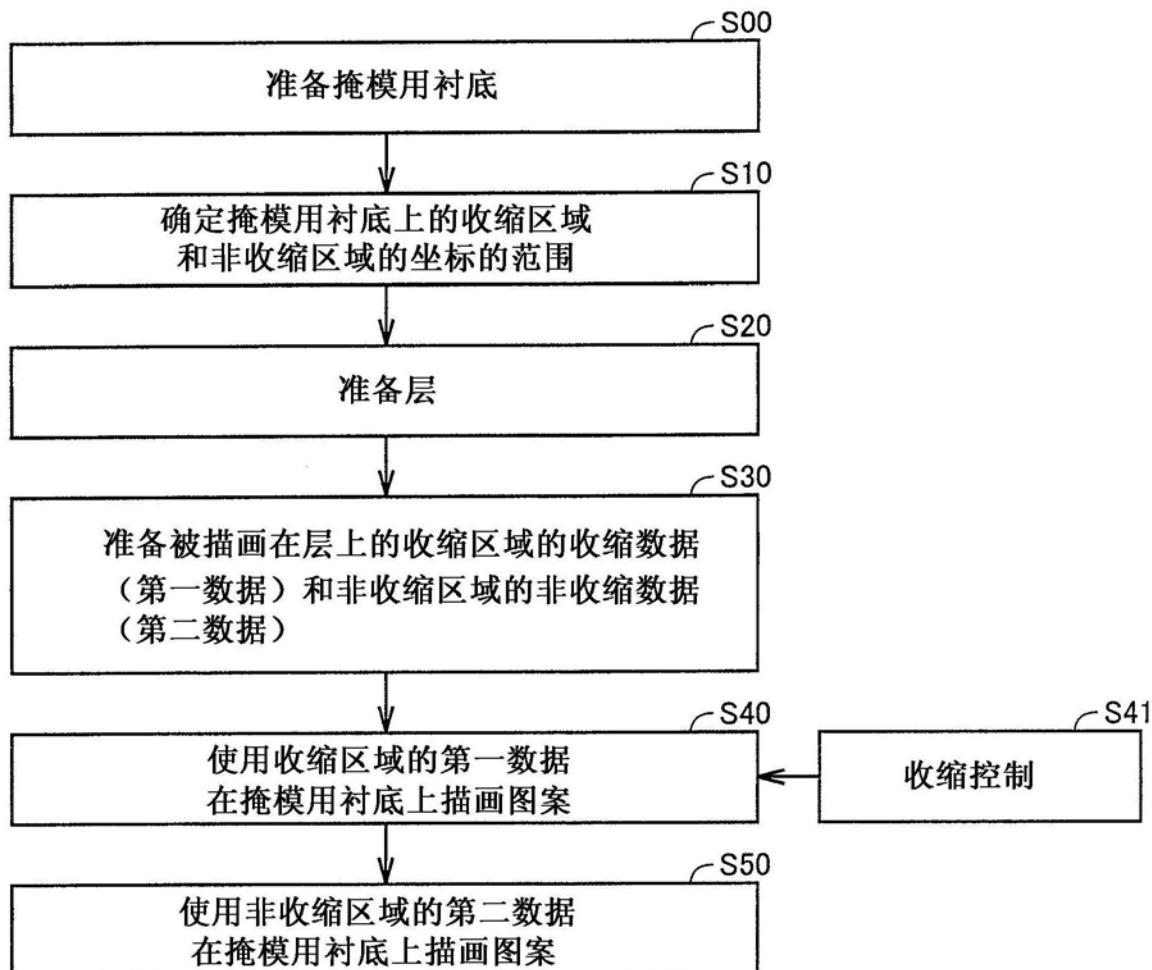


图21