

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5180795号
(P5180795)

(45) 発行日 平成25年4月10日(2013.4.10)

(24) 登録日 平成25年1月18日(2013.1.18)

(51) Int.Cl.	F 1
G02B 7/28 (2006.01)	GO2B 7/11 N
G02B 7/34 (2006.01)	GO2B 7/11 C
H04N 5/335 (2011.01)	H04N 5/335 P
H04N 5/232 (2006.01)	H04N 5/232 H
H04N 101/00 (2006.01)	H04N 101:00

請求項の数 13 (全 18 頁)

(21) 出願番号 特願2008-310697 (P2008-310697)
 (22) 出願日 平成20年12月5日 (2008.12.5)
 (65) 公開番号 特開2009-163229 (P2009-163229A)
 (43) 公開日 平成21年7月23日 (2009.7.23)
 審査請求日 平成23年9月30日 (2011.9.30)
 (31) 優先権主張番号 特願2007-318997 (P2007-318997)
 (32) 優先日 平成19年12月10日 (2007.12.10)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】撮像装置及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

撮影光学系から入射される光を受光する撮像用画素と、前記撮像用画素とは異なり、前記撮影光学系から入射される光を瞳分割して受光する焦点検出用画素とを含む撮像素子と、

メモリに記憶された前記焦点検出用画素の位置情報を前記メモリから読み出す記憶制御手段と、

欠陥がある前記焦点検出用画素について、

前記焦点検出用画素の位置情報に基づいて前記撮像素子における前記焦点検出用画素の位置を特定し、当該欠陥がある前記焦点検出用画素に対応する画素信号を、当該欠陥がある前記焦点検出用画素と隣接しない、欠陥が無い前記焦点検出用画素の画素信号を用いて、焦点検出用に生成する第1の生成と、

前記焦点検出用画素の位置情報に基づいて前記撮像素子における前記焦点検出用画素の位置を特定し、当該欠陥がある前記焦点検出用画素に対応する画素信号を、前記撮像素子の画素信号を用いて、記録画像用に生成する第2の生成と、を行うことが可能な生成手段と、

を備えることを特徴とする撮像装置。

【請求項 2】

前記メモリには、前記撮像素子上の位置情報と関連付けられて、前記焦点検出用画素であるか否かを識別する情報、欠陥がある画素であるか否かを識別する情報を有する補正情

報が記憶されており、

前記生成手段は、前記補正情報を用いて欠陥がある前記焦点検出用画素、欠陥が無い前記焦点検出用画素及び前記撮像用画素を識別し、

欠陥が無い前記焦点検出用画素に対応する画素信号を、前記撮像用画素の画素信号を用いて記録画像用に生成することを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記第1の生成によって生成される画素信号を用いて焦点検出を行う焦点検出手段と、前記第2の生成によって生成される画素信号を用いて記録媒体に記録する記録画像を生成する生成手段と、を有することを特徴とする請求項1または2に記載の撮像装置。

【請求項4】

前記生成手段は、前記欠陥がある前記焦点検出用画素に対応する画素信号を、当該画素信号と相関性が高い方向に位置する前記欠陥が無い前記焦点検出用画素の画素信号を用いて生成することを特徴とする請求項1乃至3のいずれか1項に記載の撮像装置。

10

【請求項5】

前記記憶制御手段は、前記画素の欠陥の有無を示す欠陥情報をメモリに記憶させ、前記生成手段は、前記欠陥情報に基づいて、欠陥がある前記焦点検出用画素に対応する画素信号を欠陥が無い前記焦点検出用画素の画素信号を用いて生成することを特徴とする請求項1乃至4のいずれか1項に記載の撮像装置。

【請求項6】

前記焦点検出用画素は、瞳分割により、前記撮影光学系の異なる瞳領域を通過した光束をそれぞれ受光する第1の焦点検出用画素と第2の焦点検出用画素とからなる複数の対から成り、前記記憶制御手段は、前記第1の焦点検出用画素と前記第2の焦点検出用画素とを区別するための画素情報を前記メモリに更に記憶させ、

20

前記生成手段は、前記画素情報に基づいて、欠陥がある前記第1の焦点検出用画素に対応する画素信号を欠陥が無い前記第1の焦点検出用画素の画素信号を用いて生成し、欠陥がある前記第2の焦点検出用画素に対応する画素信号を欠陥が無い前記第2の焦点検出用画素の画素信号を用いて生成することを特徴とする請求項5に記載の撮像装置。

【請求項7】

前記生成手段は、前記第1の焦点検出用画素及び前記第2の焦点検出用画素のいずれか一方に欠陥がある場合、前記一方の欠陥がある画素に対応する画素信号を生成することに加え、他方の欠陥が無い画素に対応する画素信号も生成することを特徴とする請求項6に記載の撮像装置。

30

【請求項8】

前記記憶制御手段は、前記瞳分割の方向を示す瞳分割情報を前記メモリに更に記憶させ、前記補正手段は、前記瞳分割情報に基づいて、前記瞳分割の方向と垂直な方向に位置する欠陥が無い前記焦点検出用画素の画素信号を用いて前記第1の生成を行うことを特徴とする請求項1乃至7のいずれか1項に記載の撮像装置。

【請求項9】

前記補正手段は、前記撮像装置の合焦状態に応じて、前記撮像用画素の画素信号に基づいて、前記欠陥がある焦点検出用画素の画素信号を補正することを特徴とする請求項8に記載の撮像装置。

40

【請求項10】

前記メモリには、前記焦点検出用画素の位置、前記画素の欠陥の有無が識別可能な補正情報が記憶され、

前記生成手段は、

前記撮像素子から出力される画素信号から前記補正情報に基づいて欠陥がある画素信号を識別する識別手段と、

前記撮像素子から出力される画素信号から前記補正情報に基づいて前記焦点検出用画素の画素信号を抽出する抽出手段と、を有することを特徴とする請求項1乃至9のいずれか

50

1項に記載の撮像装置。**【請求項 1 1】**

前記補正情報は、前記焦点検出用画素の前記瞳分割された領域を識別する情報を有することを特徴とする請求項2または10に記載の撮像装置。

【請求項 1 2】

前記補正情報は、前記焦点検出用画素の前記瞳分割の方向を識別する情報を有することを特徴とする請求項2または10に記載の撮像装置。

【請求項 1 3】

撮影光学系から入射される光を受光する撮像用画素と、前記撮像用画素とは異なり、前記撮影光学系から入射される光を瞳分割して受光する焦点検出用画素とを含む像素子を備える撮像装置の制御方法であって、

記憶制御手段が、メモリに予め記憶された前記焦点検出用画素の位置情報を、前記メモリから読み出す工程と、

補正手段が、欠陥がある前記焦点検出用画素について、前記焦点検出用画素の位置情報に基づいて前記像素子における前記焦点検出用画素の位置を特定し、当該欠陥がある前記焦点検出用画素に対応する画素信号を、当該欠陥がある前記焦点検出用画素と隣接しない、欠陥が無い前記焦点検出用画素の画素信号を用いて焦点検出用に生成する第1の生成工程と、

前記補正手段が、欠陥がある前記焦点検出用画素について、前記焦点検出用画素の位置情報に基づいて前記像素子における前記焦点検出用画素の位置を特定し、当該欠陥がある前記焦点検出用画素に対応する画素信号を、前記撮像用画素の画素信号を用いて記録画像用に生成する第2の生成工程と、

を含むことを特徴とする撮像装置の制御方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、撮像装置及びその制御方法に関し、特に、焦点評価用の画素を用いて焦点検出を行う撮像装置及びその制御方法に関する。

【背景技術】**【0002】**

近年、デジタルスチルカメラなどの撮像装置が備える像素子は高画素化が進んでいるため、高速かつ高精度な画像処理を行うことが課題となっている。一方、従来より、像素子の一部の領域を焦点調節のために使用し、オートフォーカス（以下「焦点検出」という。）を高速かつ高精度に行う方法が提案されている。

【0003】

特許文献1は、像素子のR, G, Bの色フィルタのうち、一部のG色の色フィルタの位置に瞳分割された焦点検出用画素（以下「焦点検出用画素」という。）が配置された撮像装置を開示している。この焦点検出用画素から得られた情報に基づいて焦点検出が行われる。焦点検出用画素からは焦点検出用の画素信号が得られるが、撮像画像用の画素信号は得られない。そのため、撮像画像用の画素信号が得られる像素子の画素信号に基づいて補正する必要がある。

【0004】

これに対し、特許文献2は、焦点検出用画素の位置で欠落した撮影画像用の画像信号を、焦点検出用画素の周辺画素から得られる画像信号で補間する方法を開示している。しかしながら、焦点検出用画素に白傷や黒傷などの像素子の製造工程で生じた欠陥がある場合には、焦点検出用画素から得られる焦点検出用の画素信号を焦点検出用画素の周辺画素の画像信号で補正することは困難である。

【0005】

特許文献3は、焦点検出用画素に欠陥がある場合に、焦点検出用画素の近傍の撮像用画素を焦点検出用画素として使用することによって、焦点検出用画素に欠陥のない場合と同

10

20

30

40

50

様に焦点検出を行うことを開示している。

【0006】

【特許文献1】特開2000-156823号公報

【特許文献2】特開2000-305010号公報

【特許文献3】特開2001-177756号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献3では、焦点検出用画素が瞳分割された画素で構成されており、撮像用画素と同様に構成されていることが前提となっている。そのため、焦点検出用画素が瞳分割された画素で構成された場合、焦点検出用画素に欠陥があると、近傍の撮像用画素を用いて焦点検出用の画像信号を補正することは難しい。10

【0008】

本発明は上記問題点を鑑みてなされたものであり、瞳分割された画素を含む焦点検出用画素に欠陥がある場合に、適切に焦点検出を行うことを目的とする。また、傷補正の為に用いられるデータを用いて焦点検出用画素の抽出もできるようにすることを別の目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明の撮像装置は、撮影光学系から入射される光を受光する撮像用画素と、前記撮像用画素とは異なり、前記撮影光学系から入射される光を瞳分割して受光する焦点検出用画素とを含む撮像素子と、メモリに記憶された前記焦点検出用画素の位置情報を前記メモリから読み出す記憶制御手段と、欠陥がある前記焦点検出用画素について、前記焦点検出用画素の位置情報に基づいて前記撮像素子における前記焦点検出用画素の位置を特定し、当該欠陥がある前記焦点検出用画素に対応する画素信号を、当該欠陥がある前記焦点検出用画素と隣接しない、欠陥が無い前記焦点検出用画素の画素信号を用いて、焦点検出用に生成する第1の生成と、前記焦点検出用画素の位置情報に基づいて前記撮像素子における前記焦点検出用画素の位置を特定し、当該欠陥がある前記焦点検出用画素に対応する画素信号を、前記撮像用画素の画素信号を用いて、記録画像用に生成する第2の生成と、を行うことが可能な生成手段と、を備える。20

【0010】

また、撮影光学系から入射される光を受光する撮像用画素と、前記撮像用画素とは異なり、前記撮影光学系から入射される光を瞳分割して受光する焦点検出用画素とを含む撮像素子を備える撮像装置の本発明の制御方法は、記憶制御手段が、メモリに予め記憶された前記焦点検出用画素の位置情報を、前記メモリから読み出す工程と、補正手段が、欠陥がある前記焦点検出用画素について、前記焦点検出用画素の位置情報に基づいて前記撮像素子における前記焦点検出用画素の位置を特定し、当該欠陥がある前記焦点検出用画素に対応する画素信号を、当該欠陥がある前記焦点検出用画素と隣接しない、欠陥が無い前記焦点検出用画素の画素信号を用いて焦点検出用に生成する第1の生成工程と、前記補正手段が、欠陥がある前記焦点検出用画素について、前記焦点検出用画素の位置情報に基づいて前記撮像素子における前記焦点検出用画素の位置を特定し、当該欠陥がある前記焦点検出用画素に対応する画素信号を、前記撮像用画素の画素信号を用いて記録画像用に生成する第2の生成工程と、を含む。30

【発明の効果】

【0011】

本発明によれば、瞳分割された画素を含む焦点検出用画素に欠陥がある場合にも、適切に焦点検出を行うことができる。また、傷補正の為に用いられるデータを用いて焦点検出用画素の抽出もできるので、保存するデータ容量が少なくなり、メモリを節約することができる。

【発明を実施するための最良の形態】

10

20

30

40

50

【0012】

以下、添付図面を参照して本発明を実施するための最良の形態を詳細に説明する。

【0013】**(第1の実施形態)**

図1は、本発明の好適な第1の実施形態に係る撮像装置の回路構成を示すブロック図である。101は複数の撮像レンズ(撮影光学系)、102は撮像レンズ101を駆動させるレンズ駆動回路である。103は露出の調整を行う絞りである。104は入射する光を光電変換する光電変換素子で構成された画素が2次元に配置され、その少なくとも一部の画素が焦点検出用の焦点検出用画素として構成された撮像素子である。105は設定された周期の水平同期信号HD及び垂直同期信号VDを生成する同期信号発生器(以下「SSG」という。)である。106は水平同期信号HDと垂直同期信号VDに同期した撮像素子104を駆動させる制御信号を生成するタイミングジェネレータ(以下「TG」という。)である。107はアナログの電気信号をデジタルに変換するA/D変換回路である。108は撮像素子104における焦点検出用画素や欠陥画素の位置を示すフラグ(位置情報)を出力する補正フラグ回路である。109は補間などの補正処理を行う現像画素補正回路である。現像画素補正回路109は、A/D変換回路107から出力される画像データに含まれる傷データ及び焦点検出用画素のデータを補正フラグ回路108から出力されるフラグに基づいて、撮像素子104における焦点検出用画素や欠陥画素の位置を特定する。110はA/D変換回路107から出力される画像データに含まれる焦点検出用画素のデータを抽出し、欠陥のある焦点検出用画素のデータを補正する焦点検出用画素補正回路である。111は色変換処理などを行う現像処理回路である。112は複数のペアの焦点検出用画素より得られた画素信号から位相差を検出し、焦点ずれ量を求める位相差焦点検出回路である。114はDRAM等のメモリである。113はメモリ114とのインターフェースを行うメモリ制御回路である(記憶制御手段)。メモリ制御回路113は、後述する補正情報301、1201をメモリ114に記憶させる機能を有する。115は画像データのサイズを変倍する変倍回路である。116は各回路のモードやパラメータを決定するシステムコントローラである。118は画像データを表示するモニタである。117は画像データをモニタ118に表示するために変調を行うビデオ変調回路である。119は画像データをJPEG圧縮方式などの圧縮方式で圧縮するための圧縮回路である。121は圧縮回路で圧縮された画像データを記録する取外し可能なメディアカードである。120はメディアカード121とのインターフェースを行うカード制御回路である。

【0014】

次に、図1に示す回路の撮像動作について説明する。なお、図15は本第1の実施形態の補正処理の手順を示すフローチャートであり、適宜参照しながら説明する。

【0015】

撮像レンズ101は、システムコントローラ116によって制御されるレンズ駆動回路102によって焦点調節を行うよう駆動される。撮像レンズ101を通過した光は、絞り103において適正な露出調整が行われ、撮像素子104において光から電気信号への光電変換が行われる。TG106は、SSG105において生成される水平同期信号HD及び垂直同期信号VDに同期して撮像素子104が動作するようにタイミング信号を生成し、撮像素子104を制御する。撮像素子104から出力されるアナログの画像データは、A/D変換回路107においてデジタルの画像データに変換される。補正フラグ回路108において、図2におけるROM201に予め記憶された補正情報に従って、傷フラグ、焦点検出用画素フラグを動作させる。

【0016】

ここで、図2を用いて補正フラグ回路108について説明する。

【0017】

ROM201は、補正情報301を記録する。カウンタ203は、SSG105から出力されるHDおよびVDに依存したカウンタである。コンパレータ204は、補正情報301に含まれる画素アドレス302の値とカウンタ203から出力されるカウンタ値を比

10

20

30

40

50

較し、等しければ H i g h レベルを出力し、等しくなければ L o w レベルを出力する。 A N D 回路 2 0 5 は、コンパレータ 2 0 4 で H i g h レベルが出力された場合には補正情報 3 0 1 に含まれる傷ビット 3 0 4 を出力し、 L o w レベルが出力された場合には常に L o w レベルを出力する。 A N D 回路 2 0 6 は、コンパレータ 2 0 4 で H i g h レベルが出力された場合には補正情報 3 0 1 に含まれる焦点検出用画素ビット 3 0 3 を出力し、 L o w レベルが出力された場合には常に L o w レベルを出力する。

【 0 0 1 8 】

カウンタ 2 0 3 は、 S S G 1 0 5 から出力される水平同期信号 H D 及び垂直同期信号 V D に従って画素数をカウントする。 R O M 2 0 1 には、図 3 に示すように補正情報 3 0 1 が記録されている。なお、補正情報 3 0 1 は、1 画素分の情報を保持している。ここでは 10 、 3 2 b i t の補正情報 3 0 1 が記録される場合を例に挙げるが、本発明はこれに限定されない。補正情報 3 0 1 には、補正を行う画素の位置を示す情報である画素アドレス 3 0 2 と、焦点検出用画素ビット 3 0 3 と、傷ビット 3 0 4 とが含まれる。ここでは、画素アドレス 3 0 2 を 3 0 b i t 、焦点検出用画素ビット 3 0 3 を 1 b i t 、傷ビット 3 0 4 を 1 b i t とするが、本発明はこれに限定されない。

【 0 0 1 9 】

傷ビット 3 0 4 は、“ 0 ” のときは画素に傷がないことを示し、“ 1 ” のときは画素に傷があることを示す。焦点検出用画素ビット 3 0 3 は“ 0 ” のときは撮像用画素を示し、“ 1 ” のときは焦点検出用画素を示す。

【 0 0 2 0 】

ここで、焦点検出用画素の構成について図 4 を参照して説明する。図 4 (a) は、焦点検出用画素の上面図、図 4 (b) は焦点検出用画素の断面図を示す。図 4 に示すように、領域 4 0 3 及び 4 0 4 が受光部分であり、 A 像用の第 1 の焦点検出用画素 4 0 1 と B 像用の第 2 の焦点検出用画素 4 0 2 とで瞳が左右に対称的に分割されている。これにより、第 1 の焦点検出用画素 4 0 1 と第 2 の焦点検出用画素 4 0 2 は、撮像レンズ 1 0 1 の異なる瞳領域を通過した光束をそれぞれ受光する。

【 0 0 2 1 】

カウンタ 2 0 3 の値が R O M 2 0 1 から読み出された画素アドレス 3 0 2 と等しくなると(ステップ S 1 1)、次のように動作する。即ち、傷ビット 3 0 4 及び焦点検出用画素ビット 3 0 3 の情報に従い、それぞれ欠陥の有無を示す傷フラグ(欠陥情報)及び焦点検出用画素フラグ(焦点検出用画素の位置情報)として出力する。

【 0 0 2 2 】

図 1 において、 A / D 変換回路 1 0 7 から出力される画像データと、補正フラグ回路 1 0 8 から出力される傷フラグ及び焦点検出用画素フラグは、現像画素補正回路 1 0 9 及び焦点検出用画素補正回路 1 1 0 へ入力される。

【 0 0 2 3 】

補正情報 3 0 1 を R O M 2 0 1 に記憶させる必要がある画素の条件は、撮像用画素に傷がある場合、焦点検出用画素である場合及び焦点検出用画素に傷がある場合である。焦点検出用画素は、例えば、図 8 に示すように配置されている。焦点検出用画素 A 像 A F _ A 0 ~ A F _ A 2 の右下には、それとペア(対)になる焦点検出用画素 B 像 A F _ B 0 ~ A F _ B 2 が配置される。例えば、焦点検出用画素 A 像 A F _ A 0 に傷がある場合、そのペアである焦点検出用画素 B 像 A F _ B 0 に傷がなくても、傷があるものとして同様の補正を行う。従って、ペアの焦点検出用画素の一方が傷である場合、そのペアである他方の焦点検出用画素の傷ビットも“ 1 ”にして、 R O M 2 0 1 に記憶させる。また、傷のある一方の焦点検出用画素だけを補正し、傷のない他方を補正せず、そのまま焦点検出のためのデータとして使用してもよい。また、焦点検出用画素に傷がある場合には、両方とも使用しなくてもよい。なお、ペアとなる画素は、最も近傍の画素には限られず、合焦状態に応じて変更されうる。

【 0 0 2 4 】

次に、図 5 を用いて、現像画素補正回路 1 0 9 の動作について説明する。現像画素補正

10

20

30

40

50

回路 109 は、傷フラグまたは焦点検出用画素フラグが出力されている場合（ステップ S 12 で NO）に、該当する画素の補正処理を実行する。

【0025】

A / D 変換回路 107 から出力された画像データは、ラインメモリ 501 ~ 505 に順次記憶される。補正の対象となる画像データを出力した画素（以下、「補正対象画素」と呼ぶ。）は、ラインメモリ 501 ~ 505 の中心位置に来た画素、すなわちラインメモリ 503 の中心に位置する画素である。傷フラグ及び焦点検出用画素フラグは、それぞれ補正対象画素の情報を示すように遅延されている。演算回路 506 において、補正対象画素の周辺にある撮像用画素から出力された画像データを用いて、補正対象画素の画像データを補正する（ステップ S 13）。 10

【0026】

撮像用画素の画像データを用いて補正された画素データと置き換えられるのは、焦点検出用画素又は欠陥がある撮像用画素の画像データである。従って、セレクタ 508 において、補正フラグ回路 108 から出力された傷フラグ又は焦点検出用画素フラグが立っている画素に対しては、演算回路 506 において補正された画素データを出力する。傷フラグも焦点検出用画素フラグも立っていない画素に対しては、ラインメモリ 503 の中心に位置する補正対象画素の画像データを、演算することなくそのまま出力する。セレクタ 508 の出力は、現像処理回路 111 へ入力される。 20

【0027】

ここで、演算回路 506 の演算方法について説明する。

【0028】

図 6 は、A / D 変換回路 107 から出力された画像データがラインメモリ 501 ~ 505 に記憶され、傷が付いた撮像用画素 R0 を補正する様子を説明する図である。なお、図 6 において、R、G、B はそれぞれ画素に赤、緑、青のフィルターがかけられていることを示している。 30

【0029】

撮像用画素 R0 の近傍にある撮像用画素 R1 ~ R8 に傷がついていないものとし、焦点検出用画素も配置されていない場合を考える。このとき、R1 - R2 方向、R3 - R4 方向、R5 - R6 方向、R7 - R8 方向のうち最も画像の相関性の高い 2 画素から補正を行う。例えば、R1 - R2 方向の相関性が最も高ければ、 $R0 = (R1 + R2) / 2$ とする。 30

【0030】

現像処理回路 111 において、現像画素補正回路 109 から出力される傷補正された画像データに対して、色変換処理、ガンマ処理、ホワイトバランス処理などの信号処理が行われ、メモリ制御回路 113 によってメモリ 114 へ書き込まれる。

【0031】

次に、図 1 における焦点検出用画素補正回路 110 の動作について、図 7 を用いて説明する。焦点検出用画素補正回路 110 は、傷フラグ及び焦点検出用画素フラグが共に出力されている場合（ステップ S 12 で YES）に、該当する画素の補正処理を実行する。 40

【0032】

A / D 変換回路 107 から出力された画像データは、AND 回路 712 において焦点検出用画素フラグが“1”である画素データが通され、ラインメモリ 701 ~ 709 に順次記憶される。補正対象画素は、ラインメモリ 701 ~ 709 における中心位置に来た画素、すなわちラインメモリ 705 の中心に位置する画素である。傷フラグ及び焦点検出用画素フラグは、それぞれ補正対象画素の情報を示すように遅延されている。演算回路 714 において、補正対象画素の周辺にある焦点検出用画素から出力された画像データを用いて、補正対象画素の画像データを補正する。

【0033】

セレクタ 715 において、補正フラグ回路 108 から出力された傷フラグと焦点検出用画素フラグがどちらも立っているとき、すなわち傷のある焦点検出用画素に対しては、次 50

のように動作する。演算回路 714において補正された画素データを出力し、傷のない焦点検出用画素に対しては、ラインメモリ 705 の中心に位置する補正対象画素の画像データを、演算することなくそのまま出力する。セレクタ 715 の出力は、位相差焦点検出回路 112 へ入力される。

【0034】

ここで、演算回路 714 における演算方法について説明する。

【0035】

図 8 は、ラインメモリ 701 ~ 709 に記憶された焦点検出用画素データのうち、傷がついた焦点検出用画素 A_F_A_0 を補正する様子を説明する図である。

【0036】

焦点検出用画素の瞳は、図 4 に示したとおり左右に対称的に分割されている。このような構成は、縦縞を検出しやすい性質があるため、上下の画素の相関性が高い。従って、補正対象画素の相関性を判断し(ステップ S14)、判断結果に基づいて、この場合には焦点検出用画素 A_F_A_0 の画像データは、上下の焦点検出用画素の画像データから補正を行うものとする(ステップ S15)。

【0037】

焦点検出用画素 A 像 A_F_A_0 の近傍の上下にある焦点検出用画素 A_F_A_1 及び A_F_A_2 に傷がついていない場合を考える。焦点検出用画素 A_F_A_0 の画像データの補正演算は、 $A_F_A_0 = (A_F_A_1 + A_F_A_2) / 2$ となる。また、焦点検出用画素 A_F_A_0 のペアである傷の無い焦点検出用画素 A_F_B_0 についても傷フラグを“1”に設定しているため、 $A_F_B_0 = (A_F_B_1 + A_F_B_2) / 2$ となる補正演算も行う。

【0038】

位相差焦点検出回路 112 において、焦点検出用画素補正回路 110 から出力される傷補正された焦点検出用画素データの焦点検出を行い、その位相差情報をシステムコントローラ 116 に送る。システムコントローラ 116 は、送られた位相差情報を基づいてレンズ駆動回路 102 を制御し、撮像レンズ 101 の調整を行う。

【0039】

現像処理回路 111 では信号処理を行い、メモリ 114 に記憶された画像データはメモリ制御回路 113 によって変倍回路 115 に読み出される。

【0040】

変倍回路 115 では、画像データのサイズを、モニタ 118 に表示するためのサイズに変倍するか、或いはメディアカード 121 に記録するためのサイズに変倍する。

【0041】

変倍された画像データは、メモリ制御回路 113 によってメモリ 114 に書き込まれる。また、変倍された画像データはメモリ 114 からビデオ変調回路 117 に読み出され、NTSC や PAL などに変調され、モニタ 118 に画像データが表示されうる。また、変倍された画像データはメモリ 114 から圧縮回路 119 に読み出され、JPEG などの圧縮方式を従い圧縮を行い、メモリ 114 に書き込まれうる。また、圧縮された画像データはメモリ 114 からカード制御回路 120 に読み出され、メディアカード 121 に書き込まれうる。

【0042】

以上のように、撮像用画素と焦点検出用画素を区別するため、欠陥のある撮像用画素の画像信号は撮像用画素の画像信号で補正を行い、欠陥のある焦点検出用画素の画像信号は焦点検出用画素の画像信号で補正を行うことが可能となる。その結果、撮像用画素と焦点検出用画素の画像信号とを並列して補正処理することができる。また、焦点検出用画素のペアのうち、片方だけに欠陥がある場合でも、両方の画素から出力される画像信号に対して補正を行うことによって、焦点検出のための情報が不均衡になることを防止することができる。

【0043】

10

20

30

40

50

なお、デフォーカス状態では、欠陥のある焦点検出用画素の画像信号を、焦点検出用画素の画像信号で補正しても、撮像用画素の画像信号で補正しても、それ程変わらない場合もある。その場合、撮像装置の合焦状態に応じて、焦点検出用画素以外の撮像用画素の画素信号に基づいて、欠陥がある焦点検出用画素の画素信号を補正するように構成されてもよい。

【0044】

(第2の実施形態)

図9は、本発明の好適な第2の実施形態に係る撮像装置の回路構成図を示す。以下、図9に示す回路の撮像動作について説明する。なお、図1と同様の構成には同じ参照番号を付し、適宜説明を省略する。また、図16は本第2の実施形態の補正処理の手順を示すフロー チャートであり、適宜参照しながら説明する。なお、図15と同様の処理には同じステップ番号を付している。10

【0045】

第1の実施形態と同様に、撮像レンズ101から入射した光は、撮像素子104において電気信号へ光電変換され、A/D変換回路107においてデジタルの画像データに変換される。

【0046】

補正フラグ回路1008において、図10におけるROM1101に予め記憶させた補正情報に従って、傷フラグ、焦点検出用画素フラグ、ABフラグ(画素情報)、瞳分割方向フラグ(瞳分割情報)を動作させる。20

【0047】

ここで、図10を用いて補正フラグ回路1008について説明する。

【0048】

ROM1101は、補正情報1201を記録する。カウンタ1103は、SSG105から出力されるHDおよびVDに依存したカウンタである。コンパレータ1104は、補正情報1201に含まれる画素アドレス1202の値とカウンタ1103から出力されるカウンタ値を比較し、等しければHighレベルを出力し、等しくなければLowレベルを出力する。AND回路1105は、コンパレータ204でHighレベルが出力された場合には補正情報1201に含まれる傷ビット1206を出力し、Lowレベルが出力された場合には常にLowレベルを出力する。AND回路1106は、コンパレータ1104でHighレベルが出力された場合には補正情報1201に含まれる焦点検出用画素ビット1205を出力し、Lowレベルが出力された場合には常にLowレベルを出力する。AND回路1107は、コンパレータ1104でHighレベルが出力された場合には補正情報1201に含まれるABビット1204を出力し、Lowレベルが出力された場合には常にLowレベルを出力する。AND回路1108は、コンパレータ1104でHighレベルが出力された場合には補正情報1201に含まれる瞳分割方向ビット1203を出力し、Lowレベルが出力された場合には常にLowレベルを出力する。30

【0049】

カウンタ1103は、SSG105から出力される水平同期信号HD及び垂直同期信号VDに従って画素数をカウントする。ROM1101には、図11に示すように補正情報1201が記録される。なお、補正情報1201は、1画素分の情報を保持している。ここでは、32bitの補正情報1201が記録される場合を例に挙げるが、本発明はこれに限定されない。補正情報1201には、補正を行う画素の位置を示す情報である画素アドレス1202と、瞳分割方向ビット1203と、ABビット1204と、焦点検出用画素ビット1205と、傷ビット1206とが含まれる。ここでは、画素アドレス1202を27bit、瞳分割方向ビット1203を2bit、ABビット1204を1bit、焦点検出用画素ビット1205を1bit、傷ビット1206を1bitとしたが、本発明はこれに限定されない。

【0050】

焦点検出用画素ビット1205は“0”的ときは撮像用画素を示し、“1”的ときは焦50

点検出用画素を示す。傷ビット1206は“0”的ときは傷がないことを示し、“1”的ときは傷があることを示す。第1の実施形態と同様に、第2の実施形態においても、ペアの焦点検出用画素の一方が傷である場合、ペアの他方の焦点検出用画素の傷ビットを“1”にして、ROM1101に記憶させる。

【0051】

瞳分割方向ビット1203は、図12に示すように瞳が分割される方向を示す。領域1311～1318は受光部分である。

【0052】

瞳分割方向ビット1203が“00”的ときは、A像用の焦点検出用画素1301及びB像用の焦点検出用画素1302として表されているように、瞳が左右方向に分割されていることを示している。10

【0053】

瞳分割方向ビット1203が“01”的ときは、A像用の焦点検出用画素1303及びB像用の焦点検出用画素1304として表されているように、瞳が上下方向に分割されていることを示している。

【0054】

瞳分割方向ビット1203が“10”的ときは、A像用の焦点検出用画素1305及びB像用の焦点検出用画素1306として表されているように、瞳が第1の斜め方向に分割されていることを示している。

【0055】

瞳分割方向ビット1203が“11”的ときは、A像用の焦点検出用画素1307及びB像用の焦点検出用画素1308として表されているように、瞳が第2の斜めに分割されていることを示している。20

【0056】

また、図12に示すように、2個の焦点検出用画素のうち一方をA像用、他方をB像用とし、A像用の焦点検出用画素を補正する場合には、A像用の焦点検出用画素で補正を行い、B像用の焦点検出用画素を補正する場合にはB像用の焦点検出用画素で補正を行う。

【0057】

ABビット1204が“0”的ときは焦点検出用画素がA像用であることを示し、ABビット1204が“1”的ときはB像用であることを示す。30

【0058】

カウンタ1103の値がROM1101から読み出された画素アドレス1202と等しくなると(ステップS11)、次のように動作する。即ち、傷ビット1206、焦点検出用画素ビット1205、ABビット1204及び瞳分割方向ビット1203の情報に従つて、それぞれ傷フラグ、焦点検出用画素フラグ、ABフラグ、瞳分割方向フラグが出力される。

【0059】

図9において、A/D変換回路107から出力される画像データはセレクタ1009及び現像画素補正回路1010に入力される。補正フラグ回路1008から出力される瞳分割方向フラグは、セレクタ1009へ入力される。また、補正フラグ回路1008から出力される傷フラグ、焦点検出用画素フラグ、ABフラグ及び瞳分割方向フラグは、セレクタ1009の後段の各回路1010～1014へ入力される。40

【0060】

現像画素補正回路1010は、傷フラグまたは焦点検出用画素フラグが出力されている場合(ステップS12でNO)に、該当する画素の補正処理を実行する(ステップS13)。なお、現像画素補正回路1010及び現像処理回路1015の動作は、第1の実施形態における現像画素補正回路109及び現像処理回路111と同様であるため、説明を省略する。

【0061】

図9におけるセレクタ1009は、補正フラグ回路1008から出力される2bitの50

瞳分割方向フラグに従って、A / D 変換回路 107 から出力される画像データの行き先を決定する（ステップ S23）。

【0062】

瞳分割方向フラグが“00”的ときは（ステップ S23で「左右」）、A / D 変換回路 1007 から出力される画像データを上下焦点検出用画素補正回路 1011 へ入力させる。

【0063】

瞳分割方向フラグが“01”的ときは（ステップ S23で「上下」）、A / D 変換回路 1007 から出力される画像データを左右焦点検出用画素補正回路 1012 へ入力させる。

10

【0064】

瞳分割方向フラグが“10”的ときは（ステップ S23で「第1の斜め」）、A / D 変換回路 1007 から出力される画像データを第2の斜め方向焦点検出用画素補正回路 1014 へ入力させる。

【0065】

瞳分割方向フラグが“11”的ときは（ステップ S23で「第2の斜め」）、A / D 変換回路 1007 から出力される画像データを第1の斜め方向焦点検出用画素補正回路 1013 へ入力させる。

20

【0066】

そして、上述した各回路 1011～1014 において、入力された画像データから焦点検出用画素を抽出し、焦点検出用画素の傷補正を行う。

【0067】

図 13 は、上下焦点検出用画素補正回路 1011 の回路構成を示している。なお、セレクタ 1009 は省略している。従って、セレクタ 1009 によって A / D 変換回路 107 から上下焦点検出用画素補正回路 1011 に画像データが送られている場合の回路構成を示している。

【0068】

A / D 変換回路 107 から出力された画像データは、AND 回路 1411 において焦点検出用画素フラグが“1”である画素データが通され、ラインメモリ 1401～1409 に順次記憶される。補正対象画素は、ラインメモリ 1401～1409 における中心位置に来た画素、すなわちラインメモリ 1405 の中心に位置する画素である。瞳方向分割フラグ、AB フラグ、傷フラグ及び焦点検出用画素フラグは、それぞれ補正対象画素の情報を示すように遅延されている。演算回路 1413 において、瞳方向分割フラグ及び AB フラグに従って、補正対象画素の周辺にある焦点調節用画素の画像データから補正対象画素の画像データを補正する。

30

【0069】

セレクタ 1414 において、補正フラグ回路 1008 から出力された傷フラグと焦点検出用画素フラグがどちらも立っているとき、すなわち傷のある焦点検出用画素に対しては、次のように動作する。演算回路 1413 において補正された画素データを出力し、それ以外のとき、すなわち傷のない焦点検出用画素に対しては、ラインメモリ 1405 の中心に位置する補正対象画素の画像データを、演算することなくそのまま出力する。セレクタ 1414 の出力は、横位相差焦点検出回路 1016 へ入力される。

40

【0070】

また、図 13 の回路構成図は左右焦点検出用画素補正回路 1012、第1の斜め方向焦点検出用画素補正回路 1013 及び第2の斜め方向焦点検出用画素補正回路 1014 についても同様である。

【0071】

図 14 は、各回路 1011～1014 におけるラインメモリ 1401～1409 に記憶された焦点検出用画素データのうち、傷がついた焦点検出用画素 A_F_A_0 の画像データを補正する様子を説明する図である。A 像用の焦点検出用画素 A_F_A_0 の近傍にある A

50

像用の焦点検出用画素 A F _ A 1 ~ A F _ A 8 に傷がついていない場合を考える。

【 0 0 7 2 】

上下焦点検出用画素補正回路 1 0 1 1においては、次のように動作する。すなわち、図 1 2 の焦点検出用画素 1 3 0 1 及び焦点検出用画素 1 3 0 2 に示したような瞳が左右に分割された焦点検出用画素の画像データの補正を行うために、瞳分割方向に垂直な上下の焦点検出用画素の画像データを用いて補正を行う（ステップ S 2 4）。従って、 $A F _ A 0 = (A F _ A 1 + A F _ A 2) / 2$ となる演算を行う。また、焦点検出用画素 A F _ A 0 のペアである焦点検出用画素 A F _ B 0 についても傷フラグが“1”に設定されているので、 $A F _ B 0 = (A F _ B 1 + A F _ B 2) / 2$ となる演算を行う。

【 0 0 7 3 】

左右焦点検出用画素補正回路 1 0 1 2においては、次のように動作する。すなわち、図 1 2 の焦点検出用画素 1 3 0 3 及び焦点検出用画素 1 3 0 4 に示したような瞳が上下に分割されている焦点検出用画素の画像データの補正を行うために、瞳分割方向に垂直な左右の焦点検出用画素の画像データを用いて補正を行う（ステップ S 2 5）。従って、 $A F _ A 0 = (A F _ A 3 + A F _ A 4) / 2$ となる演算を行う。また、 $A F _ B 0 = (A F _ B 3 + A F _ B 4) / 2$ となる演算を行う。

【 0 0 7 4 】

第 1 の斜め方向焦点検出用画素補正回路 1 0 1 3においては、図 1 2 の焦点検出用画素 1 3 0 7 及び焦点検出用画素 1 3 0 8 に示したような瞳分割方向が第 2 の斜め方向に分割された焦点検出用画素の画像データの補正を行う。そのために、第 2 の斜め方向に垂直な第 1 の斜め方向の焦点検出用画素の画像データを用いて補正を行う（ステップ S 2 6）。従って、 $A F _ A 0 = (A F _ A 5 + A F _ A 6) / 2$ となる演算を行う。また、 $A F _ B 0 = (A F _ B 5 + A F _ B 6) / 2$ となる演算を行う。

【 0 0 7 5 】

第 2 の斜め方向焦点検出用画素補正回路 1 0 1 4においては、図 1 2 の焦点検出用画素 1 3 0 5 及び焦点検出用画素 1 3 0 6 に示したような瞳分割方向が第 1 の斜め方向に分割されている焦点検出用画素の画像データの補正を行う。そのために、第 1 の斜め方向に垂直な第 2 の斜め方向の焦点検出用画素の画像データを用いて補正を行う（ステップ S 2 7）。従って、 $A F _ A 0 = (A F _ A 7 + A F _ A 8) / 2$ となる演算を行う。また、 $A F _ B 0 = (A F _ B 7 + A F _ B 8) / 2$ となる演算を行う。

【 0 0 7 6 】

ただし、デフォーカスした状態や遠近競合状態で、焦点検出用画素の補正を行うラインの近傍のラインに明るい被写体（輝点など）などが写っている場合などでは、瞳分割方向に垂直な方向の画素を用いて補正を行うことが有利にならない場合もありうる。

【 0 0 7 7 】

各焦点検出用画素補正回路 1 0 1 6 ~ 1 0 1 9において傷補正された焦点検出用画素データを使用して焦点検出を行う。

【 0 0 7 8 】

横位相差焦点検出回路 1 0 1 6、縦位相差焦点検出回路 1 0 1 7、第 2 の斜め方向位相差焦点検出回路 1 0 1 8 及び第 1 の斜め方向位相差焦点検出回路 1 0 1 9において検出された位相差情報は、システムコントローラ 1 1 6 に送られる。システムコントローラ 1 1 6 は、送られた位相差情報に基づいてレンズ駆動回路 1 0 2 を制御し、撮像レンズ 1 0 1 の調整を行う。

【 0 0 7 9 】

現像処理回路 1 0 1 5において信号処理された画像データは、変倍回路 1 1 5 によりモニタ 1 1 8 に表示するためのサイズに変倍され、モニタ 1 1 8 に表示される。または、現像処理回路 1 0 1 5において信号処理された画像データは、メディアカード 1 1 4 に記録するためのサイズに変倍され、圧縮回路 1 1 9 で圧縮した後、メディアカード 1 1 4 に書き込まれる。

【 0 0 8 0 】

10

20

30

40

50

以上のように、焦点検出用画素の位相を区別するため、位相の精度を損うことなく、補正を行うことができる。また、焦点検出用画素ごとに瞳分割方向を区別するため、瞳分割の性質を損うことなく、補正を行うことができる。

【図面の簡単な説明】

【0081】

【図1】本発明の好適な第1の実施形態に係る撮像装置のブロック図である。

【図2】補正フラグ回路の回路図である。

【図3】ROMに記憶させる補正情報の構成図である。

【図4】焦点検出用画素のA像とB像を示す図である。

【図5】現像画素補正回路の回路図である。

【図6】演算回路における補正の対象画素と参照画素を示す図である。

【図7】焦点検出用画素補正回路の回路図である。

【図8】演算回路における補正の対象画素と参照画素を示す図である。

【図9】本発明の好適な第2の実施形態に係る撮像装置のブロック図である。

【図10】補正フラグ回路の回路図である。

【図11】ROMに記憶させる補正情報の構成図である。

【図12】焦点検出用画素のA像とB像と、瞳分割方向ビットとの関係を示す図である。

【図13】上下焦点検出用画素補正回路の回路図である。

【図14】演算回路における補正の対象画素と参照画素を示す図である。

【図15】本発明の第1の実施形態における補正処理の流れを示すフローチャートである。

【図16】本発明の第2の実施形態における補正処理の流れを示すフローチャートである。

【符号の説明】

【0082】

104 撮像素子

110 焦点検出用画素補正回路

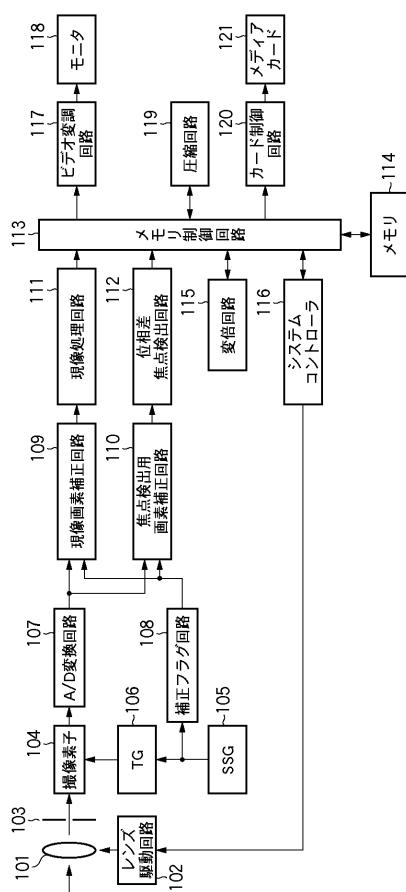
113 メモリ制御回路

401、402 焦点検出用画素

10

20

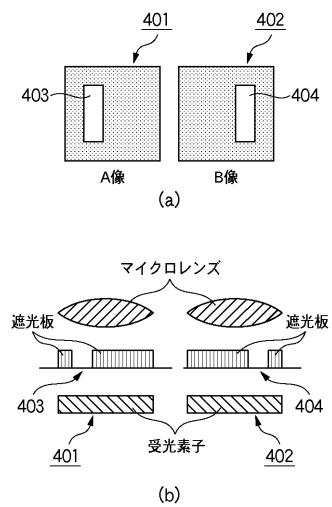
【 図 1 】



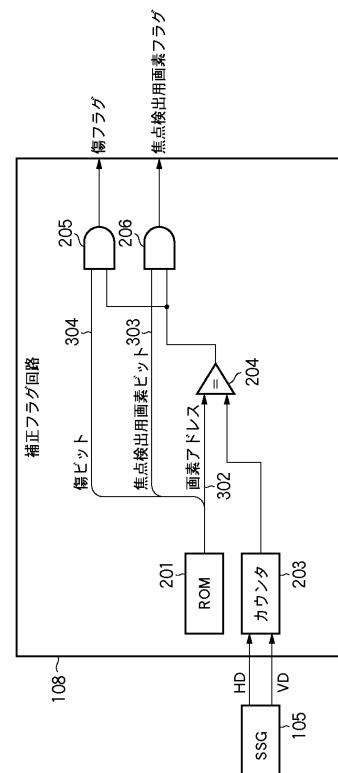
【 四 3 】



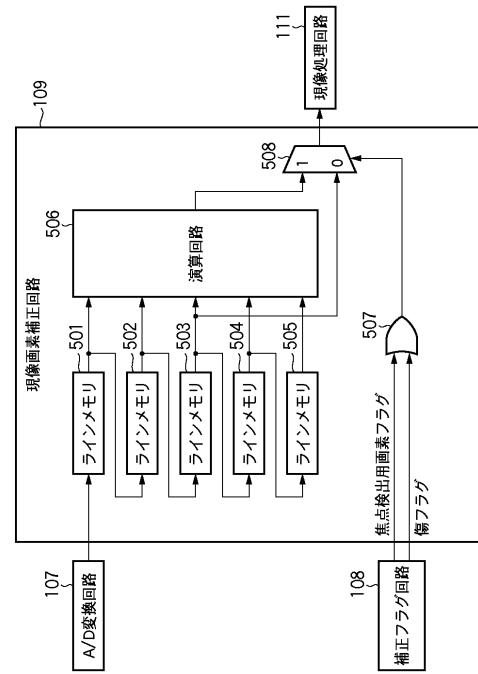
【 図 4 】



【図2】



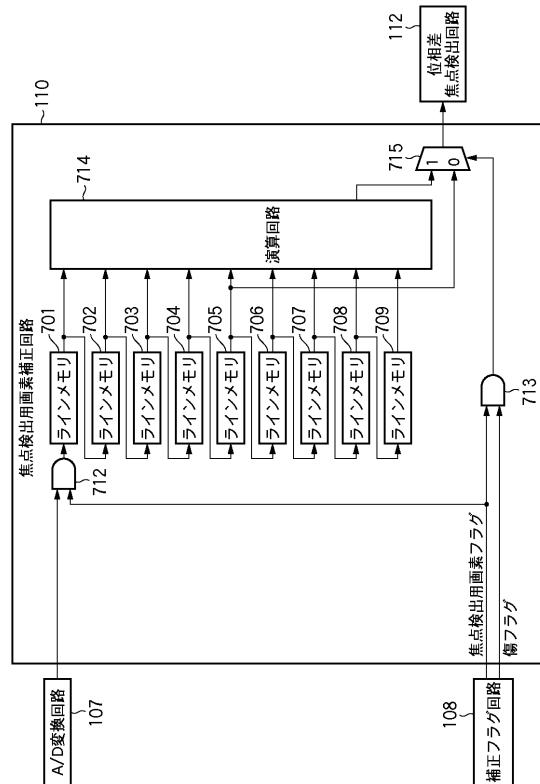
【圖 5】



【図6】

G	R	G	R	G	R	A1	R	G	R	A1	R	G	R	A1	R
B	AF	B	G	B	G	AF	B	G	B	AF	B	G	B	AF	B
G	R	G	R	G	R	G	R	G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G	B	G	B	G	B	G	B	G
AF	R	G	R	AF	R	G	R	AF	R	G	R	AF	R	G	R
A	AF	A	R	AF	A	R	AF	A	R	AF	A	R	AF	A	R
B	AF	B	G	B	AF	B	G	B	AF	B	G	B	AF	B	G
G	R	G	R	G	R	A1	R	G	R	A1	R	G	R	A1	R

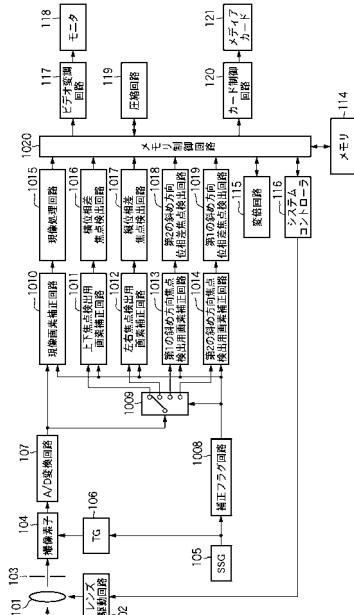
【図7】



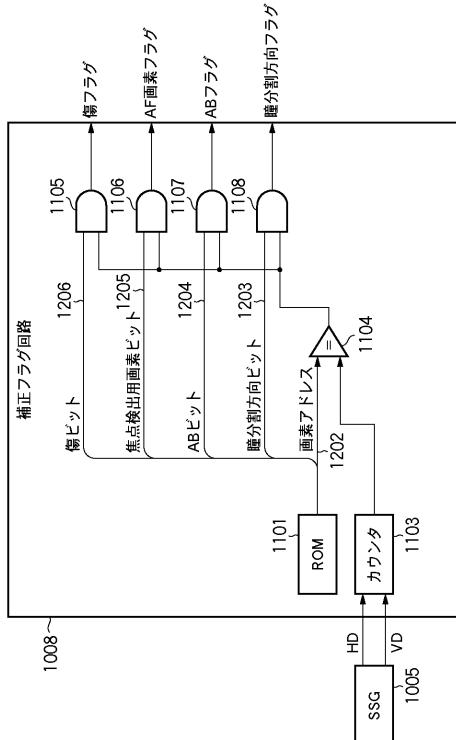
【図8】

AF	R	G	R	A1	R	G	R	A1	R	G	R	A1	R	
B	AF	B	G	B	AF	B	G	B	AF	B	G	B	AF	B
G	R	G	R	G	R	G	R	G	R	G	R	G	R	G
B	G	B	G	B	G	B	G	B	G	B	G	B	G	B
AF	R	G	R	AF	R	G	R	AF	R	G	R	AF	R	G
A	AF	A	R	AF	A	R	AF	A	R	AF	A	R	AF	R
B	AF	B	G	B	AF	B	G	B	AF	B	G	B	AF	B
G	R	G	R	G	R	G	R	G	R	G	R	G	R	G
B	G	B	G	B	G	B	G	B	G	B	G	B	G	B
AF	R	G	R	AF	R	G	R	AF	R	G	R	AF	R	G
A	AF	A	R	AF	A	R	AF	A	R	AF	A	R	AF	R
B	AF	B	G	B	AF	B	G	B	AF	B	G	B	AF	B

【図9】



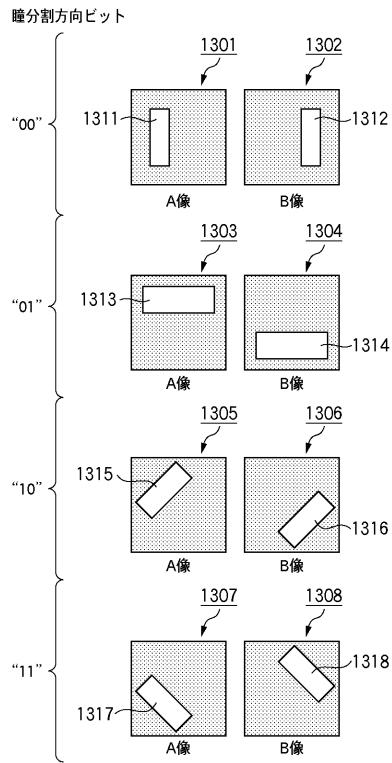
【図10】



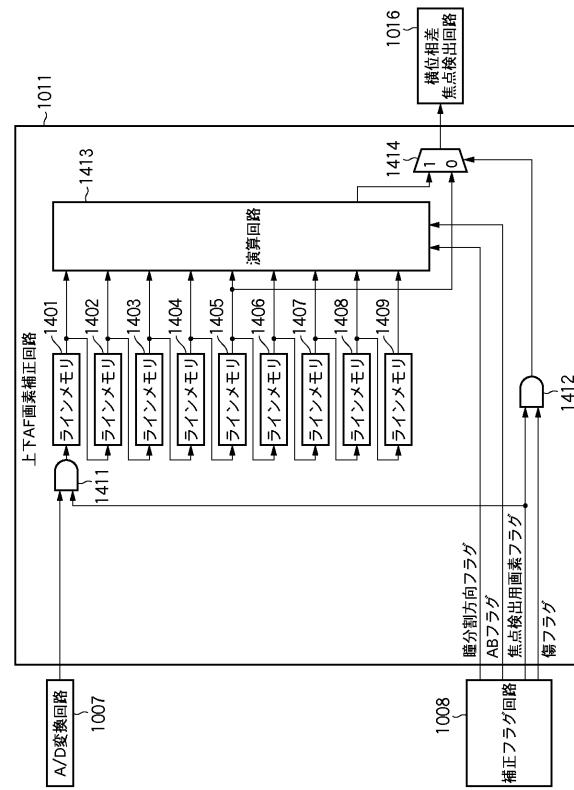
【図11】



【図12】



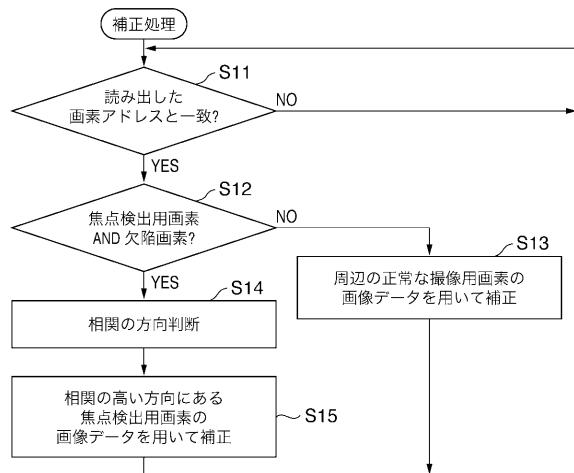
【図13】



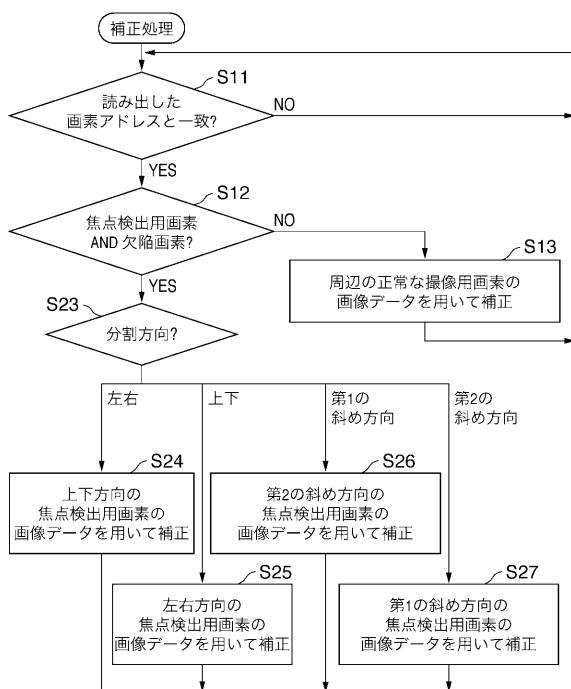
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 法田 紗央里
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 本間 義浩
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 蓮覺寺 秀行
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 斎藤 卓司

(56)参考文献 特開平05-056355(JP,A)
特開2001-024942(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 02 B 7 / 28

G 02 B 7 / 34

H 04 N 5 / 232

H 04 N 5 / 232

H 04 N 101 / 00