



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I838119 B

(45)公告日：中華民國 113 (2024) 年 04 月 01 日

(21)申請案號：112104689

(22)申請日：中華民國 112 (2023) 年 02 月 10 日

(51)Int. Cl. : H01L29/36 (2006.01)

H01L29/66 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2022/02/24 美國

63/313,320

(71)申請人：日商新唐科技日本股份有限公司 (日本) NUVOTON TECHNOLOGY CORPORATION JAPAN (JP)

日本

(72)發明人：中村浩尚 NAKAMURA, HIRONAO (JP)；大河亮介 OKAWA, RYOSUKE (JP)；安田英司 YASUDA, EIJI (JP)

(74)代理人：劉法正；尹重君

(56)參考文獻：

TW 202137554A

TW 202201697A

US 2014/0264432A1

WO 2018/123799A1

審查人員：徐孝倫

申請專利範圍項數：5 項 圖式數：17 共 53 頁

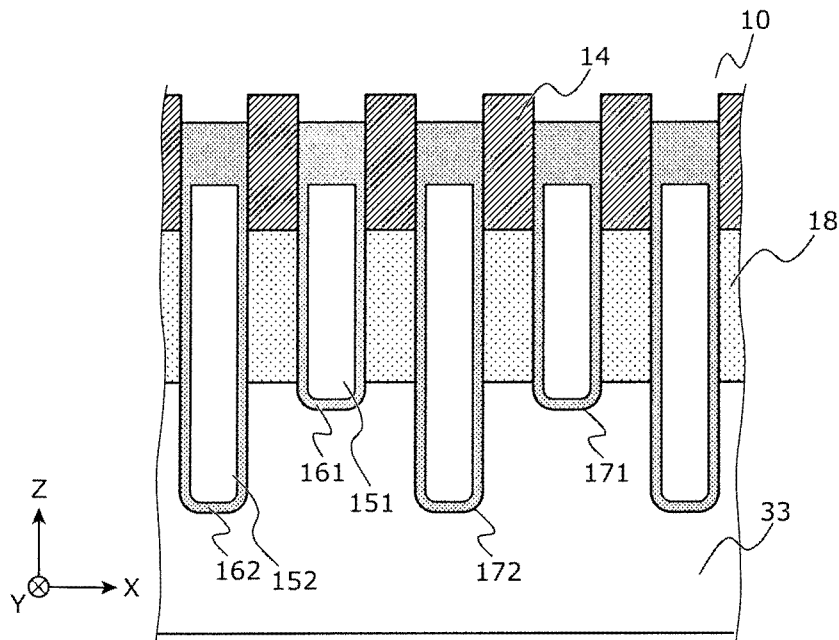
(54)名稱

半導體裝置

(57)摘要

一種半導體裝置(1)，是縱型場效電晶體(10)，並具有：於第 1 方向上延伸之第 1 閘極溝槽(17)及形成得比第 1 閘極溝槽(17)更深之第 2 閘極溝槽(27)、形成在第 1 閘極溝槽(17)的內部之第 1 閘極絕緣膜(16)及第 1 閘極導體(15)、以及形成在第 2 閘極溝槽(27)的內部之第 2 閘極絕緣膜(26)及第 2 閘極導體(25)，第 1 閘極導體(15)與第 2 閘極導體(25)為相同電位，若將第 1 閘極溝槽(17)之條數設為 n 時，第 2 閘極溝槽(27)之條數為 2 以上且 n+1 以下，在和低濃度雜質層(33)的上表面平行且和第 1 方向正交之第 2 方向上，供第 1 閘極溝槽(17)與第 2 閘極溝槽(27)設置之區域的最末端是設置前述第 2 閘極溝槽(27)。

指定代表圖：



符號簡單說明：

10:電晶體(第1縱型場效電晶體)

14:第1源極區域

18:第1本體區域

33:低濃度雜質層(漂移層)

151:第3閘極導體

152:第4閘極導體

161:第3閘極絕緣膜

162:第4閘極絕緣膜

171:第3閘極溝槽

172:第4閘極溝槽

X:第1方向

Y:第2方向

Z:第3方向

【圖11A】



I838119

公告本

【發明摘要】

【中文發明名稱】

半導體裝置

【中文】

一種半導體裝置(1)，是縱型場效電晶體(10)，並具有：於第 1 方向上延伸之第 1 閘極溝槽(17)及形成得比第 1 閘極溝槽(17)更深之第 2 閘極溝槽(27)、形成在第 1 閘極溝槽(17)的內部之第 1 閘極絕緣膜(16)及第 1 閘極導體(15)、以及形成在第 2 閘極溝槽(27)的內部之第 2 閘極絕緣膜(26)及第 2 閘極導體(25)，第 1 閘極導體(15)與第 2 閘極導體(25)為相同電位，若將第 1 閘極溝槽(17)之條數設為 n 時，第 2 閘極溝槽(27)之條數為 2 以上且 $n+1$ 以下，在和低濃度雜質層(33)的上表面平行且和第 1 方向正交之第 2 方向上，供第 1 閘極溝槽(17)與第 2 閘極溝槽(27)設置之區域的最末端是設置前述第 2 閘極溝槽(27)。

【指定代表圖】 圖11A

【代表圖之符號簡單說明】

- 10:電晶體(第1縱型場效電晶體)
- 14:第1源極區域
- 18:第1本體區域
- 33:低濃度雜質層(漂移層)
- 151:第3閘極導體
- 152:第4閘極導體
- 161:第3閘極絕緣膜
- 162:第4閘極絕緣膜
- 171:第3閘極溝槽
- 172:第4閘極溝槽
- X:第1方向
- Y:第2方向
- Z:第3方向

【特徵化學式】

(無)

【發明說明書】

【中文發明名稱】

半導體裝置

【技術領域】

【0001】 本揭示是有關於一種半導體裝置，尤其是有關於一種晶片尺寸封裝型的半導體裝置。

【先前技術】

【0002】 已知有以下情形：在具備閘極溝槽的縱型場效電晶體中，耐壓與接通電阻具有權衡(trade-off)的關係。

先前技術文獻

【0003】 專利文獻

專利文獻1：日本特開2016-219774號公報

專利文獻2：日本特許第6509674號公報

【發明內容】

【0004】 發明欲解決之課題

在具備閘極溝槽的縱型場效電晶體中，所要求的是既維持耐壓且降低接通電阻，並且在對汲極-源極間施加電壓時，降低於閘極溝槽之前端附近產生之電場強度，來提高對信賴性降低之耐受性。

【0005】 專利文獻1及專利文獻2中揭示有縱型場效電晶體的構造，顯示有將處於權衡的關係之特性改善之構造。

【0006】 用於解決課題之手段

為了解決上述課題，本揭示之半導體裝置，是可以進行倒裝組裝之晶片尺寸封裝型的半導體裝置，特徵在於：其為縱型場效電晶體，並具有：半導體基板，為第1導電型的半導體基板，包含前述第1導電型的雜質；低濃度雜質層，

為前述第1導電型的低濃度雜質層，相接於前述半導體基板上而形成，且包含濃度比前述半導體基板的前述第1導電型的雜質的濃度更低之前述第1導電型的雜質；本體區域，為和前述第1導電型不同之第2導電型的本體區域，且形成在前述低濃度雜質層；源極區域，為前述第1導電型的源極區域，且形成在前述本體區域；源極電極，與前述本體區域及前述源極區域電連接；第1閘極溝槽，從前述低濃度雜質層上表面貫通前述本體區域並形成至前述低濃度雜質層的一部分為止之深度，且具有與前述源極區域接觸之部分，並在和前述低濃度雜質層的上表面平行的第1方向上延伸；第2閘極溝槽，從前述低濃度雜質層上表面貫通前述本體區域並形成得比前述第1閘極溝槽更深，且具有與前述源極區域接觸之部分，並在前述第1方向上延伸；第1閘極絕緣膜，形成在前述第1閘極溝槽的內部；第1閘極導體，形成在前述第1閘極絕緣膜上；第2閘極絕緣膜，形成在前述第2閘極溝槽的內部；及第2閘極導體，形成在前述第2閘極絕緣膜上，

前述第1閘極導體與前述第2閘極導體為相同電位，若將前述第1閘極溝槽之條數設為 n (n 為1以上的整數)時，前述第2閘極溝槽之條數為2以上且 $n+1$ 以下，在和前述低濃度雜質層的上表面平行且和前述第1方向正交的第2方向上，供前述第1閘極溝槽與前述第2閘極溝槽設置之區域的最末端是設置前述第2閘極溝槽。

【0007】 根據此構成，可以降低接通電阻，並且在對汲極-源極間施加電壓時，將成為信賴性降低的要因之對電場強度的耐受性提高。

【0008】 發明效果

本揭示之目的在於提供一種既維持耐壓且降低接通電阻，並且可以實現信賴性提升之半導體裝置。

【圖式簡單說明】

【0009】 圖1是顯示實施形態1之半導體裝置的構造之一例的剖面示意圖。

【0010】 圖2A是顯示實施形態1之半導體裝置的構造之一例的平面示意

圖。

【0011】 圖2B是顯示在實施形態1之半導體裝置中流動的主電流的剖面示意圖。

【0012】 圖3A是實施形態1之第1電晶體的大致單位構成的平面示意圖。

【0013】 圖3B是實施形態1之第1電晶體的大致單位構成的立體示意圖。

【0014】 圖4是顯示實施形態1之半導體裝置的構造之一例的平面示意圖。

【0015】 圖5A是實施形態1中的有關於比較例1之第1電晶體的構造之一例的剖面示意圖。

【0016】 圖5B是在圖5A所示之半導體裝置的構造中，模擬了在汲極-源極間施加了額定電壓時所產生之電位的分布的剖面示意圖。

【0017】 圖5C是在圖5A所示之半導體裝置的構造中，模擬了在汲極-源極間施加了額定電壓時所產生之電場強度的剖面示意圖。

【0018】 圖6A是實施形態1中的有關於比較例2之第1電晶體的構造之一例的剖面示意圖。

【0019】 圖6B是在圖6A所示之半導體裝置的構造中，模擬了在汲極-源極間施加了額定電壓時所產生之電位的分布的剖面示意圖。

【0020】 圖6C是在圖6A所示之半導體裝置的構造中，模擬了在汲極-源極間施加了額定電壓時所產生之電場強度的剖面示意圖。

【0021】 圖7A是實施形態1之第1電晶體的構造之一例的剖面示意圖。

【0022】 圖7B是在圖7A所示之半導體裝置的構造中，模擬了在汲極-源極間施加了額定電壓時所產生之電位分布的剖面示意圖。

【0023】 圖7C是在圖7A所示之半導體裝置的構造中，模擬了在汲極-源極間施加了額定電壓時所產生之電場強度的剖面示意圖。

【0024】 圖8是實施形態1之第1電晶體的構造之一例的剖面示意圖。

【0025】圖9是繪製有實施形態1之第1電晶體的閘極溝槽的深度差 Δ 與汲極耐壓VDS之關係的圖表。

【0026】圖10A是實施形態1之第1電晶體的構造之一例的剖面示意圖。

【0027】圖10B是在圖10A所示之半導體裝置的構造中，模擬了在汲極-源極間施加了額定電壓時所產生之電位的分布的剖面示意圖。

【0028】圖10C是在圖10A所示之半導體裝置的構造中，模擬了在汲極-源極間施加了額定電壓時所產生之電場強度的剖面示意圖。

【0029】圖11A是實施形態1之第1電晶體的構造之一例的剖面示意圖。

【0030】圖11B是在圖11A所示之半導體裝置的構造中，模擬了在汲極-源極間施加了額定電壓時所產生之電位的分布的剖面示意圖。

【0031】圖11C是在圖11A所示之半導體裝置的構造中，模擬了在汲極-源極間施加了額定電壓時所產生之電場強度的剖面示意圖。

【0032】圖12A是顯示實施形態1之半導體裝置的製造過程的剖面示意圖。

【0033】圖12B是顯示實施形態1之半導體裝置的製造過程的剖面示意圖。

【0034】圖12C是顯示實施形態1之半導體裝置的製造過程的剖面示意圖。

【0035】圖12D是顯示實施形態1之半導體裝置的製造過程的剖面示意圖。

【0036】圖12E是顯示實施形態1之半導體裝置的製造過程的剖面示意圖。

【0037】圖12F是顯示實施形態1之半導體裝置的製造過程的剖面示意圖。

【0038】圖12G是顯示實施形態1之半導體裝置的製造過程的剖面示意圖。

【0039】圖13是實施形態2之第1電晶體的構造之一例的剖面示意圖。

【0040】圖14是顯示實施形態3之第1電晶體的構造之一例的剖面示意圖。

【實施方式】

【0041】用於實施發明之形態

以下，一邊參照圖式一邊說明本揭示的一態樣之半導體裝置的具體例。在此所示的實施形態皆為顯示本揭示的一具體例的實施形態。從而，在以下實施形態中所示的數值、形狀、構成要素、構成要素的配置及連接形態、以及步驟(step)及步驟的順序等僅為一例，主旨並非限定本揭示。又，各圖為示意圖，並非得是嚴密圖示的圖。在各圖中，對於實質上相同的構成是附加相同的符號，並省略或簡化重複的說明。

(實施形態1)

[1.半導體裝置的構造]

【0042】以下，針對本揭示的縱型場效電晶體的構造，以雙重構成為例子來進行說明。並非必須為雙重構成，可以為單一構成的縱型場效電晶體，也可以為三重以上之構成的縱型場效電晶體。

【0043】圖1是顯示半導體裝置的構造之一例的剖面圖。圖2A是其平面圖，半導體裝置的大小或形狀、電極墊之配置僅為一例。圖2B是示意顯示在半導體裝置中流動的主電流的剖面圖。圖1及圖2B是圖2A之I-I的剖切面。

【0044】如圖1及圖2A所示，半導體裝置1具備：半導體層40、金屬層30、形成在半導體層40內的第1區域A1的第1縱型場效電晶體10(以下也稱為「電晶體10」)、及形成在半導體層40內的第2區域A2的第2縱型場效電晶體20(以下也稱為「電晶體20」)。此處，如圖2A所示，第1區域A1與第2區域A2在半導體層40的平面視角下互相相鄰。在圖2A中，是以虛線顯示第1區域A1與第2區域A2的虛擬交界線90。

【0045】半導體層40是積層半導體基板32與低濃度雜質層33而構成。半導體基板32是配置在半導體層40的背面側，且是由包含第1導電型的雜質的第1導電型的矽所構成。低濃度雜質層33是配置在半導體層40的正面側，且形成為接觸半導體基板32，並且包含濃度比半導體基板32的第1導電型的雜質的濃度更低的第1導電型的雜質，而為第1導電型。

【0046】低濃度雜質層33也可以例如藉由磊晶成長而形成在半導體基板32上。此外，低濃度雜質層33也是在電晶體10及電晶體20共通的漂移(drift)層，在本說明書中有時也稱為漂移層。

【0047】金屬層30是接觸於半導體層40的背面側而形成，且由銀(Ag)或銅(Cu)所構成。此外，在金屬層30中也可以微量地包含有在金屬材料的製造步驟中作為雜質而混入之金屬以外的元素。又，金屬層30可形成在半導體層40的背面側的整面或是並非整面。

【0048】如圖1及圖2A所示，在低濃度雜質層33的第1區域A1中形成有第2導電型的第1本體區域18，前述第2導電型的第1本體區域18包含和第1導電型不同之第2導電型的雜質。在第1本體區域18形成有：包含第1導電型的雜質之第1導電型的第1源極區域14、第1閘極導體15、及第1閘極絕緣膜16。第1閘極絕緣膜16是形成在複數個第1閘極溝槽17的內部，且前述第1閘極溝槽17是從半導體層40的上表面貫通第1源極區域14及第1本體區域18而形成至低濃度雜質層33的一部分為止的深度，第1閘極導體15是在第1閘極溝槽17的內部形成在第1閘極絕緣膜16上。

【0049】第1源極電極11是由部分12與部分13所構成，部分12是隔著部分13而連接於第1源極區域14及第1本體區域18。第1閘極導體15是埋入半導體層40的內部之埋入閘極電極，且與第1閘極電極墊119電連接。

【0050】第1源極電極11的部分12是在倒裝組裝中的回焊時與焊料接合之

層，作為未受到限定的一例，亦可由包含鎳、鈦、鎢、鈮當中的任1種以上的金屬材料來構成。亦可在部分12的表面施加金等之鍍敷。

【0051】 第1源極電極11的部分13是連接部分12與半導體層40之層，作為未受到限定的一例，亦可由包含鋁、銅、金、銀當中的任1種以上的金屬材料來構成。

【0052】 在低濃度雜質層33的第2區域A2中，形成有包含第2導電型的雜質的第2導電型的第2本體區域28。在第2本體區域28中形成有：包含第1導電型的雜質的第1導電型的第2源極區域24、第2閘極導體25、及第2閘極絕緣膜26。第2閘極絕緣膜26是形成在複數個第2閘極溝槽27的內部，且前述第2閘極溝槽27是從半導體層40的上表面貫通第2源極區域24及第2本體區域28而形成至低濃度雜質層33的一部分為止的深度，第2閘極導體25是在第2閘極溝槽27的內部且形成在第2閘極絕緣膜26上。

【0053】 第2源極電極21是由部分22與部分23所構成，部分22是隔著部分23而連接於第2源極區域24及第2本體區域28。第2閘極導體25是埋入半導體層40的內部之埋入閘極電極，且與第2閘極電極墊129電連接。

【0054】 第2源極電極21的部分22是在倒裝組裝中的回焊時與焊料接合之層，作為未受到限定的一例，亦可由包含鎳、鈦、鎢、鈮當中的任1種以上的金屬材料來構成。亦可在部分22的表面施加金等之鍍敷。

【0055】 第2源極電極21的部分23是連接部分22與半導體層40之層，作為未受到限定的一例，亦可由包含鋁、銅、金、銀當中的任1種以上的金屬材料來構成。

【0056】 藉由電晶體10及電晶體20之上述構成，半導體基板32是作為將電晶體10的第1汲極區域及電晶體20的第2汲極區域共通化之共通汲極區域而發揮功能。低濃度雜質層33的和半導體基板32相接之側的一部分亦有作為共通汲極

區域而發揮功能之情況。又，金屬層30是作為電晶體10的汲極電極及電晶體20的汲極電極共通化之共通汲極電極而發揮功能。

【0057】如圖1所示，第1本體區域18被具有開口之層間絕緣層34所覆蓋，並設置有通過層間絕緣層34的開口且連接於第1源極區域14之第1源極電極11的部分13。層間絕緣層34及第1源極電極11的部分13被具有開口的鈍化層35所覆蓋，並設置有通過鈍化層35的開口且連接於第1源極電極11的部分13之部分12。

【0058】第2本體區域28被具有開口之層間絕緣層34所覆蓋，並設置有通過層間絕緣層34的開口且連接於第2源極區域24之第2源極電極21的部分23。層間絕緣層34及第2源極電極21的部分23被具有開口之鈍化層35所覆蓋，並設置有通過鈍化層35的開口且連接於第2源極電極21的部分23之部分22。

【0059】從而，複數個第1源極電極墊116及複數個第2源極電極墊126分別是指第1源極電極11及第2源極電極21在半導體裝置1的表面局部地露出之區域，亦即所謂的端子的部分。同樣地，1個以上的第1閘極電極墊119及1個以上的第2閘極電極墊129分別是指第1閘極電極19(在圖1、圖2A、圖2B中未圖示)及第2閘極電極29(在圖1、圖2A、圖2B中未圖示)在半導體裝置1的表面局部地露出之區域，亦即所謂的端子的部分。

【0060】在半導體裝置1中，例如，亦可將第1導電型設為N型，將第2導電型設為P型，且使第1源極區域14、第2源極區域24、半導體基板32及低濃度雜質層33為N型半導體，第1本體區域18及第2本體區域28為P型半導體。

【0061】又，在半導體裝置1中，例如，亦可將第1導電型設為P型，將第2導電型設為N型，且使第1源極區域14、第2源極區域24、半導體基板32及低濃度雜質層33為P型半導體，第1本體區域18及第2本體區域28為N型半導體。

【0062】在以下的說明中，是設為電晶體10與電晶體20將第1導電型設為

N型、且將第2導電型設為P型之所謂的N通道型電晶體的情況，來針對半導體裝置1的導通動作進行說明。

【0063】此外，在此，針對電晶體10與電晶體20，是以在功能、特性、構造等沒有任何差異且具備對稱性為前提來說明。圖1、圖2A、圖2B亦是以對稱性為前提來描繪，但在本揭示中的晶片尺寸封裝型的雙重構成的縱型場效電晶體中，對稱性並非必要條件。

[2.縱型場效電晶體之動作]

【0064】圖3A及圖3B分別是在半導體裝置1的X方向及Y方向上反覆形成之電晶體10(或電晶體20)的大致單位構成的平面圖及立體圖。在圖3A及圖3B中，為了容易了解，未圖示有半導體基板32、第1源極電極11(或第2源極電極21)。

【0065】此外，Y方向是和半導體層40的上表面平行且第1閘極溝槽17以及第2閘極溝槽27所延伸之方向。又，X方向是指和半導體層40的上表面平行且和Y方向正交之方向。Z方向是指和X方向正交且也和Y方向正交且表示半導體裝置的高度方向之方向。在本揭示中，有時也會將Y方向表示為第1方向，將X方向表示為第2方向，並將Z方向表示為第3方向。

【0066】如圖3A及圖3B所示，於電晶體10具備將第1本體區域18與第1源極電極11電連接之第1連接部18A。第1連接部18A是第1本體區域18當中未形成有第1源極區域14之區域，且包含和第1本體區域18相同的第2導電型的雜質。第1源極區域14與第1連接部18A是沿著Y方向交互地且週期性地反覆配置。關於電晶體20也是同樣。

【0067】若在半導體裝置1中，對第1源極電極11施加高電壓以及對第2源極電極21施加低電壓，且以第2源極電極21為基準而對第2閘極電極29(第2閘極導體25)施加閾值以上的電壓，會在第2本體區域28中的第2閘極絕緣膜26的附近

形成導通通道。其結果，主電流會在如下的路徑中流動：第1源極電極11-第1連接部18A-第1本體區域18-低濃度雜質層33-半導體基板32-金屬層30-半導體基板32-低濃度雜質層33-形成在第2本體區域28之導通通道-第2源極區域24-第2源極電極21，且半導體裝置1會成為導通狀態。此外，此導通路徑中的第2本體區域28與低濃度雜質層33之接觸面有PN接面，而作為本體二極體來發揮功能。又，因為此主電流會在金屬層30流動，所以藉由增厚金屬層30，主電流路徑之截面積會擴大，而可降低半導體裝置1之導通電阻。

【0068】 同樣地，在半導體裝置1中，對第2源極電極21施加高電壓以及對第1源極電極11施加低電壓，並以第1源極電極11為基準對第1閘極電極19(第1閘極導體15)施加閾值以上的電壓後，會在第1本體區域18中的第1閘極絕緣膜16的附近形成導通通道。其結果，主電流會在如下的路徑中流動：第2源極電極21-第2連接部28A-第2本體區域28-低濃度雜質層33-半導體基板32-金屬層30-半導體基板32-低濃度雜質層33-形成在第1本體區域18之導通通道-第1源極區域14-第1源極電極11，且半導體裝置1會成為導通狀態。此外，此導通路徑中的第1本體區域18與低濃度雜質層33之接觸面有PN接面，而作為本體二極體來發揮功能。

【0069】 圖4是顯示半導體裝置1的構成要素當中，第1本體區域18與第2本體區域28、第1活性區域112與第2活性區域122在半導體層40(低濃度雜質層33)的平面視角下的形狀之一例的平面圖。雖然在圖4中未圖示，但第1閘極溝槽17及第2閘極溝槽27也都是在Y方向上延伸。

【0070】 第1活性區域112意指將已對電晶體10的第1閘極電極19(第1閘極導體15)施加閾值以上的電壓時可形成導通通道之部分全部包含在內之最小範圍。所謂可形成導通通道之部分，是複數個第1閘極溝槽17的各個與第1源極區域14相鄰之部分。在半導體層40之平面視角下，第1活性區域112被包含於第1本體區域18內。

【0071】第2活性區域122意指將已對電晶體20的第2閘極電極29(第2閘極導體25)施加閾值以上的電壓時可形成導通通道之部分全部包含在內之最小範圍。所謂可形成導通通道之部分，是複數個第2閘極溝槽27的各個與第2源極區域24相鄰之部分。在半導體層40之平面視角下，第2活性區域122被包含於第2本體區域28內。

【0072】將第1區域A1當中包圍第1活性區域112之區域稱為第1外周區域，將第2區域A2當中包圍第2活性區域122之區域稱為第2外周區域。

【0073】針對單一構成的縱型場效電晶體，也可以理解為僅以大致雙重構成的縱型場效電晶體的單側(電晶體10)來形成之場效電晶體。不過，在晶片尺寸封裝型中，有時會在具備源極電極墊116、閘極電極墊119之半導體層40的正面側進一步設置汲極電極墊。在此情況下，必須事先從半導體層40的正面側形成和設於半導體層40的背面側之半導體基板32電連接之汲極拉出構造。

[3.閘極溝槽之深度與電晶體之特性]

(3-1.汲極耐壓)

【0074】在以下說明中，針對半導體裝置1，只要未特別說明，便當作僅記載針對電晶體10的構成要素。符號也是，除非必要，否則都是以已對電晶體10的構成要素所賦予之符號為代表來使用。

【0075】在半導體裝置1中，將第1源極電極11與第2源極電極21之電位差設為源極-源極間電壓(VSS[V])。在半導體裝置1的製品規格書中，會因應用途來設定源極-源極間規格最大電壓(BVSS[V])。在本揭示中，有時會將源極-源極間規格最大電壓(BVSS[V])簡稱為耐壓、或稱為汲極耐壓。或也稱為額定電壓。

【0076】在第1本體區域18與低濃度雜質層33的交界具備有PN界面，且夾著PN界面而形成空乏層。為了提高汲極耐壓，必須使在電晶體10的關閉時的空

乏層為可以充分地擴展之構造，且必須適當設計低濃度雜質層33的載子濃度(電阻率)或厚度。

【0077】為了空乏層能充分地擴展，低濃度雜質層33必須降低載子濃度(提高電阻率)、且增厚厚度。由於可以將低濃度雜質層33的厚度以從第1閘極溝槽17的前端來觀看相對地增厚，因此在提升汲極耐壓的目的下，第1閘極溝槽17宜較淺。

【0078】順道一提，本實施形態中的說明雖然因為以雙重構成的縱型場效電晶體為依據，因此作為VSS、BVSS來敘述，但是在單一構成之縱型場效電晶體的情況下，只要分別使用汲極-源極間電壓(VDS[V])、汲極-源極間規格最大電壓(BVDSS[V])即可。

【0079】後續，即便為雙重構成的縱型場效電晶體，為了方便仍可將源極-源極間之情形稱為汲極-源極間，並使用VDS、BVDSS來說明。

(3-2.接通電阻)

【0080】第1閘極溝槽17是從半導體層40的上表面接觸於第1源極區域14並貫通第1本體區域18而形成至低濃度雜質層33的一部分為止之深度。從第1源極電極11朝向共通汲極即半導體基板32流動之電流在通過第1本體區域18後，會成為沿著第1閘極溝槽17流動至第1閘極溝槽17的前端為止才流動於低濃度雜質層33。

【0081】沿著第1閘極溝槽17的前端流動之電流會因施加於第1閘極導體15之電壓的影響，而成為即便是低濃度雜質層33，仍可將導通電阻較減少地流動。然而，若經過第1閘極溝槽17的前端，電流會成為受到和低濃度雜質層33中的電阻率相應之電阻而流動。

【0082】因此，在第1閘極溝槽17相對較淺的情況下，電流會成為以相對較長的距離在低濃度雜質層33的內部流動至半導體基板32。相反地，在第1閘

極溝槽17相對較深的情況下，電流會成為以相對較短的距離在低濃度雜質層33的內部流動至半導體基板32。因此，在減少在低濃度雜質層33中流動之電流的電阻的目的下，第1閘極溝槽17宜較深。

(3-3.電場強度與信賴性)

【0083】若在半導體裝置1中持續增大VDS，在低濃度雜質層33會在電位的分布上產生變化。因為第1閘極溝槽17是前端形成至低濃度雜質層33的一部分的深度之溝，所以會因應於其寬度或間隔、深度而改變低濃度雜質層33中的電位的分布之方式。

【0084】圖5A是本實施形態1中的比較例1，為將全部的第1閘極溝槽17都以某深度Da[nm]來均等地形成之構造。於圖5B顯示在圖5A中進行了以下模擬之結果：在對第1閘極導體15的施加電壓為零的狀態下，施加電壓直到成為VDS=BVDSS(在此為22V)為止時之電位[V]的分布。

【0085】又，圖6A是本實施形態1中的比較例2，為將全部的第1閘極溝槽17都以某深度Db[nm](Da<Db)來均等地形成之構造。於圖6B顯示在圖6A中進行了以下模擬之結果：在對第1閘極導體15的施加電壓為零的狀態下，施加電壓直到成為VDS=BVDSS(在此為22V)為止時之電位[V]的分布。

【0086】在比較例1(圖5A、圖5B)、與比較例2(圖6A、圖6B)中，是僅使第1閘極溝槽17的深度改變，而不使PN接面的位置改變。

【0087】比較例1(圖5A、圖5B)中所顯示的是，相較於比較例2(圖6A、圖6B)，第1閘極溝槽17為均等且相對較淺的情況之結果。相反地，比較例2(圖6A、圖6B)中所顯示的是，相較於比較例1(圖5A、圖5B)，第1閘極溝槽17為均等且相對較深的情況之結果。在比較例1(圖5A、圖5B)所示之第1閘極溝槽17、與比較例2(圖6A、圖6B)所示之第1閘極溝槽17中，第1閘極溝槽17的深度之差異為100nm。

【0088】在圖5B中，若從第1閘極溝槽17的前端來觀看，因為和圖6B相較之下，低濃度雜質層33相對較厚，所以會成為 $V_{DS}=B_{VDSS}$ 之電位分布在較厚的寬度中的情形，且第1閘極溝槽17的前端附近的等位線的間隔會變寬。這意味著低濃度雜質層33內的電場強度相對較弱。

【0089】相對於此，在圖6B中，若從第1閘極溝槽17的前端來觀看，因為和圖5B相較之下，低濃度雜質層33相對較薄，所以會成為 $V_{DS}=B_{VDSS}$ 之電位分布在較薄的寬度中的情形，且第1閘極溝槽17的前端附近的等位線的間隔會變窄。這意味著低濃度雜質層33內的電場強度相對較強。

【0090】圖5C、圖6C分別以濃淡來表示模擬了電位的分布成為圖5B、圖6B時之電場強度[V/cm]的分布所得之結果。根據圖5C、圖6C，在構造上電場強度變得最大的是成為第1閘極溝槽17的前端之中央部分，若在比較例1(圖5C)與比較例2(圖6C)比較該位置上的電場強度之差，即為0.02MV/cm。

【0091】若第1閘極溝槽17附近的電場強度成為一定以上，便會在第1閘極絕緣膜16的附近蓄積載子，而成為所謂的熱電子。若產生熱電子，則即便未對第1閘極導體15施加閘極電壓，仍會形成反轉層並形成導通通道，因此會成為電晶體10的信賴性降低的主要原因。

【0092】根據圖5C、圖6C，由於電場強度是第1閘極溝槽17越深就變得越大，因此在防止信賴性降低的觀點上，第1閘極溝槽17宜較淺。

[4.淺溝槽與深溝槽之混合存在]

【0093】電晶體10的特性與第1閘極溝槽17的深度是如上述地密切相關。根據特性不同而存在權衡關係，要改善全部的特性是困難的，且必須因應所重視之用途來適當地設計第1閘極溝槽17的深度。

【0094】因此，本案發明人們反覆專心致志檢討後，結果發現了以下情形：使已對複數個第1閘極溝槽17改變了深度之閘極溝槽混合存在，藉此相較

於如比較例1及比較例2一般將全部的第1閘極溝槽17的深度統一之情況，可以提升電晶體10的特性。在以下，針對在第1閘極溝槽17中混合存在有自半導體層40的上表面起算之深度不同的閘極溝槽之情形對電晶體10的特性所造成的影響進行說明。

【0095】本揭示中作為為對象之第1閘極溝槽17的深度不同並非指在製造上無論如何皆無法避免之偏差，而是指由設置目標值並刻意表現之設計所造成之差異。

【0096】首先，作為一例，利用圖7A來說明以下情況：在複數個第1閘極溝槽17中混合存在深度Da[nm]的閘極溝槽與深度Db[nm]的閘極溝槽之2種深度的閘極溝槽(Da<Db)。為了方便，後續不論是第1閘極溝槽17或是第2閘極溝槽27，均將深度Da的閘極溝槽稱為第3閘極溝槽171，且將深度Db的閘極溝槽稱為第4閘極溝槽172。第3閘極溝槽171為相對較淺的閘極溝槽，第4閘極溝槽172則為相對較深的閘極溝槽。

【0097】將設於第3閘極溝槽171之閘極導體與閘極絕緣膜分別作為第3閘極導體151、第3閘極絕緣膜161。將設於第4閘極溝槽172之閘極導體與閘極絕緣膜分別作為第4閘極導體152、第4閘極絕緣膜162。

【0098】圖7A是將電晶體10的一部分在XZ平面上剖面觀看時的示意圖，關於第1源極電極11等比層間絕緣層34更上部的構成物、與包含半導體基板32之下部的構成物則省略了圖示。在圖7A的構造中，第3閘極溝槽171與第4閘極溝槽172是以相同寬度設置，並且將第3閘極溝槽171與第4閘極溝槽172以等間隔方式一條一條交互地設置。

【0099】於圖7B顯示在圖7A的構造中進行了以下模擬之結果：在對第3閘極導體151及第4閘極導體152的施加電壓為零的狀態下，施加電壓直到成為VDS=BVDSS(在此為22V)為止時之電位[V]的分布；且於圖7C顯示此時的電場

強度[V/cm]之模擬結果。

【0100】如從圖7B可知，漂移層33內的電位會因為有第4閘極溝槽172而整體被往下方壓下，且第3閘極溝槽171附近之等位線的間隔會相對地變得較寬。其結果，第3閘極溝槽171的前端中央的電場強度會降低。

【0101】可得知以下情形：圖7A中的第3閘極溝槽171的深度 D_a 雖然和圖5A(比較例1)的第1閘極溝槽17的深度 D_a 相同，但相較於全部的第1閘極溝槽17統一為相同深度之情況的圖5A，第3閘極溝槽171的前端的中央部分的電場強度已減低。儘管為相同深度 D_a ，但第3閘極溝槽171的前端中央的電場強度會降低之原因在於：第4閘極溝槽172會將電位更往低濃度雜質層33壓下，且比第3閘極溝槽171更深的第4閘極溝槽172存在於第3閘極溝槽171的附近。亦即，在全部的第1閘極溝槽17的深度已被統一之以往的構造中，並無法獲得此效果。

【0102】另一方面，第4閘極溝槽172的前端中央的電場強度會增大。圖6A(比較例2)中的第1閘極溝槽17的深度雖然和圖7A中的第4閘極溝槽172的深度相同而為 D_b ，但圖6A中全部的第1閘極溝槽17的深度是統一的。若利用對應之圖6C與圖7C來比較電場強度，可得知以下情形：圖7C中的第4閘極溝槽172的前端中央之電場強度會比圖6C中的第1閘極溝槽17的前端中央之電場強度更強。

【0103】這是因為在全部的第1閘極溝槽17皆被統一為相同深度的情況下，全部的第1閘極溝槽17會使電位均等地改變，相對於此，在如圖7B所示地僅一部分的第4閘極溝槽172將電位壓下的情況下，會使電位局部地僅在其附近急遽地變化。

【0104】若電場強度在第1閘極溝槽17的前端增大，則在第1閘極絕緣膜16的附近產生熱電子而使信賴性降低之疑慮會提高，因而不佳。然而，在本揭示之一實施形態的圖7C中，前端中央的電場強度增大之第4閘極溝槽172的條數會比圖6C減少(約減半)。亦即，對信賴性的降低之耐受性已先在構造上有所提

升，而成為即便產生較以往更增大之電場強度也不會立即對信賴性的降低帶來影響之構造。

【0105】用於享受本揭示之效果的本質，和以往構造不同，全部的第1閘極溝槽17並未被統一為相同深度，且將相對較深之第4閘極溝槽172相對於相對較淺之第3閘極溝槽171以適當的條數與距離、以及週期來設置。若是這種構造，便可以做到既降低第3閘極溝槽171的前端中央的電場強度，並且進一步提升與信賴性降低相關之電場強度的上限來提高耐受性。

【0106】在上述中，已描述了將第3閘極溝槽171與第4閘極溝槽172一條一條交互地設置之實施例。宜將第4閘極溝槽172以在X方向上將第3閘極溝槽171夾入之方式配置在兩側，以降低第3閘極溝槽171的前端中央的電場強度，最有效的配置是在X方向上將第3閘極溝槽171與第4閘極溝槽172一條一條交互地配置之構造。

【0107】獲得本揭示之效果的配置不受限於此，最相鄰而構成一對之第4閘極溝槽172亦可使在X方向上夾在其間之第3閘極溝槽171的條數為複數條。於圖8顯示其一例。若將設置於電晶體10之第3閘極溝槽171的條數設為 n (n 為1以上之整數)條時，設置於電晶體10之第4閘極溝槽172的條數宜為2條以上且 $(n+1)$ 條以下。

【0108】較佳的是，在設置於電晶體10的第1活性區域112之第1閘極溝槽17當中，將在X方向上位於最兩端之閘極溝槽設為第4閘極溝槽172，將剩餘的閘極溝槽設為第3閘極溝槽171。藉由形成像這樣的配置，可以抑制設於第1活性區域112之第3閘極溝槽171的前端中央的電場強度。

【0109】又，所期望的是，設置於電晶體10的第1活性區域112之第1閘極溝槽17為：以在X方向上最相鄰而構成一對之第4閘極溝槽172於其間夾著1個以上的第3閘極溝槽171之構造為單位構造，且在X方向上將該單位構造週期性

地設置而成，設置於該單位構造的最末端的第4閘極溝槽172是相鄰之該單位構造彼此所共有。

【0110】亦即，所期望的是，設置於電晶體10的第1活性區域112之第1閘極溝槽17在X方向上，於第3閘極溝槽171的排列中，以固定的間隔來週期性地設置第4閘極溝槽172。藉由如此地配置第3閘極溝槽171與第4閘極溝槽172，可以抑制設於第1活性區域112之第3閘極溝槽171的前端中央的電場強度。

【0111】特別是，在第1閘極溝槽17是由n條第3閘極溝槽171、與n+1條第4閘極溝槽172所構成的情況下，可以在設置於電晶體10(第1活性區域112)的第1閘極溝槽17當中，既將在X方向上位於最兩端之閘極溝槽設為第4閘極溝槽172，並且將第3閘極溝槽171與第4閘極溝槽172各自一條一條交互地設置。此時，由於可以抑制全部的第3閘極溝槽171的前端中央的電場強度，因而較佳。

【0112】第3閘極溝槽171彼此的間隔 L_{aa} [μm]宜固定。又，第4閘極溝槽172彼此的間隔 L_{bb} [μm]宜固定。

【0113】此外，若將第3閘極溝槽171與第4閘極溝槽172一條一條交互地設置的話，所期望的是 $L_{aa}=L_{bb}$ ，且關於第3閘極溝槽171與第4閘極溝槽172的間隔 L_{ab} [μm]，也宜為： $L_{ab}=L_{aa}/2=L_{bb}/2$ 會成立。在此情況下，由於第3閘極溝槽171與第4閘極溝槽172也可以作為導通通道並以相同密度來配置，因此在降低接通電阻方面很有效。

【0114】此外，又再次陳述，本揭示中作為對象之閘極溝槽(第1閘極溝槽17或第2閘極溝槽27、或是第3閘極溝槽171或第4閘極溝槽172)，全部都是有助於形成導通通道的閘極溝槽，並內含閘極導體(第1閘極導體15或第2閘極導體25、或是第3閘極導體151或第4閘極導體152)。

【0115】第3閘極導體151與第4閘極導體152在電晶體10之驅動中為相同電位，施加於第1閘極電極19之電壓也和施加於第3閘極導體151與施加於第4閘極

導體152的電壓相等。

【0116】 即使以形狀來說也是溝槽，但會排除包圍第1活性區域112且設於半導體裝置1的第1外周區域之溝槽。又，也會排除即使已設置於第1活性區域112但無助於導通通道的形成者。因此，在本揭示中提及之第1閘極溝槽17(第3閘極溝槽171及第4閘極溝槽172)，全部都具有在上部與第1源極區域14相接之部分，且在下部具有與第1本體區域18相接之部分。

【0117】 由此，針對在電晶體10中，第3閘極溝槽171的深度 D_a 與第4閘極溝槽172的深度 D_b 的差 $\Delta (=D_b - D_a)$ [nm]、與電晶體10的汲極耐壓 V_{DS} 及接通電阻的關係進行敘述。

【0118】 於表1顯示針對電晶體10中的 $\Delta (=D_b - D_a)$ [nm]與汲極耐壓 V_{DS} 的關係進行了模擬所得的結果。在模擬中，是將內部寬度相等之第3閘極溝槽171與第4閘極溝槽172一條一條交互地配置，而為 $L_{ab} = L_{aa}/2 = L_{bb}/2 = 0.40 \mu m$ 。又，第3閘極溝槽171的深度 $D_a = 1040nm$ 在全部的水準1~8上是統一的。

[表1]

水準	深度[nm]		條件A 耐壓[V]	條件B 耐壓[V]
	上段:第3閘極溝槽 下段:第4閘極溝槽	差 Δ		
1 (圖5)	1040	0	26.5	-
	1040			
2 (圖7)	1040	100	24.5	-
	1140			
3	1040	120	24.1	24.4
	1160			
4	1040	140	23.8	24.2
	1180			
5	1040	160	23.5	24.1
	1200			
6	1040	260	23.3	25.2
	1300			
7	1040	360	22.0	25.6
	1400			
8	1040	460	20.5	-
	1500			

【0119】表1所示之耐壓是以2種條件計算出之耐壓。前述2種條件為：條件A，不使低濃度雜質層33之電阻率及厚度在各水準作變化而設成統一；及條件B，以水準2之形狀為基準，使低濃度雜質層33的厚度也因應於第4閘極溝槽172的深度 D_b 的增大而增大。此外，水準1是對應於圖5A、圖5B、圖5C，水準2是對應於圖7A、圖7B、圖7C。又，條件B僅針對水準3~7實施了模擬。

【0120】圖9是在條件A(○)與條件B(◇)下同時描繪表1之結果的圖。根據圖9，在條件A(○)下，可觀察到在VDS因應 Δ 的增大而減低之過程中，VDS在 $\Delta=160\text{nm}$ 附近減低的比率暫時變得較平緩之情形。又，在條件B(◇)下，是呈現隨著 Δ 以 $\Delta=160\text{nm}$ 為起點而增大，VDS也增大之情形。

【0121】應留意之處為：耐壓的傾向以 $\Delta=160\text{nm}$ 為界而改變。特別應注意之處為：在條件B(◇)中，在成為 $\Delta \geq 160\text{nm}$ 的範圍中，VDS會增大而無減低或收斂之情形。

【0122】於圖10B、圖10C顯示模擬了以下情形之結果：表1之水準5所示之在 $D_b=1200\text{nm}$ ($\Delta=160\text{nm}$)的電位[V]的分布及電場強度[V/cm]。又，於圖11B、圖11C顯示模擬了以下情形之結果：表1之水準7所示之在 $D_b=1400\text{nm}$ ($\Delta=360\text{nm}$)的電位[V]的分布及電場強度[V/cm]。圖10B、圖10C是以下之模擬結果：在圖10A之構造中，在對第3閘極導體151及第4閘極導體152的施加電壓為零的狀態下，施加電壓直到成為 $V_{DS}=BV_{DSS}$ (在此為22V)為止時之結果。又，圖11B、圖11C是以下之模擬結果：在圖11A之構造中，在對第3閘極導體151及第4閘極導體152的施加電壓為零的狀態下，施加電壓直到成為 $V_{DS}=BV_{DSS}$ (在此為22V)為止時之結果。此外，圖7B、圖7C是 $D_b=1140\text{nm}$ ($\Delta=100\text{nm}$)時之模擬結果。

【0123】當比較圖7B、圖10B、圖11B以及比較圖7C、圖10C、圖11C時，可得知以下情形：伴隨第4閘極溝槽172的深度增大，第3閘極溝槽171的前端中

央的電場強度會降低，且恰好在 $\Delta=160\text{nm}$ 附近(圖10C)收斂。這是因為以下緣故：設於第3閘極溝槽171的兩側之第4閘極溝槽172將電位從第3閘極溝槽171的前端壓下至 160nm ，藉此使電場強度在第3閘極溝槽171的前端中央增大的這種電位的分布會消失。

【0124】從而，以下情形可說是出現在圖9之應注意之現象的主要原因：相對較淺之第3閘極溝槽171的前端中央的電場強度已到達無法再顯著地降低之狀態。這種現象是在如以往所述地第1閘極溝槽17為全部以相同的深度來形成之構造中所無法獲得的效果。

【0125】因此，當第3閘極溝槽171與第4閘極溝槽172一條一條且等間隔來交互地配置的情況下，宜調整成 $\Delta \geq 160\text{nm}$ 。亦即，所期望的是，第3閘極溝槽171的深度與第4閘極溝槽172的深度之差為 160nm 以上。若 $\Delta \geq 160\text{nm}$ ，可以藉由調整低濃度雜質層33的厚度，而如表1或圖9所示地提升耐壓。又，若增加耐壓的裕度之必要性低，也可以將使耐壓提升之量轉化成以下作法：調節低濃度雜質層33的電阻率或厚度，來降低接通電阻。雖然即使 $\Delta < 160\text{nm}$ 也可以獲得一定的效果，但為了既確保充分的耐壓的裕度，並且降低低濃度雜質層33之接通電阻，所期望的是調整成 $\Delta \geq 160\text{nm}$ 。

[5.個別地控制閘極溝槽之深度的製法]

【0126】說明本實施形態1中的電晶體10的製造方法之一例。以交互地形成第3閘極溝槽171與第4閘極溝槽172的情況為例來說明。

【0127】如圖12A所示，於半導體層40(半導體基板32與低濃度雜質層33)的上表面製作由氧化物等所構成之遮罩層36的膜。

【0128】接著，如圖12B所示，將塗佈於遮罩層36上之抗蝕劑圖案化，在X方向上以固定間隔設置開口部。此時，X方向上的抗蝕劑的開口部的寬度在最終會成為第4閘極溝槽172的內部寬度。並且，在以使第3閘極溝槽171與第4

閘極溝槽172的內部寬度以及間隔變得相等之方式來形成電晶體10的情況下進行圖案化，以讓在圖12B中被抗蝕劑被覆之X方向的非開口部的寬度成為和抗蝕劑被去除之X方向的開口部的寬度的大約3倍同等。

【0129】接著，如圖12C所示，對抗蝕劑的開口部施行蝕刻，去除遮罩層36。雖然遮罩層36也可以不被全部去除而以一定之厚度殘留在半導體層40上，但所期望的是如圖12C所示地全部被去除。

【0130】接著，如圖12D所示，對殘留之抗蝕劑再次進行圖案化，而在X方向上週期性地新設置遮罩層36露出之處。X方向上的新設置於抗蝕劑之開口部的寬度在最終會成為第3閘極溝槽171的內部寬度。

【0131】接著，如圖12E所示，在圖12D之步驟中對已新露出遮罩層36之處施行蝕刻，將遮罩層36在半導體層40上留下一定的厚度而去除。

【0132】接著，如圖12F所示，去除抗蝕劑。

【0133】接著，如圖12G所示，以部分殘留之遮罩層36作為遮罩，蝕刻遮罩層36及半導體層40。在開始圖12G之時間點，遮罩層36是選擇性地僅對之後會成為第3閘極溝槽171之處設置得較薄。進行圖12G所示之步驟的蝕刻後，在原本就已去除遮罩層36之處，從一開始就會進行半導體層40的蝕刻。薄薄地殘留有遮罩層36之處，首先遮罩層36會被完全地去除，雖然之後會開始蝕刻正下方的半導體層40，但因為在該時間點，在原本早已去除遮罩層36之處半導體層40之蝕刻仍在進行中，所以會在半導體層40交互形成深度不同的溝槽。

【0134】可以藉由操作遮罩層36之厚度、蝕刻的條件、在圖12E所示之步驟中遮罩層36殘留在半導體層40上表面之殘留厚度等，來控制第3閘極溝槽171與第4閘極溝槽172的深度之差。

【0135】又，第3閘極溝槽171的內部寬度與第4閘極溝槽172的內部寬度、或第3閘極溝槽171彼此的間隔、第4閘極溝槽172彼此的間隔、第3閘極溝槽171

與第4閘極溝槽172的間隔等，可以藉由控制將抗蝕劑圖案化之尺寸來自由地設計。

(實施形態2)

【0136】 以下，針對實施形態2之半導體裝置1的電晶體10A進行說明，前述電晶體10A是從實施形態1之半導體裝置1中的電晶體10變更一部分而構成。

【0137】 電晶體10是以下構成的例子：第1閘極溝槽17是由第3閘極溝槽171與第4閘極溝槽172所構成，且具有設於第3閘極溝槽171之第3閘極導體151與第3閘極絕緣膜161、及設於第4閘極溝槽172之第4閘極導體152與第4閘極絕緣膜162。

【0138】 相對於此，實施形態2之電晶體10A是形成為以下構成的例子：在實施形態2之電晶體10A中，第1閘極溝槽17是由第3閘極溝槽171與第4閘極溝槽172所構成，且具有設於第3閘極溝槽171之第3閘極導體151A與第3閘極絕緣膜161A、及設於第4閘極溝槽172之第4閘極導體152A與第4閘極絕緣膜162A。

【0139】 在此，關於實施形態2之電晶體10A，針對和電晶體10同樣的構成要素是當作已經說明完畢而分派相同符號並省略其詳細說明，且以和電晶體10之相異點為中心作說明。

【0140】 在圖13顯示本實施形態2的電晶體10A的形狀的示意圖。圖13是將電晶體10A的一部分在XZ平面上剖面觀看時的示意圖，關於第1源極電極11等比層間絕緣層34更上部的構成物、與包含半導體基板32之下部的構成物則省略了圖示。

【0141】 本實施形態2中的與實施形態1的不同處為：在第3閘極絕緣膜161A與第4閘極絕緣膜162A的形狀上具有差異。特別是，第4閘極絕緣膜162A是第4閘極溝槽172的底部側會形成得比該第4閘極溝槽172的上部側的第4閘極絕緣膜162A厚。

【0142】如已在實施形態1中所說明，由於第4閘極溝槽172是相對較深的溝槽，因此前端中央的電場強度會增大。假設第4閘極絕緣膜162A極端地薄，構造會無法承受增大的電場強度，恐有在汲極-閘極間產生電流洩漏之處之虞。因此，為了廣泛地覆蓋尤其電場強度會增大之處即第4閘極溝槽172的前端，宜先將第4閘極絕緣膜162A僅在第4閘極溝槽172的底部側設置得較厚。

【0143】在圖13中，雖然是例示第4閘極絕緣膜162A在第4閘極溝槽172的底部側為均等地厚之構成，但獲得本實施形態2的效果不受限於圖13的形狀。第4閘極絕緣膜162A亦可設置成以沿第4閘極溝槽172之形狀而僅讓一部分的側面與底部側變得較厚，又亦讓已成為較厚的部分為不同材料之絕緣膜的多層構成。

【0144】又，如圖13所示，第3閘極絕緣膜161A亦可與實施形態1中的第3閘極絕緣膜161同樣，不論在第3閘極溝槽171的側面或底部，厚度均不變而為固定。這是由於在第3閘極溝槽171的前端所產生的電場強度不會過度地增大，因此不需要將第3閘極絕緣膜161A設得較厚之故。因此，在必須提高對會相對地增大之電場強度的耐受性之第4閘極絕緣膜162A，所期望的是具有比第3閘極絕緣膜161A厚的部分。尤其，所期望的是，在第4閘極溝槽的底部側將第4閘極絕緣膜162A設置得較厚。

【0145】但是，根據第3閘極溝槽171與第4閘極溝槽172之深度的差、或間隔、設置數量的相對關係，也有第3閘極溝槽171之前端的電場強度增大某程度的情況。在那樣的情況下，也可以與第4閘極絕緣膜162A同樣地，在第3閘極絕緣膜161A中底部側業經厚膜化。此時，第3閘極絕緣膜161A與第4閘極絕緣膜162A可以設置有同等之厚度，亦可以設置成使第4閘極絕緣膜162A相對變得較厚。

(實施形態3)

【0146】 以下，針對實施形態3之半導體裝置1的電晶體10B進行說明，前述電晶體10B是從實施形態1之半導體裝置1中的電晶體10變更一部分而構成。

【0147】 電晶體10是將低濃度雜質層33以1層來構成之例。相對於此，實施形態3之電晶體10B是成為以下的構成之例：在實施形態3之電晶體10B中具有2層構成的低濃度雜質層33B。

【0148】 在此，關於實施形態3之電晶體10B，針對和電晶體10同樣的構成要素是當作已經說明完畢而分派相同符號並省略其詳細說明，且以和電晶體10之相異點為中心作說明。

【0149】 在圖14顯示本實施形態3的電晶體10B的形狀的示意圖。圖14是將電晶體10B的一部分在XZ平面上剖面觀看時的示意圖，關於第1源極電極11等比層間絕緣層34更上部的構成物、與包含半導體基板32之下部的構成物則省略了圖示。

【0150】 如圖14所示，電晶體10B的低濃度雜質層33B為2層構成。低濃度雜質層33B是在未圖示的半導體基板32上先積層第2低濃度雜質層332，再於其上部積層第1低濃度雜質層331而成。

【0151】 第1低濃度雜質層331是顯示電阻率比第2低濃度雜質層332更低的層，第2低濃度雜質層332是顯示電阻率比第1低濃度雜質層331更高的層。例如在低濃度雜質層33B內部比較雜質濃度時，第1低濃度雜質層331中的第1導電型的雜質的濃度比第2低濃度雜質層332中的第1導電型的雜質的濃度高。

【0152】 又，在本實施形態3中，第3閘極溝槽171的前端是形成為到達第1低濃度雜質層331的內部。並且，第3閘極溝槽171的前端並未形成為貫通第1低濃度雜質層331而到達第2低濃度雜質層332。又，第4閘極溝槽172的前端是形成為到達第2低濃度雜質層332的內部。並且，第4閘極溝槽172的前端並未形成為貫通第2低濃度雜質層332而到達半導體基板32。

【0153】當如上述地將第3閘極溝槽171的前端設置成落在第1低濃度雜質層331的內部時，經由藉由第3閘極溝槽171所形成之導通通道的主電流會為了到達半導體基板32，而經由位於第3閘極溝槽171的正下方之第1低濃度雜質層331與第2低濃度雜質層332。由於第1低濃度雜質層331具相對較低的電阻率，因此可以讓在低濃度雜質層33中流動之主電流的電阻減低。

【0154】另一方面，第1低濃度雜質層331若具相對較低的電阻率，則於第3閘極溝槽171的前端附近產生之電場強度會增大。但是，依據本揭示的構造，藉由具備第4閘極溝槽172，第3閘極溝槽171的前端附近的電場強度原本就已被減低。因此，可以讓電場強度的增大可以一定程度。可以將對第3閘極溝槽171的前端附近的電場強度的增減之影響、與對在第1低濃度雜質層331中流動之電流的電阻的影響一起納入，來適當地選擇第1低濃度雜質層331的電阻率或厚度。

【0155】當將第4閘極溝槽172的前端設置成落在第2低濃度雜質層332的內部時，由於第2低濃度雜質層332具相對較高的電阻率，因此可以讓在第4閘極溝槽172的前端附近產生的電場強度減低。相對於本揭示之構造會減低第3閘極溝槽171的前端附近的電場強度，此效果可適合於減輕第4閘極溝槽172的前端附近的電場強度原本便會增大之副作用。

【0156】另一方面，經由藉由第4閘極溝槽172所形成之導通通道之主電流會為了到達半導體基板32，而經由位於第4閘極溝槽172的正下方之第2低濃度雜質層332。由於第2低濃度雜質層332具相對較高的電阻率，因此雖然在低濃度雜質層33流動之主電流的電阻會增大，但在本揭示的構造中，由於第4閘極溝槽172是形成得相對較深，因此主電流在第2低濃度雜質層332流動之距離便不會過度地變大。

【0157】如上述，在本實施形態3中，可以藉由適當地將低濃度雜質層

33B形成為2段構成，而減輕關於在本揭示中所產生之第3閘極溝槽171與第4閘極溝槽172之各自的副作用。

(補充說明)

【0158】 以上，針對本揭示之一態樣的半導體裝置，依據實施形態進行了說明，但本揭示並非限定於該等實施形態。只要不脫離本揭示的主旨，本揭示的1個或複數個態樣的範圍內亦可包含將本發明所屬技術領域中具有通常知識者可思及的各種變形施行於該等實施形態、或組合不同的變形例中的構成要素來建構的形態。

【0159】 又，在本揭示中，針對縱型場效電晶體的構造，首先是以雙重構成為例來說明，將第1電晶體的閘極溝槽設為第1閘極溝槽，且將第2電晶體的閘極溝槽設為第2閘極溝槽。為了避免混淆，在本揭示中是始終將相對較淺的閘極溝槽設為第3閘極溝槽，且將相對地較深的閘極溝槽設為第4閘極溝槽來說明，但可獲得本揭示之效果的縱型場效電晶體的構造並不受限於雙重構成。因此，並非得區別第1電晶體與第2電晶體，將第3閘極溝槽改稱為第1閘極溝槽、且將第4閘極溝槽改稱為第2閘極溝槽亦無妨。

【0160】 產業上之可利用性

具備本案發明之縱型場效電晶體的半導體裝置可以作為控制電流路徑的導通狀態之裝置來廣泛地利用。

【符號說明】

【0161】

1:半導體裝置

10,10A,10B:電晶體(第1縱型場效電晶體)

11:第1源極電極

12,13,22,23:部分

- 14:第1源極區域
- 15:第1閘極導體
- 16:第1閘極絕緣膜
- 17:第1閘極溝槽
- 18:第1本體區域
- 18A:第1連接部
- 19:第1閘極電極
- 20:電晶體(第2縱型場效電晶體)
- 21:第2源極電極
- 24:第2源極區域
- 25:第2閘極導體
- 26:第2閘極絕緣膜
- 27:第2閘極溝槽
- 28:第2本體區域
- 28A:第2連接部
- 29:第2閘極電極
- 30:金屬層
- 32:半導體基板
- 33,33B:低濃度雜質層(漂移層)
- 34:層間絕緣層
- 35:鈍化層
- 36:遮罩層
- 40:半導體層
- 90:交界線

112:第1活性區域

116:第1源極電極墊

119:第1閘極電極墊

122:第2活性區域

126:第2源極電極墊

129:第2閘極電極墊

151,151A:第3閘極導體

152,152A:第4閘極導體

161,161A:第3閘極絕緣膜

162,162A:第4閘極絕緣膜

171:第3閘極溝槽

172:第4閘極溝槽

331:第1低濃度雜質層

332:第2低濃度雜質層

A1:第1區域

A2:第2區域

Da,Db:深度

I-I:線

X:第1方向

Y:第2方向

Z:第3方向

【發明申請專利範圍】

【請求項1】 一種半導體裝置，是可以進行倒裝組裝之晶片尺寸封裝型的半導體裝置，其為縱型場效電晶體，並具有：

半導體基板，為第1導電型的半導體基板，包含前述第1導電型的雜質；

低濃度雜質層，為前述第1導電型的低濃度雜質層，相接於前述半導體基板上而形成，且包含濃度比前述半導體基板的前述第1導電型的雜質的濃度更低之前述第1導電型的雜質；

本體區域，為和前述第1導電型不同之第2導電型的本體區域，且形成在前述低濃度雜質層；

源極區域，為前述第1導電型的源極區域，且形成在前述本體區域；

源極電極，與前述本體區域及前述源極區域電連接；

第1閘極溝槽，從前述低濃度雜質層上表面貫通前述本體區域並形成至前述低濃度雜質層的一部分為止之深度，且具有與前述源極區域接觸之部分，並在和前述低濃度雜質層的上表面平行的第1方向上延伸；

第2閘極溝槽，從前述低濃度雜質層上表面貫通前述本體區域並形成得比前述第1閘極溝槽更深，且具有與前述源極區域接觸之部分，並在前述第1方向上延伸；

第1閘極絕緣膜，形成在前述第1閘極溝槽的內部；

第1閘極導體，形成在前述第1閘極絕緣膜上；

第2閘極絕緣膜，形成在前述第2閘極溝槽的內部；及

第2閘極導體，形成在前述第2閘極絕緣膜上，

前述第1閘極導體與前述第2閘極導體為相同電位，

若將前述第1閘極溝槽之條數設為 n (n 為1以上的整數)時，前述第2閘極溝槽之條數為2以上且 $n+1$ 以下，

在和前述低濃度雜質層的上表面平行且和前述第1方向正交的第2方向上，供前述第1閘極溝槽與前述第2閘極溝槽設置之區域的最末端是設置前述第2閘極溝槽，

在前述第2方向上，供前述第1閘極溝槽與前述第2閘極溝槽設置之區域為：以最相鄰而構成一對之前述第2閘極溝槽於其間夾著1個以上的前述第1閘極溝槽之構造為單位構造，且前述單位構造週期性地設置而成，

設置於前述單位構造的最末端的前述第2閘極溝槽是相鄰之前述單位構造彼此所共有，

前述第1閘極溝槽與前述第2閘極溝槽是在前述第2方向上各自一條一條交互地設置，

且前述第1閘極溝槽與前述第2閘極溝槽在前述第2方向上的間隔固定，
前述第1閘極溝槽的深度與前述第2閘極溝槽的深度之差為160nm以上。

【請求項2】 一種半導體裝置，是可以進行倒裝組裝之晶片尺寸封裝型的半導體裝置，其為縱型場效電晶體，並具有：

半導體基板，為第1導電型的半導體基板，包含前述第1導電型的雜質；

低濃度雜質層，為前述第1導電型的低濃度雜質層，相接於前述半導體基板上而形成，且包含濃度比前述半導體基板的前述第1導電型的雜質的濃度更低之前述第1導電型的雜質；

本體區域，為和前述第1導電型不同之第2導電型的本體區域，且形成在前述低濃度雜質層；

源極區域，為前述第1導電型的源極區域，且形成在前述本體區域；

源極電極，與前述本體區域及前述源極區域電連接；

第1閘極溝槽，從前述低濃度雜質層上表面貫通前述本體區域並形成至前述低濃度雜質層的一部分為止之深度，且具有與前述源極區域接觸之部分，並

在和前述低濃度雜質層的上表面平行的第1方向上延伸；

第2閘極溝槽，從前述低濃度雜質層上表面貫通前述本體區域並形成得比前述第1閘極溝槽更深，且具有與前述源極區域接觸之部分，並在前述第1方向上延伸；

第1閘極絕緣膜，形成在前述第1閘極溝槽的內部；

第1閘極導體，形成在前述第1閘極絕緣膜上；

第2閘極絕緣膜，形成在前述第2閘極溝槽的內部；及

第2閘極導體，形成在前述第2閘極絕緣膜上，

前述第1閘極導體與前述第2閘極導體為相同電位，

若將前述第1閘極溝槽之條數設為 n (n 為1以上的整數)時，前述第2閘極溝槽之條數為2以上且 $n+1$ 以下，

在和前述低濃度雜質層的上表面平行且和前述第1方向正交的第2方向上，供前述第1閘極溝槽與前述第2閘極溝槽設置之區域的最末端是設置前述第2閘極溝槽，

在前述第2方向上，供前述第1閘極溝槽與前述第2閘極溝槽設置之區域為：以最相鄰而構成一對之前述第2閘極溝槽於其間夾著1個以上的前述第1閘極溝槽之構造為單位構造，且前述單位構造週期性地設置而成，

設置於前述單位構造的最末端的前述第2閘極溝槽是相鄰之前述單位構造彼此所共有，

前述第2閘極絕緣膜具有比前述第1閘極絕緣膜更厚之部分。

【請求項3】 如請求項2之半導體裝置，其中前述第2閘極絕緣膜在前述第2閘極溝槽的下部中的厚度，具有比前述第2閘極絕緣膜在該第2閘極溝槽的上部中的厚度更厚之部分。

【請求項4】 一種半導體裝置，是可以進行倒裝組裝之晶片尺寸封裝型的

半導體裝置，其為縱型場效電晶體，並具有：

半導體基板，為第1導電型的半導體基板，包含前述第1導電型的雜質；

低濃度雜質層，為前述第1導電型的低濃度雜質層，相接於前述半導體基板上而形成，且包含濃度比前述半導體基板的前述第1導電型的雜質的濃度更低之前述第1導電型的雜質；

本體區域，為和前述第1導電型不同之第2導電型的本體區域，且形成在前述低濃度雜質層；

源極區域，為前述第1導電型的源極區域，且形成在前述本體區域；

源極電極，與前述本體區域及前述源極區域電連接；

第1閘極溝槽，從前述低濃度雜質層上表面貫通前述本體區域並形成至前述低濃度雜質層的一部分為止之深度，且具有與前述源極區域接觸之部分，並在和前述低濃度雜質層的上表面平行的第1方向上延伸；

第2閘極溝槽，從前述低濃度雜質層上表面貫通前述本體區域並形成得比前述第1閘極溝槽更深，且具有與前述源極區域接觸之部分，並在前述第1方向上延伸；

第1閘極絕緣膜，形成在前述第1閘極溝槽的內部；

第1閘極導體，形成在前述第1閘極絕緣膜上；

第2閘極絕緣膜，形成在前述第2閘極溝槽的內部；及

第2閘極導體，形成在前述第2閘極絕緣膜上，

前述第1閘極導體與前述第2閘極導體為相同電位，

若將前述第1閘極溝槽之條數設為 n (n 為1以上的整數)時，前述第2閘極溝槽之條數為2以上且 $n+1$ 以下，

在和前述低濃度雜質層的上表面平行且和前述第1方向正交的第2方向上，供前述第1閘極溝槽與前述第2閘極溝槽設置之區域的最末端是設置前述第2閘

極溝槽，

在前述第2方向上，供前述第1閘極溝槽與前述第2閘極溝槽設置之區域為：以最相鄰而構成一對之前述第2閘極溝槽於其間夾著1個以上的前述第1閘極溝槽之構造為單位構造，且前述單位構造週期性地設置而成，

設置於前述單位構造的最末端的前述第2閘極溝槽是相鄰之前述單位構造彼此所共有，

其中前述低濃度雜質層是從上表面側起積層前述第1導電型的雜質濃度相對較低之第1低濃度雜質層、與前述第1導電型的雜質濃度相對較高之第2低濃度雜質層而成，

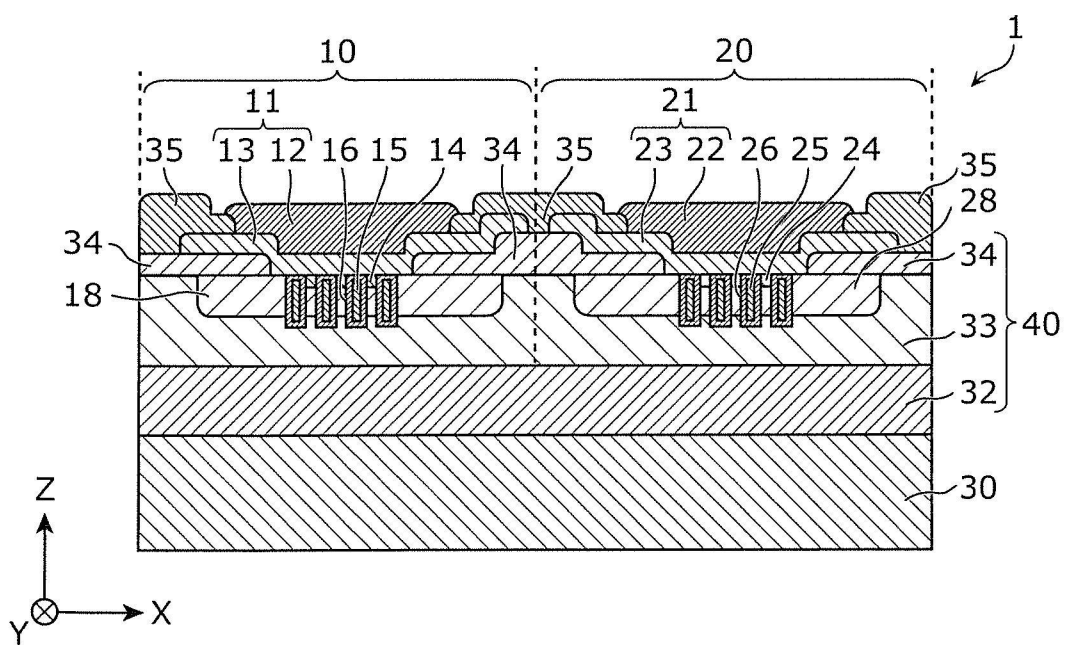
前述第1閘極溝槽的前端位於前述第1低濃度雜質層的內部，

且前述第2閘極溝槽的前端位於前述第2低濃度雜質層的內部。

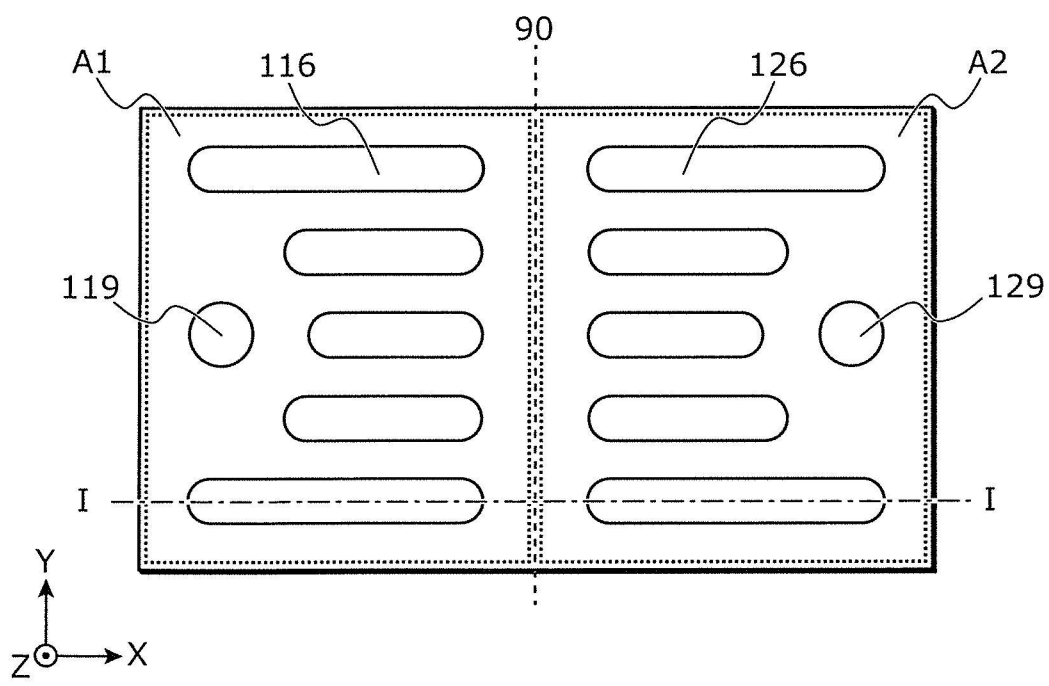
【請求項5】 如請求項2至4中任一項之半導體裝置，其中前述第1閘極溝槽與前述第2閘極溝槽是在前述第2方向上各自一條一條交互地設置，

且前述第1閘極溝槽與前述第2閘極溝槽在前述第2方向上的間隔固定。

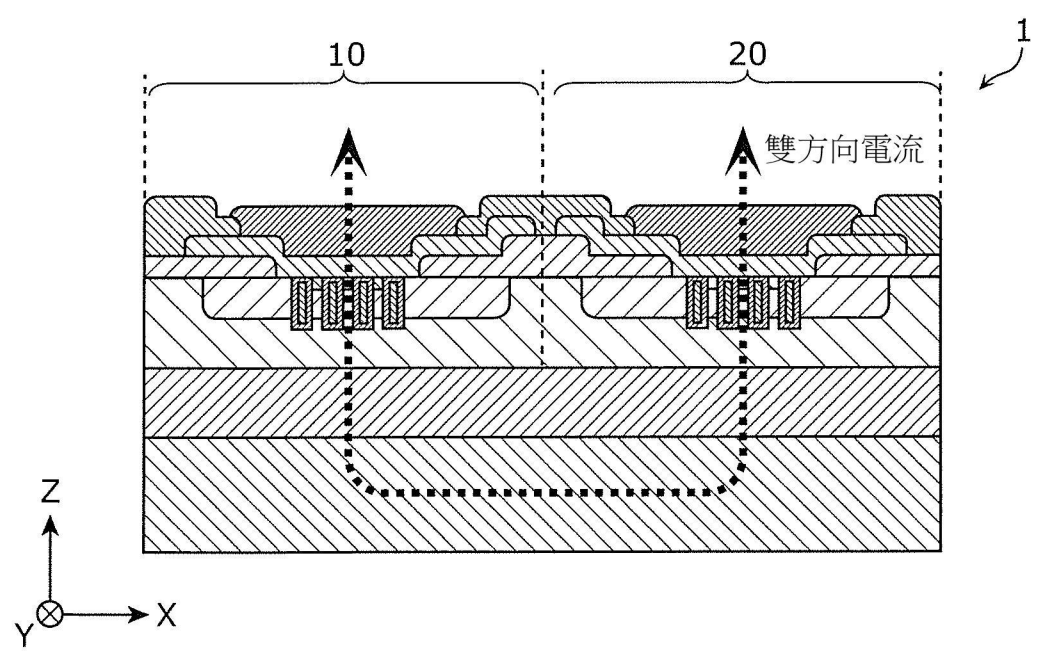
【發明圖式】



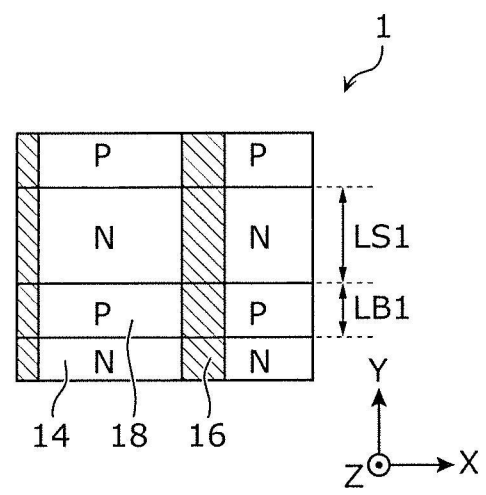
【圖1】



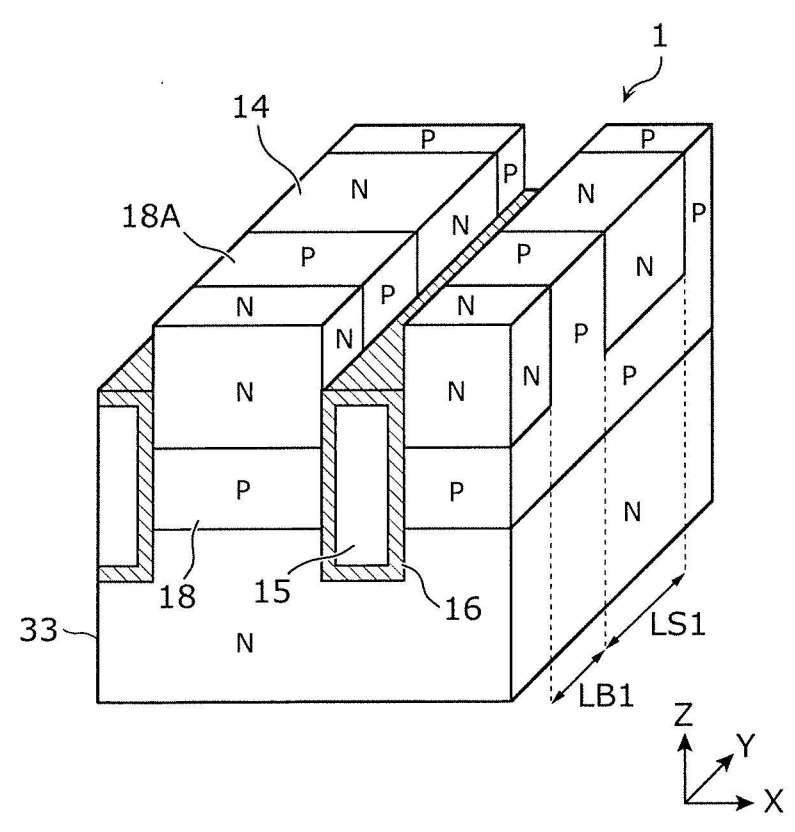
【圖2A】



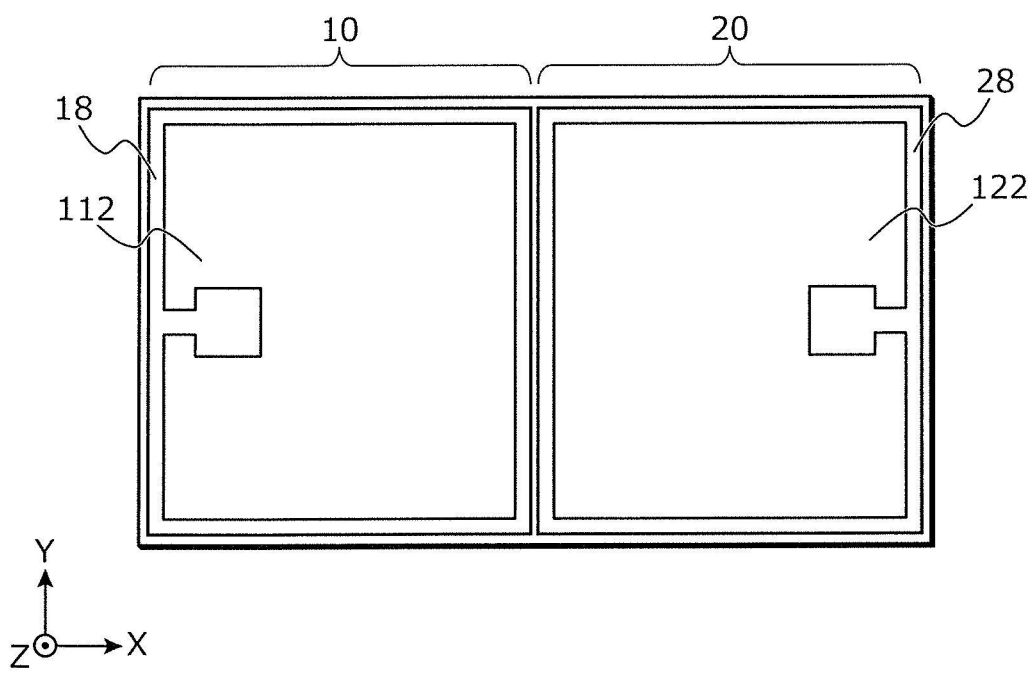
【圖2B】



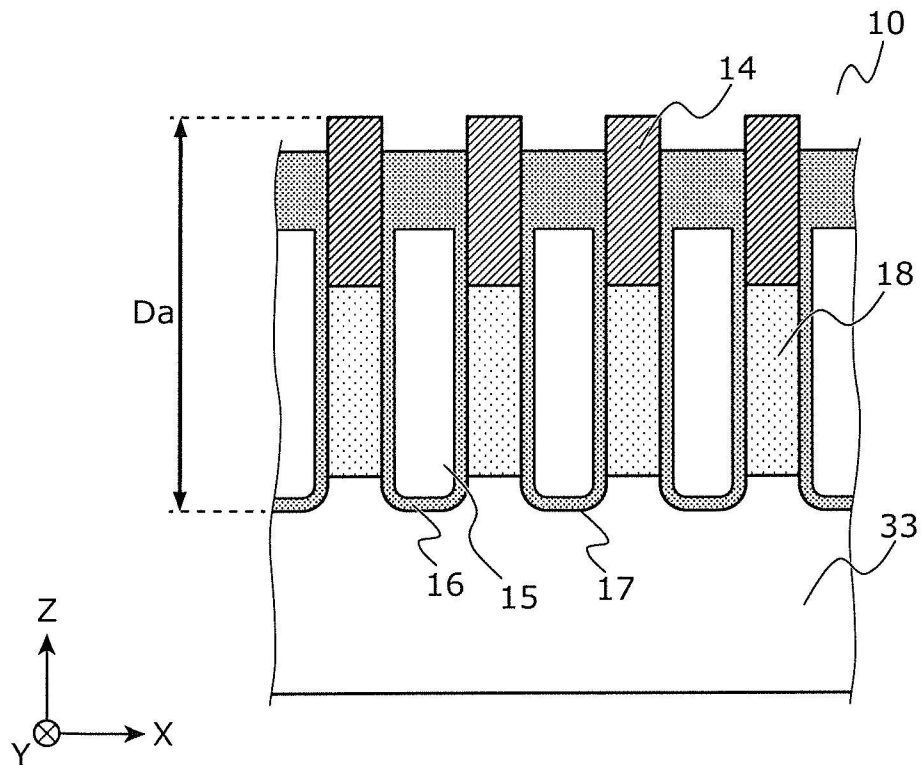
【圖3A】



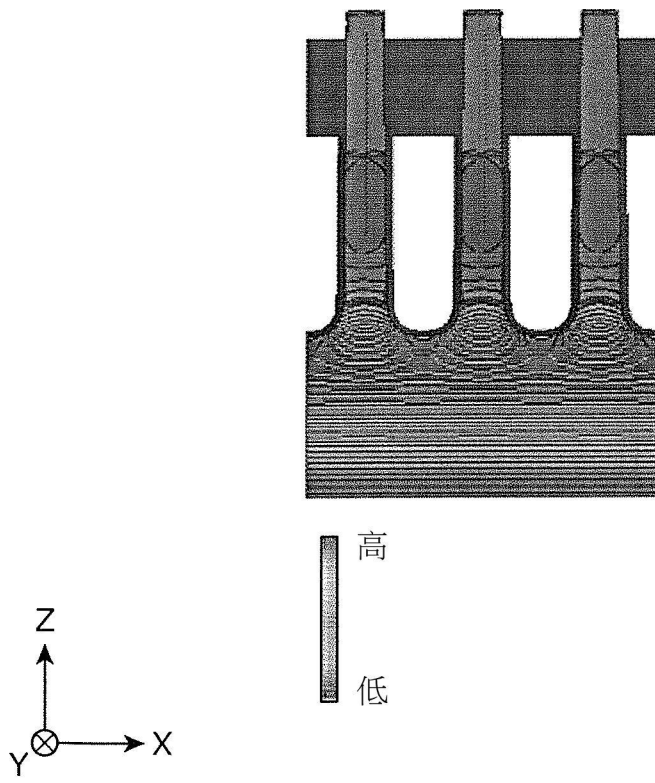
【圖3B】



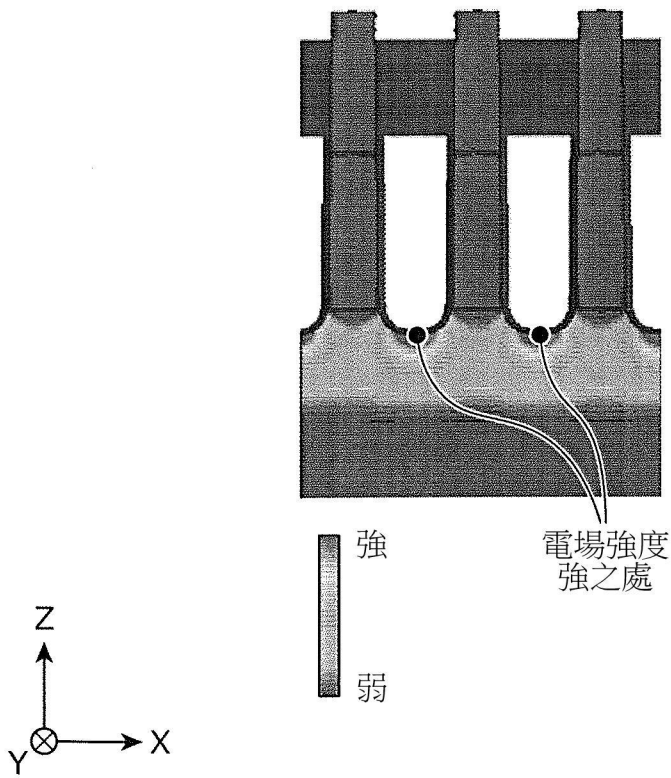
【圖4】



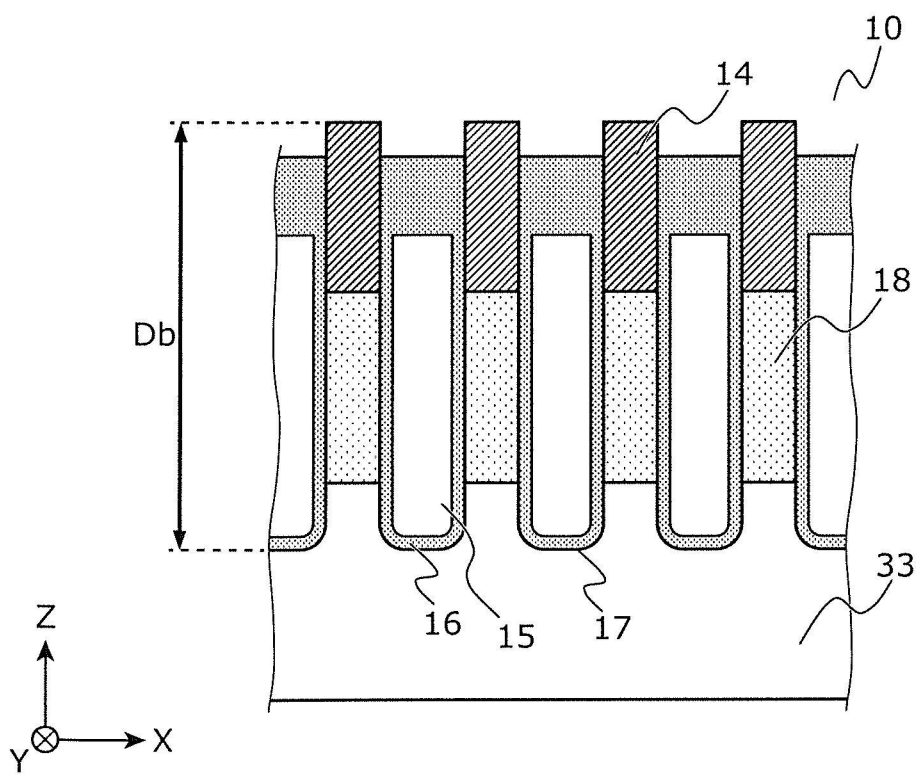
【圖5A】



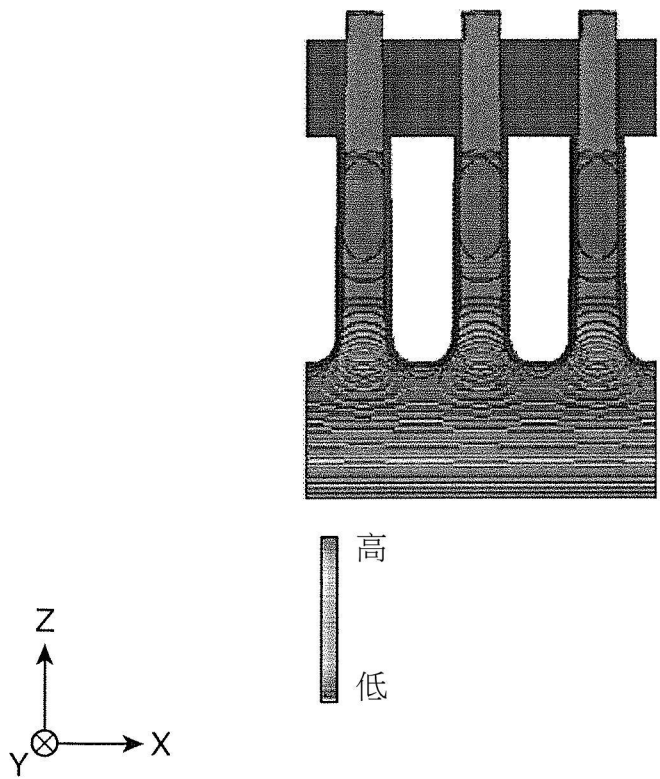
【圖5B】



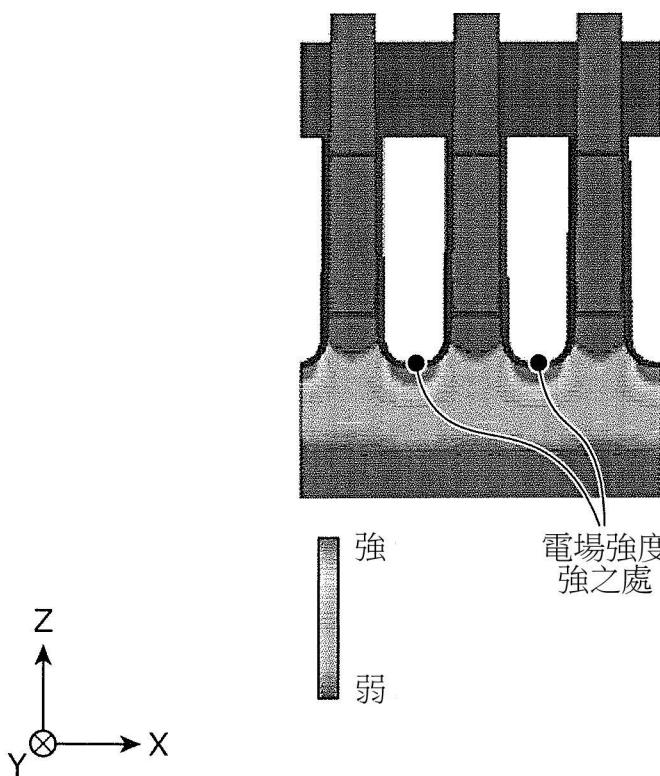
【圖5C】



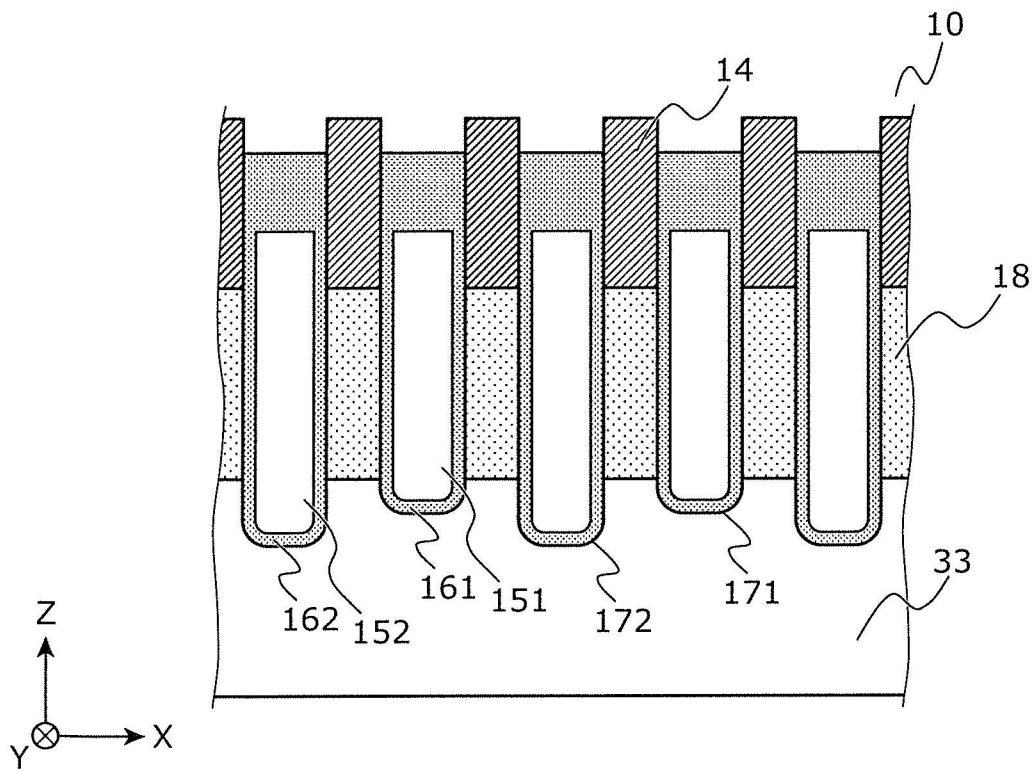
【圖6A】



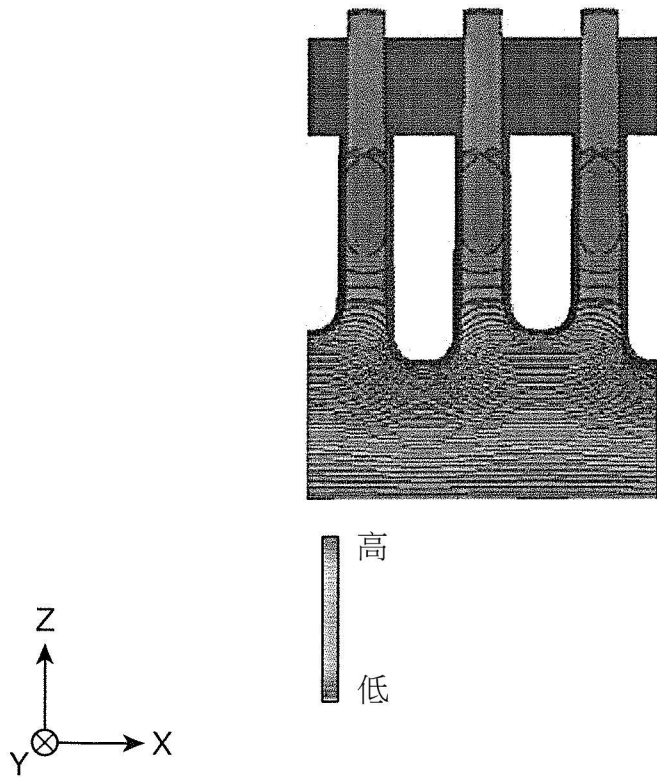
【圖6B】



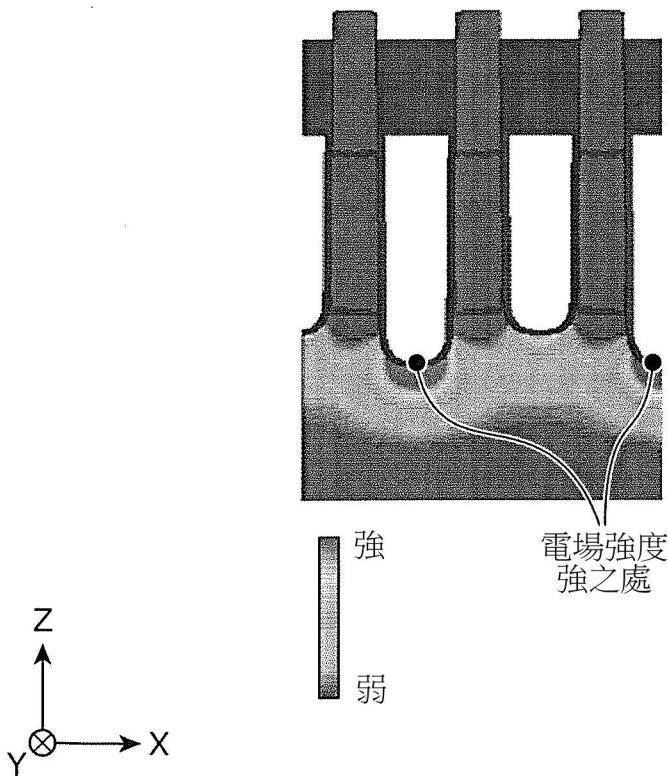
【圖6C】



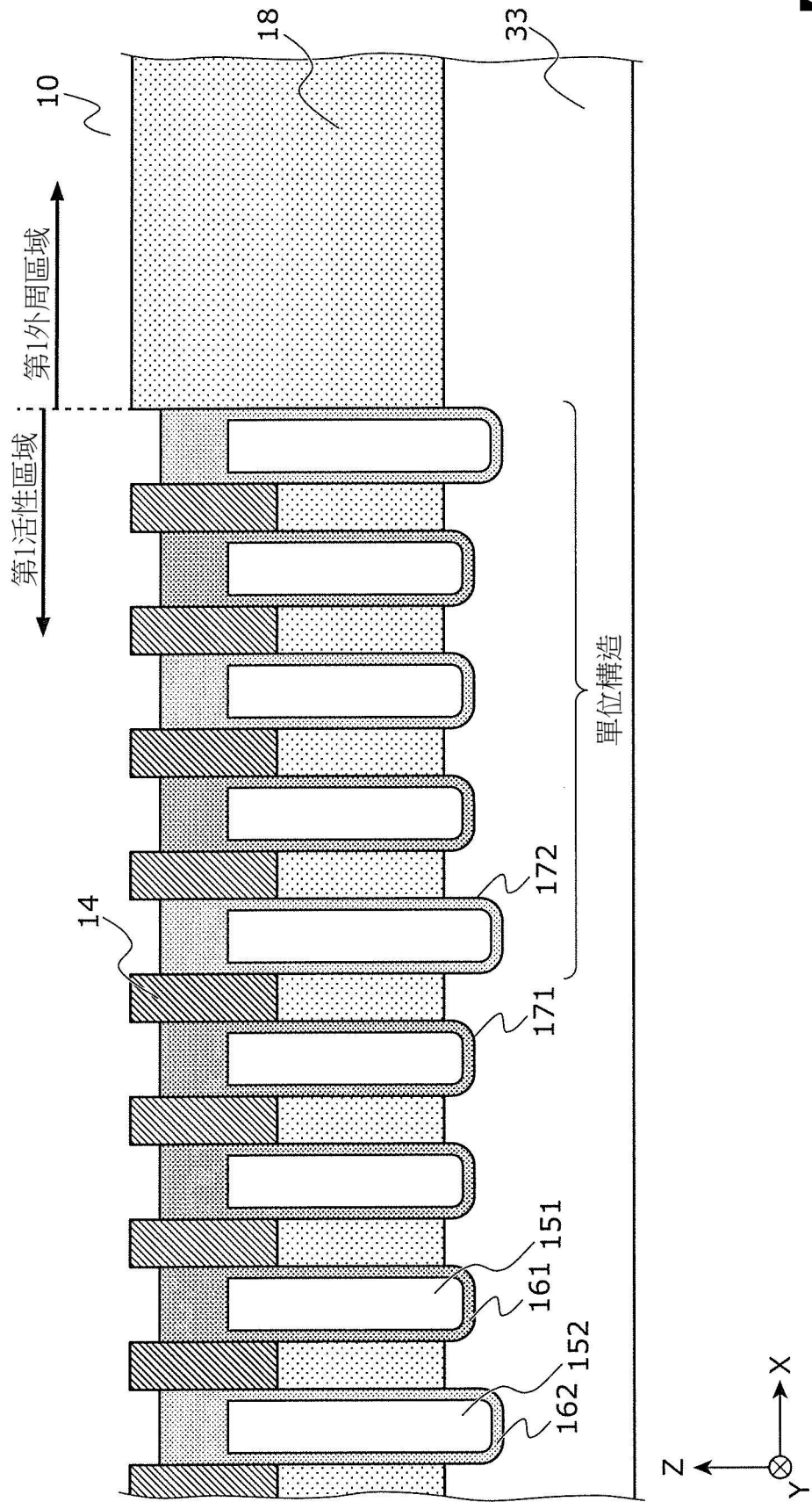
【圖7A】



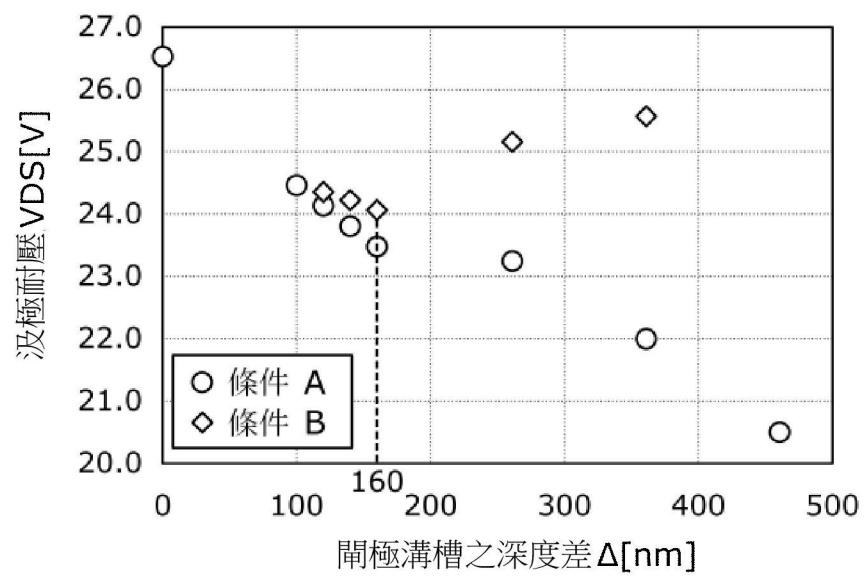
【圖7B】



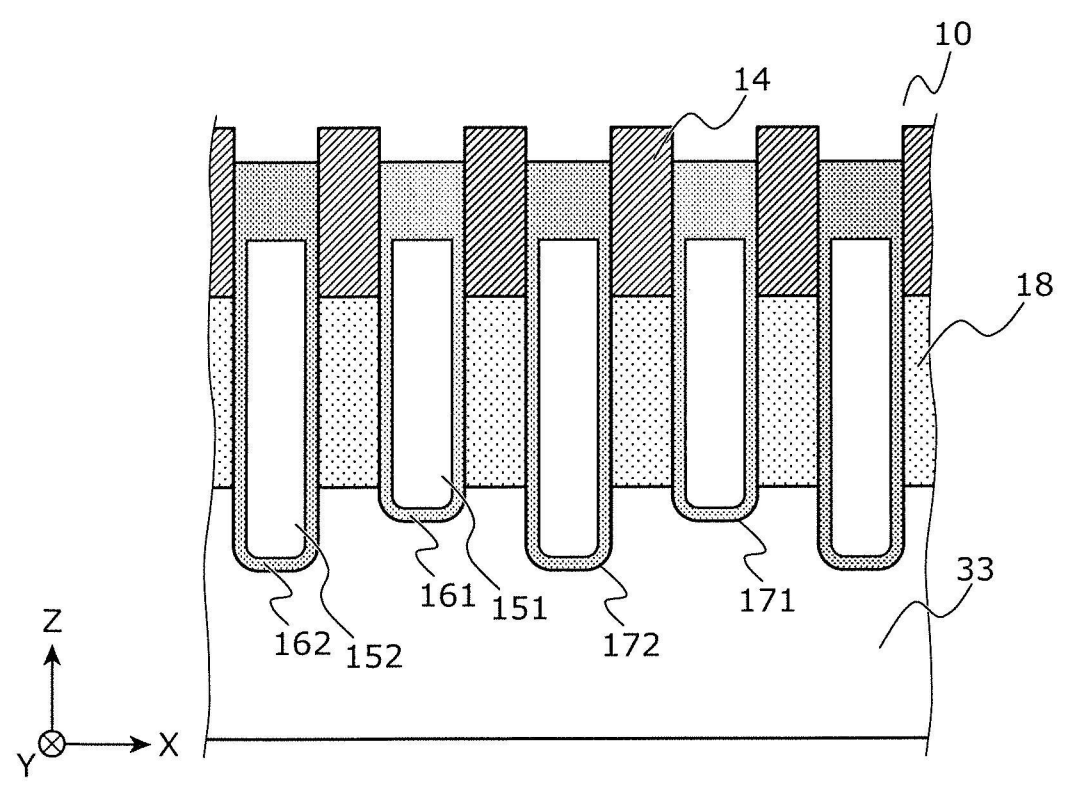
【圖7C】



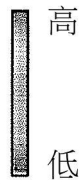
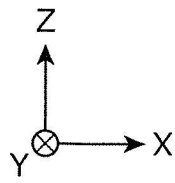
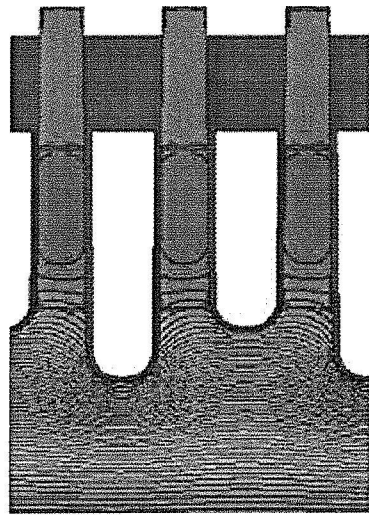
【圖8】



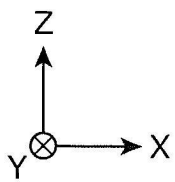
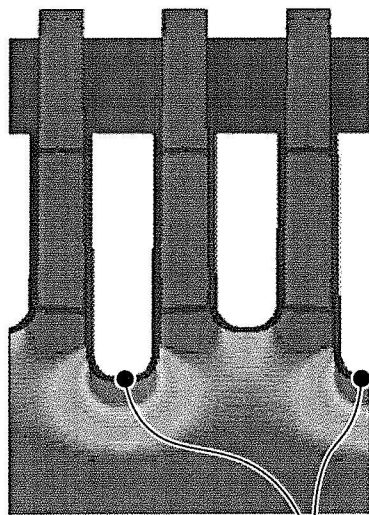
【圖9】



【圖10A】

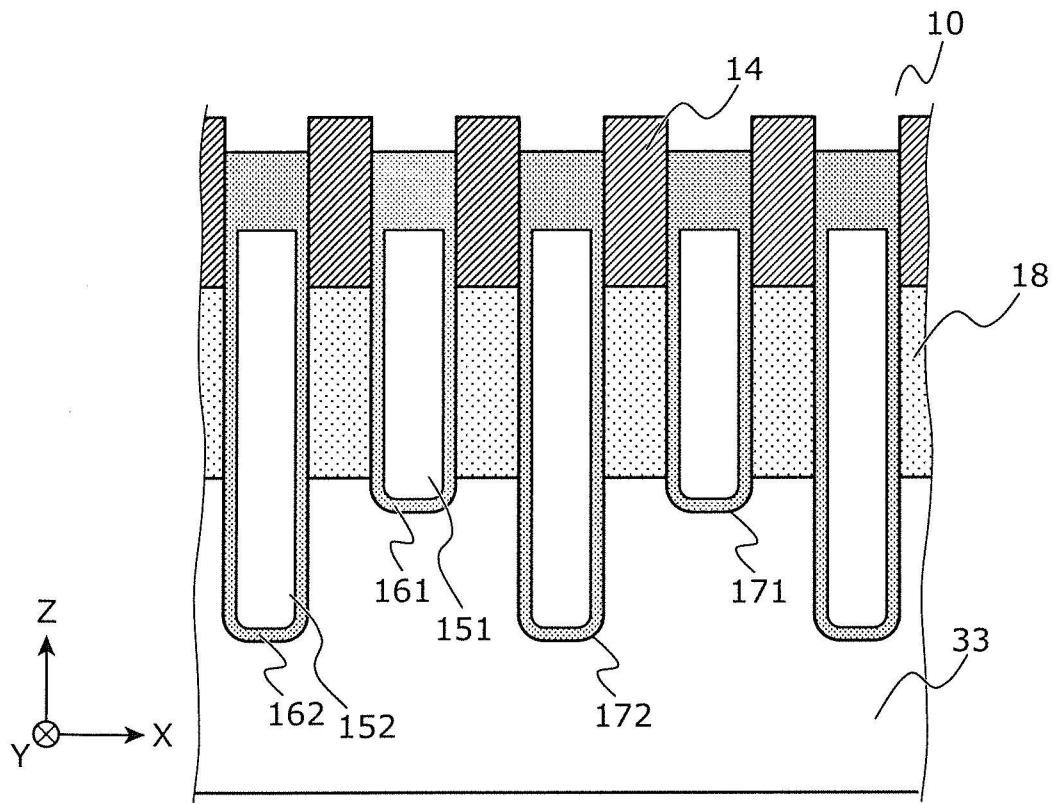


【圖10B】

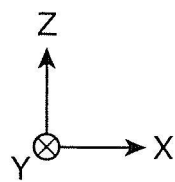
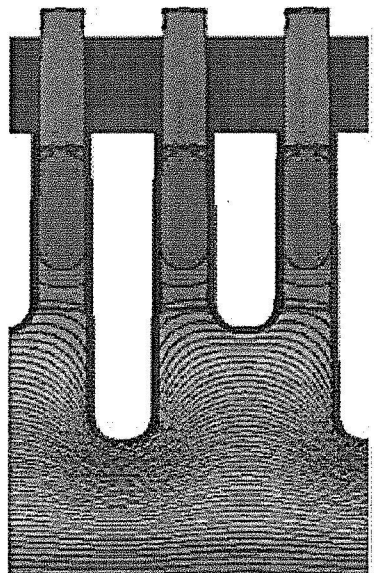


電場強度強之處

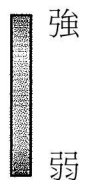
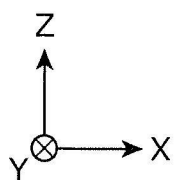
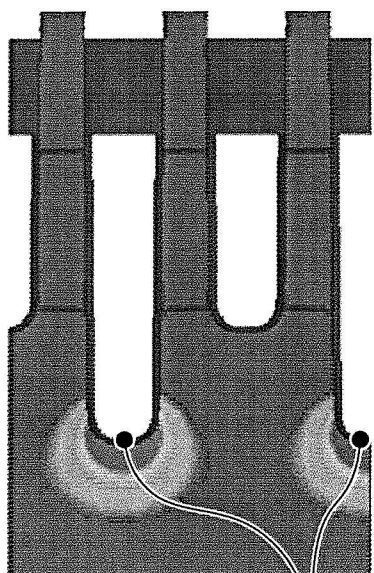
【圖10C】



【圖11A】

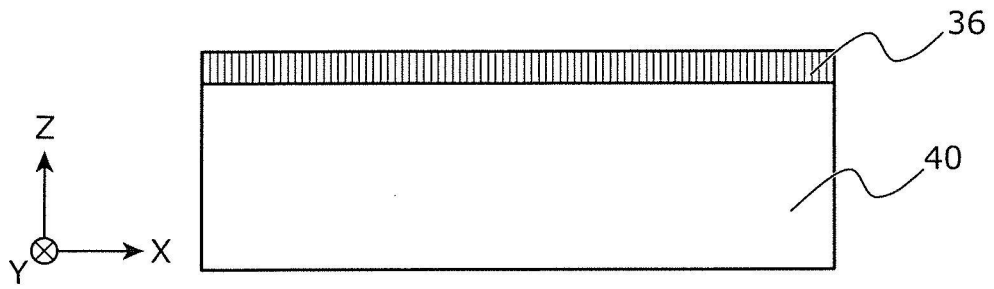


【圖11B】

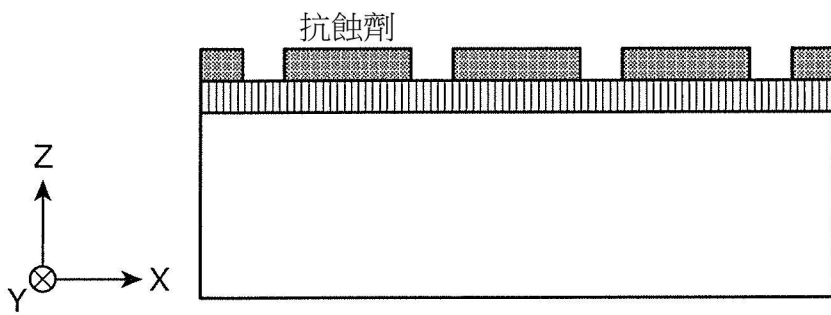


電場強度強之處

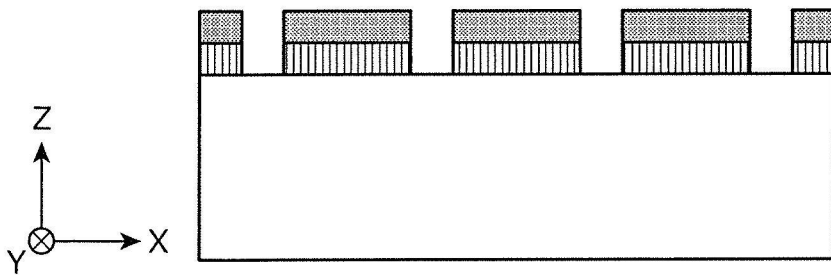
【圖11C】



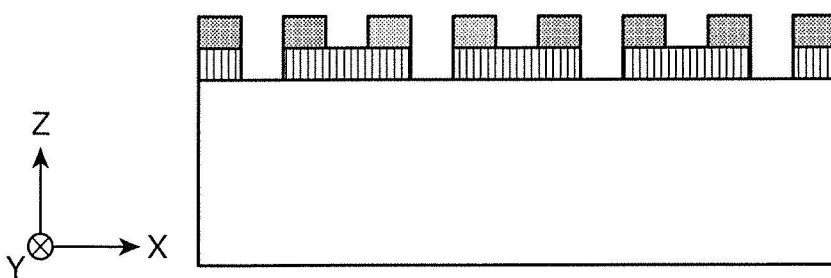
【圖12A】



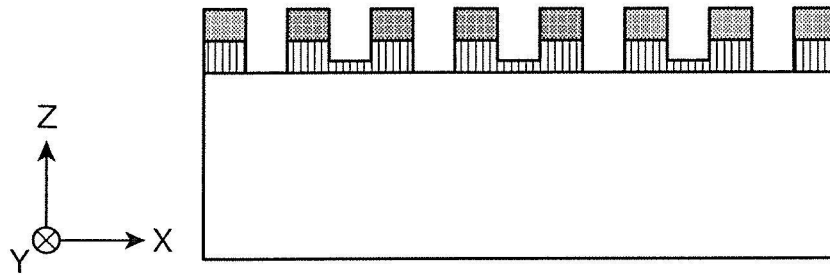
【圖12B】



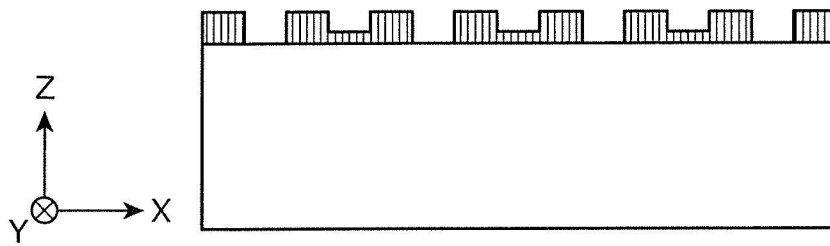
【圖12C】



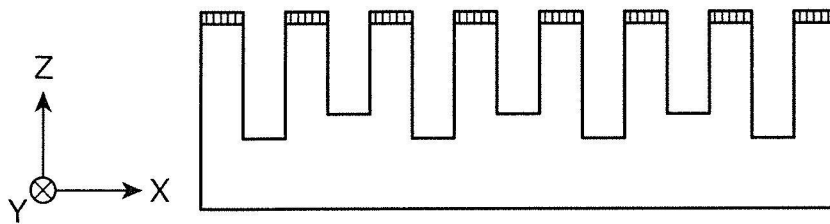
【圖12D】



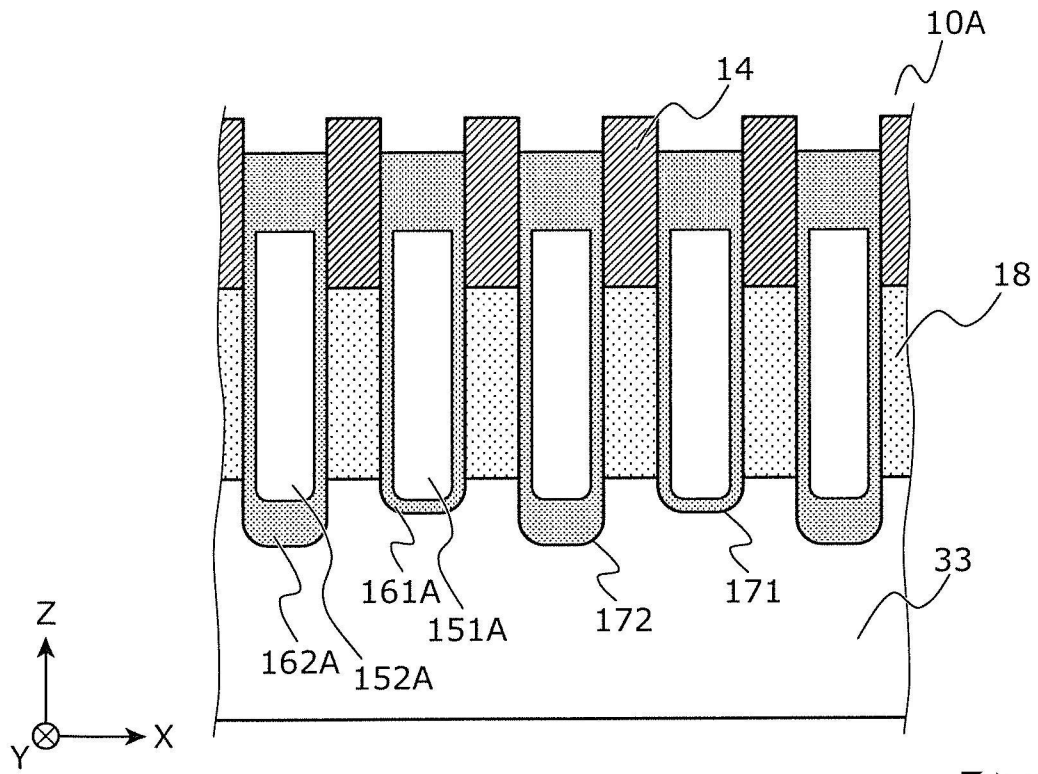
【圖12E】



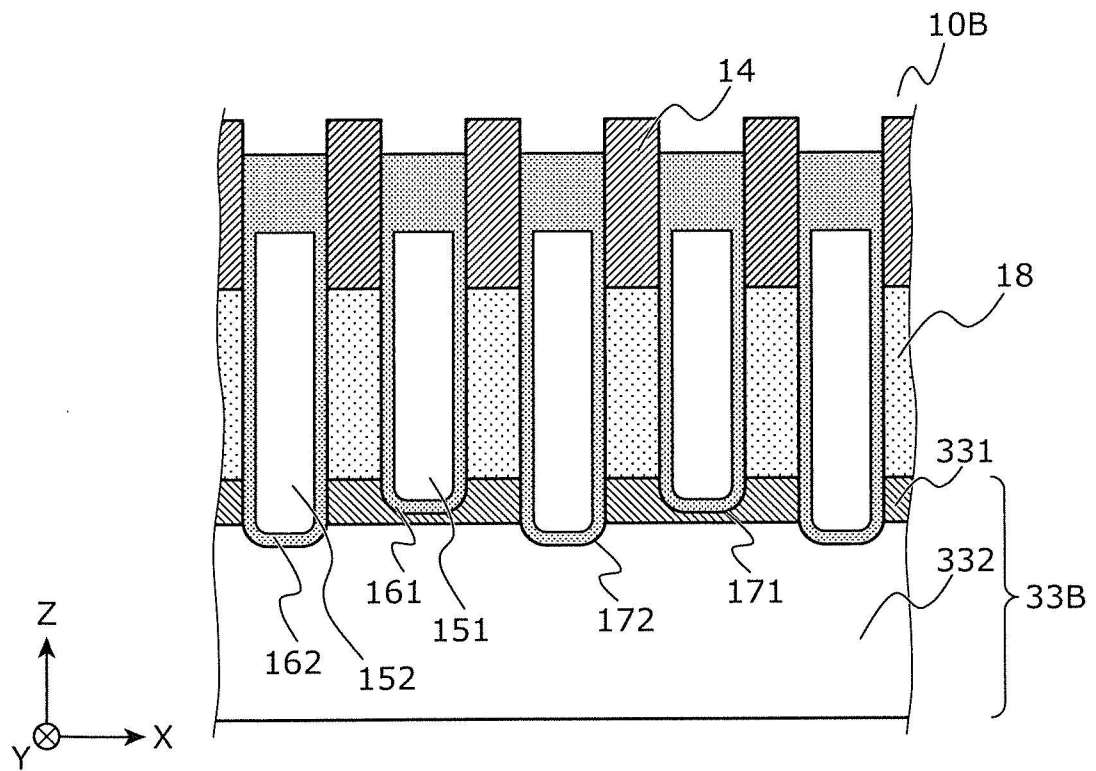
【圖12F】



【圖12G】



【圖13】



【圖14】