

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑫ Date de dépôt : 30.09.91.

③ Priorité :

④ Date de la mise à disposition du public de la
demande : 02.04.93 Bulletin 93/13.

⑥ Liste des documents cités dans le rapport de
recherche : *Se reporter à la fin du présent fascicule.*

⑥ Références à d'autres documents nationaux
apparentés :

⑦ Demandeur(s) : BULL (S.A.) — FR.

⑦ Inventeur(s) : Bergher Laurent et Boudry Jean-Mary.

⑦ Titulaire(s) :

⑦ Mandataire : Fournier Michel Bull S.A.

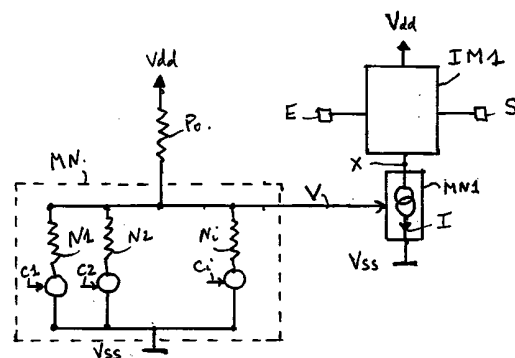
⑤ Circuit à retard à commande numérique.

⑤ Le circuit à retard comporte une borne d'entrée (E) pour recevoir un signal d'entrée à retarder et une borne de sortie (S) alimentée par un circuit de charge à un premier potentiel (Vdd) et un circuit de décharge (IM1) à un second potentiel (Vss) inférieur au premier.

Les circuits de décharge ou de charge sont commandés par le signal d'entrée.

Un pont diviseur de tension (MN) formé d'une première impédance (P0) en série avec une pluralité d'impédances sélectivement connectables en parallèle fournit une tension de commande (V) d'un circuit de réglage de courant (MN1) disposé entre le circuit de charge ou de décharge et le potentiel d'alimentation associé.

Application notamment aux circuits verrouillés en phase.



Circuit à retard à commande numérique.

L'invention concerne les circuits à retard réglables en fonction d'une commande de type numérique.

5

Les circuits à retard réglables ont de nombreuses applications et sont notamment utilisés lorsqu'on veut ajuster la phase entre deux signaux impulsionnels. Dans ce cas, l'un des signaux est appliqué à l'entrée d'un circuit à retard et la mesure du déphasage fournit le signal de réglage du circuit à retard.

L'asservissement de phase peut être réalisé au moyen d'un signal de réglage analogique ou numérique, la solution numérique étant souvent préférée car elle est moins sensible aux perturbations et aux atténuations dues à la transmission des signaux. De plus, dans le cas d'une réalisation sous forme de circuit intégré, elle est moins sensible aux dispersions de fabrication.

20

Une première solution connue pour réaliser un circuit à retard à commande numérique consiste à utiliser une pluralité de portes élémentaires, par exemple du type inverseur, associées à un système d'interconnexion commandé numériquement et permettant le branchement en cascade d'un nombre variable de portes élémentaires. L'application de ce type de circuit est cependant limitée au cas où il n'est pas nécessaire d'obtenir une précision de réglage du retard inférieure au retard intrinsèque de la porte élémentaire.

30

Une autre solution connue consiste à utiliser un circuit du type résistance-capacité où la résistance est constituée d'une pluralité de résistances élémentaires branchées sélectivement en parallèle en fonction de la commande numérique. Dans ce cas, le retard est fixé par la constante de temps du circuit. Si toutes les résistances élémentaires ont la même valeur, le retard obtenu est alors inversement proportionnel au nombre de résistances sélectionnées. Or,

35

pour obtenir une précision de réglage constante sur une
plage étendue de retard, il est nécessaire que la fonction
liant le retard à la grandeur numérique de réglage
s'approche le plus possible d'une fonction linéaire. La
5 réponse obtenue par la solution précédente est donc très
éloignée de la relation linéaire. Pour s'en rapprocher, il
est alors nécessaire de dimensionner les résistances
élémentaires à des valeurs bien précises et toutes
différentes entre elles. Ce résultat est cependant très
10 difficile à obtenir dans le cas d'une réalisation intégrée.
D'autre part, il faudra prévoir un tel circuit pour chaque
signal que l'on veut ajuster en phase.

Si par exemple le circuit à retard est destiné à être
15 utilisé dans un circuit verrouillé en phase du type décrit
dans la demande de brevet européen publiée sous le numéro
441 684, déposée le 30 janvier 1991, et intitulée "Circuit
verrouillé en phase et multiplieur de fréquence en
résultant", la solution précédente n'est pas satisfaisante à
20 cause de son encombrement et de sa sensibilité aux
dispersions de fabrication.

L'invention a pour but de proposer un circuit à retard
permettant un réglage précis sur une large plage de
25 variation du retard et particulièrement bien adapté pour
réaliser le circuit verrouillé en phase dans la demande de
brevet européen précitée.

Dans ce but, l'invention a pour objet un circuit à retard à
30 commande numérique comportant une borne d'entrée pour
recevoir un signal d'entrée à retarder et une borne de
sortie alimentée par un circuit de charge à un premier
potentiel et un circuit de décharge à un second potentiel
inférieur au premier, ledit circuit de décharge ou de charge
35 étant respectivement activé lorsque la tension du signal
d'entrée prend respectivement une première ou une seconde
valeur, ledit circuit à retard étant caractérisé en ce qu'il
comporte un pont diviseur de tension dont les bornes

d'alimentation reçoivent respectivement lesdits premier et second potentiels, ledit pont diviseur comportant une première impédance et une impédance variable comprenant une pluralité d'impédances élémentaires sélectivement connectable en parallèle en fonction de ladite commande numérique et en ce que ledit circuit de décharge ou de charge est relié respectivement audit premier ou second potentiel par l'intermédiaire d'un circuit de réglage de courant commandé par la tension aux bornes de ladite impédance variable de façon à ce que le courant de décharge ou de charge soit en valeur absolue une fonction croissante de ladite tension.

L'invention peut être mise en oeuvre en utilisant diverses technologies par exemple à base de transistors bipolaires ou MOS ou arsénure de gallium. Cependant, la technologie MOS est actuellement préférée en raison de son prix de revient et des possibilités d'intégration. Par ailleurs, comme nous le verrons en détail ultérieurement, les propriétés des transistors MOS sont particulièrement bien adaptées pour réaliser l'invention très simplement et avec de bonnes performances.

Aussi, l'invention a également pour objet un circuit à retard du type précédent où le circuit de réglage est un simple transistor à effet de champ à grille isolée réalisé par exemple en technologie MOS.

De même, selon d'autres aspects de l'invention, les impédances élémentaires et la première impédance du pont diviseur sont réalisées au moyen de transistors MOS.

Selon encore un autre aspect de l'invention, le circuit utilise la technologie CMOS selon laquelle la première impédance et les impédances élémentaires de l'impédance variable sont formées de transistors MOS de types complémentaires.

Le circuit à retard qui vient d'être présenté est capable d'agir soit sur le front montant soit sur le front descendant des signaux appliqués en entrée. Ce circuit peut cependant être adapté pour réaliser très simplement un
5 circuit retardateur d'impulsion agissant à la fois sur les fronts montants et descendants en maintenant constante la durée des impulsions.

L'invention aura donc également pour objet un circuit
10 retardateur d'impulsions utilisant le circuit à retard de l'invention.

Selon une première possibilité, le circuit retardateur d'impulsions à retard variable comporte un premier et un
15 second circuit à retard associés respectivement aux circuits de charge et de décharge, lesdits circuits de décharge et de charge étant communs aux deux circuits à retard.

Selon une autre possibilité, le circuit retardateur
20 d'impulsions comporte deux circuits à retard identiques branchés en cascade et ayant un pont diviseur de tension commun.

D'autres aspects et avantages de l'invention apparaîtront
25 dans la suite de la description en référence aux figures.

- La figure 1 représente le schéma de principe du circuit à retard conforme à l'invention.
- 30 - La figure 2 représente une réalisation en technologie CMOS du circuit de la figure 1.
- La figure 3 représente des chronogrammes permettant d'expliquer le fonctionnement du circuit de la figure 2.
- 35 - La figure 4 représente la courbe de charge d'un transistor MOS utilisé dans le pont diviseur de la figure 2.

- Les figures 5 et 6 représentent deux variantes de réalisation du circuit retardateur d'impulsions selon l'invention.

5 Le circuit à retard représenté à la figure 1 comporte un circuit de charge et de décharge IM1 comprenant une borne d'entrée E et une borne de sortie S. Les signaux à retarder sont appliqués à l'entrée E qui, en fonction du niveau du signal reçu, commande la charge ou la décharge de la sortie
10 S. Les circuits de charge et de décharge IM1 peuvent être réalisés au moyen d'un amplificateur ou d'un inverseur de type quelconque. Selon la réalisation représentée, les circuits de charge et de décharge sont prévus pour mettre en communication la sortie S avec respectivement un premier
15 potentiel d'alimentation Vdd et le point X. La sortie S est supposée reliée à une impédance essentiellement capacitive, ce qui est en pratique toujours le cas.

Un circuit de réglage de courant MN1 commandé par la tension
20 V est relié entre le point X et un second potentiel d'alimentation Vss. Le circuit MN1 devra être conçu de façon à fixer le courant I de décharge selon une fonction croissante de la tension de commande V. Les différentes réalisations possibles du circuit MN1 sont à la portée de
25 l'homme du métier et ne nécessitent pas de développement supplémentaire. Un exemple de réalisation détaillée en technologie MOS sera exposé en référence à la figure 2.

La tension de réglage V est fournie par le point milieu d'un
30 pont diviseur de tension comprenant une première impédance P0 en série avec une impédance variable MN, l'ensemble étant alimenté par les potentiels d'alimentation Vdd et Vss. L'impédance variable MN est constituée d'un nombre i d'impédances élémentaires N1, N2, ..., Ni connectables
35 sélectivement en parallèle en réponse respectivement aux signaux de commande C1, C2, ..., Ci. Les signaux de commande C1-Ci sont représentatifs de la valeur numérique de commande de façon à ce que le nombre d'impédances connectées en

parallèle soit proportionnel à la valeur numérique. Dans le cas où la commande est disponible sous la forme d'un nombre binaire, il conviendrait de prévoir un décodeur pour fournir les signaux de commande C1-Ci en fonction de ce nombre. La

5 présence d'un tel décodeur n'est pas toujours indispensable car il existe des applications où les signaux de commande C1-Ci peuvent être obtenus plus directement. C'est le cas en particulier pour le circuit verrouillé en phase de la demande de brevet européen 441 684 précitée. Dans cette

10 application, on cherche à régler le retard pour annuler le déphasage entre deux fronts d'impulsions, le déphasage étant mesuré par un comparateur de phase fournissant un premier signal ou un second signal selon que le déphasage est positif ou négatif et supérieur en valeur absolue à une

15 valeur de seuil déterminée. Dans ce contexte, les signaux C1-Ci peuvent être fournis directement par un registre à décalage bidirectionnel dont les entrées de droite et de gauche sont forcées respectivement à 0 et à 1 et dont le sens de décalage est commandé par les signaux de sortie du

20 comparateur de phase.

Le circuit de la figure 1 fonctionne de la façon suivante. Pour simplifier l'explication, on supposera que le potentiel Vdd est positif et que Vss est la masse. On supposera

25 également que le circuit de décharge ou le circuit de charge est actif lorsque la tension du signal d'entrée vaut respectivement Vdd ou 0. Si la tension d'entrée est à 0, la borne de sortie S se charge au potentiel Vdd. Lorsque la tension d'entrée passe de 0 à Vdd, la borne de sortie S se

30 décharge par l'intermédiaire du circuit de décharge et du circuit de réglage du courant MN1. Le retard étant défini comme la durée nécessaire pour que la tension présente sur la borne de sortie S varie Vdd à Vdd/2 et comme le courant I imposé par le circuit MN1 est supposé fixé par la tension de

35 commande V, le retard sera inversement proportionnel au courant. D'autre part, la tension V est proportionnelle à la valeur de l'impédance réglable MN et cette impédance MN est une fonction décroissante du nombre d'impédances

sélectionnées. Si l'on suppose toutes les impédances $N1-Ni$ identiques, l'inverse de la tension V est donc une fonction linéaire du nombre d'impédances sélectionnées. Si d'autre part le courant I est proportionnel à la tension V , le
5 retard obtenu est alors une fonction linéaire du nombre d'impédances sélectionnées. Il en résulte que la précision de réglage du retard est constante sur toute la gamme de réglage.

10 On peut envisager aussi de choisir des valeurs différentes pour les impédances $N1-Ni$ si l'on veut par exemple corriger une certaine non linéarité du circuit de réglage de courant $MN1$ ou pour obtenir une précision de réglage variable en fonction du retard.

15

D'une façon générale, le nombre i définira la précision du réglage et les impédances $P0, N1-Ni$ devront être dimensionnées en fonction de la gamme de réglage désirée et des tensions minimales et maximales correspondantes à
20 appliquer à l'entrée du circuit $MN1$. En pratique, le retard sera cependant toujours supérieur à une valeur minimale correspondant au retard intrinsèque du circuit de décharge mais le pas de réglage (variation du retard lorsqu'on connecte ou déconnecte une seule impédance de MN) pourra
25 être choisi très petit et en tout cas très inférieur au retard minimum.

On peut d'autre part constater que la réalisation proposée peut être adaptée aisément pour commander le retard de
30 plusieurs signaux en prévoyant pour chaque signal un circuit de charge et de décharge $IM1$ et un circuit de réglage de courant $MN1$ commandé par un unique pont diviseur commun.

La figure 2 est une réalisation en technologie MOS du
35 circuit de la figure 1. Le potentiel d'alimentation V_{ss} est supposé être la masse et les circuits de charge et de décharge sont constitués par un inverseur CMOS dont le transistor P PI est alimenté par la tension V_{dd} et dont le

transistor N NI est relié à la masse par l'intermédiaire d'un autre transistor NMOS MN1 constituant le circuit de réglage de courant. L'impédance P0 est formée d'un transistor PMOS dont la grille est reliée à son drain, dont la source reçoit la tension Vdd et dont le drain est relié au drain de transistors NMOS N1-Ni constituant les impédances élémentaires de l'impédance variable MN. Les grilles des transistors N1-Ni reçoivent respectivement les signaux de commande C1-Ci et leurs sources sont reliées à la masse. Il est prévu un transistor PMOS supplémentaire WP branché en parallèle avec le transistor P0 servant à corriger le fonctionnement dans les cas où les caractéristiques de fabrication sont les plus mauvaises. De façon analogue, un second transistor NMOS de compensation BN est branché en parallèle avec les transistors N1-Ni de l'impédance variable et utilisé dans les cas où les caractéristiques de fabrication sont les meilleures.

Le circuit de la figure 2 a un fonctionnement assez voisin du circuit de la figure 1 mais présente a priori des différences liées aux propriétés des transistors MOS qui ne sont pas strictement assimilables à de vraies résistances, en particulier lorsqu'ils fonctionnent en mode saturé. En particulier, le transistor MN1 présente une caractéristique de courant I en fonction de sa tension de grille V qui n'est pas linéaire et qui présente une tension de seuil Vn en dessous duquel le transistor est bloqué.

Malgré ces différences, nous allons montrer que ce circuit permet d'obtenir une bonne linéarité grâce à un effet d'auto-compensation des transistors fonctionnant en mode saturé.

Le fonctionnement détaillé du circuit de la figure 2 va maintenant être expliqué à l'aide des chronogrammes de la figure 3 et de la courbe caractéristique de la figure 4.

Le chronogramme A de la figure 3 représente la variation du

signal d'entrée E en fonction du temps. Le chronogramme B représente la variation correspondante du courant I circulant dans le transistor MN1. Le chronogramme C représente les variations en fonction du temps de la tension
5 présente sur la bonne borne de sortie S.

On suppose qu'à l'instant t_0 , la tension d'entrée passe de 0 à V_{dd} . Le transistor NI de l'inverseur est alors rendu passant, ce qui entraîne une augmentation du courant I
10 jusqu'à une valeur maximale imposée par la tension de grille V du transistor MN1. Après cette très courte phase transitoire, le courant I reste pratiquement constant. Comme l'impédance de charge est essentiellement capacitive, la tension de sortie décroît à partir de V_{dd} selon une fonction
15 linéaire du temps avec une pente inversement proportionnelle au courant I. Le retard obtenu est alors égal à l'intervalle de temps T qui sépare l'instant t_0 de l'instant $t_0 + T$ où la tension S atteint la valeur $V_{dd}/2$. Le retard T est donc inversement proportionnel à une fonction linéaire de I.

20

Concernant les variations de la tension de la commande V en fonction de la commande numérique, il faut remarquer que les transistors N1-Ni fonctionnent en mode linéaire alors que le transistor P0 fonctionne en mode saturé.

25

Pour étudier le fonctionnement du diviseur de tension, il convient de se reporter à la figure 4 qui représente la caractéristique de charge du transistor P0 montrant les variations du courant I_p qui le traversent en fonction de la
30 tension V. Nous avons supposé pour simplifier que les transistors N1-Ni sont tous dimensionnés de la même façon et présentent donc la même résistance. Le point de fonctionnement M du transistor P0 est défini par l'intersection de la courbe caractéristique $I_p = f(V)$ et de
35 la droite issue de l'origine et ayant une pente proportionnelle au nombre n de transistors N1-Ni sélectionnés. La courbe représentée $I_p = f(V)$ correspond au fonctionnement du transistor P0 en mode saturé et en

première approximation, la fonction f peut être représentée par la relation :

$$I_p = k \cdot (V_{dd} - V - V_p)^a,$$

5

où V_p est la tension de seuil du transistor P0, k et a étant des paramètres fonction de la technologie utilisée. Le coefficient a est essentiellement fonction de la longueur du canal du transistor. Pour une longueur de l'ordre de $1\mu\text{m}$, a est voisin de 2 et pour une longueur de l'ordre de $0,8\mu\text{m}$, il est voisin de 1,2.

De façon analogue, la relation qui lie le courant I circulant dans le transistor NMOS MN1 en fonction de la tension drain-source V_{ds} est de la forme :

15

$$I = k' \cdot (V_{ds} - V_n)^b,$$

où V_n est la tension de seuil du transistor NMOS, k' et b dépendant de la technologie. Il est à noter que pour une même longueur de canal, les valeurs de k , V_n et b sont généralement différentes respectivement des valeurs k , V_p et a des transistors PMOS.

Pour plus de détails concernant ces modèles de transistors MOS, en particulier à faible longueur de canal, il convient de référer à l'article intitulé "Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas", Takayasu Sakurai, Member, IEEE, and A. Richard Newton, Fellow, IEEE, publié dans la revue "IEEE Journal of Solid-State Circuits", vol. 25, No. 2, April 1990, pages 584-593.

Les points de fonctionnement extrêmes M1 et M2 du transistor P0 correspondent respectivement aux cas où un seul et la totalité des transistors N1-Ni sont sélectionnés. Les tensions correspondantes V_1 et V_2 vont définir la plage de variation de la tension V tandis que le nombre total i de

35

transistors définit la précision du réglage.

Le fonctionnement du circuit de la figure 2 est analogue à celui de la figure 1 mais le comportement non linéaire du transistor NMOS MN1 et du transistor PMOS P0 implique des contraintes dans le dimensionnement des composants du circuit. En particulier, étant donné que le transistor MN1 présente un seuil V_n en dessous duquel il ne conduit plus, il sera nécessaire de limiter la valeur minimale V_2 de la tension de commande V de façon à conserver une certaine linéarité du retard en fonction du nombre de transistors sélectionnés. Toutefois, en observant la courbe caractéristique du transistor P0 au voisinage de la tension minimale V_2 et en la comparant au comportement d'une vraie résistance représentée par la droite de charge M1 M2, on peut constater que lorsque le nombre d'impédances sélectionnées augmente, la variation en valeur absolue de la tension V est inférieure pour un transistor MOS que pour une vraie résistance. Il en résulte que le montage proposé qui associe le transistor NMOS MN1 au transistor PMOS P0 présente une auto-compensation favorisant la linéarité du retard en fonction de la commande numérique au voisinage de la tension de seuil V_n du transistor MN1. On peut bien sûr ajuster cet effet en jouant sur la longueur de canal du transistor P0.

Le circuit de la figure 2 est également conçu pour tenir compte des dispersions de fabrication. On sait que les circuits intégrés ne peuvent pas être fabriqués rigoureusement avec les dimensionnements prévus. Ainsi, la largeur du canal drain-source d'un transistor MOS peut être supérieure ou inférieure à la valeur souhaitée. On dit que l'on se trouve dans le cas typique si la largeur effectivement obtenue est égale ou très voisine de la valeur souhaitée. Si la largeur obtenue est maximale, on est en présence du meilleur cas, et si elle est minimale on se trouve dans le plus mauvais cas. Bien entendu, les variations de la largeur du canal autour de la valeur

typique auront une influence sur les courants débités par les transistors. Il est à noter que les dispersions de fabrication pour les transistors de type N peuvent être différentes de celles des transistors de type P. Il en résulte que le retard obtenu en fonction de la commande numérique peut varier dans de grandes proportions d'un circuit intégré à un autre. Cette variation se traduit à la fois par une variation de la plage de réglage du retard et sur le pas de réglage.

10

Aussi pour tenir compte des cas extrêmes de dispersion de fabrication, un premier transistor de type P WP est branché en parallèle avec le transistor P0 et reçoit sur sa grille le signal de commande WC le rendant passant lorsqu'on est en présence du plus mauvais cas pour les transistors de type P. Le transistor WP aura alors pour effet d'augmenter le courant I_p traversant l'impédance variable MN, compensant ainsi la plus faible largeur du canal du transistor P0.

20 De même, un transistor BN est branché en parallèle avec les transistors N1-Ni et reçoit sur sa grille le signal BC qui le rend passant lorsqu'on est en présence d'un circuit intégré dont les transistors de type P sont dans le meilleur cas. Le transistor BN à l'état passant aura alors pour effet de réduire la tension de commande V compensant ainsi l'augmentation de courant dans le transistor P0.

Il est à noter que le circuit proposé a la propriété de compenser automatiquement les dispersions de fabrication des transistors de type N. En effet, si par exemple on est dans le meilleur cas, les transistors N1-Ni et MN1 sont moins résistants. Pour une tension de grille donnée, le transistor MN1 fournirait un courant supérieur mais cette tendance est compensée par le fait que la tension de commande V est elle-même inférieure.

Bien entendu, le circuit de la figure 2 pourrait subir diverses modifications en remplaçant certains éléments par

des éléments équivalents sans pour cela sortir du cadre de l'invention. On pourrait par exemple remplacer le transistor PMOS P0 par un transistor de type complémentaire dont la grille serait reliée à la tension d'alimentation Vdd. De même, l'inverseur CMOS IM1 pourrait être remplacé par un inverseur MOS classique.

Selon une autre variante, on peut utiliser le circuit dual consistant à remplacer les transistors de type N par des transistors de type P et réciproquement. Le circuit correspondant est représenté à la figure 5 où l'impédance variable MP est formée des transistors PMOS, P1, P2, ..., Pi dont les grilles reçoivent respectivement les signaux de commande C1*, C2*, ..., Ci* qui sont respectivement les signaux complémentaires de C1, C2, ..., Ci. L'impédance variable MP est reliée d'une part au potentiel d'alimentation positif Vdd et d'autre part à la masse par l'intermédiaire d'un transistor NMOS N0 dont la grille est reliée à son drain. Le point commun V* à MP et N0 est appliqué à la grille d'un transistor PMOS MP1 dont la source est reliée au potentiel Vdd et dont le drain est relié à la source du transistor PMOS PI de l'inverseur IM1.

Le circuit de la figure 5 constitue un circuit à retard à commande numérique agissant sur les fronts descendants du signal d'entrée E et il présente un fonctionnement tout-à-fait analogue à celui du circuit de la figure 2.

Pour réaliser un circuit retardateur d'impulsions à commande numérique, c'est-à-dire agissant à la fois sur les fronts montants et descendants des signaux d'entrée, il suffit, comme représenté à la figure 5, de prévoir un diviseur de tension conforme à la figure 2 dont la tension de sortie V est appliquée à la grille d'un transistor NMOS MN1 reliant la source du transistor NMOS NI à la masse.

Une autre solution pour réaliser un circuit retardateur d'impulsions est représentée à la figure 6. Selon cette

réalisation, on utilise deux inverseurs CMOS IM1 et IM2 branchés en cascade, le premier inverseur IM1 recevant en entrée le signal E à retarder. Le transistor NMOS de chacun de ces inverseurs est relié à la masse respectivement par
5 l'intermédiaire d'un transistor NMOS MN1, MN2 dont la grille reçoit la même tension de commande V. L'inverseur IM1 et le transistor MN1 agissent sur les fronts montants du signal d'entrée tandis que l'inverseur IM2 et le transistor MN2 agissent sur les fronts descendants. Le signal de sortie S1
10 du second inverseur IM2 est amplifié et mis en forme par un troisième inverseur IM3 dont la sortie S0* délivre un signal complémentaire du signal d'entrée retardé. Un quatrième inverseur IM4 dont l'entrée est reliée à la sortie de l'inverseur IM3 permet de fournir en sortie un signal S0
15 représentant le signal d'entrée retardé.

Cette dernière réalisation est préférable à celle de la figure 5 car elle ne nécessite qu'un seul pont diviseur de tension et surtout est moins sensible aux dispersions de
20 fabrication tout en évitant l'utilisation de nombreux transistors PMOS qui présentent l'inconvénient d'être volumineux par rapport aux transistors NMOS de même puissance.

Revendications :

1. Circuit à retard à commande numérique comportant une borne d'entrée (E) pour recevoir un signal d'entrée à retarder et une borne de sortie (S) alimentée par un circuit de charge à un premier potentiel (Vdd) et un circuit de décharge (IM1) à un second potentiel (Vss) inférieur au premier, ledit circuit de décharge (NI) ou de charge (PI) étant respectivement activé lorsque la tension du signal d'entrée (E) prend respectivement une première ou une seconde valeur, ledit circuit à retard étant caractérisé en ce qu'il comporte un pont diviseur de tension (P0, MN) dont les bornes d'alimentation reçoivent respectivement lesdits premier et second potentiels, ledit pont diviseur comportant une première impédance (P0) et une impédance variable (MN) comprenant une pluralité d'impédances élémentaires (N1, N2, ..., Ni) sélectivement connectable en parallèle en fonction de ladite commande numérique et en ce que ledit circuit de décharge (NI) ou de charge (PI) est relié respectivement audit premier ou second potentiel par l'intermédiaire d'un circuit de réglage de courant (MN1) commandé par la tension (V) aux bornes de ladite impédance variable (MN) de façon à ce que le courant de décharge ou de charge soit en valeur absolue une fonction croissante de ladite tension (V).
2. Circuit à retard selon la revendication 1 caractérisé en ce que ledit circuit de réglage de courant (MN1) est un premier transistor à effet de champ à grille isolée, dont la grille est reliée au point milieu (V) du diviseur de tension (MN) et dont la source est reliée au potentiel (Vss, Vdd) alimentant l'impédance variable (MN).
3. Circuit à retard selon la revendication 2 caractérisé en ce que ledit premier transistor est un transistor MOS et en ce que lesdites impédances élémentaires (N1, N2, ..., Ni) sont des transistors MOS sélectionnés par leur tension de grille.

4. Circuit à retard selon la revendication 3 caractérisé en ce que ladite première impédance (P0) est formée d'un second transistor MOS dont la grille est reliée à son drain et dont le chemin drain-source est branché dans le diviseur de tension dans son sens.

5. Circuit à retard selon la revendication 4 caractérisé en ce que ledit premier transistor (MN1) étant un transistor MOS d'un type donné, les transistors (N1, N2, ..., Ni) de ladite impédance variable (MN) sont du même type tandis que le second transistor (P0) est du type complémentaire.

6. Circuit à retard selon l'une des revendications 3 à 5 caractérisé en ce qu'il fait partie d'un circuit intégré, en ce qu'il comporte un troisième transistor (WP) MOS de compensation sélectivement connectable en parallèle avec ledit premier transistor (P0) et en ce que ledit pont diviseur (MN) comporte un quatrième transistor (BN) MOS de compensation sélectivement connectable en parallèle avec les transistors (N1, N2, ..., Ni) de l'impédance variable (MN), lesdits troisième et quatrième transistors (WP, BN) étant dimensionnés pour tenir compte des cas extrêmes de dispersion de fabrication et sélectivement activés en fonction des caractéristiques effectives de fabrication.

7. Circuit à retard selon l'une des revendications 3 à 6 caractérisé en ce que lesdits circuits de charge et de décharge sont constitués par un inverseur CMOS.

8. Circuit retardateur d'impulsion à commande numérique caractérisé en ce que il comporte deux circuits à retard identiques et conformes à l'une des revendications 1 à 7, branchés en cascade et ayant un pont diviseur de tension (P0, MN) commun.

9. Circuit retardateur d'impulsion à commande numérique caractérisé en ce qu'il comporte un premier et un second circuit à retard selon l'une des revendications 1 à 7

associés respectivement auxdits circuits de décharge et de charge, lesdits circuits de décharge et de charge étant communs au deux circuits à retard.

FIG. 1

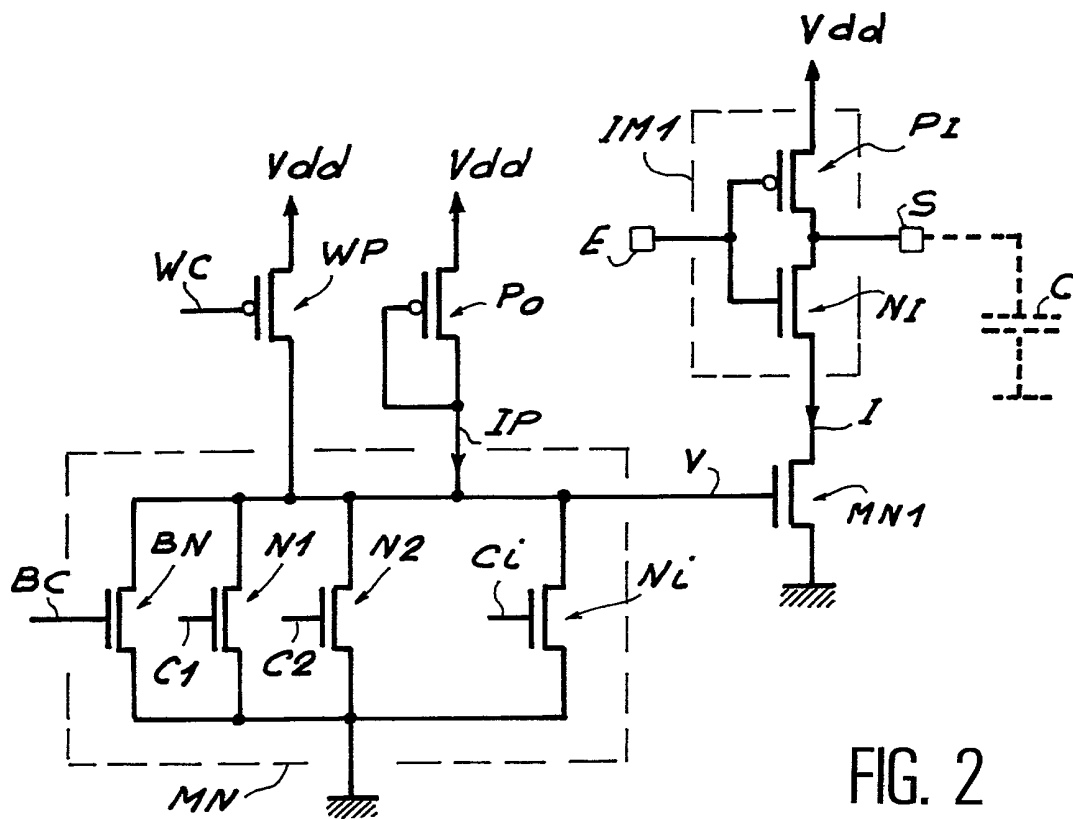
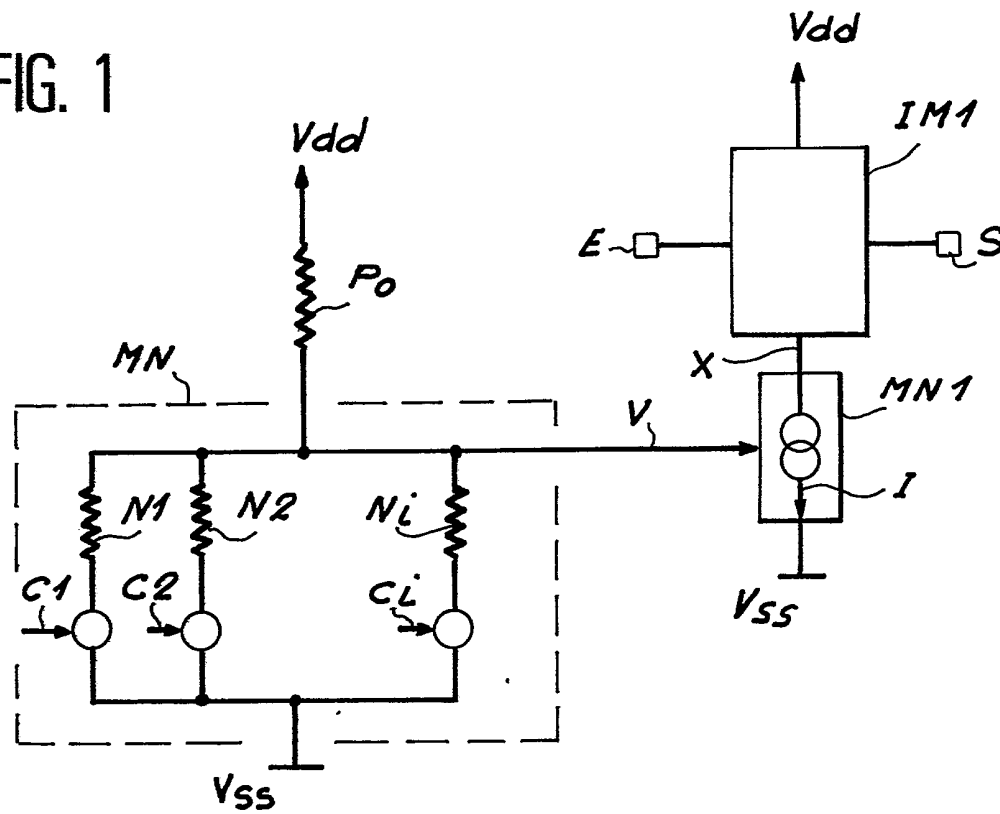


FIG. 2

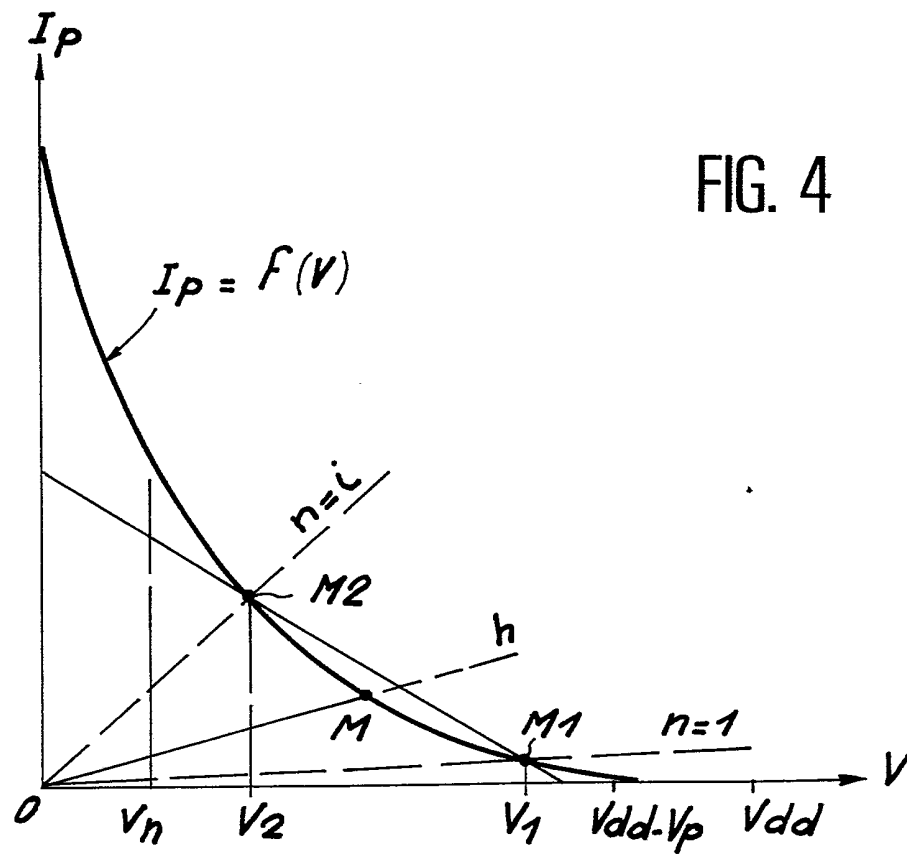
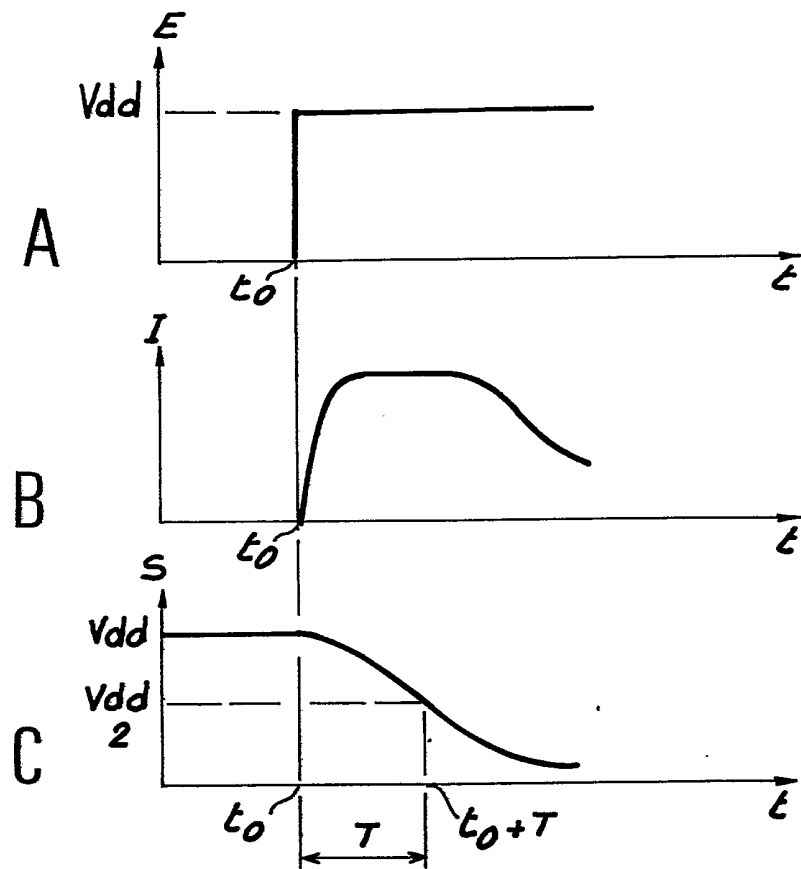
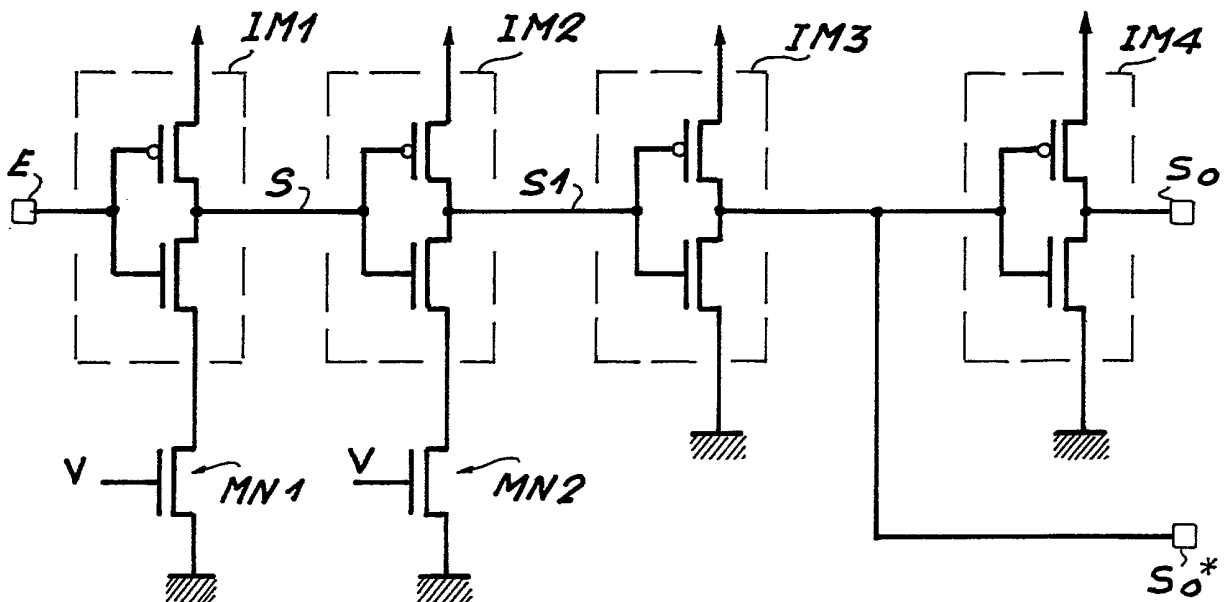




FIG. 6



INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FR 9112004
FA 463401

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	EP-A-0 423 963 (ADVANCED MICRO DEVICES, INC.) * colonne 3, ligne 36 - colonne 8, ligne 36; figure 3 *	1-9
Y	US-A-4 709 170 (LI) * colonne 2, ligne 9 - colonne 4, ligne 23; figures 1-3 *	1-9
Y	WO-A-8 402 621 (WESTERN ELECTRONIC COMPANY, INC.) * page 3, ligne 14 - page 7, ligne 24 *	1-9
A	EP-A-0 236 525 (DEUTSCHE ITT INDUSTRIES GMBH) * le document en entier *	1-9
A	1990 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS vol. 1, 1 Mai 1990, SHERATON HOTEL, NEW ORLEANS, LA pages 571 - 581; T. RAHKONEN ET AL.: 'PULSEWIDHT MEASUREMENTS USING AN INTEGRATED PULSE SHRINKING DELAY LINE' * page 579, alinéa 3 - page 580; figures 4-5 *	1
A	WO-A-8 808 642 (NCR CORPORATION) * figure 1A *	1
A	EP-A-0 171 022 (NIPPON GAKKI SEIZO K.K.) * page 14, ligne 8 - page 19, ligne 3; figures 1-15 *	1
A	IBM TECHNICAL DISCLOSURE BULLETIN, vol. 27, no. 4B, Septembre 1984, NEW YORK US pages 2669 - 2670; K. MUELLER ET AL.: 'digital programmable clock pulse shaper' * le document en entier *	1
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		H03K H03H
Date d'achèvement de la recherche 09 JUIN 1992		Examineur SEGAERT P.A.O.M.
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant		