(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年6 月4 日 (04.06.2009)

PCT

(10) 国際公開番号
WO 2009/069229 A1

(51) 国際特許分類:
H04L 12/42 (2006.01) *H04J 3/00* (2006.01)

(21) 国際出願番号: PCT/JP2007/073218

(22) 国際出願日: 2007 年11 月30 日 (30.11.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 Kanagawa (JP).

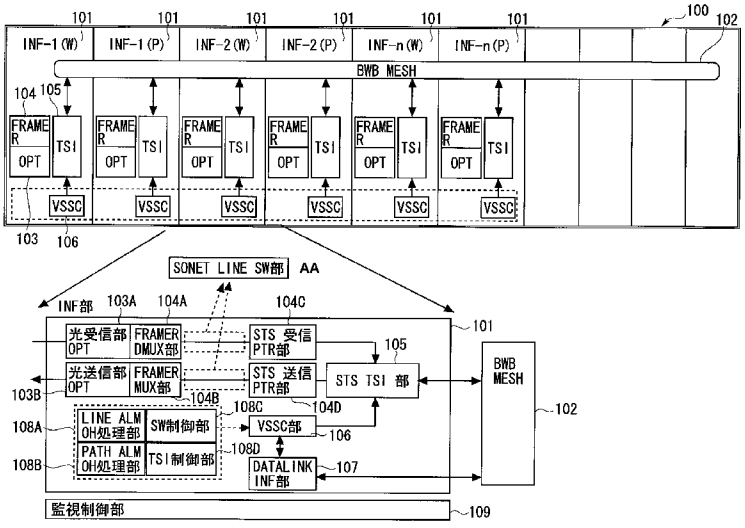
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 松川 由暢 (MATSUKAWA, Yoshinobu) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP). 吉田 宏 (YOSHIDA, Hiroshi) [JP/JP]; 〒8148588 福岡県福岡市早良区百道浜２丁目２番１号 富士通九州ネットワークテクノロジーズ株式会社内 Fukuoka (JP). 淵 康広 (FUCHI, Yasuhiro) [JP/JP]; 〒8148588 福岡県福岡市早良区百道浜２丁目２番１号 富士通九州ネットワークテクノロジーズ株式会社内 Fukuoka (JP). 糸瀬 孝彰 (ITOSE, Takaaki) [JP/JP]; 〒8148588 福岡県福岡市早良区百道浜２丁目２番１号 富士通九州ネットワークテクノロジーズ株式会社内 Fukuoka (JP). 永露 雅徳 (EIRO, Masanori) [JP/JP]; 〒8148588 福岡県福岡市早良区百道浜２丁目２番１号

[続葉有]

(54) **Title:** SONET/SDH TRANSMISSION DEVICE

(54) **発明の名称:** ＳＯＮＥＴ／ＳＤＨ伝送装置



AA SONET LINE SW SECTION
101 INF SECTION
103A OPTICAL RECEIVER SECTION OPT
104A FRAMER DMUX SECTION
103B OPTICAL TRANSMITTER SECTION OPT
104B FRAMER MUX SECTION
104C STS RECEIVING PTR SECTION
104D STS TRANSMITTING PTR SECTION
105 STS TSI SECTION
108A LINE ALM OH PROCESSING SECTION
108C SW CONTROL SECTION
108B PATH ALM OH PROCESSING SECTION
108D TSI CONTROL SECTION
106 VSSC SECTION
107 DATALINK INF SECTION
109 MONITORING CONTROL SECTION

(57) **Abstract:** A SONET transmission device has a plurality of INF sections accommodating a plurality of lines and mesh wirings for interconnecting a plurality of INF sections in a meshed pattern. Each of a plurality of interface sections includes a TSI section to output the signal selected from among a plurality of signals through the TSI processing of a plurality of signals on the lines accommodated at all the INF sections, a detector section to detect alarm information on the lines accommodated at all the INF sections, and a control section to provide the TSI section with the control data reflecting the protective switching operation achieved by computation of a logic circuit which hypothetically executes the protective switching operation to be performed based on the alarm information as for a plurality of lines accommodated at its own INF section.

(57) 要約: ＳＯＮＥＴ伝送装置は、複数の回線を収容する複数のＩＮＦ部と、複数のＩＮＦ部をメッシュ状に相互接続するメッシュ配線とを備え、複数のインタフェース部の夫々は、総てのＩＮＦ部で収容される回線上の複数の信号に関するＴＳＩ処理を通じて複数の信号の中から選択した信号を出力するＴＳＩ部と、総てのＩＮＦ部で収容される回線に関する警報情報を検出する検出部と、自ＩＮＦ部が収容する複数の回線に関して、警報情報を元に実施すべき保護切替動作を仮想的に実施する論理回路の計算によって得られる保

[続葉有]

WO 2009/069229 A1

富士通九州ネットワークテクノロジーズ株式会社内 Fukuoka (JP).

(74) 代理人: 松倉 秀実，外(MATSUKURA, Hidemi et al.): 〒1030004 東京都中央区東日本橋３丁目４番１０号 アクロポリス２１ビル６階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

SONET／SDH伝送装置

技術分野

[0001] 本発明は、SONET(Synchronous Optical Network:同期型光ネットワーク)又はSDH(Synchronous Digital Hierarchy:同期ディジタルハイアラーキ)を用いた伝送装置に関する。

背景技術

[0002] 近年、WDMなどの大容量伝送システムと様々な多数のデータサービスを収容する伝送装置とが融合した形態を有する伝送システムやネットワークが多くなってきている。

[0003] これらの伝送システムやネットワークにおいて、SONET／SDH伝送方式(以下単にSONETと表記)を用いた装置に対する多大な需要がある。なぜなら、既存のSONET伝送装置を利用して伝送システムやネットワークを構築することが多いからである。また、SONETで規格されている GR-253,GR1230,GR1400 などで定義されるプロテクションスイッチ(Protection Switch)機能は、高いサービス品質を提供するために欠かせない優れた機能である。

[0004] SONET伝送装置がSONETプロテクションスイッチ機能を具備するには、制御方法が複雑な大規模回路が必要である。このため、SONETプロテクションスイッチ機能の多くは、集中スイッチ機能ユニットを用いて実現されていた。

[0005] 図40は、従来におけるSONET伝送装置の構成例を示す図であり、このSONET伝送装置は、集中型TSI(Time Slot Interchange: タイムスロット置き換え)機能を用いたSONETプロテクション方式を実現する。

[0006] 図40に示すように、SONET伝送装置1は、顧客(ユーザ)からの信号を収容する複数のインタフェースユニット(INFユニット、“INF部”とも表記)2と、複数のINFユニット2と接続され、SONETプロテクションスイッチ(SONET Protection Switch)を行う集中TSI／SW制御部3とを備える。

[0007] 各INFユニット2は、光伝送路(光ファイバ)からの光信号(主信号)を受信する光受信

部21と、光受信部21に接続されたフレーマ分離部(FRAMER DEMUX部)22とを備えている。フレーマ分離部22から出力される主信号は、集中TSI／SW制御部に送信される。また、各INFユニット2は、集中TSI／SW制御部3からの主信号が入力されるフレーマ多重部(FRAMER MUX部)23と、光送信部24とを備えており、光送信部24からの主信号は、光伝送路(光ファイバ)に送出される。

[0008] 集中TSI／SW制御部3は、集中TSI部3Aと、集中スイッチ制御部(集中SW制御部:SW CONT)3Bとを備えている。集中TSI部3Aは、フレーマ分離部22と接続され、ラインスイッチング機能を司る受信側のSONETラインスイッチ部(SONET LINE SW部)32と、STS(Synchronous Transport Signal)単位で主信号上のSTS信号の受信ポインタを検出するSTS受信ポインタ部(STS受信PTR部)33と、STS単位で信号の送信ポインタを検出するSTS送信ポインタ部(STS送信PTR部)34と、送信側のSONETラインスイッチ部35とを備えている。これらのSONETラインスイッチ部32, STS受信ポインタ部33, STS送信ポインタ部34, 及びSONETラインスイッチ部35は、INF部2毎に設けられる。

[0009] さらに、集中TSI部3Aは、複数のSTS受信ポインタ部33及び複数のSTS送信ポインタ部34が接続されたSTS TSI部31(TSI部31)を備えている。STS TSI部31は、TSI処理(タイムスロットの置き換え(並べ替え))を実行することによって、STS単位でのパススイッチ動作を行う。すなわち、TSI部31は、各入力ポートからの信号を所定の出力ポートに接続する処理を行う。TSI部31の出力信号は、STS送信PTR部34に接続される。

[0010] また、集中SW制御部3Bは、SONETラインスイッチ部32及び35の動作を制御するSW制御部36と、STS受信PTR部33及びSTS送信PTR部34で検出されるパスアラーム(パス警報)に関する処理を司るパスアラームオーバヘッド処理部(Path ALM OH処理部)37と、TSI部31におけるTSI処理を制御するTSI制御部38と、TSI部31によるパススイッチ(Path SW)動作を制御するパススイッチ制御部39とを備えている。

[0011] さらに、SONET伝送装置1には、上述したINFユニット2及び集中TSI／SW制御部3に対する動作監視機能として、これらの動作を監視する監視制御部41と、各INFユニット2におけるフレーマ分離部22及びフレーマ多重部23に対応し、ラインアラ

ーム(ライン警報)を検出するラインアラームオーバヘッド(LINE ALM OH)処理部42とを備えている。

[0012] SONET伝送装置1によれば、INFユニット2が小型化されることで、SONET伝送装置1に搭載可能なINFユニット2の収容数(回線収容数)を増やすことができる。また、集中TSI／SW制御部3に、ライン及びパスレイヤのスイッチング(切替)に係る機能を集中することで、自由度の高いラインスイッチ及びパススイッチをサポートすることができる。

特許文献1:特開2001－238279号公報

特許文献2:特開平9－274044号公報

発明の開示

発明が解決しようとする課題

[0013] 図40に示したSONET伝送装置では、SONETラインスイッチ部(SONET LINE SW部)32が高速な信号を扱う。また、SONET伝送装置は、その装置構成に依存したSONETプロテクションスイッチ機能を実現することを要求される。これらを理由として、集中TSI部3Aは、装置構成に依存した専用ASIC(Application Specific Integrated Circuit)を用いて実現することが要求されていた。一方、集中SW制御部3Bは、総てのINFユニット2に関するスイッチング制御を実施することが要求される。このようなスイッチング制御を行う集中SW制御部3Bは、FGPA(Field Programmable Gate Array)を用いて実現されていた。

[0014] これらのことから、SONET伝送装置1の消費電力が増大するおそれがあった。また、集中TSI／SW制御部3の発熱を考慮した結果、装置構成や装置の設置位置が制限されるおそれがあった。

[0015] また、SONET伝送装置1では、総てのINFユニット2のスイッチング制御が集中SW制御部3Bで実施される。このため、集中SW制御部3Bは大規模な回路構成を有する。このような大規模な集中SW制御部3Bが、SONET伝送装置1の収容回線数(搭載されるINFユニット2の数)の数に拘わらず適用される。このため、顧客が所望するSONET伝送装置の収容回線数が少ない場合には、SONET伝送装置の構築に必要なコストが割高となっていた。

[0016] また、上述したように、SONETプロテクションスイッチ(集中TSI部)は、専用ASICを用いて実現される。このため、集中TSI部に対する機能追加やエンハンスによる変更に柔軟に対応することが困難であった。機能追加のために新たなASIC開発が要求される可能性がある。

[0017] さらに、図40に示したような集中スイッチ制御では、スイッチ制御に必要なアラーム情報として、SONET伝送装置内の全ユニットに関するアラーム情報を収集及び監視することが要求されていた。このような収集及び監視の処理規模は、収容回線数に比例して増大する。したがって、アラーム情報の収集及び監視機能を実現するために、大規模なASIC開発が要求されることがあった。

[0018] 本発明は、集中TSI／SW制御部を省略することで、これに起因する問題を解決可能なSONET／SDH伝送装置を提供することを目的の一つとする。

課題を解決するための手段

[0019] 本発明の態様は、以下の手段を構成する。

[0020] すなわち、SONET／SDH伝送装置は、

複数の回線を収容する複数のインタフェース部と、

前記複数のインタフェース部をメッシュ状に相互接続し、各インタフェース部が収容する複数の回線上の信号と、各インタフェース部で得られた保護切替動作に関する情報を相互に分配するためのメッシュ配線とを備え、

前記複数のインタフェース部の夫々は、

前記メッシュ配線へ信号及び情報を送信する送信部と、

前記メッシュ配線から信号及び情報を受信する受信部と、

自インタフェース部が収容する複数の回線上の信号と、前記メッシュ配線を介して前記受信部で受信される、総ての他インタフェース部が収容する複数の回線上の信号とが入力され、入力された複数の信号に関するタイムスロット置き換え処理を通じて前記複数の信号の中から選択された信号を出力することができるタイムスロット置き換え部と、

自インタフェース部が収容する複数の回線に関する警報情報と、前記メッシュ配線を介して前記受信部で受信される、総ての他インタフェース部が収容する複数の

回線に関する警報情報とを検出する検出部と、

自インタフェース部が収容する複数の回線に関して、前記検出部で検出された警報情報を元に実施すべき保護切替動作を仮想的に実施する論理回路を含み、この論理回路の計算によって得られる前記保護切替動作が反映された前記タイムスロット置き換え部の制御用データを生成して前記タイムスロット置き換え部に供給する制御部と

を含む。

[0021] 態様に係るSONET／伝送装置は、前記複数のインタフェース部の少なくとも二つが夫々収容する冗長化回線に関する警報情報が検出された場合に前記少なくとも二つのインタフェース部の夫々で前記冗長化回線に関する保護切替動作が要求されるときには、前記少なくとも二つのインタフェース部の夫々におけるタイムスロット置き換え部が前記冗長化回線に関する仮想的な保護切替動作が反映された制御用データに基づくタイムスロット置き換え処理を一斉に実行することができる。

[0022] 上記態様に係るSONET／SDH伝送装置において、前記タイムスロット置き換え部は、タイムスロット置き換え用の汎用ASICを用いて構成され、前記制御部は、FPGAを用いて構成される。

[0023] 上記態様に係るSONET／SDH伝送装置において、前記送信部は、自インタフェース部に静的に設定された第1の情報と、自インタフェース部で検出される、前記警報情報を含む第2の情報とを前記メッシュ配線を介して総ての他インタフェース部へブロードキャストすることができる。

[0024] 上記態様に係るSONET／SDH伝送装置において、前記第1及び第2の情報は、前記信号を前記メッシュ配線を介して伝送するためのデータフレームの空き領域に格納されて前記メッシュ配線を伝送される。

発明の効果

[0025] 本発明によれば、集中TSI／SW制御部が省略されたSONET／SDH伝送装置を提供することができる。

図面の簡単な説明

[0026] [図1]図1は、実施形態に係るSONET／SDH伝送装置の構成例を示す。

[図2]図2は、8つのINFユニット101(スロット番号1～8)に対するメッシュ接続配線例を示す。

[図3]図3は、図1に示したSONET／SDH伝送装置の構成例を示す。

[図4]図4は、保護スイッチの概要を示す。

[図5]図5は、保護スイッチの概要を示す。

[図6]図6は、BWB上の信号としてSONET/SDH OC48フォーマット(2．4G)を使用する場合における空きエリアであるTOHをVSSCデータリンク情報の格納領域(格納エリア)として用いる例を示す。

[図7]図6に示したフォーマットにおいて、パスアラームフラグの格納領域を定義した例を示す。

[図8]図8は、VSSC部(VSSC FPGA)及びTSI部の機能ブロック説明図である。

[図9]図9は、VSSC部の構成例を示す。

[図10]図10は、SONET伝送装置のTRIBシェルフビューを示す。

[図11]図11は、2F－BLSRの基本的な構成例を示す。

[図12]図12は、図11に示すネットワークにおける正常時の様子を示す。

[図13]図13は、図11に示すネットワークの障害発生時の様子を示す。

[図14]図14は、図12に示したノードのプロテクションスイッチ回路構成を示す。

[図15]図15は、図12に示した障害検出ノードのプロテクションスイッチ回路構成を示す。

[図16]図15は、図13に示した障害検出ノードのプロテクションスイッチ回路構成を示す。

[図17]図16は、図12，図13に示した障害検出ノードのプロテクションスイッチ回路構成を示す。

[図18]図18は、160Gを収容するSONET伝送装置が2F－BLSRをサポートする場合のシェルフビューイメージを示す。

[図19]図19は、4F－BLSRの基本的な構成例を示す。

[図20]図20は、図19に示したネットワークにおける障害発生前の状態を示す。

[図21]図21は、図19に示したネットワークにおけるスパン救済の様子を示す。

[図22]図22は、図19に示したネットワークにおけるリング救済の様子を示す。

[図23]図23は、図19に示したノードの4F－BLSRを実現するための回路構成例を示す。

[図24]図24は、図23に示した回路構成におけるスパン救済時の様子を示す。

[図25]図25は、図23に示した回路構成におけるリング九歳児の様子を示す。

[図26]図26は、SONET伝送装置が4F－BLSRをサポートする場合のシェルフビューイメージを示す。

[図27]図27は、BLSRをSONET伝送装置に組み込んだときのINFユニットのブロックイメージ例を示す。

[図28]図28は、1+1 APS LINE SW(1+1 liner Automatic Protection Switching)構成例を示す。

[図29]図29は、1:1 APS LINE SW(1:1 liner Automatic Protection Switching)構成例を示す。

[図30]図30は、1:N APS LINE SW(1:N liner Automatic Protection Switching)構成例を示す。

[図31]図31は、図31は、UPSR／DPPMスイッチ構成を示す。

[図32]図32は、2F－BLSR用RIP処理の説明図である。

[図33]図33は、2F－BLSR用RIP処理の説明図である。

[図34]図34は、図33に示したSS及びR－SSを有する2F－BLSR RIP動作を実現する機能ブロック例を示す。

[図35]図35は、4F－BLSR RIP動作を行うネットワーク構成例(正常時)を示す。

[図36]図36は、図35に示したネットワークにおいてRIP動作により救済が行われる様子を示す。

[図37]図37は、図35に示したSS及びR－SSを有する4F－BLSR RIP動作を実現する機能ブロック例を示す。

[図38]図38は、NUTの説明図である。

[図39]図39は、NUT機能を実現するための論理回路例を示す図である。

[図40]従来におけるSONET装置の構成例を示す図である。

符号の説明

[0027] 100・・・SONET／SDH伝送装置

101・・・インタフェースユニット(INF部)

102・・・バックワイヤリングボード(BWB)

103A・・・光受信部

103B・・・光送信部

104A・・・FRAMER DEMUX部

104B・・・FRAMER MUX部

104C・・・STS受信PTR部

104D・・・STS送信PTR部

105・・・STS TSI部

106, 133・・・VSSC部

107・・・データリンクインタフェース部

108A・・・LINE ALM OH処理部

108B・・・PATH ALM OH処理部

108C・・・スイッチ制御部

108D・・・TSI制御部

110・・・VSSC FPGA

発明を実施するための最良の形態

[0028] 以下、図面を参照して発明の実施形態を説明する。以下の実施形態の構成は例示であり、発明は実施形態の構成に限定されない。

[0029] 〔実施形態の概要〕

図40に示したような集中TSI／SW制御部を有するSONET／SDH装置(以下、“SONET伝送装置”と表記)に対する課題は次の通りである。

(課題1) 集中TSI／SW制御部の消費電力増大、集中TSI／SW制御部の発熱による設置位置の制限。

(課題2) 集中TSI／SW制御部が高価であることによって、収容回線数に係わらず、SONET伝送装置の初期導入コストが高くなる。

(課題3) 集中TSI／SW制御部の機能追加や変更に柔軟に対応することが困難。

(課題4) アラーム情報収集及び監視機能を集中して行うための大規模なASIC開発が要求される。

[0030] 実施形態に係るSONET伝送装置は、上述した課題を解決するために以下のような構成を有している。

[0031] 図1は、実施形態に係るSONET伝送装置の構成例を示す。図1において、実施形態に係るSONET伝送装置100は、複数のINFユニット(INF部)101からなり、総てのINFユニット101は、バックワイヤリングボード(BWB)102でメッシュ状に相互接続されている(BWB MESHで相互に接続されている)。

[0032] 図2は、8つのINFユニット101(スロット番号1～8)に対するメッシュ接続配線例を示す。

[0033] これによって、各INFユニット101間は、主信号、及び少なくともプロテクションスイッチ機能(保護スイッチ機能)を実現するために必要な情報(データ)を伝送するためのデータリンクで相互に接続された状態となっている。

[0034] 図1に戻って、本実施形態に係るSONET伝送装置100には、従来のSONET伝送装置1(図40)に備えられた集中TSI／SW制御部3のようなユニットは存在しない。

[0035] 各INFユニット101は、同一の構成を有しており、大略的に、光送受信部(OPT)103と、フレーマ部104と、STS TSI 部(TSI部)105と、仮想SONET／SDHスイッチコア(VSSC: Virtual SONET/SDH Switch Core)部106とを備えている。

[0036] 詳細には、図1に示されるように、光送受信部(OPT)103は、光受信部103A及び光送信部103Bを備える。フレーマ部104は、フレーマ分離部(FRAMER DEMUX部)104Aと、フレーマ多重部(FRAMER MUX部)104Bと、STS受信ポインタ部(STS受信PTR部)104Cと、STS送信ポインタ部(STS送信PTR部)104Dとを備えている。

[0037] OPT部103及びフレーマ部104は、従来のSONET伝送装置1(図40)におけるINF部2や、集中TSI／SW制御部3に搭載されていたものと同じ機能を持つ。但し、従来のSONET伝送装置1にて集中TSI／SW制御部3に搭載されていたSONETラインスイッチ部は、INFユニット101から除かれている。

[0038] 光受信部103Aは、光ファイバから受信される信号を電気信号に変換する。フレー

マ分離部104Aは、SONETのセクション(Section)、ライン(line)及びパス(Path)レイヤを終端し、入力された信号を複数のSTS信号に分離する。STS受信ポインタ部104Cは、STS信号の受信ポインタを検出する。

[0039] TSI部105は、TSI処理(タイムスロット置き換え)によって、主信号(STS信号)の入力ポート(Port)と出力ポートをクロスコネクトするTSI処理用の汎用ASIC又は汎用LSIである。

[0040] TSI部105は、STS受信PTR部104Cに接続され、自INFユニットが収容する各入力ポートで受信された各回線上の信号(STS信号)を受け取る。また、TSI部105は、BWB102に接続されており、他のINFユニット101の入力ポートで受信された主信号を受け取る。

[0041] TSI部105は、VSSC部106による制御に従って、各INFユニットからの主信号(STS信号)の出力先(出力ポート)を決定し、TSI処理を通じて出力ポートに接続(クロスコネクト)する。このとき、自INFユニットの出力ポートから出力すべき主信号は、STS送信PTR部104Dに接続され、他INFユニットへ転送すべき信号は、BWB102を介して、他のINFユニット101に接続(転送)されることができる。

[0042] TSI部105は、STS信号の受信ポインタと、VSSC部106から提供されるデータ等に基づき、TSI処理(タイムスロット置き換え(交換))を行う。これによって、TSI部105は、STS単位でのパススイッチ動作を行うことができる。あるいは、TSI部105は、タイムスロット交換型のラインスイッチ動作を行うこともできる。

[0043] STS送信PTR部104Cは、TSI部105からのSTS信号に対する送信ポインタを検出し、フレーマ多重部104Dは、送信ポインタに従ってSTS信号を多重し、光送信部103Bは、STS信号の多重信号を光信号に変換して光ファイバへ送出する。

[0044] VSSC(Virtual SONET/SDH Switch Core)部106は、TSI部105によるTSI処理で保護スイッチ機能を実現するための仮想的な保護スイッチ論理計算を行い、その論理計算結果をTSI部105の制御用データとしてTSI部105に供給する。VSSC部106は、保護スイッチ用の論理演算を行う1又は複数の論理回路の組合せで構成される。

[0045] VSSC部106は、データリンクインタフェース部(データリンクINF部)107と相互に

接続されており、データリンクINF部107は、BWB102に接続されている。

[0046] これによって、各INFユニット101は、BWB102を介して、SONET／SDH保護スイッチ制御に係る情報を含む、様々な情報を他のINFユニット101との間で送受信(交換)することができる。すなわち、各INFユニット101は、そのINFユニットで保持又は取得された情報(VSSCデータリンク情報)が、データリンクINF部107から総ての他のINFユニットへ向けてブロードキャストすることができる。各INFユニット101は、他のINFユニット101からブロードキャストされた情報をデータリンクINF部107で受信することができる。

[0047] また、INFユニット101には、ラインレイヤのアラーム情報(LOS、LOF等)に基づく処理を行うラインアラームオーバヘッド処理部(LINE ALM OH処理部)108A，パスレイヤのアラーム情報に基づく処理を行うパスアラームオーバヘッド処理部(PATH ALM OH処理部)108B，スイッチ制御部(SW制御部)108C，TSI制御部108Dのような、様々な制御機能を有しており、これらの制御機能は、VSSC部106上に備えられる。

[0048] さらに、INF部101は、INF部101毎に用意された監視制御部109によって、その動作を監視される。

[0049] このように、SONET伝送装置100では、各INF部101に対してSW制御部が分散配置されている。SW制御部が分散配置されることによって、INFユニット101毎にSONET保護スイッチ制御が実施される。

[0050] このようなSW制御の分散処理を実現するために、仮想的な論理ロジックによる論理計算でスイッチ制御を実現するVSSC部106が新たに設けられている。VSSC部106によってSONETラインスイッチがサポートされる。従って、高速処理が必要なSONET LINE SW部を削除することができる。

[0051] このようにして、熱源(SW制御部)を各INFユニット101に分散させ、さらに高速処理を行うユニットを削除することで、低消費電力化を図ることができる。また、設置位置の自由度が増す。すなわち、上述した課題1を解決することができる。

[0052] また、図1に示すように、実施形態に係るSONET伝送装置100では、SW制御部108CがINFユニット101毎に設けられ、SW制御が各INFユニット101で分散処理さ

れる。これによって、SW制御専用ユニット(集中TSI／SW制御部)が不要となり、SONET伝送装置の構築が、収容回線量に比例したコストで実現可能となる。

[0053] また、図3に示すように、図1に示したTSIスイッチ部105は、TSI処理用の汎用ASICを用いて実現することができる。また、図1に示したVSSC部106は、FPGAで構成される(VSSC FPGA110)。そして、VSSC部106(VSSC FPGA110)が、図1に示すラインアラームOH処理部108A, パスアラームOH処理部108B, SW制御部108C, TSI制御部108Dの機能を実現するとともに、VSSC制御部106A及びデータリンク制御部107Aを実現する。

[0054] これによって、SW制御機能の追加・変更が要求される場合には、VSSC FPGA110のみを変更することで、容易にSW制御機能の追加・変更を行うことができる。また、VSSC部106は、実際に高速スイッチング動作を行うのでなく、TSI制御用のRAMアドレスーデータ変換を行うので低速処理が可能であり、低消費電力化を図ることができる。

[0055] 言い換えると、図40に示したような従来のSONET伝送装置の構成では、SW制御部、PATH ALM OH処理部、PATH SW制御部、TSI制御部は、大規模なFPGAで実現することが要求されていた。しかし、図3に示すようなINFユニット101では、INFユニット101毎に用意される小規模なFPGAで実現が可能である。これによって、消費電力低減を図るとともに、設置位置の熱条件の緩和を図ることができる。

[0056] さらに、図1及び図3に示すように、SONET伝送装置100では、保護スイッチ制御が各INFユニット101で分散処理される。このため、各INFユニット101での保護スイッチ制御に必要なアラーム情報(ラインアラーム、パスアラーム)の監視は自INFユニットのみに特化される。従って、アラーム情報の監視規模は小さくなり、アラーム情報監視機能を実現するFPGA開発が小規模で済む。また、監視制御部109も、自INFユニットのみを監視できれば良いので、その開発規模も小さくなる。

[0057] SONET伝送装置100では、これに実装される総てのINFユニット101がBWB102のメッシュ配線により相互接続される。さらに、各INF部101はVSSC部106及びTSI部による保護スイッチ制御を行う。

[0058] 図4及び図5は、保護スイッチ制御の概要説明図である。図4及び図5には、3つの

保護スイッチ構成例(SW構成1、SW構成2、SW構成3)が示されている。図4に示すSONET伝送装置100は、複数のINFユニット(INF部)101を収容している。

[0059] 複数のINFユニット101は、ワーキング側(W:現用系)とプロテクション側(P:予備系)とからなる複数のペアを構成している。各INFユニット101は、ネットワーク側の入力／出力ポートと、クライアント(ユーザ)側の入力／出力ポートを有する。また、各INFユニット101は、保護スイッチ制御を行うVSSC部106及びTSI部105(“VSSC＋TSIブロック120”と称する)を備えている。

[0060] さらに、各INFユニット101は、アラーム情報(警報情報)を監視するアラーム監視ブロック(ALM監視ブロック121)を備えている(図5)。アラーム監視ブロック121は、図1に示す監視制御部109に相当する。

[0061] SW構成1では、INF－1(W)におけるVSSC＋TSIブロック120には、INF－1(W)のネットワーク側入力ポートで受信された信号と、INF－1(P)のネットワーク側入力ポートで受信され、BWB102を介してINF－1(W)に転送された信号とが入力される。INF－1(W)のVSSC＋TSIブロック120は、INF－1(W)からの信号とINF－1(P)からの信号との一方をクライアント側出力ポートへ接続することができる。

[0062] 同様に、INF－1(P)におけるVSSC＋TSIブロック120は、INF－1(P)のネットワーク側入力ポートで受信された信号と、INF－1(W)のネットワーク側入力ポートで受信され、BWB102を介してINF－1(P)に転送されてきた信号とが入力される。INF－1(P)のVSSC＋TSIブロック120は、INF－1(W)からの信号又はINF－1(P)からの信号の一方をクライアント側出力ポートへ接続することができる。

[0063] また、INF－1(W)及びINF－1(P)の夫々におけるアラーム監視ブロック121は、ネットワーク側からの信号入力(ライン／パス)を監視する。

[0064] INF－1(W)及びINF－1(P)の信号入力が正常である場合には、例えば、INF－1(W)のネットワーク側入力ポートで受信された信号がINF－1(W)及びINF－1(P)の夫々におけるVSSC＋TSIブロック120を介してクライアント側出力ポートへ接続される。或いは、ワーキング側のみから信号がクライアント側へ出力されるようにすることもできる。

[0065] これに対し、例えば、INF－1(W)のアラーム監視ブロック121がネットワーク側から

の信号入力の異常(ライン／パスのアラーム情報)を検出した場合には、INF－1(P)のネットワーク側入力ポートで受信される信号がINF－1(W)及びINF－1(P)のクライアント側出力ポートに接続されるような各VSSC＋TSIブロック120による保護スイッチ動作が実行される。このような保護スイッチ動作(protection switching)は、ライン及び／又はパス毎に実行することができる。

[0066] INF－1(W)で検出されたアラーム情報は、BWB102を介してINF－1(P)に通知され、上述したような各VSSC＋TSIブロック120によるライン／パスのスイッチ動作は同期をとって一斉に行われる。

[0067] なお、INF－1(P)のアラーム監視ブロック121がライン／パスのアラーム情報を検出した場合には、そのアラーム情報がINF－1(W)にBWB102を介して通知され、各INFユニットのVSSC＋TSIブロック120が保護スイッチ動作を行う。

[0068] SW構成2では、INF－2(W)のVSSC＋TSIブロック120は、INF－2(W)におけるネットワーク側入力ポートから受信される信号と、INF－n(W)のネットワーク側入力ポートで受信され、BWB102を介してINF－2(W)に転送されてくる信号とを受け取り、これらの信号の一方を選択してクライアント側の出力ポートに接続することができる。

[0069] INF－2(W)及びINF－n(W)の各アラーム監視ブロック121が信号入力の異常(ライン／パスのアラーム情報)を検出していない場合には、例えば、INF－2(W)のネットワーク側入力ポートで受信された信号がVSSC＋TSIブロック120を介してクライアント側出力ポートに接続される。

[0070] これに対し、例えば、INF－2(W)のアラーム監視ブロック121が異常(アラーム情報)を検出した場合には、このアラーム情報がINF－2(W)のVSSC＋TSIブロック120に通知される。すると、VSSC＋TSIブロック120は、クライアント側出力ポートに接続する信号をINF－2(W)側からINF－n(W)側に切り替える。

[0071] これに対し、VSSC＋TSIブロック部120がINF－n(W)からの信号を選択してクライアント側へ接続する状態において、INF－n(W)のアラーム監視ブロック121がアラーム情報を検出した場合には、このアラーム情報がBWB102を介してINF－2(W)のVSSC＋TSIユニット120に伝達される。すると、VSSC＋TSIユニットは、INF－2(W)で入力される信号をクライアント側に接続するための切替動作を行う。このような

保護スイッチ動作は、ライン単位及び／又はパス単位で実行することができる。

[0072] SW構成3では、INF－n(W)のVSSC＋TSIブロック120は、INF－n(W)のクライアント側入力ポートで受信された信号と、INF－2(W)のクライアント側入力ポートで受信され、BWB102を介してINF－n(W)に転送されてくる信号とを受け取り、これらの信号の一方をネットワーク側出力ポートに接続することができる。

[0073] INF－2(W)及びINF－n(W)のアラーム監視ブロック121がクライアント側の信号入力の異常(ライン／パスのアラーム情報)を検出していない場合には、例えば、INF－n(W)のネットワーク側入力ポートで受信された信号がクライアント側出力ポートに接続される。

[0074] これに対し、INF－n(W)のアラーム監視ブロック121が異常(アラーム情報)を検出した場合には、INF－n(W)のVSSC＋TSIブロック120にアラーム情報が伝達され、VSSC＋TSIブロック120は、ネットワーク側出力ポートに接続する信号をINF－n(W)側からINF－2(W)側に切り替える(保護スイッチ動作を行う)。

[0075] これに対し、VSSC＋TSIブロック120がINF－2(W)からの信号をネットワーク側に接続する状態において、INF－2(W)のアラーム監視ブロック121が異常(アラーム情報)を検出した場合には、このアラーム情報がBWB102を介してVSSC＋TSIブロック120に伝達され、VSSC＋TSIブロック120は、INF－n(W)から入力される信号をネットワーク側へ接続するための保護スイッチ動作を行う。このような保護スイッチ動作は、ライン単位及び／又はパス単位で実行することができる。

[0076] 上述したような保護スイッチ動作(protection switching)を実現するために、各INFユニット101内のアラーム監視ブロック121でアラーム情報の監視が行われる。

[0077] 上述したように、或るINFユニットで検出されたアラーム情報は、BWB102を介して総ての他のINFユニットに通知(ブロードキャスト)される。これにより、他INFユニットは、そのアラーム情報に従って、そのアラーム情報に関する自ユニットで収容している回線(チャネル)について、アラーム情報の送信元と同期をとって、保護スイッチ動作を実施することができる。

[0078] ところで、BWB102は、上述したアラーム情報のような制御情報のみならず、主信号をINFユニット101間で送受信するためにも使用される。制御情報は、VSSCデー

タリンク情報として、主信号のユーザデータ格納領域以外の領域に格納して送信することが可能である。

[0079] BWB102内を伝送されるデータブロックとして、SONETフレームを適用することができる。この場合、SONETフレーム中の未使用のOH(オーバヘッド)を、VSSCデータリンク情報の格納領域として使用することができる。

[0080] 図6は、BWB102上の信号としてSONET/SDH OC48フォーマット(2.4G)を使用する場合における空きエリアであるTOH(トランスポート・オーバヘッド)バイトをVSSCデータリンク情報の格納領域(格納エリア)として用いる例を示す。

[0081] この場合、A1、A2、B1、H1、H2、H3バイトは操作しない。A1、A2バイトはフレーム同期用バイトであり、B1バイトはこのフレーム監視用のパリティバイトであり、H1、H2、H3バイトは、実際の信号であるSTSまたはAU信号を位置づけるポインタ信号バイトである。それ以外のバイト領域がVSSCデータリンク情報の格納バイトとして利用することができる。

[0082] また、図7に示すように、所定の領域に、パスアラームフラグ(パスアラーム情報)を格納することを定義することもできる。ただし、パスアラーム情報の格納位置の割り当ては、空き領域内で自由に割り当て可能である。

[0083] ここに、VSSCデータリンク情報は、ダイナミック情報と、スタティック情報とからなる。ダイナミック情報は、そのままフレーム中の空き領域に割り当てられ、即時伝送される情報であり、スタティック情報は、アドレスを指定して所定の周期(5ms程度)でサイクリック(周期的)に伝送される大量の情報である。上記のパスアラームフラグは、ダイナミック情報に含まれる。

[0084] 図7に示す例では、SONET E2領域にパス警報情報(パスアラームフラグ)を格納して、プロテクション側へパス警報情報を通知している。送信されるパス警報情報はVSSC+TSIブロック120(図5:TSI部105及びVSSC部106)にて、パススイッチ制御を行う要因として使用される。

[0085] これらによって、各INFユニット101は自INFユニットの警報検出のみを行うことのみで、保護スイッチ動作が可能となる。警報検出や保護スイッチ動作(SW制御)を専用LSIまたはFPGAで行っている従来の手法からすると、回路設計規模は大幅に削

減できる。

[0086] ところで、本実施形態のように、分散型TSI処理を行う場合には、新たな課題(課題5)として、それまで集中SWユニットで実施していた各パスアラームに基づくUPSR(Unidirectional Path Switched Ring)等のSONETパスプロテクションによる切替を、各INFユニットで実施する必要がある。また、OPS(オペレーションシステム)のような上位装置による監視制御に基づいてSONETパスプロテクションを実施する場合には、50ms以内に切替を行うというGR－253等の規格を満足しない。このため、INFユニットを構成するハードウェアが自律で切替を行う必要があった。

[0087] 同様に、従来では集中SWユニットで実施されていた各スロット(INFユニットの挿入スロット)から収容される主信号のクロスコネクト制御も、集中SWユニットがなくなることによって各INFユニットで制御を行う必要が出てきた。

[0088] 上記の課題5を解決するための手段について説明する。図1に示したように、各INFユニット101は、BWB102にメッシュ接続されている。各INFユニット101は、他のINFユニット101に対して、VSSCデータリンク情報(ダイナミック情報及びスタティック情報)を送信する場合には、VSSCデータリンク情報をデータリンクINF部107からBWB102へブロードキャストする。

[0089] このとき、VSSCデータリンク情報の伝送にSONETフレームが適用される場合には、図6及び図7に示したように、SONETフレーム上の空き領域にVSSCデータリンク情報が格納(挿入)される。このようなSONETフレームは、SONET伝送装置を構成するシェルフ内の全INFユニット101に送付される。

[0090] スタティック情報は、OPS等から提供される顧客のAPS(Automatic Protection Switching)の設定情報、主信号の内部アーキテクチャ情報であるSTSコンカチネーション情報(STSサイズ)、及びシェルフ内の全INFユニットのSTSクロスコネクト情報、及びBLSR(Bidirectional Line Switched Ring)用の各種テーブルを含む。

[0091] 詳細には、スタティック情報として、以下のものがある。

[0092] (1) ファシリティサイズ及びFFP(Protection Switch mode)情報

収容されているINFポートの伝送速度(例えば、OC1,OC3,OC12,OC48,OC192,OC768)を示す情報。

[0093] ラインプロテクションの種類(未保護(unprotected),1＋1, 1:N, UPSR, 2F－BLSR, 4F－BLSR)とこれらの組合せ(グループ)を指示する情報(WK(現用)、PT(予備)、EAST、WEST)。

[0094] (2) STSパスコンカチネーション情報

フレーマで受信されたSTSのコンカチネーションサイズ(Conc. size:STS1,STS3c,STS6c,STS12c,STS24c,STS48c,STS192c,STS384c,STS768c)を示す情報。

[0095] (3) STS論理クロスコネクトテーブル(STS Logical Xcon Table)“A面”側及び“B面”側情報(自ユニットの出力分(例えば20G)のみ)

接続されるTSI(from箇所とto箇所の接続)情報の2面(A面、B面)(パススイッチ用)を示す情報である。

[0096] (4) Pre-provisioning Table情報(2F－BLSR、4F－BLSR リングトポロジテーブル)

BLSRグループにおける自ノードのノードID情報、及びBLSRでリングノード間で構築したリングトポロジテーブル情報である。

[0097] (5) Pre-provisioning Table情報(2F－BLSR、4F－BLSR スケルチテーブル)

BLSRでのリングノード間で構築したスケルチテーブル情報である。

[0098] (6) Pre-provisioning Table情報(2F－BLSR、4F－BLSR RIP(Ring Interconnection on Protection channels)テーブル)

BLSRのリングノード間で構築したRIPテーブル情報である。

[0099] (7) Pre-provisioning Table情報(2F－BLSR、4F－BLSR NUT SETテーブル)

BLSRでサポートする基本(BASIC)NUT設定情報、及びエンハンスドNUT設定情報である。

[0100] (8) パラメータ情報(パスセレクタ動作を定義するキーワード)

J1TRACE期待値、PATH SIGNAL LABEL期待値、J1TRACE FORMAT期待値、BERSFP、BERSDP閾値。

[0101] 一方、ダイナミック情報は、各INFユニット101で収集したSTSパス警報(パスアラー

ム)、及び1＋1 APS SW情報、BLSR SW情報、RIP制御情報のようなリアルタイム性(即時性)を有する情報が含まれる。

[0102] 詳細には、ダイナミック情報として以下のものがある。

(1)ラインTOH情報

APSバイト(K1、K2バイト)情報

リングトポロジ用TOHバイト

スケルチ／RIPテーブル構築用TOHバイト

(2)ラインアラーム情報

ラインSF(LOS、LOF、AIS－L)

ラインSD(BERSD－L)

INFユニット RMVD(UNIT抜け)情報

(3)APSプロトコル判断によるスイッチ設定情報(1＋1APS、1:N APS、2F－BLSR、4F－BLSR)

APS CPU判定結果設定情報である。

(4)STSパスアラームフラグ情報(パススイッチトリガ用)

STSパスアラーム情報(LOP-P,AIS-P,UNEQ-P,PLM-P等)

スタティック情報及びダイナミック情報を受信した各INFユニット101は、スタティック情報に関して、フィルタリングにより、自ユニットのスロット(ポート)に関係する情報のみをVSSC制御情報として取り込む。一方、ダイナミック情報は、そのままVSSC部106に渡される。

[0103] 図8は、VSSC部106(VSSC FPGA110)及びTSI部105の機能ブロック説明図であり、VSSC FPGA110内部における制御情報データリンク部が示されている。この例では、8つのINFユニットがシェルフ内に収容されている。

[0104] 図8において、スタティック情報受信部131は、主信号に重畳されてきたスタティック情報が格納されたOHを抽出する。スタティック情報受信部131は、他のINFユニット数だけ存在する。この例では、8つのINFユニットでSONET伝送装置が構成されており、7つのスタティック情報受信部131が設けられている。

[0105] クロスコネクトテーブル(XCON TABLE)部136は、自INFユニットのクロスコネクト情

報(A側、B側)をOPSからの設定情報から生成する。OPSから受信される設定情報は、物理論理変換部143で論理データに変換された後、クロスコネクトテーブル部136に入力される。クロスクロスコネクト情報は、スタティック情報として、スタティック情報送信部141に与えられる。

[0106] フィルタセレクタ137は、各スタティック情報抽出部131で受信されたスタティック情報から自INFユニットの関連する部分(output 20G)をフィルタリングにより抽出する。フィルタリングに際して、フィルタセレクタ137は、クロスコネクトテーブル部136中の自INFユニットのクロスコネクト情報に基づき、関連するスタティック情報を抽出することができる。フィルタセレクタ137は、抽出したスタティック情報をプレプロビショナルテーブル部138に与える。

[0107] プレプロビショナルテーブル生成部138は、フィルタセレクタ部137から入力されたスタティック情報を元に、VSSC制御部135を制御するプレプロビショナル情報を生成する。また、プレプロビショナルテーブル生成部138は、UNIT APS CPU 146から受け取る情報をプレプロビショナル情報に反映することもできる。

[0108] ここに、UNIT APS CPU146は、INFユニットにおける監視制御用のプロセッサであり、INFユニットの監視制御用のファームウェア(Unit Firm)、及びAPSプロトコル実施用のプログラム(Unit Firm APS engine)を実行することによって、プレプロビショナルテーブル生成用の情報をプレプロビショナルテーブル生成部138、及びスタティック情報送信部141に供給したり、自INFユニットで受信されるSONETフレーム中のAPS(K1、K2)バイトを監視して、アラーム情報をスイッチ設定部139、及びダイナミック情報送信部142に供給したりすることができる。UNIT APS CPU146は、監視制御部109(図1)に相当する。

[0109] ダイナミック情報受信部132は、主信号に重畳されてきたダイナミック情報が格納されたOHを抽出する。ダイナミック情報受信部132も、他のINFユニットの数に応じて設けられる(この例では7)。ダイナミック情報は、スイッチ設定部139にそのまま通知される。

[0110] スイッチ設定部139は、ダイナミック情報受信部132から受け取る総ての他INFユニットからのダイナミック情報、及びUNIT APS CPU146から受け取る自INFユニ

ットのダイナミック情報(アラーム情報)に基づき、VSSC制御部135の制御情報(スイッチ設定情報)を生成する。

[0111] スタティック情報送信部141は、他INFユニットの数設けられている。各スタティック情報送信部141は、自INFユニットのスタティック情報(プレプロビショナルテーブル)とクロスコネクトテーブル部136中のクロスコネクトテーブル(XCON Table)情報をスタティック情報として、他INFユニットの夫々にBWB102を介して送信する。このようにして、自INFユニットのスタティック情報が総ての他INFユニットへブロードキャストされる。

[0112] ダイナミック情報送信部142は、他INFユニットの数だけ設けられる。各ダイナミック情報送信部142は、自INFユニットに係るダイナミック情報(スイッチ設定部139で生成されたスイッチ設定情報)を、ダイナミック情報として、他INFユニットの夫々にBWB102を介して送信する。このようにして、自INFユニットのダイナミック情報が総ての他INFユニットへブロードキャストされる。

[0113] VSSC制御部135は、クロスコネクトテーブル部136からのクロスコネクトテーブル情報、プレプロビショナルテーブル生成部138からのプレプロビショナル情報(スタティック情報)、及びスイッチ設定部139からのスイッチ設定情報(ダイナミック情報)に基づいて、VSSC部133の動作を制御する。VSSC制御部133は、BLSRのようなラインスイッチ制御部、及び／又は UPSRのようなパススイッチ制御部として機能する。

[0114] VSSC部133は、VSSC制御部135の制御下で、入力RAM(I－RAM)134からの入力データを用いた自INFユニットにおける保護スイッチ動作用の論理計算を行い、論理計算結果(保護スイッチ動作用データ)をACM RAM144に書き込む。ACM RAM144に書き込まれた保護スイッチ動作用データ(論理データ)は、論理物理変換部145で物理データに変換され、保護スイッチ制御データとしてTSI部105(物理的TSIチップ)に供給される。

[0115] TSI部105には、自INFユニット(この例では、SLOT－01)の受信側フレーマ部からの主信号(20G)、及びBWB102を介して自INFユニットに入力される、総ての他INFユニットからの主信号が入力される。

[0116] TSI部105は、自INFユニットの出力(output 20G)に対するクロスコネクトテーブル

を有し、クロスコネクトテーブルに従って、自ユニットを含む全INFユニットから入力された複数の主信号(160G:20G×8)から、自INFユニットの出力分(20G)のSTS信号を選択し、自INFユニットの出力ポートに接続することができる(160G→20G)。

[0117] 或いは、TSI部105は、クロスコネクトテーブルに従って、自INFユニットに入力された主信号(20G)を、総ての他INFユニットに分配することができる(20G→140G)。

[0118] さらに、TSI部105は、VSSC部133からの保護スイッチ動作用の制御データに従って、STS単位のTSI処理(タイムスロット置き換え)を行うことで、SONET保護スイッチ動作を実行する。TSI部105によるTSI処理によって、所望の保護スイッチ動作(ラインプロテクション(ライン切替)、パスプロテクション(パス切替))を行うことができる。

[0119] そして、自INFユニットにおける単独の保護スイッチ動作、或いは、他INFユニットと一斉に行う保護スイッチ動作によって、1+1 APS LINE SW, 1:1 APS LINE SW, 1:N APS LINE SW, UPSR/DPPM(Dedicated Path Protection Mesh) SW, 2F/4F-BLSR(NUT、RIP)のような、様々な保護スイッチ機能を実現するためのライン切替及び/又はパス切替を行うことができる。

[0120] 図9は、VSSC部133(VSSC部106)の構成例を示す。図9に示す例では、VSSC部133は、入力側の信号接続制御部(SYS CHANGE)201と、入力側のクライアント側のラインプロテクションブロック群(CLIENT LINE SWITCH SYSTEM GROUP)202と、入力側且つネットワーク側のラインプロテクションブロック群(NETWORK LINE SWITCH SYSTEM GROUP)203と、パススイッチ及びクロスコネクト部(パスプロテクションブロック及びTSIクロスコネクト部:PSW&XC)204と、出力側且つクライアント側のラインプロテクションブロック群(CLIENT LINE SWITCH SYSTEM GROUP)205と、出力側且つネットワーク側のラインプロテクションブロック群(NETWORK LINE SWITCH SYSTEM GROUP)206と、出力側の信号接続制御部(SYS CHANGE)207と、BLSR用ラインプロテクションブロック群(THROUGH BLOCK FOR BLSR LINE SWITCH SYSTEM GROUP)208とを備える。

[0121] 図8に示す入力RAM134には、自INFユニットの入力ポート毎に、入力ポート番号、STS番号(入力ポートに入力されるSTS信号(STSフレーム)の番号:パス識別子として利用)を含む情報が格納される。さらに、入力ポート毎の情報には、コード情報が

含まれる。コード情報は、プレプロビショナルテーブル生成部138から提供されるSTSコンカチネーションフラグ(STSサイズ情報)や、スイッチ設定部139から提供されるアラームフラグ(ライン／パスアラーム情報)を含む。

[0122] 入力RAM134からは、各入力ポートから入力される主信号の状態を示すデータ(上記した入力ポート番号、STS番号、コード情報を含む信号)が信号接続制御部111に出力される。信号接続制御部111は、入力RAM134から入力された各入力ポートのデータを、対応するラインプロテクションブロック群202及び203の一つに接続する。このような接続制御は、例えば、VSSC制御部135から指示に従って行われる。

[0123] ラインプロテクションブロック群202及び203を構成するラインプロテクションブロックの夫々は、自ブロックに入力されたデータに基づき、仮想的なラインプロテクション動作を行う論理回路で構成される。ラインプロテクションブロックには、実際のBLSR(NUT、RIP)による保護スイッチ動作を行うためのラインスイッチセレクタやブリッジスイッチのような、ライン切替やライン選択を行う論理回路が実際のBLSR構成を考慮して組み込まれている。このような論理回路は、データ中のラインアラーム情報に従って、保護スイッチ動作を行った結果を出力する。

[0124] 各ラインプロテクションブロックでの論理計算により、ラインプロテクションブロック群202及び203からは、アラーム情報に応じたラインプロテクション動作(ラインスイッチセレクタやブリッジスイッチの切替動作)が行われた結果を示す、入力ポート毎のデータが出力される。

[0125] パススイッチ及びクロスコネクト部204は、パスプロテクション動作を仮想的に行う論理回路で構成されるブロックである。パススイッチ及びクロスコネクト部204は、ラインプロテクションブロック群202及び203からの出力データ(各ライン出力)が夫々入力される二つの論理クロスコネクトテーブル211(A側)及び212(B側)と、各論理クロスコネクトテーブル211及び212に対応する挿入部(UNEQ-P INS)213及び214と、品質比較部(ALM FLG DROP)215と、パススイッチ(パスセレクタ)216とを備えている。

[0126] 論理クロスコネクトテーブル211及び212の夫々は、クロスコネクトテーブル部136における実際のクロスコネクトテーブル設定に従って、入力側から入力されたパス(STS)を所定の出力側へクロスコネクトする。

[0127] 挿入部213及び214は、対応する論理クロスコネクトテーブル211及び212の出力(クロスコネクト結果)に対し、未使用のパスに対してそのパスが未使用であることを示す信号(UNEQ-P)を挿入する。

[0128] 品質比較部215は、パス(STS)のOHに含まれるアラームフラグやコンカチネーションフラグをドロップして、これらに基づきA側とB側の何れの品質が良いかを決定する。パススイッチ216は、品質比較部215で決定された側の信号を出力する。パススイッチ216による切替動作によって、パスプロテクション動作が行われた結果を出力することができる。

[0129] パススイッチ216からの出力は、対応するラインプロテクションブロック群205及び206を構成するラインプロテクションブロックの一つに接続される。ブロック群205及び206を構成するラインプロテクションブロックの夫々は、ブロック群202及び203と同様に、仮想的なラインプロテクション動作を行う論理回路で構成される。

[0130] 各ラインプロテクションブロックには、実際のBLSR(NUT、RIP)による保護スイッチ動作を行うためのラインスイッチセレクタやブリッジスイッチのような、ライン切替やライン選択を行う論理回路が実際のBLSR構成を考慮して組み込まれている。

[0131] 各ラインプロテクションブロックでの論理計算により、ラインプロテクションブロック群205及び206からは、アラーム情報に応じたラインプロテクション動作(ラインスイッチセレクタやブリッジスイッチの切替動作)が行われた結果を示す、ライン毎のデータが出力される。

[0132] 出力側の信号接続制御部207は、例えばVSSC制御部135によって設定された接続設定に従って、出力ポート毎の論理計算結果を出力する。ACM RAM144には、出力ポート毎に、VSSC部133による仮想的な保護スイッチ動作の結果が格納される。すなわち、各入力ポートから入力されたSTS信号に対する出力先(出力ポート)を示すデータがACM RAM144に書き込まれる。

[0133] よって、このようなデータがTSI部105に供給され、TSI部105が当該データに従ってTSI処理を行うことで、TSI部105に入力されるSTS信号(実信号)を、保護スイッチ動作結果に応じた出力先へ出力することができる。このようにして、SONET保護スイッチ機能が実現される。

[0134] なお、BLSR用ラインプロテクションブロック群208は、BLSRを考慮して設けられた論理回路ブロックである。BLSRでは、リングプロテクション時に、パス切替が禁止される状態が生じることがある。このような禁止状態を、VSSC部133に反映するために、入力側のラインプロテクションブロック群202及び203から、出力側のラインプロテクションブロック群205及び206へ、パススイッチ及びクロスコネクト部204を迂回してデータ(信号)が伝送されるように、ブロック群208は機能する。

[0135] VSSC部133は、上述したように、実際のライン／パス構成に基づく論理回路による論理計算を行い、ライン／パス切替が実施された結果を出力する。

[0136] これによって、集中SWユニットがなくても、ダイナミックにハードウェアが自律でクロスコネクト設定することが可能となり、また、パスプロテクションの切替時間が短縮され要求された規格内で切替を行うことができる。

[0137] なお、図9に示したVSSC部133は、1＋1APS SW, 1:1APS SW, 1:N APS SW, UPSR／DPPM, 及び2F－BLSRを実現可能な構成を示している。4F－BLSRの場合には、BLSR用ラインプロテクション部208の構成を変更することで、実現が可能である。図9に示しtVSSC部133(VSSC論理回路)を適用することで、自由な組合せの 1+1APS LINE SW ,2F-BLSR, UPSR ,DPPM を容易に実現することができる。

[0138] 図10は、上述したSONET伝送装置100のTRIBシェルフビューを示す。図10に示すように、SONET伝送装置100は、ネットワーク側とクライアント側の夫々において、ラインレイヤプロテクション(1＋1APS SW, 1:N APS SW, 2F／4F－BLSR)を実現でき、さらに、UPSRやDPPMのようなパスレイヤプロテクションをも実現することができる。

[0139] 〔適用例1〕

以下、本実施形態のSONET伝送装置の適用例について説明する。適用例1として、2F－BLSRについての適用例を示す。図11は、2F－BLSRの基本的な構成例を示す。図11において、ノードA～Fが示されており、各ノードは、SONET伝送装置100に相当する。

[0140] 図11に示す例では、2本の光ファイバを用いたリングネットワークが形成されている

。各光ファイバは、現用系(WK:ワーキングライン)と予備系(PT:プロテクションライン)とを備えている。例えば、伝送速度がOC192の場合、チャネル1～96が現用系チャネルで、チャネル97～192が予備系チャネルとなる。チャネル1の救済用チャネルがチャネル97である。

[0141] 図12において、ノードEとノードFとの間で、チャネルaを用いた回線が設定され、ノードEからノードFに信号aが伝送され、ノードFからノードEに信号bが伝送される。その後、図13に示すように、ノードEとノードFとの間で、ノードEからノードFに信号aを伝送する光ファイバが切断され、ライン障害が発生したと仮定する。この場合、ノードEでアラーム情報が検出され、これに基づくリングブリッジによるブリッジ動作によって、ノードEのチャネルaに入力される信号aは、EAST側のWKライン(WKライン(E))及びWEST側のPTライン(PTライン(W))の双方に送出される。ノードD、C、B、Aは、フル・パス・スルーと呼ばれる状態となり、ノードEからの信号aをそのまま通過させる。これによって、信号aは、ノードFに到達する。ノードFでは、リングスイッチによって、WKライン(W)からPTライン(E)への切替が行われ、ノードEからの信号aを送信側のチャネルaに接続することができる。

[0142] 一方、ノードFでは、アラーム情報検出を契機として、リングブリッジのブリッジ動作によって、チャネルaに挿入された信号bがWKライン(W)及びPTライン(E)の双方に送出される。PTラインに送出された信号bは、ノードA、B、C及びDを通過してノードEに至る。ノードEでは、リングスイッチによって選択ラインがWKライン(E)からPTライン(W)へ切り替えられ、ノードFからの信号bがチャネルaの受信側(例えばクライアント側)に接続される。

[0143] 図12及び13に示したノードEは、論理的には、図14に示すようなプロテクションスイッチ回路構成を有する。障害が発生していない場合には、図12と同様に、ノードEで挿入(ADD)された信号aは、WKライン(E)に送出され、WKライン(E)から信号bを受信し、例えばクライアント側にドロップ(DROP)される。

[0144] その後、図13に示したようなライン障害が生じると、ノードEでは、チャネルaを収容するINF部において、ラインアラーム乃至はパスアラームが検出される。すると、図15に示すように、リングブリッジAによるブリッジ動作によって、PTライン(W)にも信号aが

送出される状態となる。一方、EAST側のリングスイッチBがPTライン(W)を選択する状態となり、当該PTライン(W)からの信号bをクライアント側へドロップする。

[0145] これに対し、ノードFでは、図16に示すように、障害発生時には、EAST側のリングブリッジCのブリッジ動作によって、EAST側のPTラインにも信号bを送出する状態となる。一方、WEST側のリングスイッチDが、EAST側のPTラインを選択する状態に切り替わり、このPTラインから受信される信号aがドロップされる状態となる。

[0146] 障害発生時には、他のノードA、B、C及びDは、フル・パス・スルー・ノードとして、図17に示すように、EAST及びWESTのPTラインからの信号をWEST及びEAST側にスルーさせる状態となる。

[0147] 図14～17に示した動作を実信号で制御する回路構成とすると、高価な専用ASICの利用が要求される。このため、上記動作をVSSC部106(133)で擬似論理計算させる。

[0148] 図14～17に示した2F－BLSRによる保護スイッチ動作(ブリッジ、スイッチ)を行う論理回路がVSSC部106に組み込まれる。このとき、リングブリッジ及びリングスイッチの動作は、いわゆる“2:1セレクタ”として構成できる。このため、ロジックの規模は大きくならない。また、シリアルロジックのため、制御はシリアル信号での制御となる。よって、低速度論理回路で実現することが可能である。

[0149] VSSC部206で行われた擬似演算結果(TSI ACMデータ)は、SONET伝送装置100を構成する全INFユニットに分配され、TSIスイッチ部105に書き込まれる。TSIスイッチ部105は、ACMデータに従ったTSI処理が、総てのINF間で同期をとって一斉に行われる。これによって、TSIスイッチ部105で、上述したリングブリッジやリングスイッチとしての動作が実現される。但し、外見上は、全く通常の2F-BLSR Protection Switchが動作しているようにみえる。

[0150] 図18は、160Gを収容するSONET伝送装置100が2F－BLSRをサポートする場合のシェルフビューイメージを示す。BWBが総てのINFユニット間でメッシュ接続されているので、どのようなINFユニットの組合せによっても、2F-BLSR Groupを定義することができ、どのINFユニット搭載APS CPUでも制御することが可能となる。図18には、6つの組合せパターンが例示されている。

[0151] 〔適用例2〕

次に、本実施形態のSONET伝送装置100を4F－BLSR に適用した場合の例を説明する。

[0152] 図19が4F－BLSRの基本的な構成例である。4F－BLSRでは、4本の光ファイバによるリングが形成され、2本のWKライン(EAST、WEST)と、2本のPTライン(EAST、WEST)が用意される。

[0153] 図20が、障害発生前の状態を示す。図20の例では、ノードEから挿入された信号aが、チャネルaのWKライン(E)を通じてノードFに至ってドロップされ、ノードFから挿入された信号bがチャネルaのWKライン(W)を通じてノードEに至り、ドロップされる様子が示されている。

[0154] 図21は、図20に示す状態において、ノードF－ノードE間のWKライン(W)の光ファイバが切断され障害が発生し、スパン救済が行われる様子を示す。この場合、ノードEでは、アラーム情報の検出によりスパンブリッジが動作して、信号aをWKライン(E)及びPTライン(E)の双方に送出する状態となる。一方、ノードFでは、スパンスイッチが選択ラインをWKライン(E)からPTライン(E)に切り替える。これによって、ノードEから到達した信号aがノードFでドロップされる。

[0155] また、ノードFでは、アラーム情報の検出を契機として、スパンブリッジが動作し、信号bをWKライン(W)及びPTライン(W)の双方に送出する状態となる。一方、ノードEでは、スパンスイッチが選択ラインをWKライン(W)からPTライン(W)に切り替える。これによって、ノードFから到達した信号bがノードEでドロップされる。このようにして、ノードE－ノードF間のスパンが救済される。

[0156] 図22は、ノードEから見たWKライン(E)及びPTライン(E)の双方のファイバ断が発生した場合におけるリング救済の様子を示す。

[0157] この場合、ノードEに搭載されたリングブリッジによるブリッジ動作によって、ノードEのチャネルaに挿入される信号aは、WKライン(E)及びPTライン(W)の双方に送出される。

[0158] ノードD、C、B、Aは、フル・パス・スルー状態となり、ノードEからの信号aをそのまま通過させる。これによって、ノードEからの信号aは、ノードFに到達する。ノードFでは

、リングスイッチによって、WKライン(W)からPTライン(E)への切替が行われ、ノードEからの信号aを送信側のチャネルaに接続することができる。

[0159] 一方、ノードFでは、リングブリッジのブリッジ動作によって、チャネルaからの入力信号がWKライン(W)及びPTライン(E)の双方に送出される。PTラインに送出された信号bは、ノードA、B、C及びDを通過してノードEに至る。ノードEでは、リングスイッチによって選択ラインがWKライン(E)からPTライン(W)へ切り替えられ、ノードFからの信号bがチャネルaのクライアント側でドロップされる。

[0160] 図20に示したノードEは、論理的には、図23に示すようなプロテクションスイッチ回路構成を有する。障害が発生していない場合には、図23に示すように、ノードEで挿入された信号aは、WKライン(E)に送出される。また、ノードEは、WKライン(E)から信号bを受信してドロップする。

[0161] その後、図21に示したような障害が生じると、ノードEでは、例えば、チャネルaを収容するINF部において、ラインアラーム乃至はパスアラームが検出される。すると、図24に示すように、スパンブリッジEによるブリッジ動作によって、WKライン(E)とPTライン(E)との双方に信号aを送出する状態となる。一方、EAST側のスパンスイッチFがPTライン(E)を選択する状態となり、当該PTライン(E)からの信号bをドロップする。

[0162] これに対し、図22に示したような障害が生じると、図25に示すように、ノードEは、リングブリッジGによって、WKライン(E)及びPTライン(W)の双方に信号aを送出する状態になる。一方、ノードEは、リングスイッチHによってPTライン(W)からの信号bを選択してドロップする状態となる。

[0163] なお、障害発生時には、他のノードA、B、C及びDは、フル・パス・スルーノードとして、EAST及びWESTのPTラインからの信号をWEST及びEAST側にスルーさせる状態となる。

[0164] 上述した4F－BLSRの動作を実信号で制御する回路構成すると高価な専用ASICの利用が要求される。このため、上記動作をVSSC部106(133)で擬似論理計算させる。

[0165] 図23に示したような4F－BLSRによるプロテクションスイッチ動作(スパンブリッジ、スパンスイッチ、リングブリッジ、リングスイッチ)を行う4F－BLSR用の論理回路がVS

SC部106に組み込まれる。このとき、ブリッジ及びスイッチの動作は、いわゆる“2:1セレクタ”として構成できる。このため、ロジックの規模は大きくならない。また、シリアルロジックのため、制御はシリアル信号での制御となる。よって、低速度論理回路で実現することが可能である。

[0166] SONET伝送装置100では、VSSC部106による4L－BLSRの論理計算結果が、ダイナミック情報として各INF部101に送信される。そして、各INF部101で、同期をとって一斉に全INF部101のTSIスイッチ部105にセットされるTSI情報が当該論理計算結果によって変更される。これによって、4F－BLSRのスパン救済、又はリング救済を行うことが可能となる。外見上は、全く通常の4F-BLSR Protection Switchが動作しているように見える。

[0167] 図26は、は、160Gを収容するSONET伝送装置100が4F－BLSRをサポートする場合のシェルフビューイメージを示す。BWB102が総てのINFユニット間でメッシュ接続されているので、どのようなINFユニットの組合せによっても、4F-BLSR Groupを定義することができ、どのINFユニット搭載APS CPUでも制御することが可能となる。図26には、6つの組合せパターンが例示されている。

[0168] 上述した2F－BLSR／4F－BLSR に必要とする Protection Switch用 Pre-Provisioning 情報としては、以下のようなものがある。

[0169] 上述したBLSR Protection SW機能は、“VSSC”ロジックと “分散TSI設定”とをメッシュ接続された分散INFユニットで一斉に動作させることで実現することができる。

[0170] その際に、切替制御を行うトリガを決めるのは、BLSR APS Protocol の結果と、予め作成しておくPre-Provisioning情報にて決定される。

[0171] 本実施形態では、これらの BLSR APS と BLSR Pre-Provisioning情報 を ″VSSC-Datalink″(BWB102)を用いて、全INF部101で共有させる。

〈1〉 BLSR APS (K1,K2) byteのアクセス

これは、GR-1230 にProtocol手順が規定されており、ここでは そのアクセス方法を ″VSSC-Datalink″ の″Dynamic Information(ダイナミック情報)″として定義することで、全INF部において、認識でき、かつ設定することができる。

[0172] APS Protocol を処理する APS CPUは、基本的に自由に配備することができる。し

かし、BLSRでは、切替性能の高速化が要求される。このため、複数のINF部101がBWB102でメッシュ接続される構成では、INF部101毎にAPS CPUを具備し、処理性能を並列処理させて、分散化することにより高性能を実現することを基本概念とする。

[0173] 〈2〉Pre-Provisioning 情報の共有化とアクセス

BLSRに必要なPre-Provisioning 情報は、下記のものがある。

(1) NODE ID 情報

自装置のノードIDを知らない場合には、APS Protocol(APS CPU)は、動作することができない。当該情報は、BLSRリングが構成される際に、OPS(Operation System)からSONET伝送装置(INF部)に設定される。

(2) Ring Topology Table 情報

リング内に存在するノードIDの並び順をリングトポロジテーブルとして具備する。リングトポロジ情報が不明である場合には、障害区間を特定することができない。

[0174] 例えば、図11に示すネットワークでは、ノードFのノードIDは“F(15)”であり、ノードFからみたリングトポロジ(テーブル)は、EASTからWEST方向に{F, E, D, C, B, A}となる。

[0175] リングトポロジテーブル情報も、OPSからの起動により、全NODEが共通なリングトポロジテーブルを所有することができる。

(3) SQLC Table/RIP Table

SQLC Tableは、クロスコネクト(Cross-Connect)経路が、自ノードに関連しているかどうかを知るための関連クロスコネクト情報である。別々な区間での2重障害時に、ミスコネクション(Misconnection)するチャネル(Ch)に対して信号AIS-Pを挿入(SQLC:スケルチと呼ばれる)する判定に用いられる。

[0176] RIP Tableは、BLSR Ringを接続する際に、冗長接続しているChのPrimary NODEとSecondary NODEの情報とDTP (Dual Transmit on Protection Channel) と DCP (Drop and Continue on Protection Channel) とのどちらの方法でチャネルを冗長化させているかを示す情報である。

[0177] Ring間接続の Primary NODE (現用Ch)の障害時において、Secondary NODE や T

erminal NODE(Chの元信号挿入NODE)が動作を判断するための情報である。

[0178] 例えば、図11に示すリングネットワークにおけるノードからみたスケルチテーブルは、WEST側チャネル1にて、ソース(送信元)ID＝“F”, 宛先ID＝“E”, 方向(DIRN)＝EW(EAST→WEST), ソースID＝“F”, 宛先ID＝“E”, 方向＝WE(WEST→EAST)となる。RIPテーブルもほぼ同様である。

[0179] (4) 上述した(2)(3)の情報は、自動プロビショナル(Auto-Prov.) 処理により必要に応じて自動的に更新される。通常は、SONET／SDH の空きTOH エリアを使用して通信手順を使い、同期する。

これらのPre-Provisioning 情報は、VSSCデータリンク情報中のスタティック情報として定義することができる。

[0180] 上述した情報は、BWB102を介した全INF部101による共用化が可能である。

[0181] 図27は、BLSRをSONET伝送装置100に組み込んだときのブロックイメージ例を示す。図27には、INFユニット160の構成例が示されている。図27において、主信号の受信側のフレーマ(OC192)161、フレーマ(OC48)162は、SONET／SDHのTOHからAPS(K1、K2バイト)、リングトポロジ生成用OH、SQLC／RIPテーブル生成用OHを受信して抜き出し、VSSCデータリンク受信部163に渡す(図27(1))。

[0182] また、VSSCデータリンク受信部163(スタティック情報受信部131及びダイナミック情報受信部132(図8)に相当)は、BWB102から自INFユニットで受信される他INFユニット160(7つ)からのVSSCデータリンク情報(スタティック情報、ダイナミック情報)を受信する(図27(2))

また、VSSCデータリンク受信部163は、VSSC制御部164に対し、他INFユニット160のAPS CPUが生成したリングトポロジテーブル、SQLC／RIPテーブルをスタティック情報として渡す。また、VSSCデータリンク受信部163は、他INFユニット160のAPS CPU165が切替トリガを認識し、そのAPS情報を自INFユニット160のVSSC制御部164に設定したときに、そのAPS情報をダイナミック情報としてBWB102から受け取り、自INFユニットのVSSC制御部164に設定することができる(図27(3))。

[0183] さらに、VSSCデータリンク受信部163は、自身が受信したBLSR関連OH情報(例

えば、APS(K1、K2バイト))を所定の遅延(例えば1フレーム遅延)で即時に他INFユニット160へ転送するために、当該OH情報をVSSCデータリンク送信部167(スタティック情報送信部141及びダイナミック情報送信部142(図8)に相当)へ送る(図27(3))。

[0184] また、VSSC制御部164は、自INFユニット160のAPS CPU165が生成したリングトポロジテーブル、SQLC／RIPテーブルを、スタティック情報として総ての他INFユニット160に送信するために、当該スタティック情報をVSSCデータリンク送信部167へ送る(図27(4))。

[0185] APS CPU165は、ラインアラーム情報やパスアラーム情報の検出して、ライン／パスの切替トリガを認識し、システムバス166を介してVSSC制御部164に設定することができる。

[0186] このとき、VSSC制御部164は、設定APS SW情報をダイナミック情報として総ての他INFユニット160に送信するために、当該情報をVSSCデータリンク送信部167へ送る(図27(4))。

[0187] VSSCデータリンク送信部167は、他INFユニット160へVSSCデータリンク情報をブロードキャストで送信することができる(図27(5))。

[0188] 送信されたVSSCデータリンク情報は、BWB102を介して総ての他INFユニット160に受信され、上述したような処理が、他INFユニットにて行われる。

[0189] また、VSSCデータリンク送信部167は、自INFユニットに係るAPS、リングトポロジ生成用OH、SQLC／RIPテーブル生成用OHを生成して、送信側の各フレーマ169，170に挿入することができる(図27(6))。

[0190] 〔適用例3〕

図28は、1+1 APS LINE SW(1+1 liner Automatic Protection Switching)構成例を示す。図28に示す1＋1ラインスイッチ構成では、ノードAから信号がワーキングライン(WKライン)とプロテクションライン(PTライン)との双方を用いてノードBに伝送される。ノードBは、ラインスイッチセレクタ(LINE SW SEL)41を有し、WKラインとPTラインとの一方を選択して、選択した側から入力される信号を出力する。

[0191] WKラインの正常時では、ラインスイッチセレクタ41は、WKラインの信号を選択して

出力する。これに対し、WKラインに障害が生じると、ラインスイッチセレクタ41は、選択ラインをWKラインからPTラインに切り替えて、PTラインからの信号を出力する。

[0192] このようなラインスイッチセレクタ41が、図9に示したVSSC部133(106)中の入力側のラインプロテクションブロックに、ラインスイッチセレクタ41Aとして組み込まれる。これによって、VSSC部133では、WKラインの信号の入力ポートを有するINFユニットのVSSC部が、WKラインの障害に応じたラインスイッチセレクタ41Aの切替動作を擬似論理演算することができる。これによって、本実施形態に係るSONET装置は、1+1 APS LINE SWを実現することができる。

[0193] このような1＋1ラインスイッチが適用される入力ポートとして、総てのINFユニットの中から任意の2つの入力ポートを選択することができる。

[0194] 〔適用例4〕

図29は、1:1 APS LINE SW(1:1 liner Automatic Protection Switching)構成例を示す。1:1ラインスイッチ構成は、PTラインとWKラインとの比が1:1であるラインスイッチ構成である。1:1ラインスイッチ構成では、ノードAとノードB間にWKラインとPTラインとが設けられ、ノードAはブリッジスイッチ43を有し、ノードBはラインスイッチセレクタ44を有している。

[0195] WKラインの正常時では、ノードAのブリッジスイッチ43は、PTライン側を選択し、WKライン側の信号は、WKラインのみを通ってノードBに到達する(PTラインに信号は流れない)。ノードBでは、ラインスイッチセレクタ44が、WKライン側の信号を選択して出力する。

[0196] これに対し、WKラインの障害時では、ブリッジスイッチ43は、WKライン側の信号を選択する切替動作を行う。これによって、信号はPTラインを介してノードAからノードBに伝送される。ノードBでは、ラインスイッチセレクタ44が、PTライン側の信号を選択する状態に切り替わり、PTラインからの信号を出力する。

[0197] 上述したブリッジスイッチ43は、図9に示したVSSC部133(106)中の出力側のラインプロテクションブロックに、ブリッジスイッチ43Aとして組み込まれる。また、ラインスイッチセレクタ44は、VSSC部133(106)中の入力側のラインプロテクションブロックに、ラインスイッチセレクタ44Aとして組み込まれる。

[0198] これによって、WKラインへの出力ポートを持つINFユニットのVSSC部133では、WKラインの障害に応じたブリッジスイッチ43Aの動作を擬似論理計算することができる。また、WKライン及びPTラインの入力ポートを有するINFユニットVSSC部133では、WKラインの障害に応じたラインスイッチセレクタ44Aの動作を擬似論理計算することができる。よって、本実施形態に係るINFユニット(SONET装置)は、1:1 APS LINE SWを実現することができる。

[0199] このような1:1ラインスイッチが適用される入力ポートとして、総てのINFユニットの中から任意の2つの入力ポートを選択することができる。

[0200] 〔適用例5〕

図30は、1:N APS LINE SW(1:N liner Automatic Protection Switching)構成例を示す。1:Nラインスイッチ構成は、PTラインとWKラインとの比が1:Nであるラインスイッチ構成である。図30に示す1:N(N＝4)ラインスイッチ構成では、ノードAとノードB間にWKラインWK1～WK4とPTラインとが設けられ、ノードAはブリッジスイッチ47を有し、ノードBはラインスイッチセレクタ48を有している。

[0201] WKラインWK1～WK4の正常時では、ノードAのブリッジスイッチ47は、PTライン側を選択し、WKラインWK1～WK4側の信号は、WKラインWK1～WK4のみを通ってノードBに到達する(PTラインに信号は流れない)。ノードBでは、ラインスイッチセレクタ48が、WKラインWK1～WK4からの信号を選択して出力する。

[0202] これに対し、或るWKライン(図30ではWK2)の障害時では、ブリッジスイッチ48は、WKラインWK2へ送出される信号をPTラインに出力する切替動作を行う。これによって、信号はPTラインを介してノードAからノードBに伝送される。ノードBでは、ラインスイッチセレクタ48が、WKラインWK2の代わりにPTラインの信号を選択する状態に切り替わり、PTラインからの信号を出力する。

[0203] 上述したブリッジスイッチ47は、図9に示したVSSC部133(106)中の出力側のラインプロテクションブロックに、ブリッジスイッチ47Aとして組み込まれる。また、ラインスイッチセレクタ48は、VSSC部133(106)中の入力側のラインプロテクションブロックに、ラインスイッチセレクタ48Aとして組み込まれる。

[0204] これによって、WKラインへの出力ポートを持つINFユニットのVSSC部133では、

WKラインWK1～WK4のいずれか一つの障害に応じたブリッジスイッチ47Aの動作を擬似論理計算することができる。また、WKラインWK1～WK4及びPTラインの入力ポートを有するINFユニットVSSC部133では、WKラインWK1～WK4のいずれか一つの障害に応じたラインスイッチセレクタ48Aの動作を擬似論理計算することができる。よって、本実施形態に係るINFユニット(SONET装置)は、1:N APS LINE SWを実現することができる。

[0205] このような1:Nラインスイッチが適用される入力ポートとして、総てのINFユニットの中から任意の1＋N個の入力ポートを選択することができる。

[0206] 〔適用例6〕

図31は、UPSR, DPPM SW構成を示す。図31(A)は、UPSR／DPPMの原理を示す。ラインX上のSTSチャネル番号“xxx”の信号(STS信号“xxx”)と、ラインY上のSTSチャネル番号“yyy”の信号(STS信号“yyy”)とが同じ信号である場合において、STS信号“xxx”はSTS TSI(クロスコネクト)A側でクロスコネクトされ、STS信号“yyy”は、STS TSI(クロスコネクト)B側でクロスコネクトされる。

[0207] その後、STS信号“xxx”とSTS信号“yyy”とが、STSパスアラーム比較部に入力される。このとき、STS信号の双方がパスアラームを含んでいない場合には、所定のSTS信号(例えば“xxx”)が選択され、パスセレクタ(パススイッチ)から出力される。STS信号の一方がパスアラームを含んでいる場合には、パスアラームを含んでいないSTS信号が選択され、パスセレクタから出力される。例えば、STS信号“xxx”がパスアラームを含んでいる場合には、パスセレクタからの出力が、STS信号“xxx”からSTS信号“yyy”に切り替えられる。

[0208] ここで、図31(B)に示すように、チャネル番号“xxx”とチャネル番号“yyy”とが同じ番号である場合には、通常、図31(A)に示したようなパスプロテクション制御は、UPSRと呼ばれる。UPSRでは、同一のチャネル番号のSTS信号であって、或るリングネットワークで、異なるルートを通る二つのSTS信号を受信する受信ノードにパススイッチが設けられ、このパススイッチで二つのSTS信号(パス)の一方が選択及び出力される。

[0209] これに対し、図31(C)に示すように、二つのSTS信号が夫々異なるチャネル番号を

有し、各STS信号が異なる複数のネットワークを経由し、或るネットワークの受信ノードに到達する場合において、受信ノードに設けられたパススイッチ(DPPMスイッチ)で、二つのSTS信号(パス)の一方を選択及び出力するパスプロテクション動作がある。これはDPPMと呼ばれる。

[0210] 図31(D)は、UPSR／DPPMを実現するためにVSSC部133(106)に組み込まれる論理回路ブロック50を示す。この論理回路ブロック50は、図9に示したパススイッチ及びクロスコネクト部204と同様の擬似論理演算を行う。

[0211] このような論理回路ブロック50が、図31(B)や図31(C)に示した受信ノードに相当するSONET伝送装置のINFユニット中のVSSC部に組み込まれることで、UPSR／DPPMによるパス切替結果を反映したTSI制御データを得ることができ、UPSR／DPPMを実現することができる。

[0212] UPSR／DDPMを適用するSTS信号として、総てのINFユニットで受信される、冗長化された任意の2つのSTS信号を選択することができる。

[0213] 〔適用例7〕

図32及び図33は、2F－BLSR用RIP処理の説明図である。RIPは、異なる二つのリングネットワーク間を跨るチャネルの保護を図る技術である。図32において、2F－BLSRが夫々適用されたリングネットワークXとリングネットワークYとにおいて、リングネットワークXのノードH(ターミナルと呼ばれる)のチャネルaから入力(ADD)される信号は、ノードAを通ってノードBに到達し、ノードBからリングネットワークYのノードGに伝送される。ノードGは、レギュラサービスセレクタ(SS)と呼ばれるスイッチを有し、このSSは、ノードBからの信号をWKラインに接続する。その後、信号は、ノードHを通ってノードAに到達し、ドロップされるようになっている。

[0214] また、リングネットワークのノードA(ターミナル)のチャネルbから入力(ADD)される信号は、チャネルaの信号の伝送経路と逆方向を通り、リングネットワークYのノードGからリングネットワークXのノードBに伝送される。ノードBも、SSを有し、SSは、チャネルbの信号をWKラインに接続する。その後、チャネルbの信号はノードAを通ってノードHに到達し、ドロップされる。これが正常時の状態である。SSを有するノード(ノードB、ノードG)は、プライマリと呼ばれる。

[0215] 図33に示すように、リングネットワークXのノードHとノードAとの間を結ぶ光ファイバ断が発生すると、リングネットワークXのノードHは、リングブリッジによりチャネルaの信号をPKライン側に出力し、ノードG→F→E→D→C→B→Aのルートを辿り、ノードAのリングスイッチでWKライン(W)に折り返されることで、障害前のルートに復帰し、ノードB、ノードG、ノードHを通ってノードAに到達する。このようにしてチャネルaが保護される。

[0216] 一方、チャネルbの信号は、リングネットワークXのノードAでリングブリッジによりPKライン(W)に折り返され、ノードB、ノードCを通ってノードDに至り、ノードDのリリーフサービスセレクタ(R－SS)でWKラインに切り替えられ、ノードE、F、Gを通って、ノードHに至り、ノードHのリングスイッチにより、ドロップされる。このようにしてチャネルbが保護される。ノードDはセカンダリと呼ばれる。

[0217] 図34は、図33に示したリングネットワークXのノードB(プライマリ)におけるSS、及びノードD(セカンダリ)におけるR－SSを有する2F－BLSR RIP動作を実現する機能ブロック例を示す。このようなSSやR－SSが、VSSC論理回路内に組み込まれることで、2F－BLSR RIP動作をVSSC内で擬似的に論理計算し、その結果が反映されたTSI制御データを得ることができる。図34に示すような論理スイッチ回路ブロックをVSSCに追加することで、GR-1230規定のRIP動作を実現することが可能となる。

[0218] 〔適用例8〕

図35は、4F－BLSR RIP動作を行うネットワーク構成例(正常時)を示し、図36は、図35に示したネットワークにおいてRIP動作により救済が行われる様子を示す。救済の動作は2F－BLSRの場合とほぼ同様である。4F－BLSRも、SS及びR－SSの動作によって救済が図られる。図37は、4F－BLSR RIPを実現するためのブロック構成例を示す。このようなSSやR－SSが、VSSC論理回路内に組み込まれることで、4F－BLSR RIP動作をVSSC内で擬似的に論理計算し、その結果が反映されたTSI制御データを得ることができる。図37に示すような論理スイッチ回路ブロックをVSSCに追加することで、GR-1230規定のRIP動作を実現することが可能となる。

[0219] 〔適用例9〕

図38は、NUT(Non-preemptible Unprotected Traffic)機能の説明図であり、図39

は、NUT機能を実現するための論理回路構成例を示す。

[0220] NUTとは、「プロテクション帯域を持たないが、障害が起きても“横取り”されないトラフィック」をいう。通常のプロテクションチャネル(PTライン)は、障害発生時に現用系の信号(ワーク信号)が徹のので、そのワーク信号により占有される。これに対し、NUT設定が行われたチャネル(NUTチャネル)は、障害発生時において、ワーク信号を通すために占有されない。NUTチャネルには、WK／PTの区別がなく、冗長構成のどの帯域にも設定可能である。

[0221] NUTは、主にBLSRが適用されたネットワークで使用される。図38に示す例では、ルータR間を結ぶトラフィックの一部が、BLSRが適用されたリングネットワークを経由する。このとき、このルータ間のトラフィックのためのリング上のチャネルにNUT設定が施される。すると、このチャネルに障害が起きた場合でも、このチャネルに対する保護スイッチ動作はリング上で行われない。よって、ルータ間では、チャネル障害時にIPネットワークを用いた冗長経路に切り替えることで、通信を継続することが可能である。

[0222] このようなNUT設定を施すための論理回路構成を図39に示す。図39に示すブロック61は、BLSR用のブリッジ又はスイッチであり、BLSRの切替制御信号に基づいて、入力される信号の出力切替を行う。

[0223] NUT設定が施されない場合には、ブロック61に対して、BLSRの切替制御信号が直接的に入力される構成が採られる。これに対し、図39に示すように、ブロック61の制御信号の入力端には、AND回路62が接続される。

[0224] AND回路62の一方の入力端には、BLSRの切替制御信号(切替指示)が入力される。他方の入力端には、NUT設定(設定なし:1、設定あり:0)が入力される。これによって、NUT設定有りの信号がAND回路62に入力される場合には、切替指示“1”が入力されても、切替指示はブロック61に伝達されない。すなわち、切替指示が無効にされる。このような論理回路がVSSC論理回路に組み込まれることで、NUTを実現することができる。

[0225] 〈実施形態の作用効果〉

本実施形態によれば、VSSC回路に 1+1APS LINE Switch論理回路を具備すること

により、SONET伝送装置に収容される総てのインタフェースフェースポート(INF Port (例えばOC3,OC12,OC48,OC192,OC768)から任意の2ポートを選択して1+1 APS LINE Switchを実現することができる。

[0226] また、本実施形態によれば、VSSC回路に 1:N APS LINE Switch論理回路を具備することによって、SONET伝送装置に収容される総てのインタフェースポート(INF Port (例えばOC3,OC12,OC48,OC192,OC768)から、任意の1＋N個(Nは正の整数)のポートを選択して1:N APS LINE Switchを実現することができる。

[0227] また、本実施形態によれば、VSSC回路に Path Switch論理回路を具備することによって、SONET伝送装置に収容される総てのインタフェースポートSTS(INF Port STS)のうちの二つを選択し、DPPM (Dedicated Path Protection Mesh) ,及びUPSR機能を実現することができる。

[0228] また、本実施形態によれば、VSSC回路に2F－BLSR論理回路を具備することによって、SONET伝送装置に収容される総てのインタフェースポート(INF Port (例えばOC48,OC192,OC768))から任意の二つのポートを選択して2F－BLSRを実現することができる。

[0229] また、本実施形態によれば、VSSC回路に4F－BLSR論理回路を具備することによって、SONET伝送装置に収容される総てのインタフェースポート(INF Port (例えばOC48,OC192,OC768))から任意の4つのポートを選択して4F－BLSRを実現することができる。

[0230] また、本実施形態によれば、上述した2F－BLSR論理回路や4F－BLSR論理回路にNUT論理回路を追加することで、2F－BLSRや4F－BLSR論理回路にNUT機能を追加することができる。

[0231] また、上述したVSSC論理回路を共通な1つのVSSC回路に具備することで、上述した様々なプロテクションスイッチ機能(1＋1, 1:N, DPPM, UPSR, BLSR(2F, 4F, NUT))を自由に組み合わせて、任意のインタフェースポートに提供することができる。

[0232] また、本実施形態に示したSONET伝送装置の適用TSI規模は、基本的な容量(160Gbps)に限られない。使用TSIデバイスの変更、VSSC FPGA論理回路の変更、

及びメッシュ配線本数の増加によって、TSI規模が320Gや640GであるSONET伝送装置に適用することができる。

[0233] 一方、適用TSI規模を、基本的な容量(160G)以下(例えば、80G, 40G, 20G)で実現させることにより、非常に小型化で高性能な装置を提供することができる。このような、小容量の装置構成では、STS単位制御ではなく、VT単位のTSI機能を具備することで、STS単位と全く同じ手法で、VT単位のプロテクションスイッチ機能を実現することができる。

[0234] また、SONET伝送装置が具備するAPSプロトコル処理をINFユニットに搭載されるAPS CPUファームウェアに処理させることで、シェルフを構成する総てのINFユニットに対し、OPS(Operation System:装置制御システム)からの情報を通信するCPUユニット(SONET伝送装置に搭載される)の処理負荷を負担させることができ、CPUユニットの処理負荷の軽減を図ることができる。

[0235] 上述したSONET伝送装置に係る複数の機能は、INFユニットに収容されるINFポート数に依存することなく提供可能である。よって、Multi-Port UNIT(収容回線数増加)における プロテクションスイッチ機能提供が可能となる。

[0236] また、上述したSONET伝送装置に係る複数の機能は、SONET のみならず、SDHにも同様の手法で適用が可能である。SDHにおいては、STM-1,STM-4,STM-16,STM-64がラインスイッチに相当し、STS TSIは、AU3,AU4といった呼び方になるだけであり、APSプロトコル仕様を SDH(ITU－T)仕様に準拠させることで実現が可能である。

[0237] 本実施形態によれば、以下のような効果を得ることができる。

(1)SONET伝送装置における機能を複数のインタフェースユニット(INFユニット)に分散配置することによって、STS－SWのような必須で且つ処理負荷の大きいユニットをなくすことができる。

[0238] このようにすれば、SONET伝送装置の最小モデル構成に必要なユニット数を少なくでき、最小モデル構成に必要な必須ユニット(必須ユニットは高価なことが多い)数も少なくすることができる。

[0239] (2)分散TSI(タイムスロット置き換え)を使ったBLSR機能の実現は、その制御情報

の受け渡し方法や管理方法が難解であるため、従来の方式ベース(集中(Common TSI SW)UNITを用いる方式)で開発を進める傾向が強かった(製品の早期市場提供)。しかし、最近のMetro ADM 装置では、これを打開せねば、顧客獲得が困難である状況下であった。本実施形態によれば、分散TSIを用いたBLSR機能が実現可能であり、これを実市場に提供することは、非常に 顧客への大きなアドバンテージとなるとと推測する。

[0240] (3)SONET伝送装置の機能を複数のINFユニットに完全分散配置する最大のメリットは、INFユニットが追加される毎に、収容回線数が増加する点と、サポート可能なプロテクションスイッチ機能の組合せが増加する点である。顧客から見ると、INFユニットを追加購入するだけで、収容回線数が増加するとともに、プロテクションスイッチ機能が付与されるという、理想的な機能更新コンセプトを提示することができる。INFユニットの追加による既存のINFユニットへの影響は、SONET伝送装置に搭載されるソフトウェア及びファームウェアの更新のみで抑えることができる(既存のINFユニットに対するハードウェア変更は必要ない)。

[0241] (4) 実施形態で示された基本構成では、SONET伝送装置が二つのINFユニットを収容することで、“40G TSI”及び プロテクションスイッチ(1+1,UPSR,2F-BLSR,DPPM)をサポートすることができる。

[0242] (5) 本実施形態は、論理(Logic)回路を駆使する方式である。このため、使用部品に対する要求が少ない。従って、装置の実現にあたって、顧客に応じた最適な機能を選択することにより、大きなコストダウン効果を得ることができる。また、大規模装置を適用する場合における幾つかの課題を解決できる。よって、ため、機能、コストダウン、利便性の面で大きな効果を生むと考えられる。

請求の範囲

[1] 複数の回線を収容する複数のインタフェース部と、

前記複数のインタフェース部をメッシュ状に相互接続し、各インタフェース部が収容する複数の回線上の信号と、各インタフェース部で得られた保護切替動作に関する情報を相互に分配するためのメッシュ配線とを備え、

前記複数のインタフェース部の夫々は、

前記メッシュ配線へ信号及び情報を送信する送信部と、

前記メッシュ配線から信号及び情報を受信する受信部と、

自インタフェース部が収容する複数の回線上の信号と、前記メッシュ配線を介して前記受信部で受信される、総ての他インタフェース部が収容する複数の回線上の信号とが入力され、入力された複数の信号に関するタイムスロット置き換え処理を通じて前記複数の信号の中から選択された信号を出力することができるタイムスロット置き換え部と、

自インタフェース部が収容する複数の回線に関する警報情報と、前記メッシュ配線を介して前記受信部で受信される、総ての他インタフェース部が収容する複数の回線に関する警報情報とを検出する検出部と、

自インタフェース部が収容する複数の回線に関して、前記検出部で検出された警報情報を元に実施すべき保護切替動作を仮想的に実施する論理回路を含み、この論理回路の計算によって得られる前記保護切替動作が反映された前記タイムスロット置き換え部の制御用データを生成して前記タイムスロット置き換え部に供給する制御部と

を含むSONET／SDH伝送装置。

[2] 前記複数のインタフェース部の少なくとも二つが夫々収容する冗長化回線に関する警報情報が検出された場合に前記少なくとも二つのインタフェース部の夫々で前記冗長化回線に関する保護切替動作が要求されるときには、前記少なくとも二つのインタフェース部の夫々におけるタイムスロット置き換え部が前記冗長化回線に関する仮想的な保護切替動作が反映された制御用データに基づくタイムスロット置き換え処理を一斉に実行する

請求項1に記載のSONET／SDH伝送装置。

[3] 前記タイムスロット置き換え部は、タイムスロット置き換え用の汎用ASICを用いて構成され、前記制御部は、FPGAを用いて構成されている

請求項1又は2に記載のSONET／SDH伝送装置。

[4] 前記送信部は、自インタフェース部に静的に設定された第1の情報と、自インタフェース部で検出される、前記警報情報を含む第2の情報とを前記メッシュ配線を介して総ての他インタフェース部へブロードキャストする

請求項1～3のいずれか一項に記載のSONET／SDH伝送装置。

[5] 前記第1及び第2の情報は、前記信号を前記メッシュ配線を介して伝送するためのデータフレームの空き領域に格納されて前記メッシュ配線を伝送される

請求項4に記載のSONET／SDH伝送装置。

[6] 前記論理回路は、1＋1APSラインスイッチング論理回路を含む

請求項1～5のいずれか一項に記載のSONET／SDH伝送装置。

[7] 前記論理回路は、1:N APSラインスイッチング論理回路を含む

請求項1～6のいずれか一項に記載のSONET／SDH伝送装置。

[8] 前記論理回路は、UPSR及び／又はDPPM用のパススイッチ論理回路を含む

請求項1～7のいずれか一項に記載のSONET／SDH伝送装置。

[9] 前記論理回路は、2F－BLSR論理回路を含む

請求項1～8のいずれか一項に記載のSONET／SDH伝送装置。

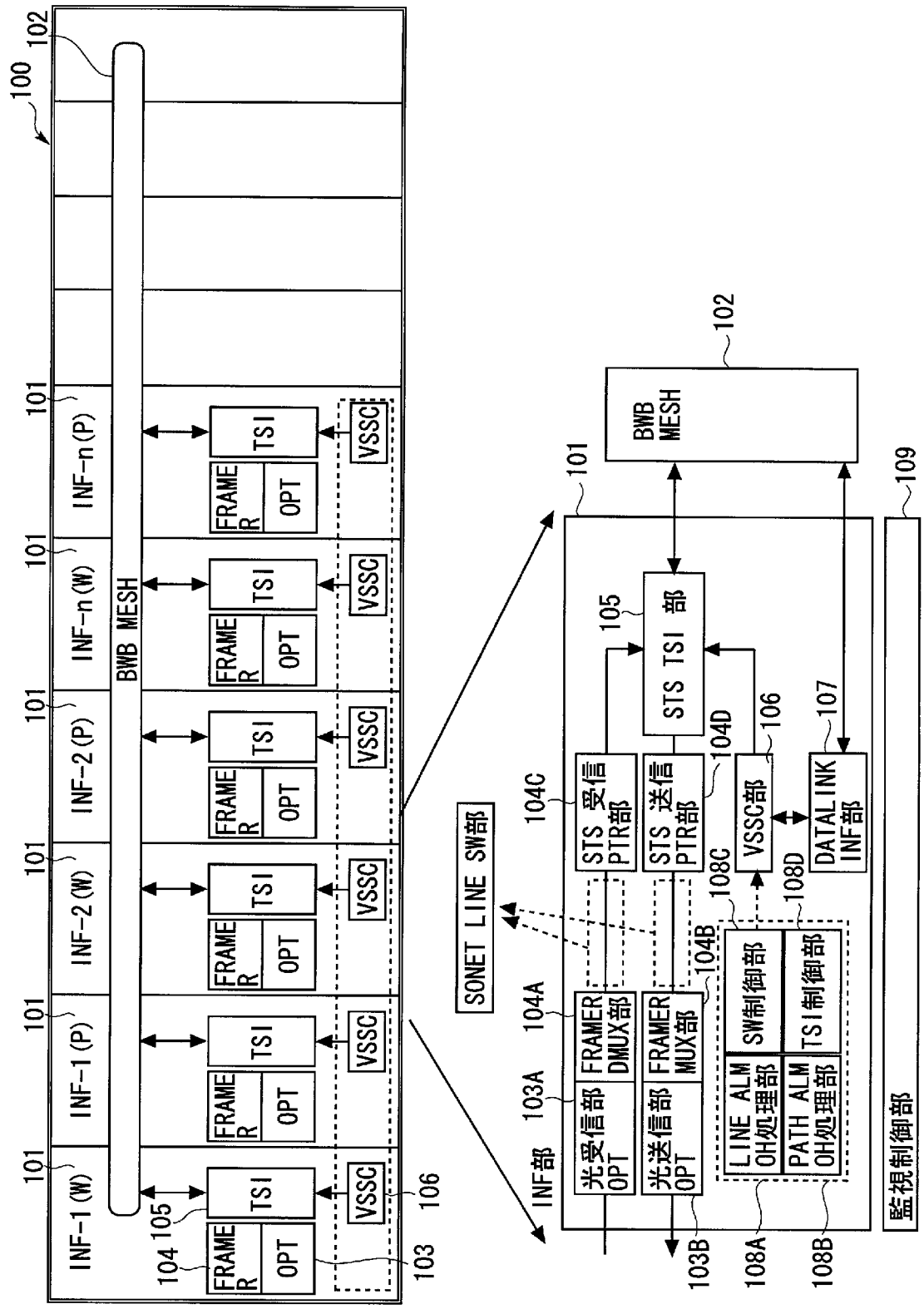
[10] 前記論理回路は、4F－BLSR論理回路を含む

請求項1～9のいずれか一項に記載のSONET／SDH伝送装置。

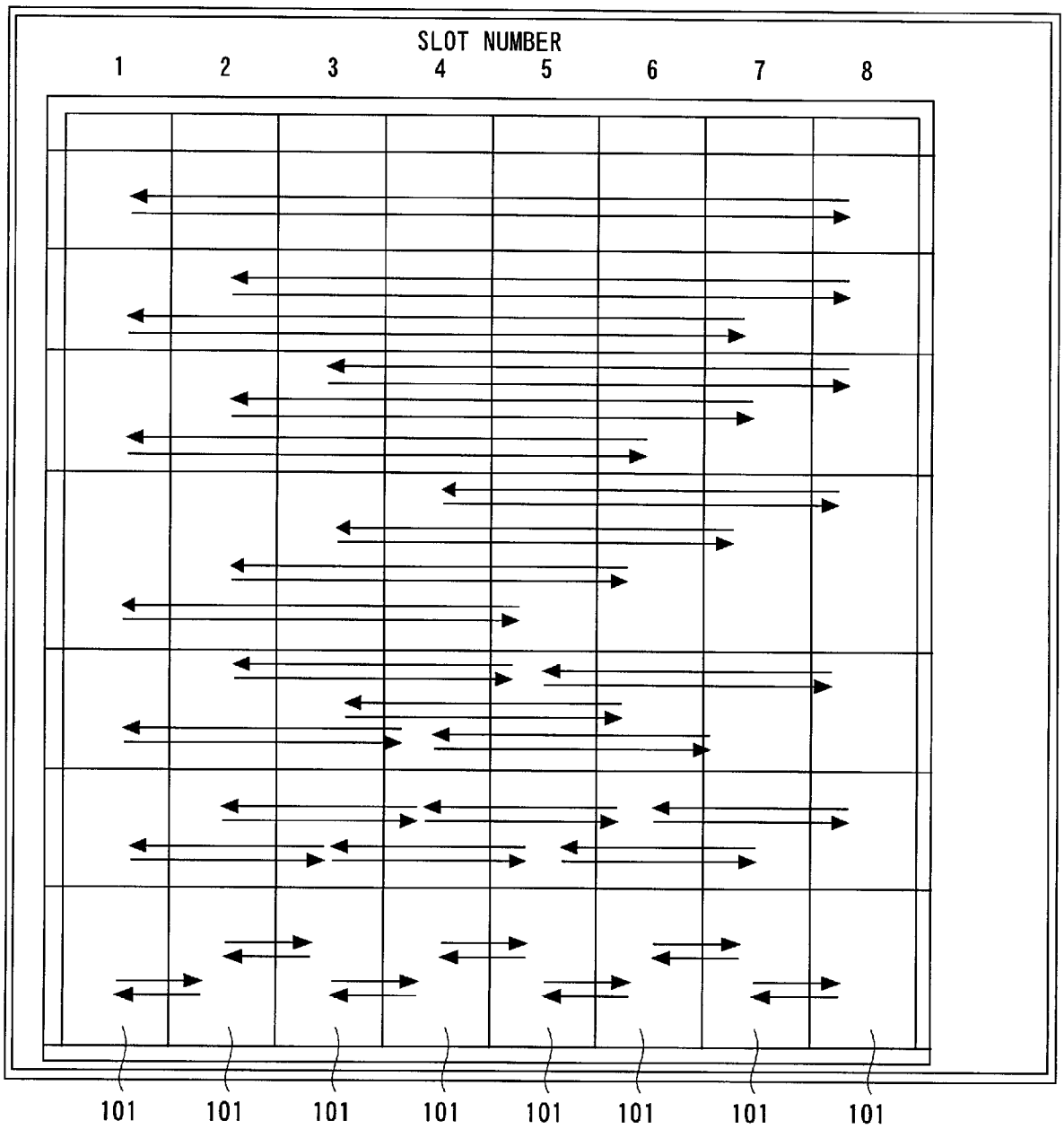
[11] 前記論理回路は、NUT論理回路を含む

請求項9又は10に記載のSONET／SDH伝送装置。

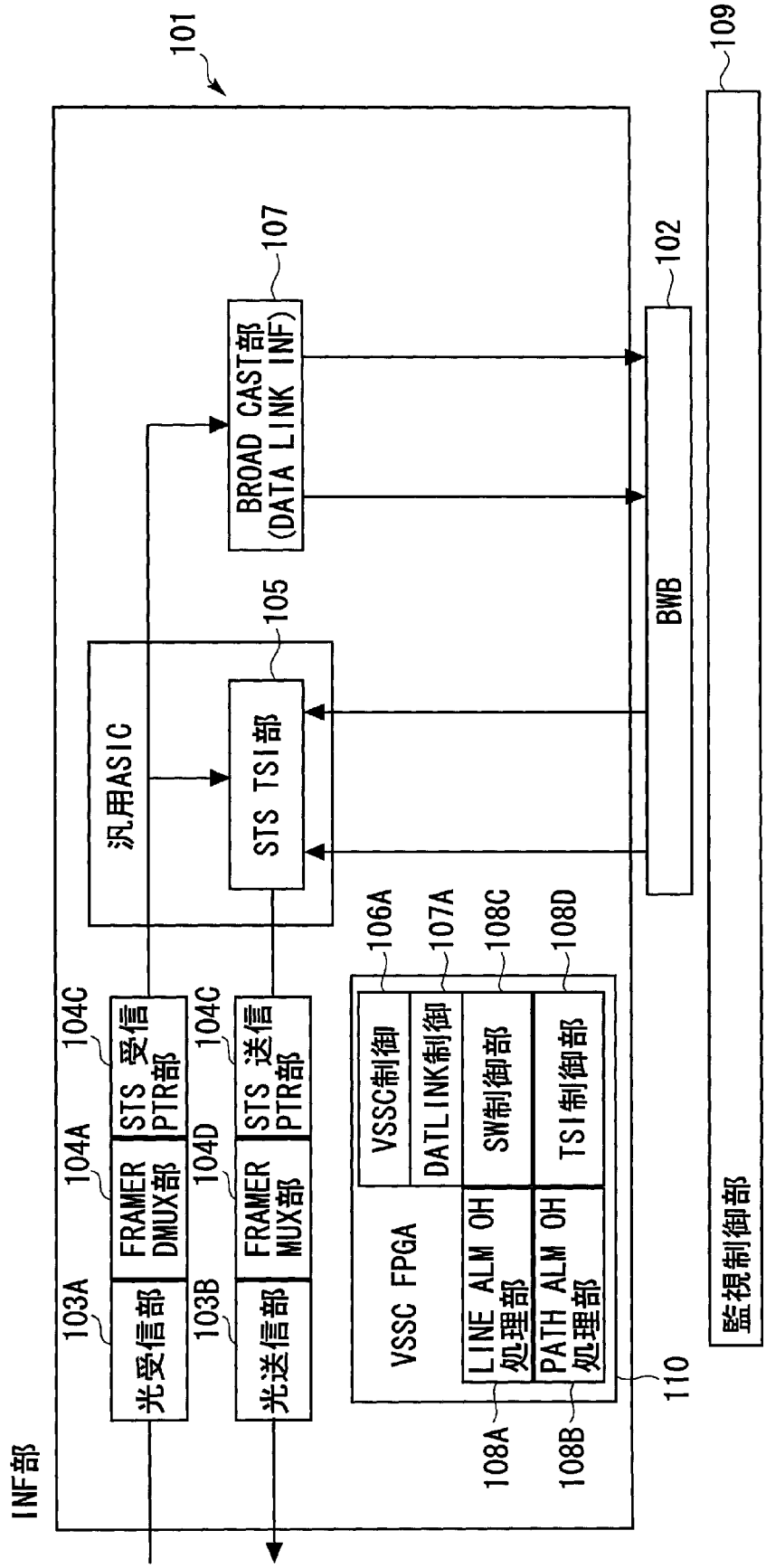
[図1]


100
102
BWB MESH
INF-1 (W)
INF-1 (P)
INF-2 (W)
INF-2 (P)
INF-n (W)
INF-n (P)
101
FRAME R
OPT
TSI
VSSC
104
105
106
103
INF部
光受信部 OPT
光送信部 OPT
FRAMER DMUX部
FRAMER MUX部
103A
104A
104B
SONET LINE SW部
STS 受信 PTR部
STS 送信 PTR部
104C
104D
STS TSI 部
VSSC部
108C
108D
LINE ALM OH処理部
PATH ALM OH処理部
SW制御部
TSI制御部
DATALINK INF部
107
109
監視制御部
103B
108A
108B

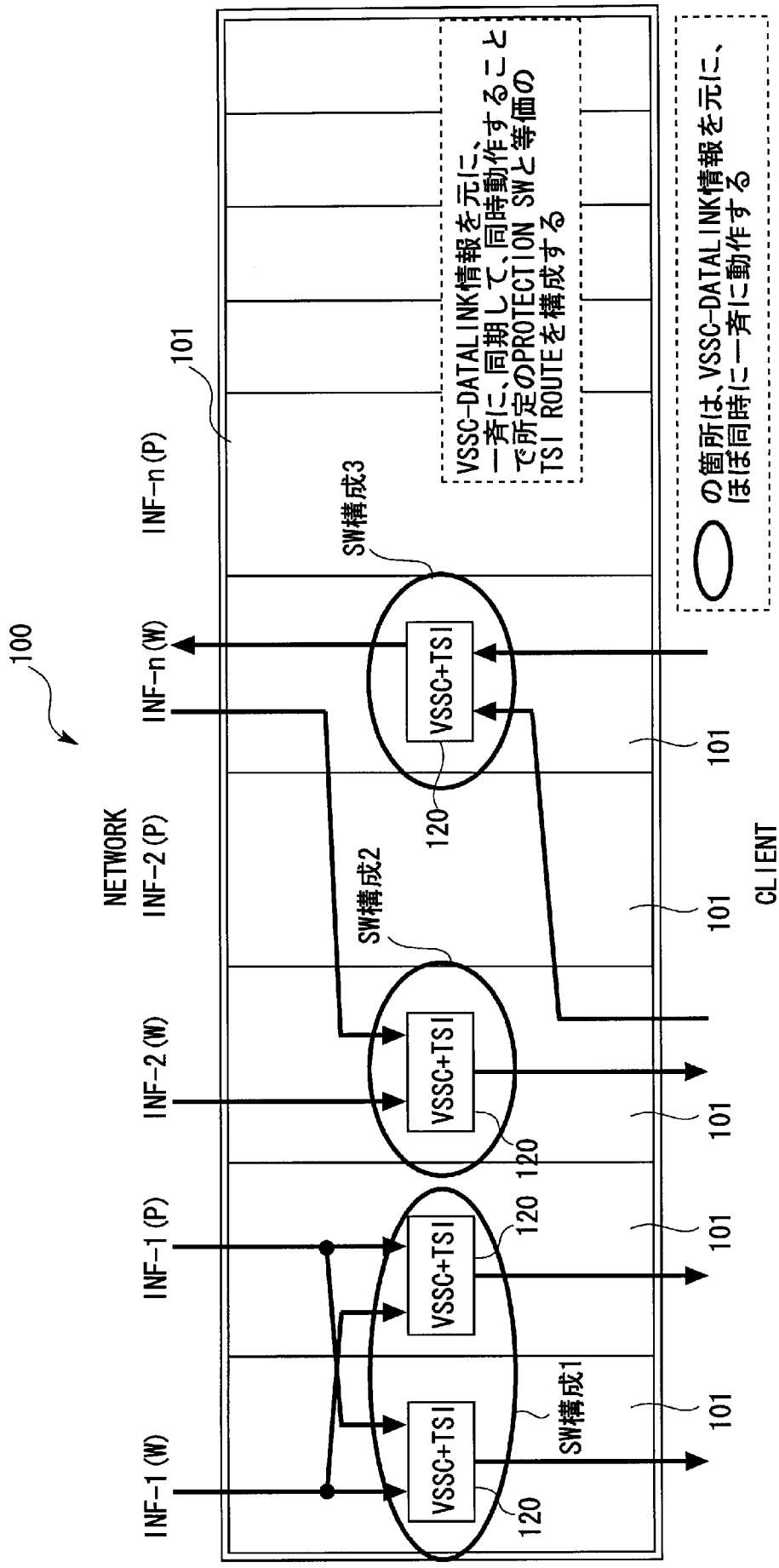
[図2]



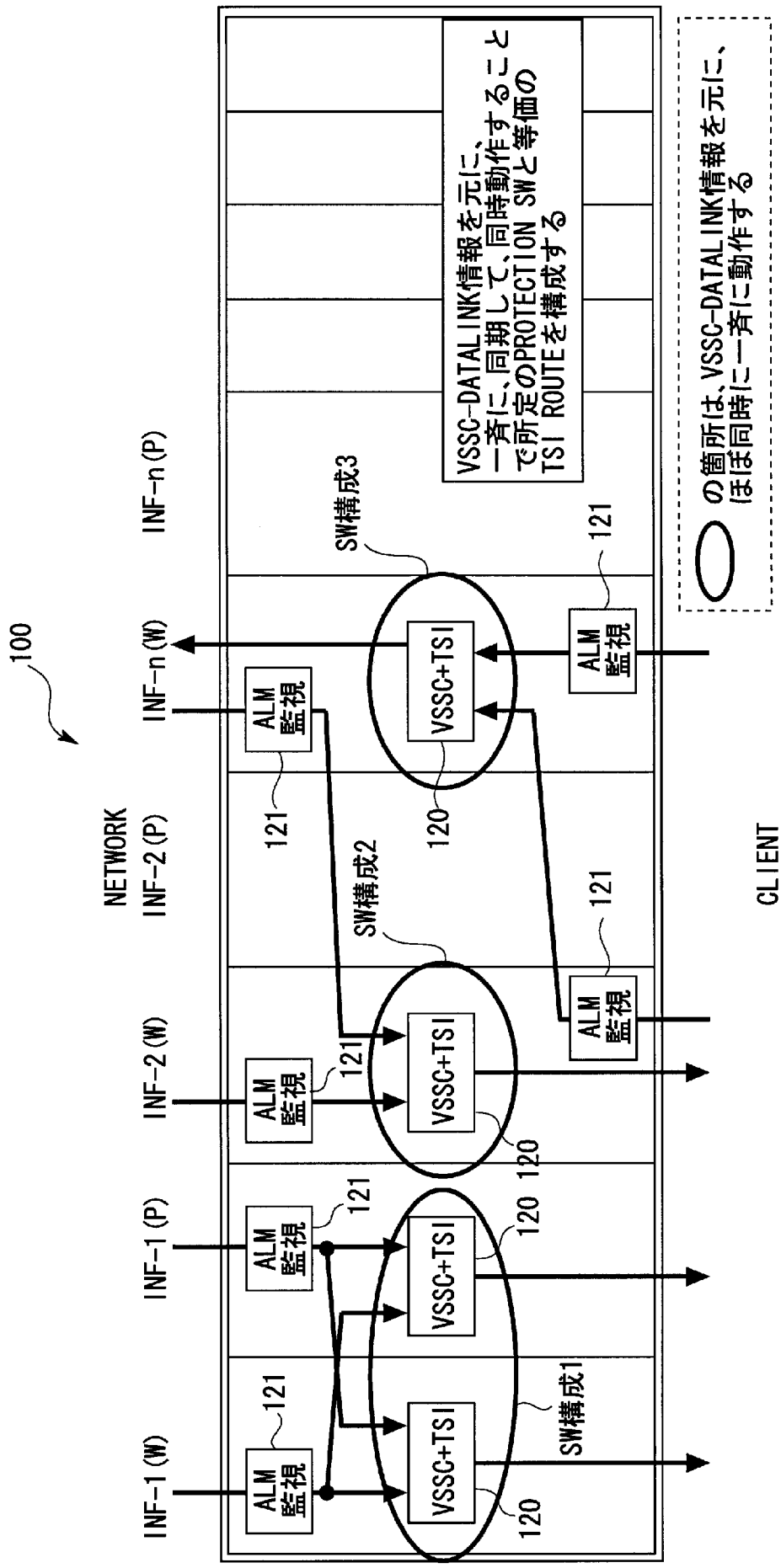
[図3]


101
109
102
107
BROAD CAST部
(DATA LINK INF)
BWB
105
汎用ASIC
STS TSI部
106A
107A
108C
108D
104C
104A
104C
104D
103A
103B
VSSC制御
DATLINK制御
SW制御部
TSI制御部
STS 受信
PTR部
FRAMER
DMUX部
STS 送信
PTR部
FRAMER
MUX部
光受信部
光送信部
VSSC FPGA
LINE ALM OH
処理部
PATH ALM OH
処理部
108A
108B
110
INF部
監視制御部

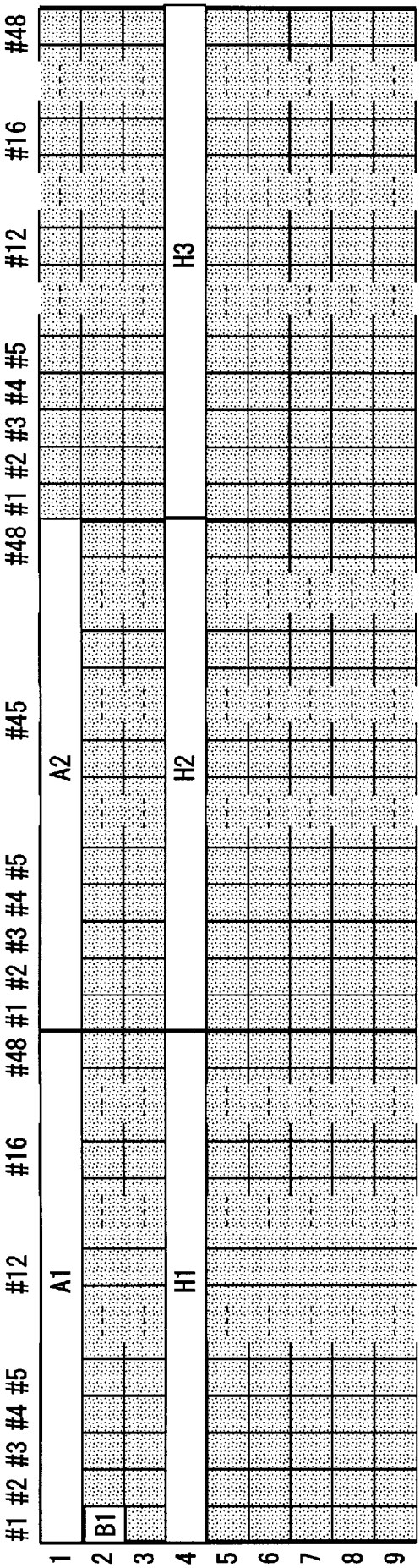
[図4]


100
NETWORK
CLIENT
INF-1 (W)
INF-1 (P)
INF-2 (W)
INF-2 (P)
INF-n (W)
INF-n (P)
101
120
VSSC+TSI
SW構成1
SW構成2
SW構成3
VSSC-DATALINK情報を元に、
一斉に、同期して、同時動作することで所定のPROTECTION SWと等価のTSI ROUTEを構成する
の箇所は、VSSC-DATALINK情報を元に、ほぼ同時に一斉に動作する

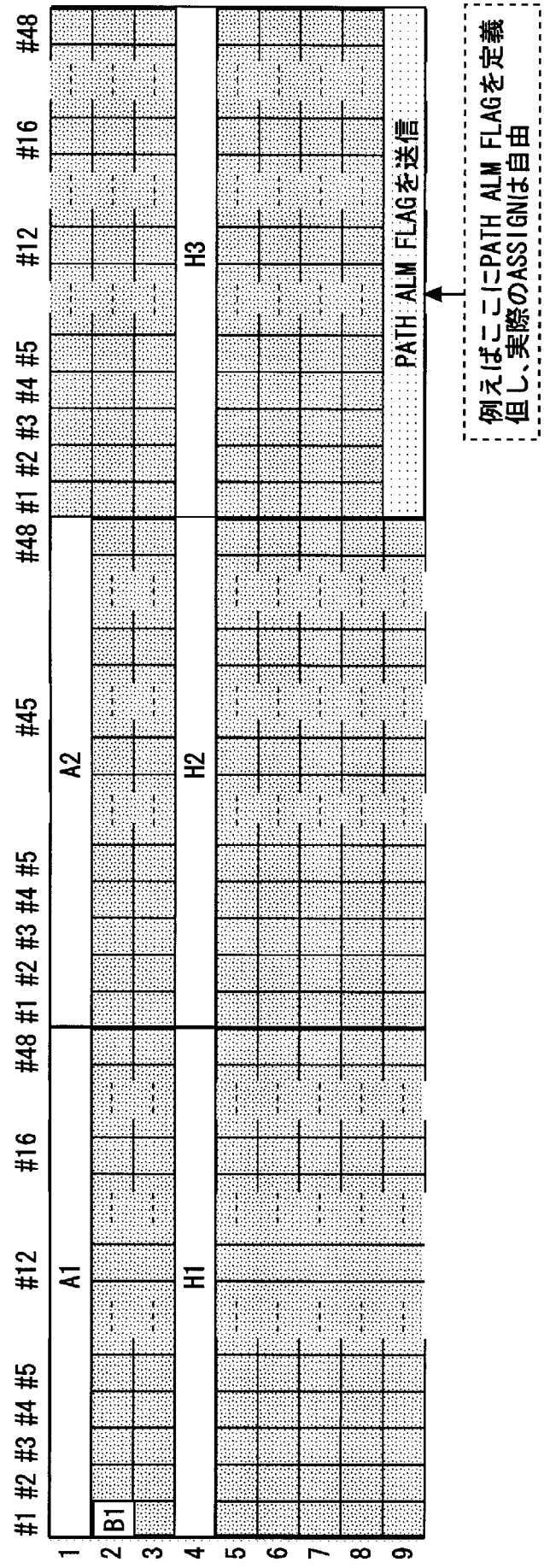
[図5]


100
NETWORK
CLIENT
INF-1(W)
INF-1(P)
INF-2(W)
INF-2(P)
INF-n(W)
INF-n(P)
ALM監視
121
VSSC+TSI
120
SW構成1
SW構成2
SW構成3
VSSC-DATALINK情報を元に、一斉に、同期して、同時動作することで所定のPROTECTION SWと等価のTSI ROUTEを構成する
の箇所は、VSSC-DATALINK情報を元に、ほぼ同時に一斉に動作する

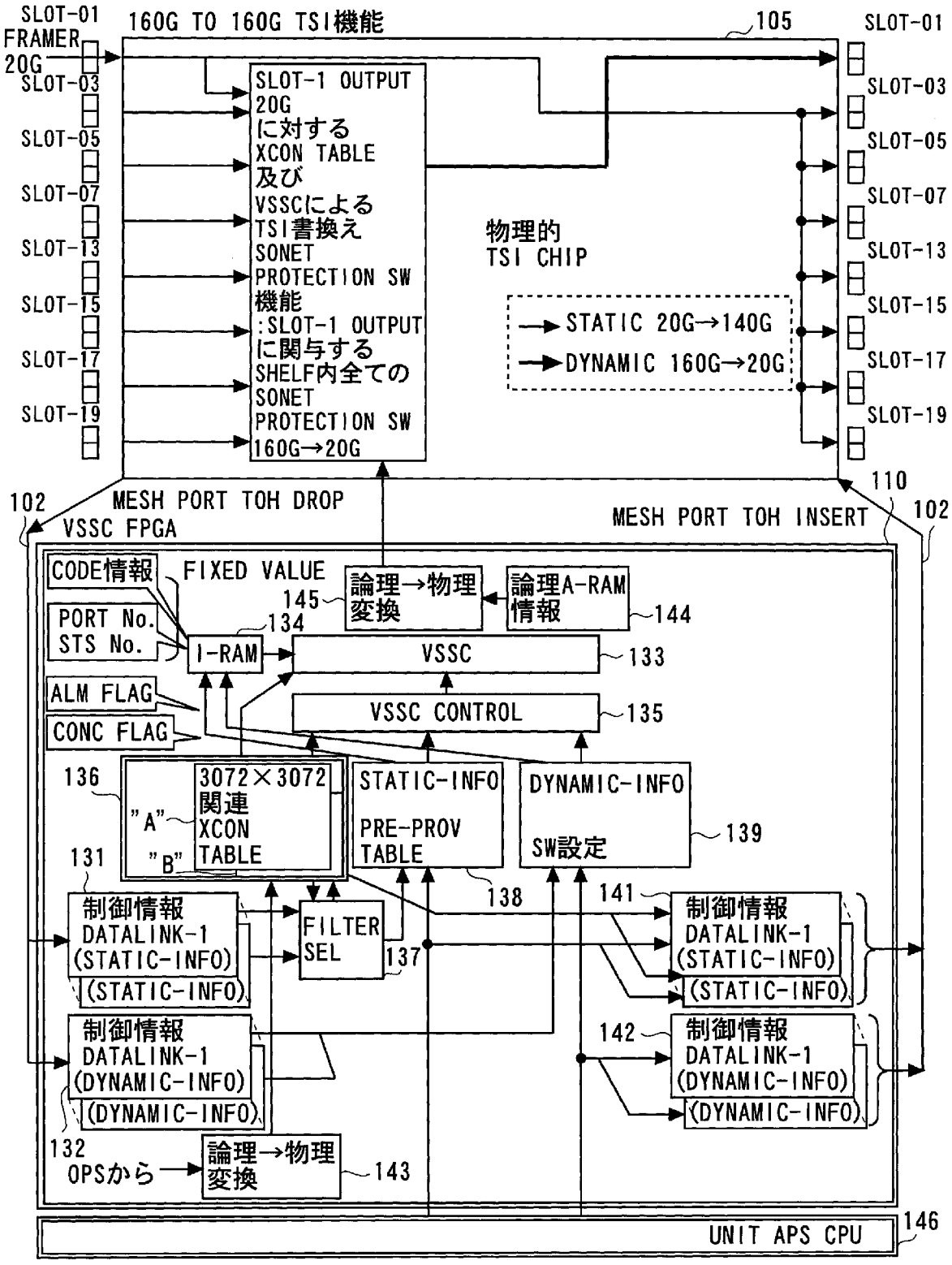
[図6]


#1 #2 #3 #4 #5 #12 #16 #48 #1 #2 #3 #4 #5 #45 #48 #1 #2 #3 #4 #5 #12 #16 #48
A1
A2
H3
B1
H1
H2
1
2
3
4
5
6
7
8
9

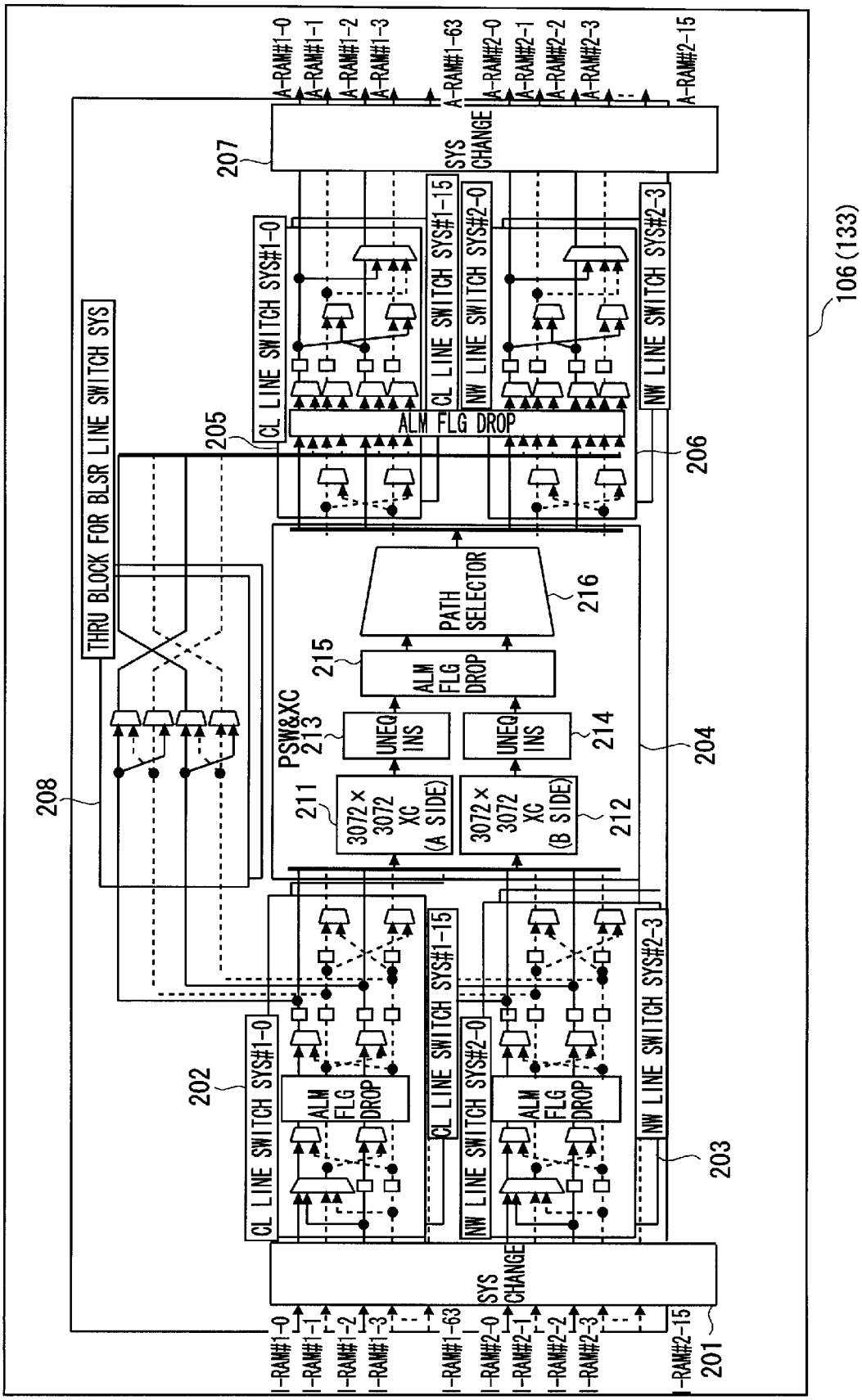
[図7]


#1 #2 #3 #4 #5 #12 #16 #48 #1 #2 #3 #4 #5 #45 #48 #1 #2 #3 #4 #5 #12 #16 #48
A1
A2
H1
H2
H3
B1
PATH ALM FLAGを送信
例えばここにPATH ALM FLAGを定義
但し、実際のASSIGNは自由
1
2
3
4
5
6
7
8
9

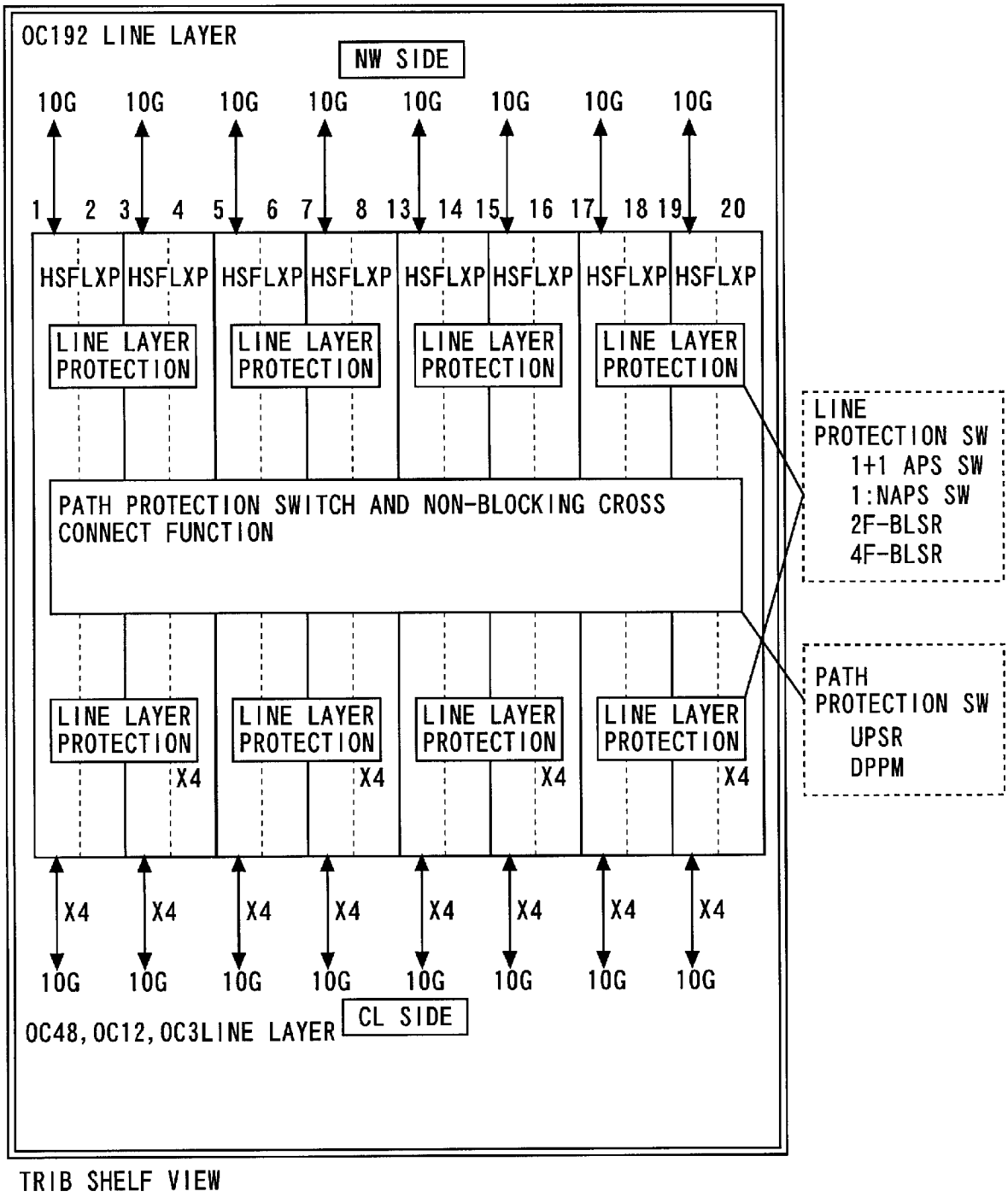
[図8]


SLOT-01
FRAMER
20G
SLOT-03
SLOT-05
SLOT-07
SLOT-13
SLOT-15
SLOT-17
SLOT-19
160G TO 160G TSI機能
105
SLOT-1 OUTPUT
20G
に対する
XCON TABLE
及び
VSSCによる
TSI書換え
SONET
PROTECTION SW
機能
:SLOT-1 OUTPUT
に関与する
SHELF内全ての
SONET
PROTECTION SW
160G→20G
物理的
TSI CHIP
STATIC 20G→140G
DYNAMIC 160G→20G
SLOT-01
SLOT-03
SLOT-05
SLOT-07
SLOT-13
SLOT-15
SLOT-17
SLOT-19
110
102
MESH PORT TOH DROP
VSSC FPGA
MESH PORT TOH INSERT
102
CODE情報
FIXED VALUE
145
論理→物理
変換
論理A-RAM
情報
144
PORT No.
STS No.
134
I-RAM
VSSC
133
ALM FLAG
VSSC CONTROL
135
CONC FLAG
136
"A"
"B"
3072×3072
関連
XCON
TABLE
STATIC-INFO
PRE-PROV
TABLE
DYNAMIC-INFO
SW設定
139
131
138
141
制御情報
DATALINK-1
(STATIC-INFO)
(STATIC-INFO)
FILTER
SEL
137
制御情報
DATALINK-1
(STATIC-INFO)
(STATIC-INFO)
制御情報
DATALINK-1
(DYNAMIC-INFO)
(DYNAMIC-INFO)
142
制御情報
DATALINK-1
(DYNAMIC-INFO)
(DYNAMIC-INFO)
132
OPSから
論理→物理
変換
143
UNIT APS CPU
146

[図9]

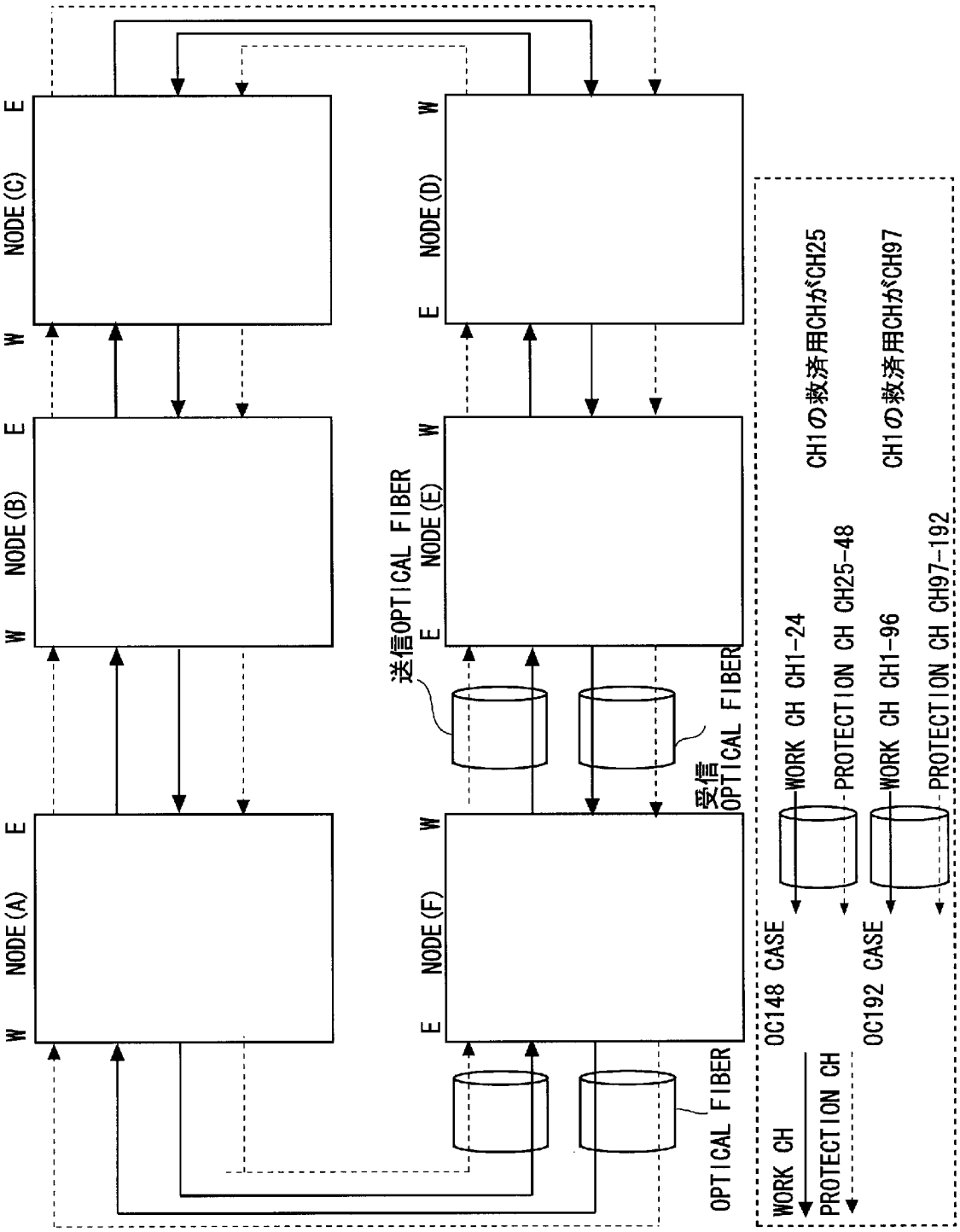

106 (133)
A-RAM#1-0
A-RAM#1-1
A-RAM#1-2
A-RAM#1-3
A-RAM#1-63
A-RAM#2-0
A-RAM#2-1
A-RAM#2-2
A-RAM#2-3
A-RAM#2-15
207
SYS CHANGE
CL LINE SWITCH SYS#1-0
CL LINE SWITCH SYS#1-15
NW LINE SWITCH SYS#2-0
NW LINE SWITCH SYS#2-3
ALM FLG DROP
205
206
THRU BLOCK FOR BLSR LINE SWITCH SYS
208
PATH SELECTOR
216
215
ALM FLG DROP
PSW&XC
213
UNEQ INS
214
204
211
3072 × 3072 XC (A SIDE)
3072 × 3072 XC (B SIDE)
212
202
203
I-RAM#1-0
I-RAM#1-1
I-RAM#1-2
I-RAM#1-3
I-RAM#1-63
I-RAM#2-0
I-RAM#2-1
I-RAM#2-2
I-RAM#2-3
I-RAM#2-15
201

[図10]

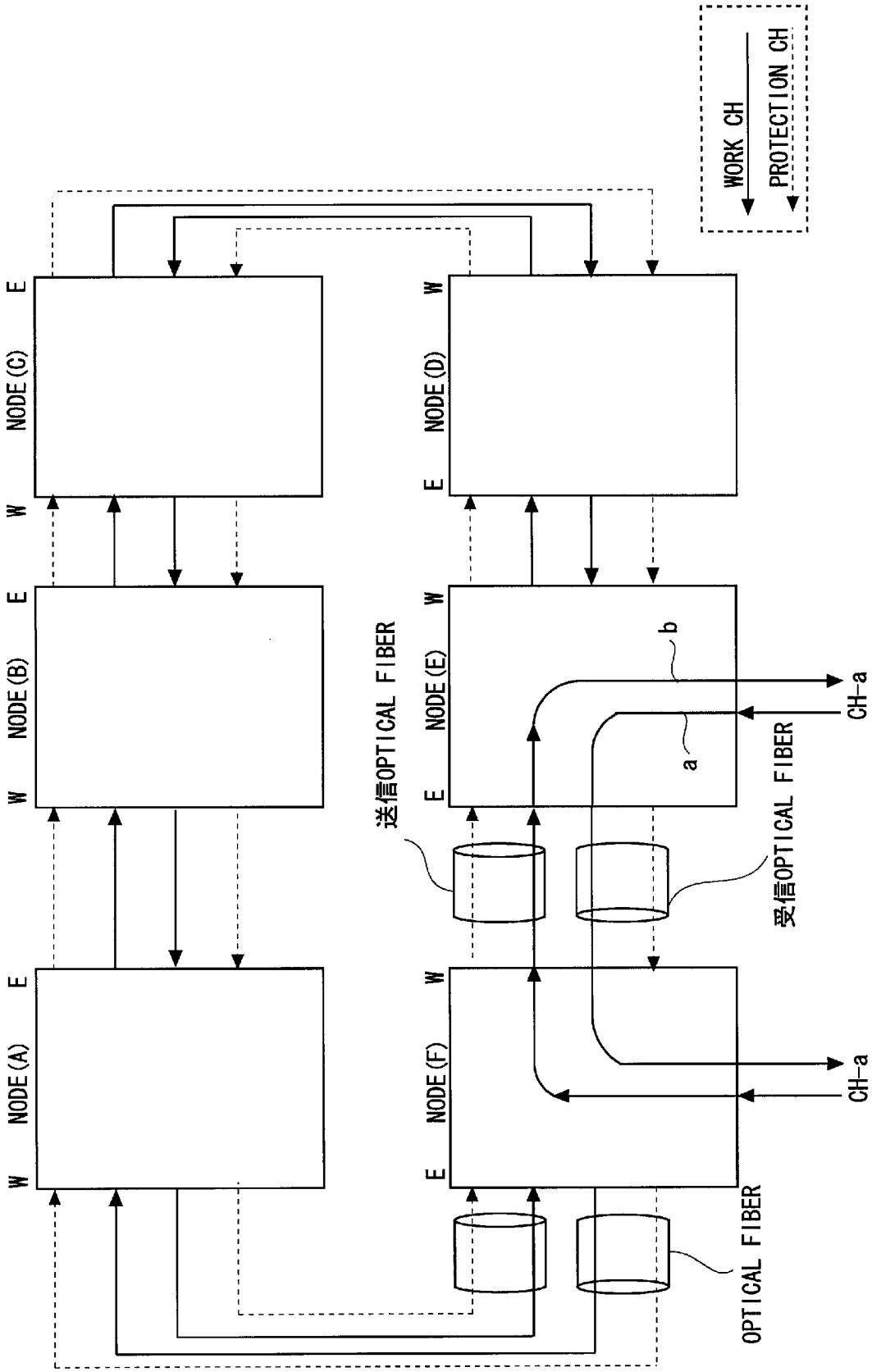


TRIB SHELF VIEW

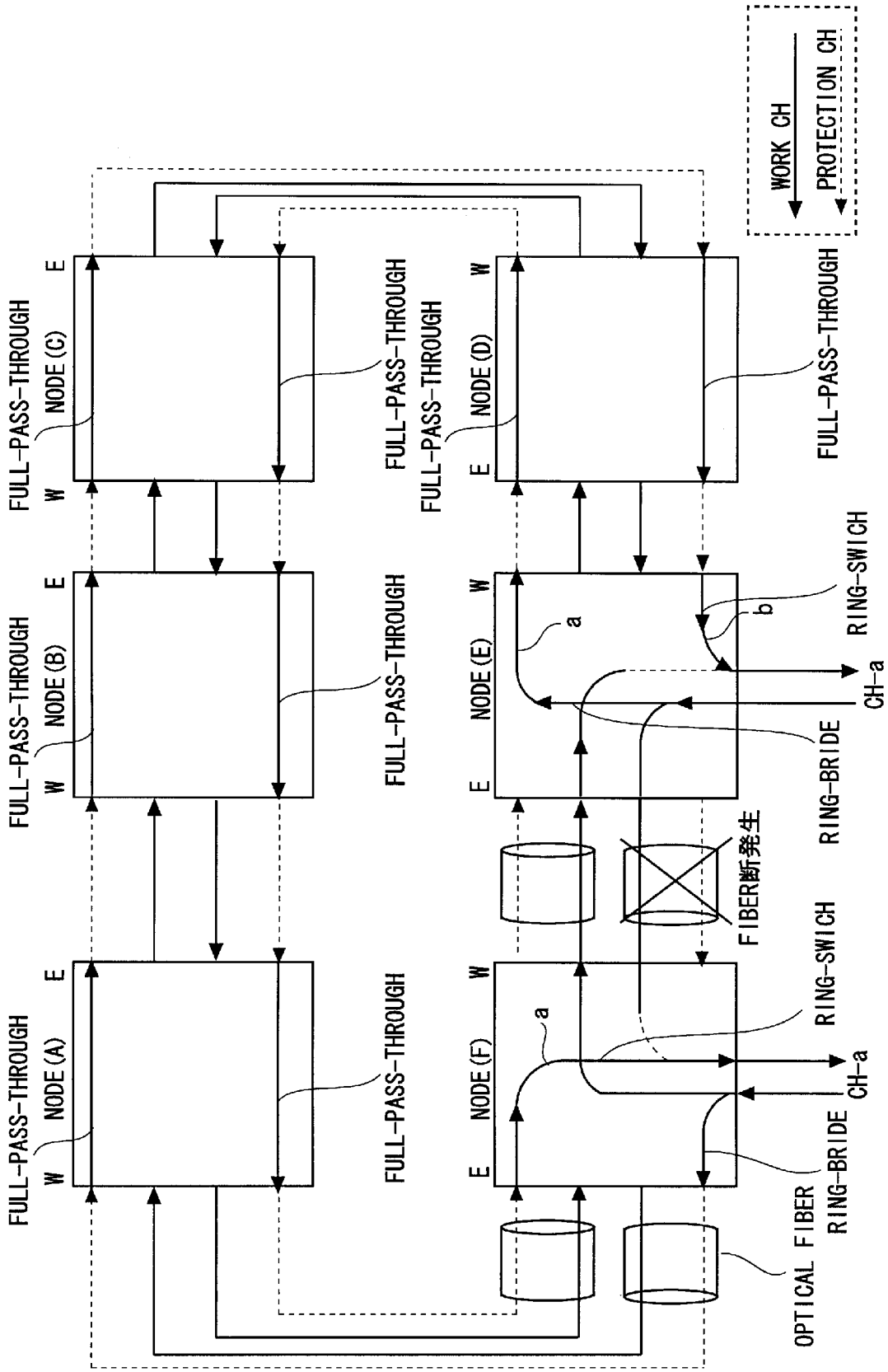
[図11]


NODE(A)
NODE(B)
NODE(C)
NODE(D)
NODE(E)
NODE(F)
E
W
送信OPTICAL FIBER
受信OPTICAL FIBER
OPTICAL FIBER
CH1の救済用CHがCH25
CH1の救済用CHがCH97
WORK CH CH1-24
PROTECTION CH CH25-48
WORK CH CH1-96
PROTECTION CH CH97-192
OC148 CASE
OC192 CASE
WORK CH
PROTECTION CH

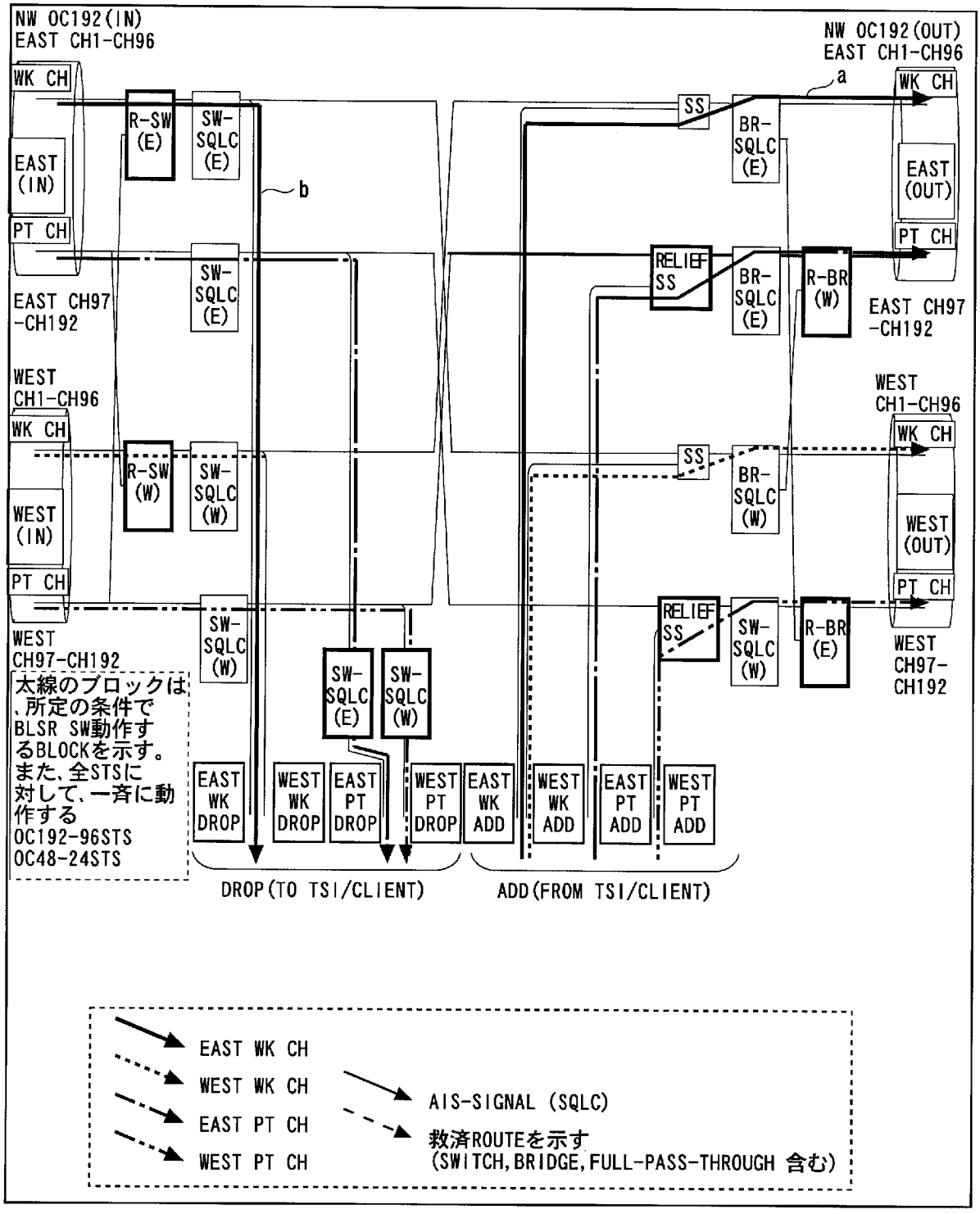
[図12]


WORK CH
PROTECTION CH
NODE(A)
NODE(B)
NODE(C)
NODE(D)
NODE(E)
NODE(F)
E
W
送信OPTICAL FIBER
受信OPTICAL FIBER
OPTICAL FIBER
CH-a
CH-a
a
b

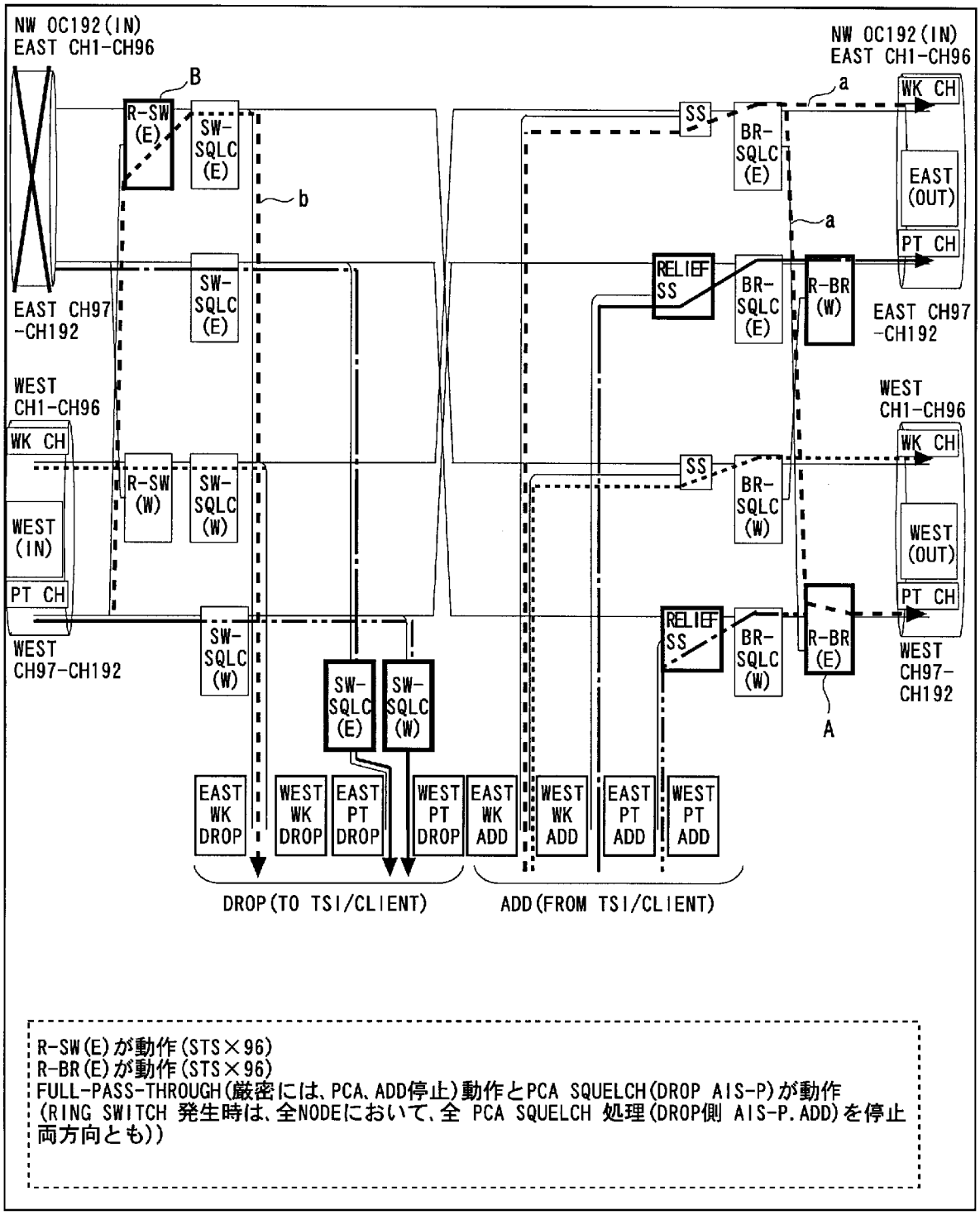
[図13]


WORK CH
PROTECTION CH
FULL-PASS-THROUGH
NODE (A)
NODE (B)
NODE (C)
NODE (D)
NODE (E)
NODE (F)
W
E
a
b
RING-SWICH
RING-BRIDE
CH-a
FIBER断発生
OPTICAL FIBER

[図14]

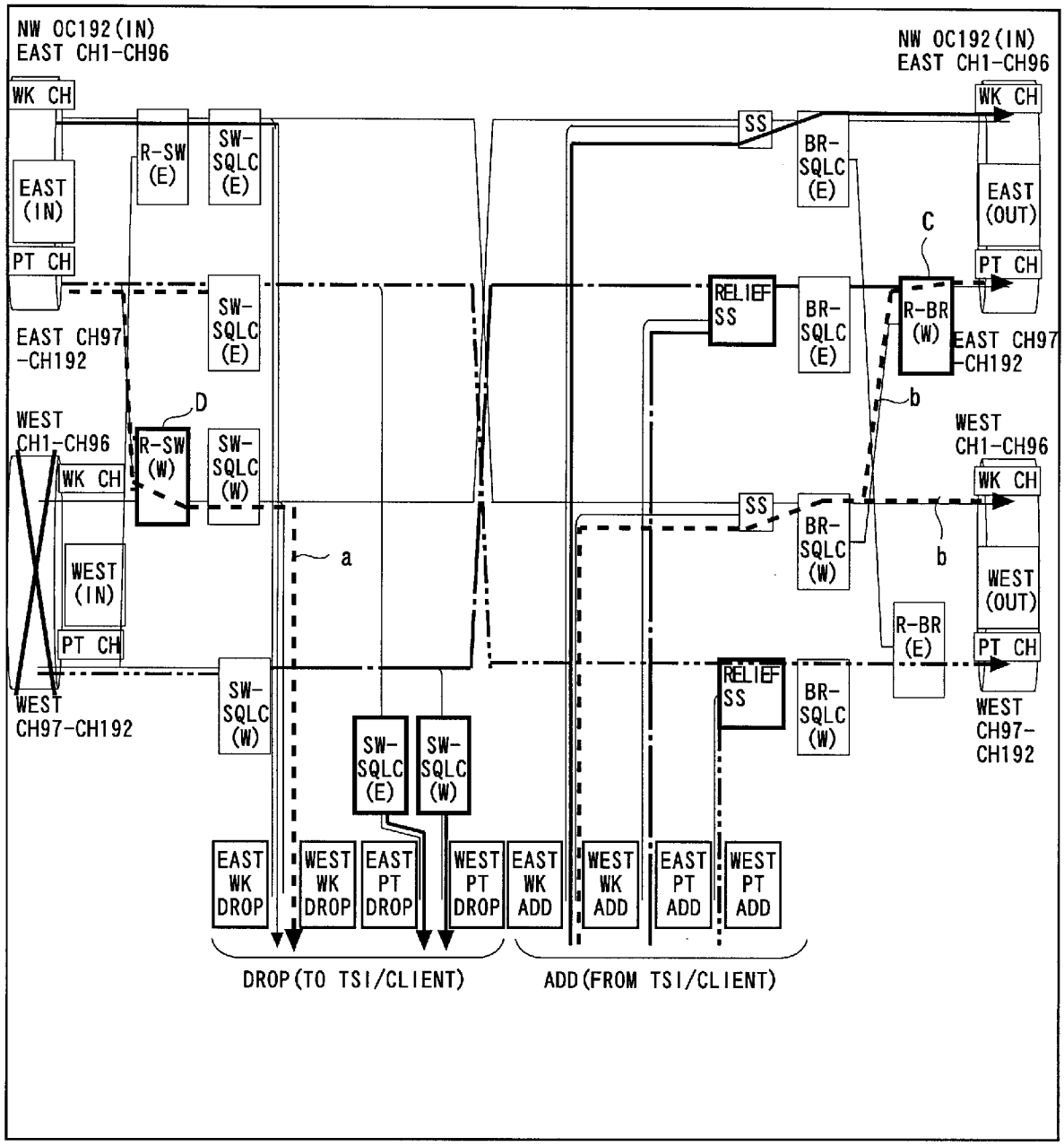

NW OC192(IN)
EAST CH1-CH96
WK CH
EAST (IN)
PT CH
EAST CH97 -CH192
WEST CH1-CH96
WK CH
WEST (IN)
PT CH
WEST CH97-CH192
R-SW (E)
SW-SQLC (E)
SW-SQLC (E)
R-SW (W)
SW-SQLC (W)
SW-SQLC (W)
SW-SQLC (E)
SW-SQLC (W)
b
太線のブロックは、所定の条件でBLSR SW動作するBLOCKを示す。また、全STSに対して、一斉に動作する
OC192-96STS
OC48-24STS
EAST WK DROP
WEST WK DROP
EAST PT DROP
WEST PT DROP
DROP(TO TSI/CLIENT)
EAST WK ADD
WEST WK ADD
EAST PT ADD
WEST PT ADD
ADD(FROM TSI/CLIENT)
SS
BR-SQLC (E)
RELIEF SS
BR-SQLC (E)
R-BR (W)
SS
BR-SQLC (W)
RELIEF SS
SW-SQLC (W)
R-BR (E)
a
NW OC192(OUT)
EAST CH1-CH96
WK CH
EAST (OUT)
PT CH
EAST CH97 -CH192
WEST CH1-CH96
WK CH
WEST (OUT)
PT CH
WEST CH97-CH192
EAST WK CH
WEST WK CH
EAST PT CH
WEST PT CH
AIS-SIGNAL (SQLC)
救済ROUTEを示す
(SWITCH, BRIDGE, FULL-PASS-THROUGH 含む)

[図15]

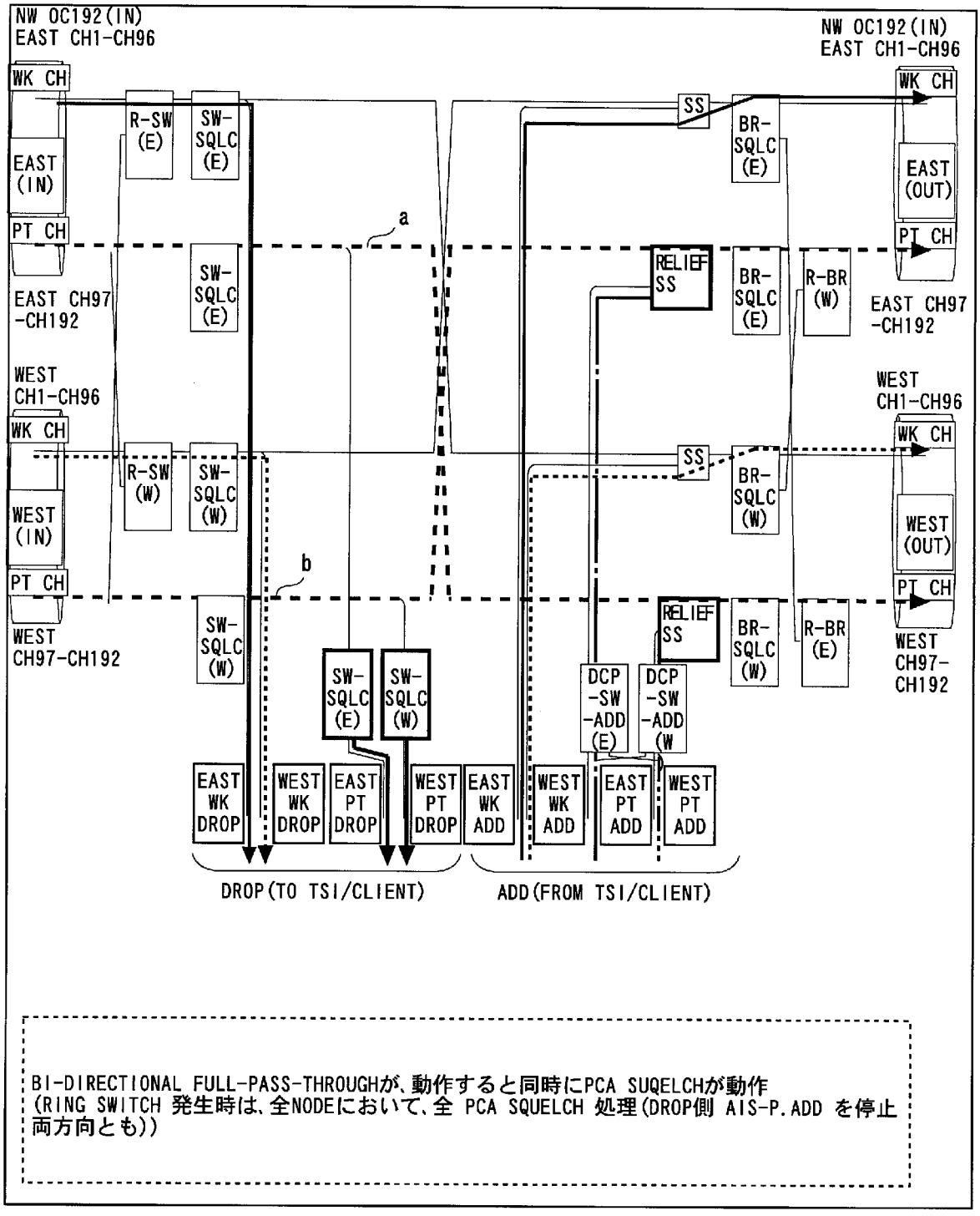


R-SW(E)が動作(STS×96)
R-BR(E)が動作(STS×96)
FULL-PASS-THROUGH(厳密には、PCA、ADD停止)動作とPCA SQUELCH(DROP AIS-P)が動作
(RING SWITCH 発生時は、全NODEにおいて、全 PCA SQUELCH 処理(DROP側 AIS-P.ADD)を停止
両方向とも))

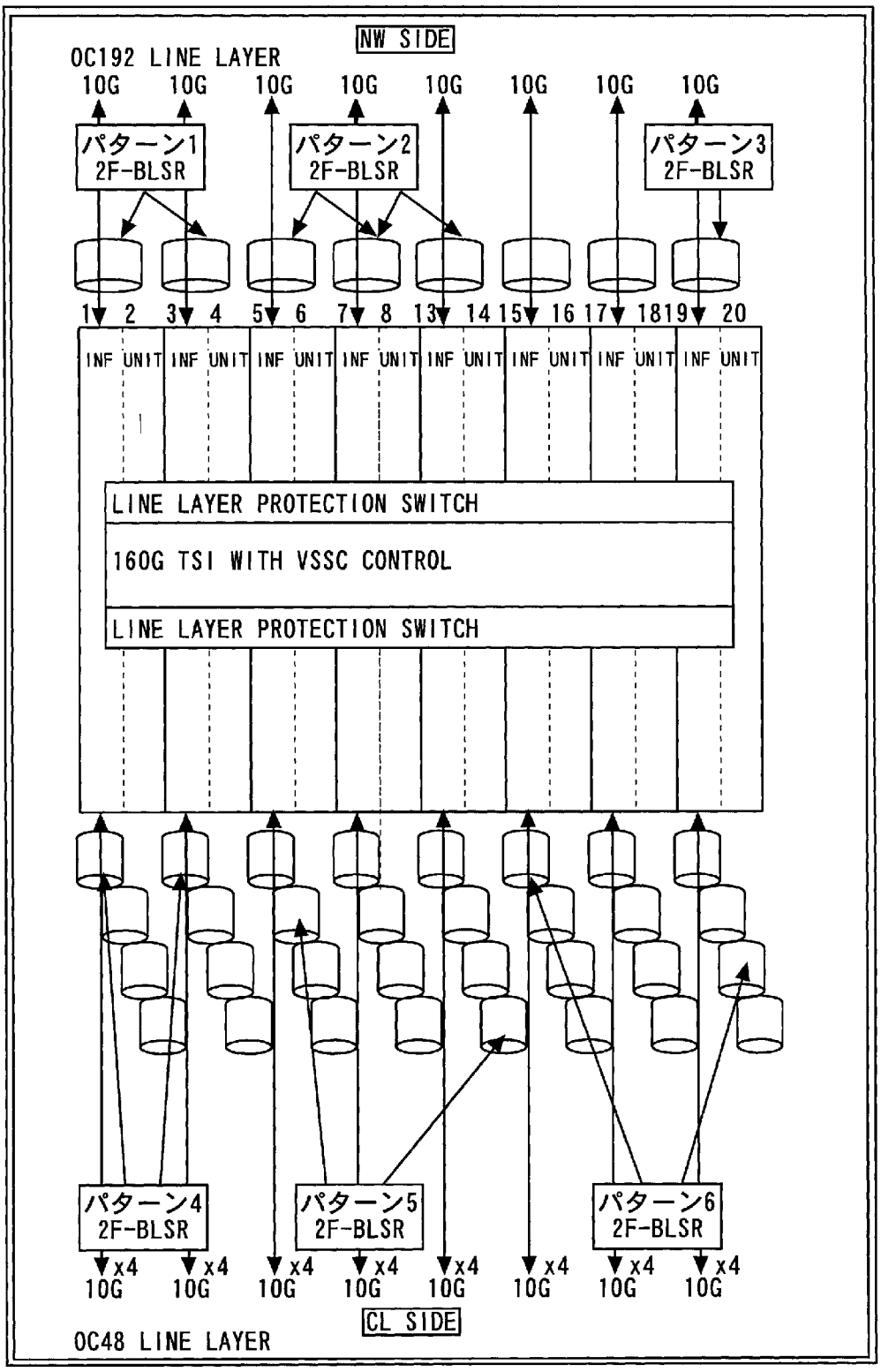
[図16]


NW OC192(IN)
EAST CH1-CH96
WK CH
EAST (IN)
PT CH
EAST CH97 -CH192
WEST CH1-CH96
WK CH
WEST (IN)
PT CH
WEST CH97-CH192
R-SW (E)
SW-SQLC (E)
SW-SQLC (E)
D
R-SW (W)
SW-SQLC (W)
SW-SQLC (W)
a
SW-SQLC (E)
SW-SQLC (W)
EAST WK DROP
WEST WK DROP
EAST PT DROP
WEST PT DROP
DROP(TO TSI/CLIENT)
SS
RELIEF SS
SS
RELIEF SS
BR-SQLC (E)
BR-SQLC (E)
BR-SQLC (W)
BR-SQLC (W)
EAST WK ADD
WEST WK ADD
EAST PT ADD
WEST PT ADD
ADD(FROM TSI/CLIENT)
NW OC192(IN)
EAST CH1-CH96
WK CH
EAST (OUT)
PT CH
C
R-BR (W)
EAST CH97 -CH192
b
WEST CH1-CH96
WK CH
b
WEST (OUT)
PT CH
R-BR (E)
WEST CH97-CH192

[図17]

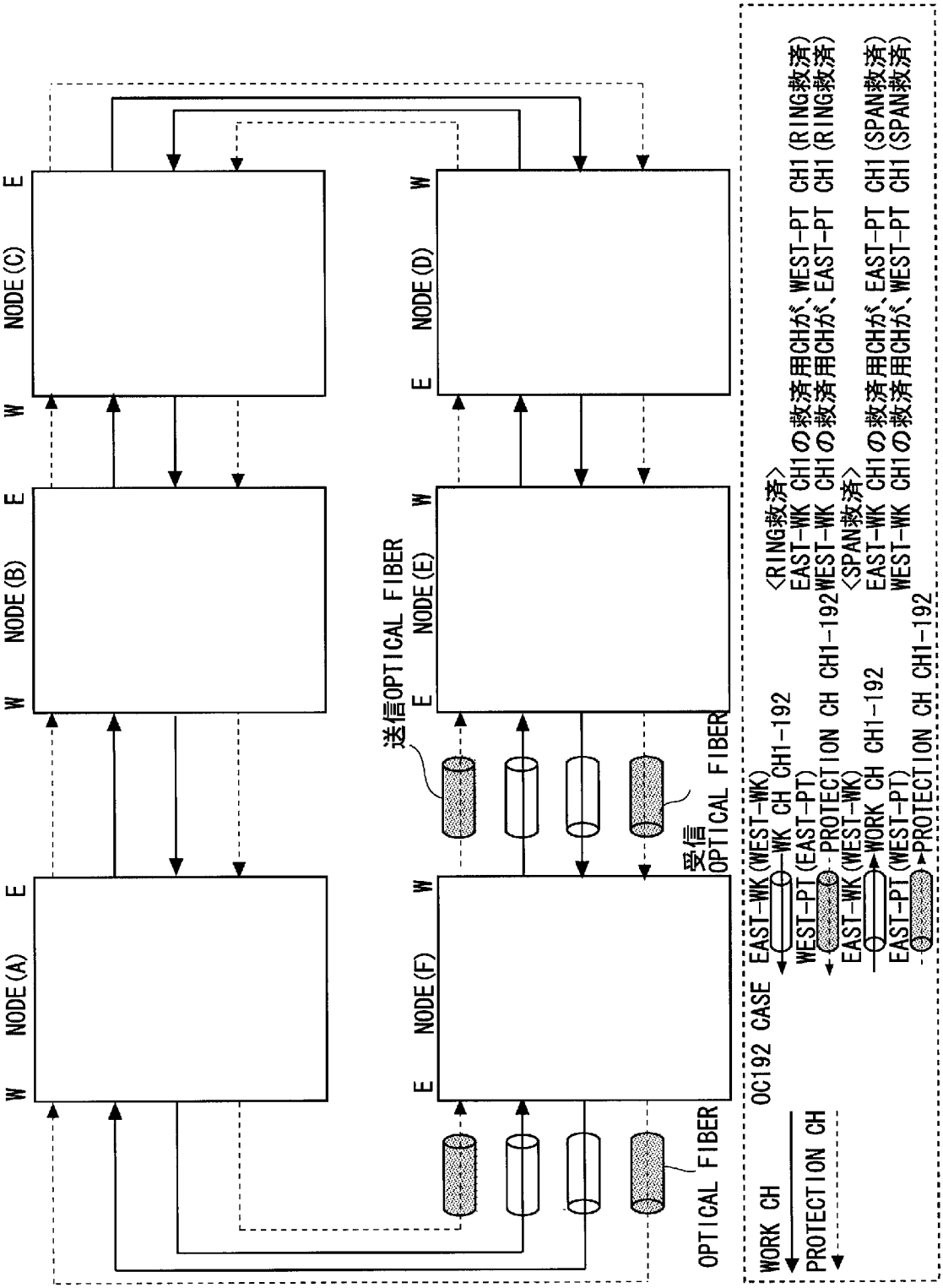

NW OC192(IN)
EAST CH1-CH96
WK CH
EAST (IN)
PT CH
EAST CH97 -CH192
WEST CH1-CH96
WK CH
WEST (IN)
PT CH
WEST CH97-CH192
R-SW (E)
SW-SQLC (E)
SW-SQLC (E)
R-SW (W)
SW-SQLC (W)
SW-SQLC (W)
a
b
SW-SQLC (E)
SW-SQLC (W)
EAST WK DROP
WEST WK DROP
EAST PT DROP
WEST PT DROP
EAST WK ADD
WEST WK ADD
EAST PT ADD
WEST PT ADD
DROP(TO TSI/CLIENT)
ADD(FROM TSI/CLIENT)
DCP -SW -ADD (E)
DCP -SW -ADD (W
SS
SS
RELIEF SS
RELIEF SS
BR-SQLC (E)
BR-SQLC (W)
BR-SQLC (E)
BR-SQLC (W)
R-BR (W)
R-BR (E)
NW OC192(IN)
EAST CH1-CH96
WK CH
EAST (OUT)
PT CH
EAST CH97 -CH192
WEST CH1-CH96
WK CH
WEST (OUT)
PT CH
WEST CH97-CH192
BI-DIRECTIONAL FULL-PASS-THROUGHが、動作すると同時にPCA SUQELCHが動作
(RING SWITCH 発生時は、全NODEにおいて、全 PCA SQUELCH 処理(DROP側 AIS-P.ADD を停止
両方向とも))

[図18]

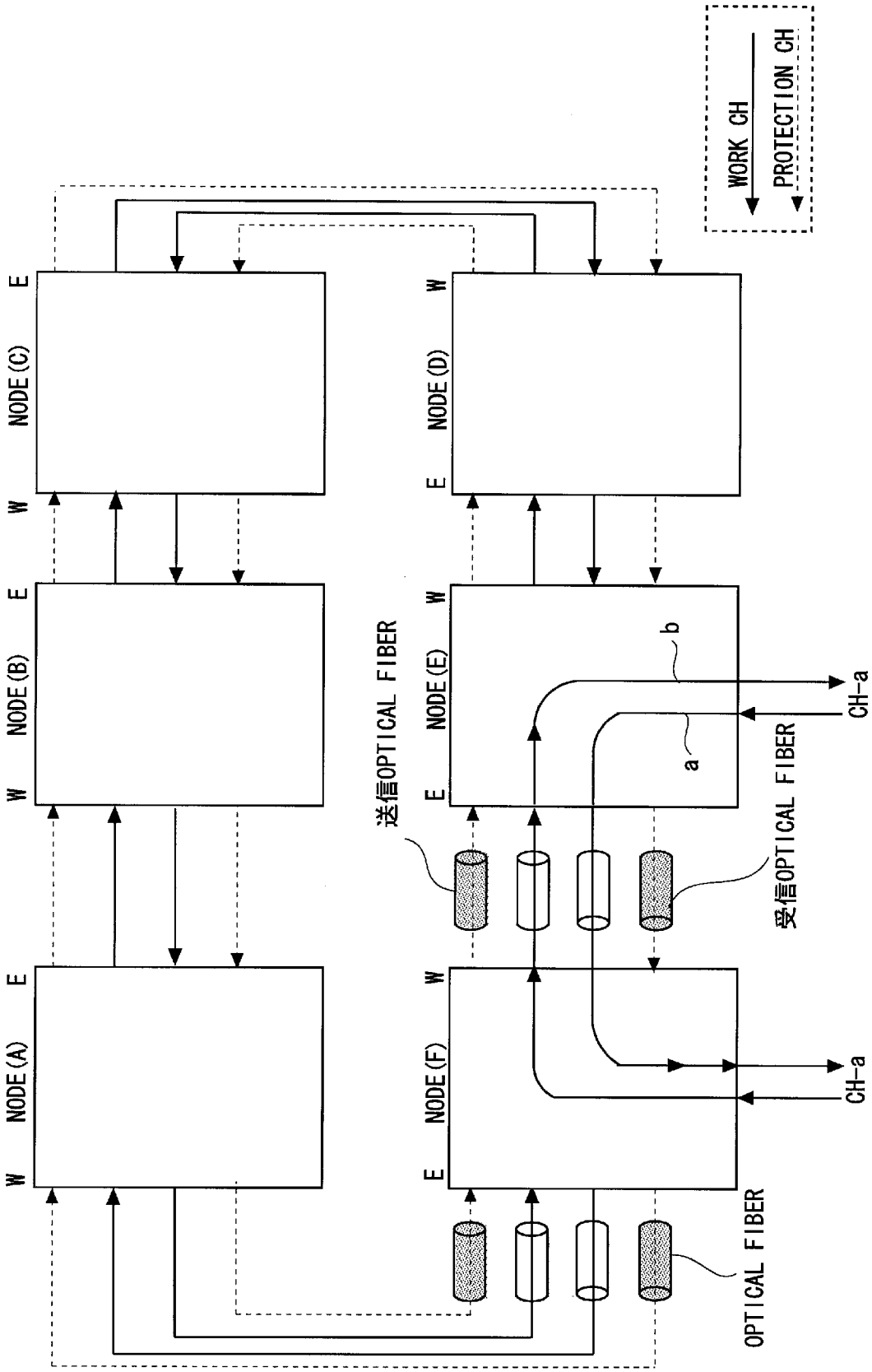


TRIB SHELF VIEW

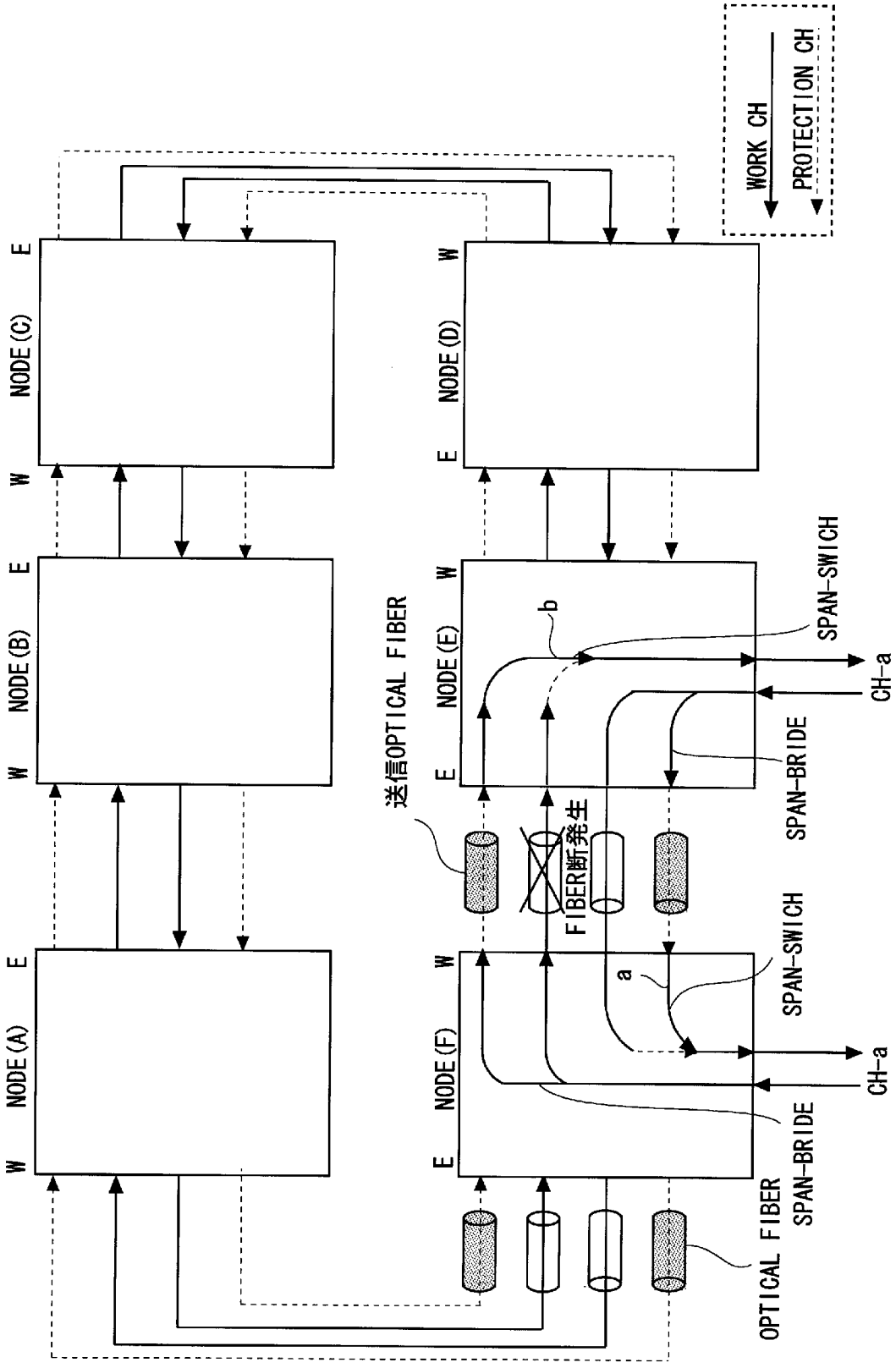
[図19]


NODE(A)
NODE(B)
NODE(C)
NODE(D)
NODE(E)
NODE(F)
W
E
送信OPTICAL FIBER
受信OPTICAL FIBER
OPTICAL FIBER
OC192 CASE
WORK CH
PROTECTION CH
EAST-WK(WEST-WK)
WK CH CH1-192
WEST-PT(EAST-PT)
PROTECTION CH CH1-192
<RING救済>
EAST-WK CH1の救済用CHが、WEST-PT CH1(RING救済)
WEST-WK CH1の救済用CHが、EAST-PT CH1(RING救済)
<SPAN救済>
EAST-WK CH1の救済用CHが、EAST-PT CH1(SPAN救済)
WEST-WK CH1の救済用CHが、WEST-PT CH1(SPAN救済)

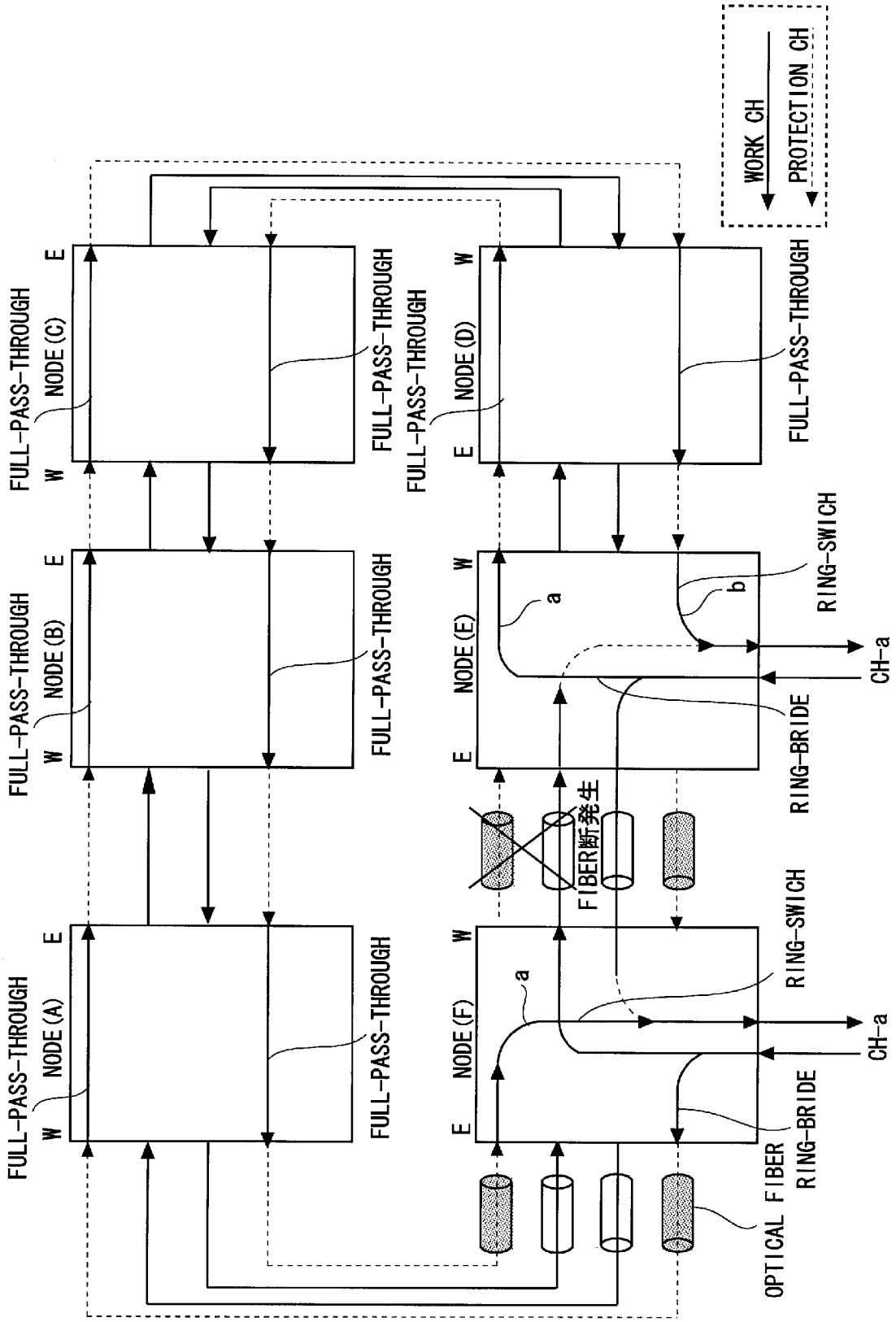
[図20]


WORK CH
PROTECTION CH
NODE(A)
NODE(B)
NODE(C)
NODE(D)
NODE(E)
NODE(F)
E
W
送信OPTICAL FIBER
受信OPTICAL FIBER
OPTICAL FIBER
CH-a
CH-a
a
b

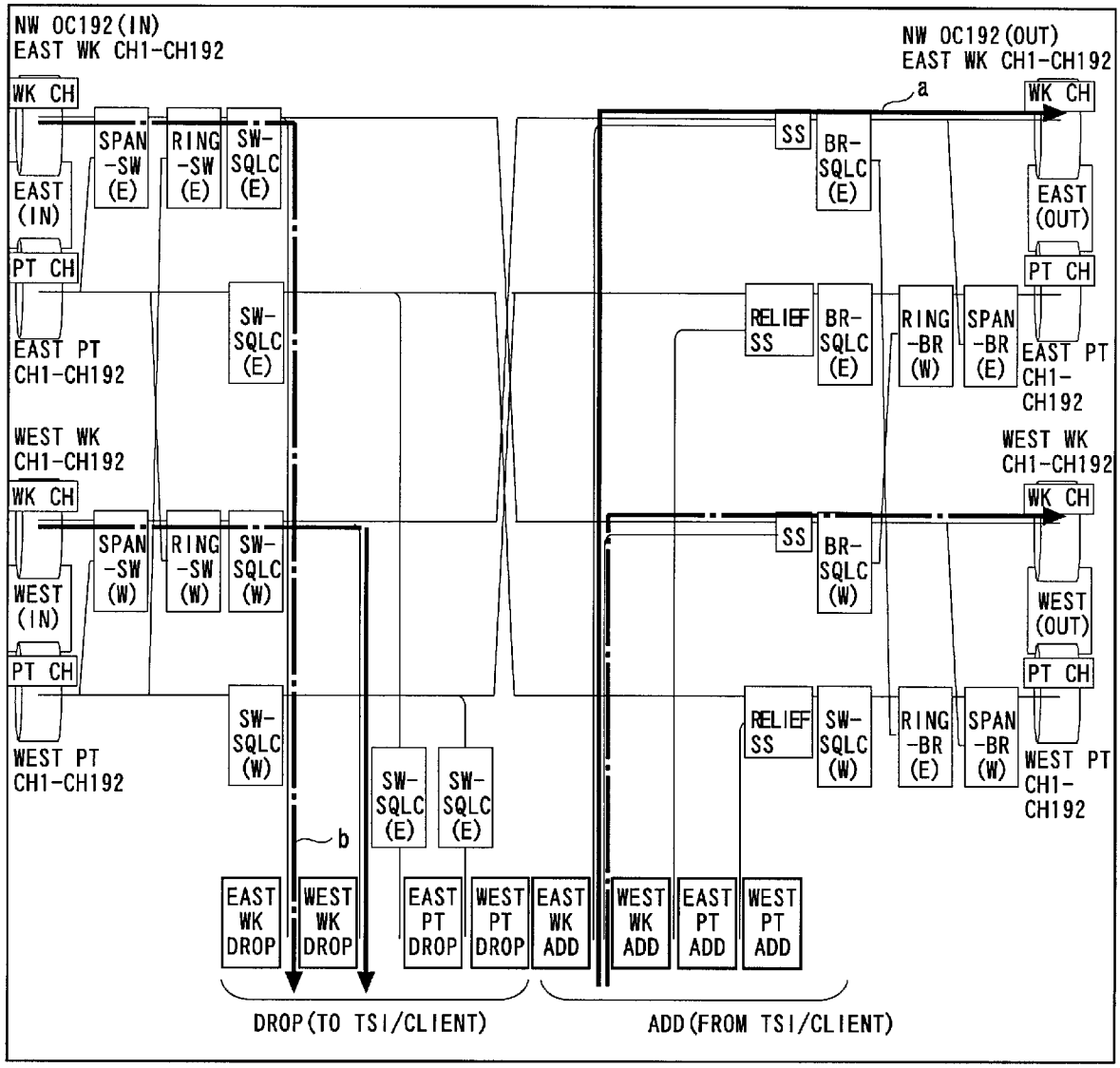
[図21]


WORK CH
PROTECTION CH
NODE (C)
NODE (D)
NODE (B)
NODE (E)
NODE (A)
NODE (F)
E
W
SPAN-SWICH
SPAN-BRIDE
CH-a
送信OPTICAL FIBER
FIBER断発生
OPTICAL FIBER
a
b

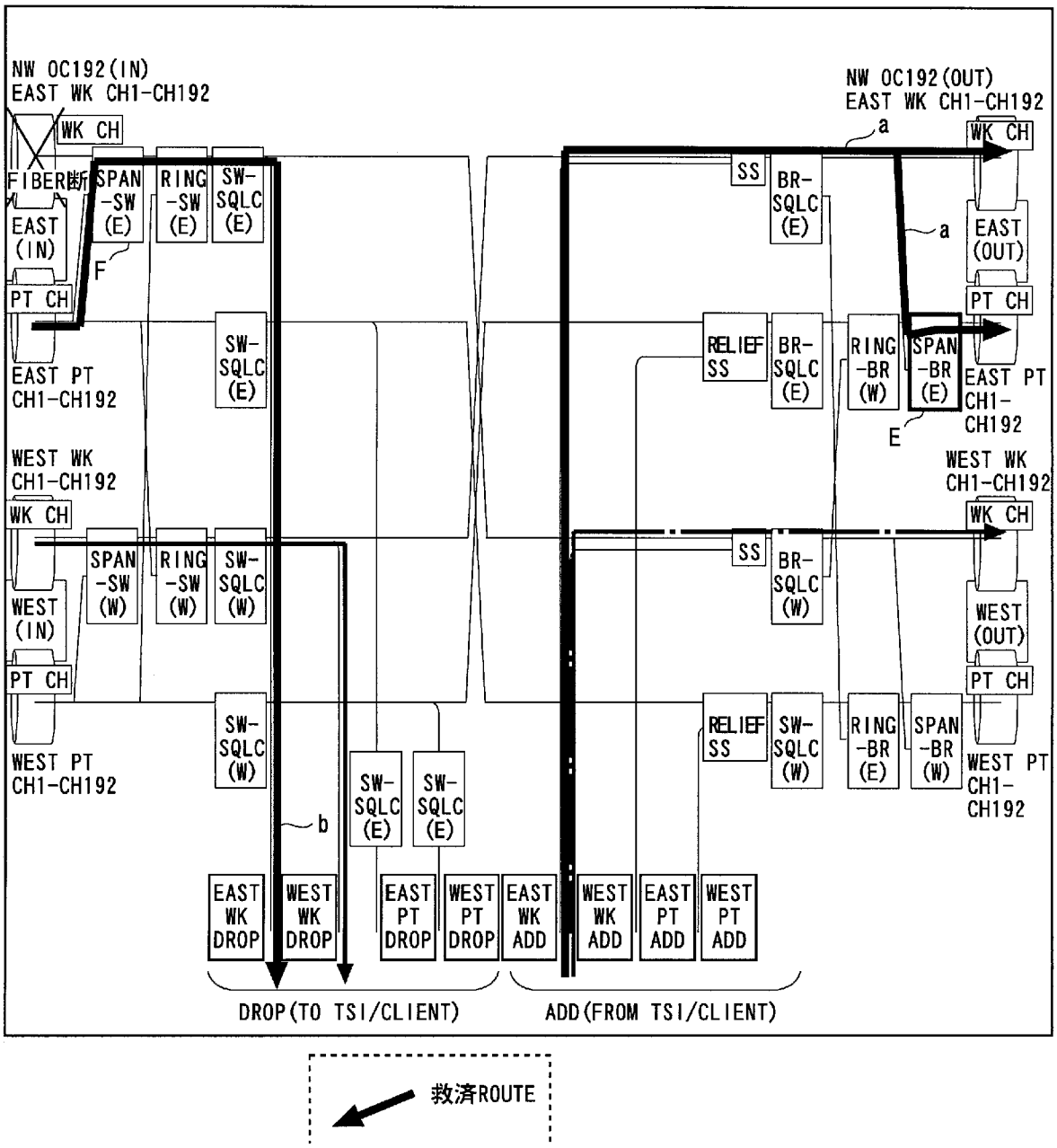
[図22]


WORK CH
PROTECTION CH
FULL-PASS-THROUGH
NODE (A)
NODE (B)
NODE (C)
NODE (D)
NODE (E)
NODE (F)
W
E
a
b
RING-SWICH
RING-BRIDE
CH-a
FIBER断発生
OPTICAL FIBER

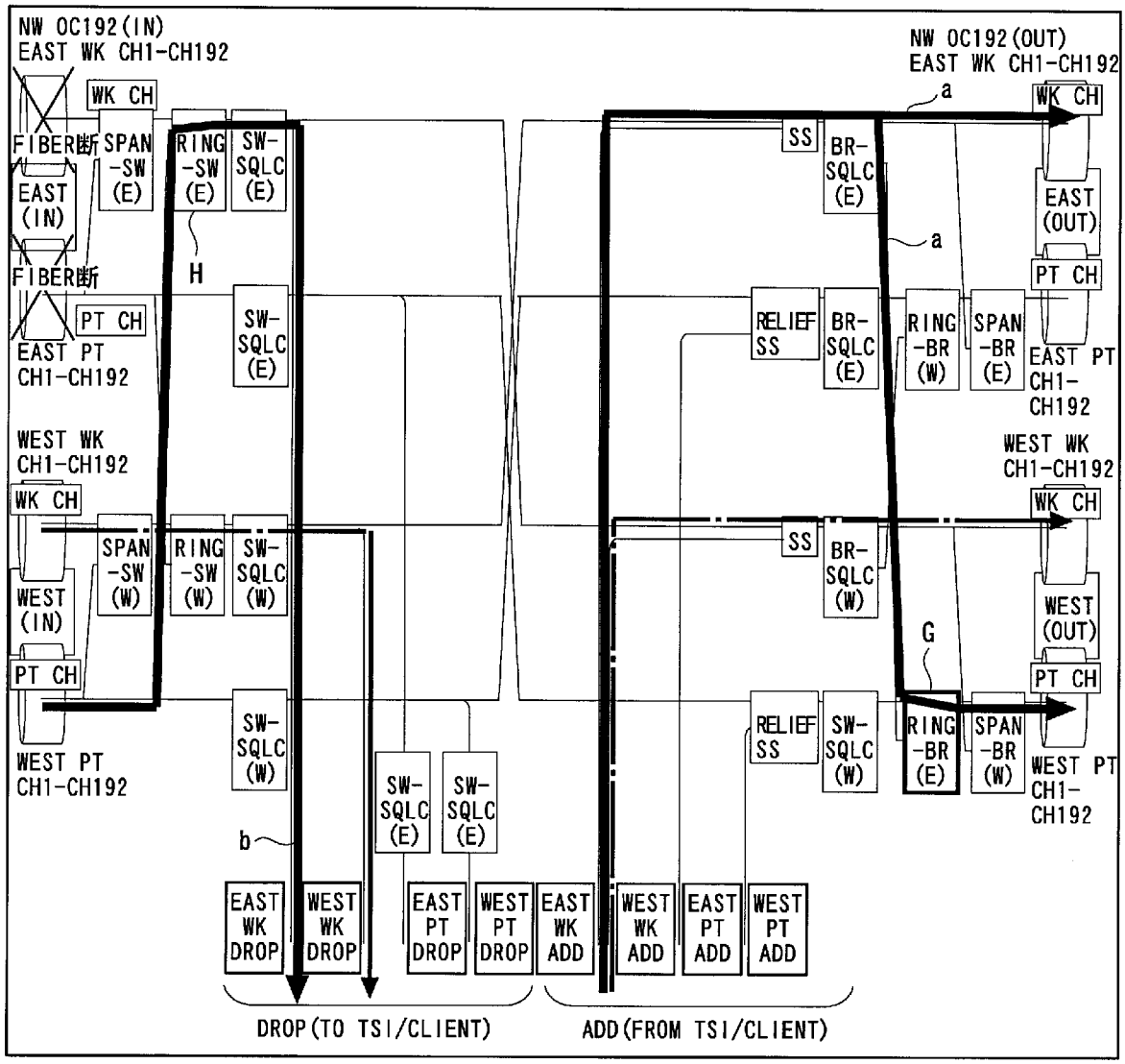
[図23]


NW OC192(IN)
EAST WK CH1-CH192
WK CH
EAST (IN)
PT CH
EAST PT CH1-CH192
WEST WK CH1-CH192
WK CH
WEST (IN)
PT CH
WEST PT CH1-CH192
SPAN -SW (E)
RING -SW (E)
SW-SQLC (E)
SW-SQLC (E)
SPAN -SW (W)
RING -SW (W)
SW-SQLC (W)
SW-SQLC (W)
SW-SQLC (E)
SW-SQLC (E)
b
EAST WK DROP
WEST WK DROP
EAST PT DROP
WEST PT DROP
EAST WK ADD
WEST WK ADD
EAST PT ADD
WEST PT ADD
DROP(TO TSI/CLIENT)
ADD(FROM TSI/CLIENT)
NW OC192(OUT)
EAST WK CH1-CH192
a
WK CH
EAST (OUT)
PT CH
EAST PT CH1-CH192
WEST WK CH1-CH192
WK CH
WEST (OUT)
PT CH
WEST PT CH1-CH192
SS
BR-SQLC (E)
RELIEF SS
BR-SQLC (E)
RING -BR (W)
SPAN -BR (E)
SS
BR-SQLC (W)
RELIEF SS
SW-SQLC (W)
RING -BR (E)
SPAN -BR (W)

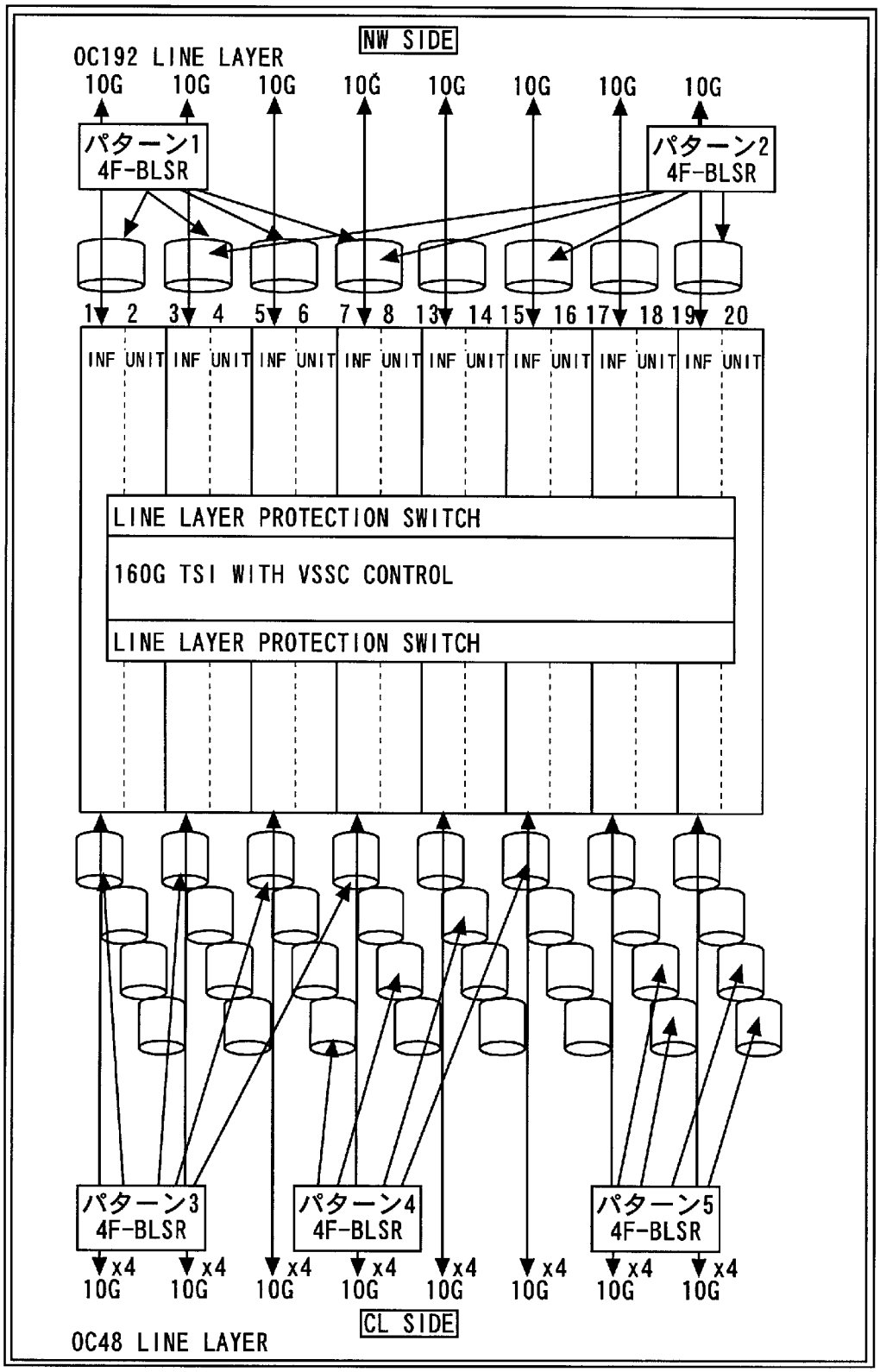
[図24]


NW OC192(IN)
EAST WK CH1-CH192
WK CH
FIBER断
SPAN -SW (E)
RING -SW (E)
SW- SQLC (E)
EAST (IN)
PT CH
F
EAST PT CH1-CH192
SW- SQLC (E)
WEST WK CH1-CH192
WK CH
SPAN -SW (W)
RING -SW (W)
SW- SQLC (W)
WEST (IN)
PT CH
WEST PT CH1-CH192
SW- SQLC (W)
b
SW- SQLC (E)
SW- SQLC (E)
EAST WK DROP
WEST WK DROP
EAST PT DROP
WEST PT DROP
EAST WK ADD
WEST WK ADD
EAST PT ADD
WEST PT ADD
DROP(TO TSI/CLIENT)
ADD(FROM TSI/CLIENT)
NW OC192(OUT)
EAST WK CH1-CH192
a
WK CH
SS
BR- SQLC (E)
a
EAST (OUT)
PT CH
RELIEF SS
BR- SQLC (E)
RING -BR (W)
SPAN -BR (E)
EAST PT CH1- CH192
E
WEST WK CH1-CH192
WK CH
SS
BR- SQLC (W)
WEST (OUT)
PT CH
RELIEF SS
SW- SQLC (W)
RING -BR (E)
SPAN -BR (W)
WEST PT CH1- CH192
救済ROUTE

[図25]

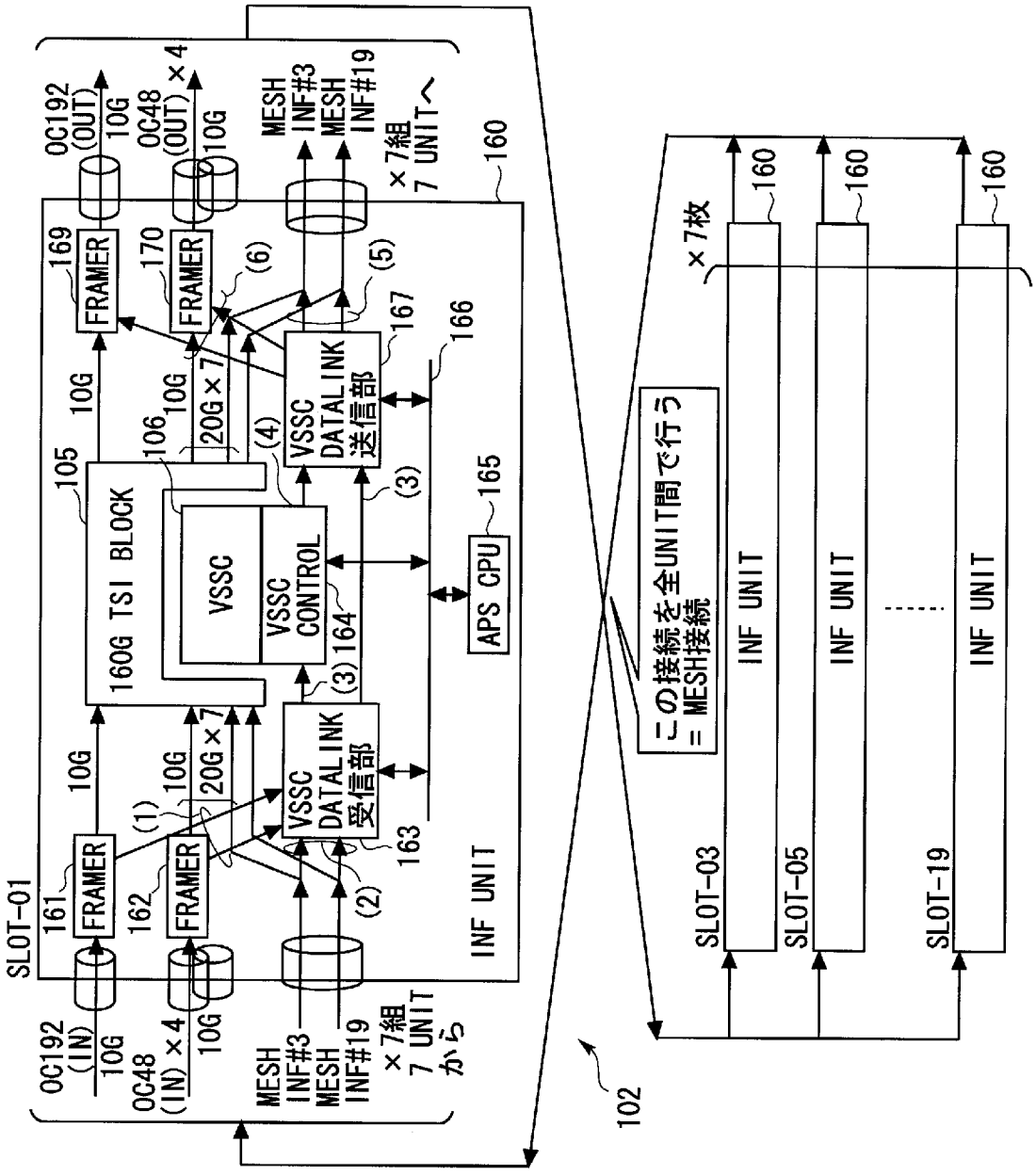

NW OC192(IN)
EAST WK CH1-CH192
WK CH
FIBER断
SPAN -SW (E)
RING -SW (E)
SW- SQLC (E)
EAST (IN)
H
FIBER断
PT CH
EAST PT CH1-CH192
SW- SQLC (E)
WEST WK CH1-CH192
WK CH
SPAN -SW (W)
RING -SW (W)
SW- SQLC (W)
WEST (IN)
PT CH
WEST PT CH1-CH192
SW- SQLC (W)
b
SW- SQLC (E)
SW- SQLC (E)
EAST WK DROP
WEST WK DROP
EAST PT DROP
WEST PT DROP
EAST WK ADD
WEST WK ADD
EAST PT ADD
WEST PT ADD
DROP(TO TSI/CLIENT)
ADD(FROM TSI/CLIENT)
NW OC192(OUT)
EAST WK CH1-CH192
a
WK CH
SS
BR- SQLC (E)
EAST (OUT)
a
PT CH
RELIEF SS
BR- SQLC (E)
RING -BR (W)
SPAN -BR (E)
EAST PT CH1- CH192
WEST WK CH1-CH192
WK CH
SS
BR- SQLC (W)
WEST (OUT)
G
PT CH
RELIEF SS
SW- SQLC (W)
RING -BR (E)
SPAN -BR (W)
WEST PT CH1- CH192

[図26]

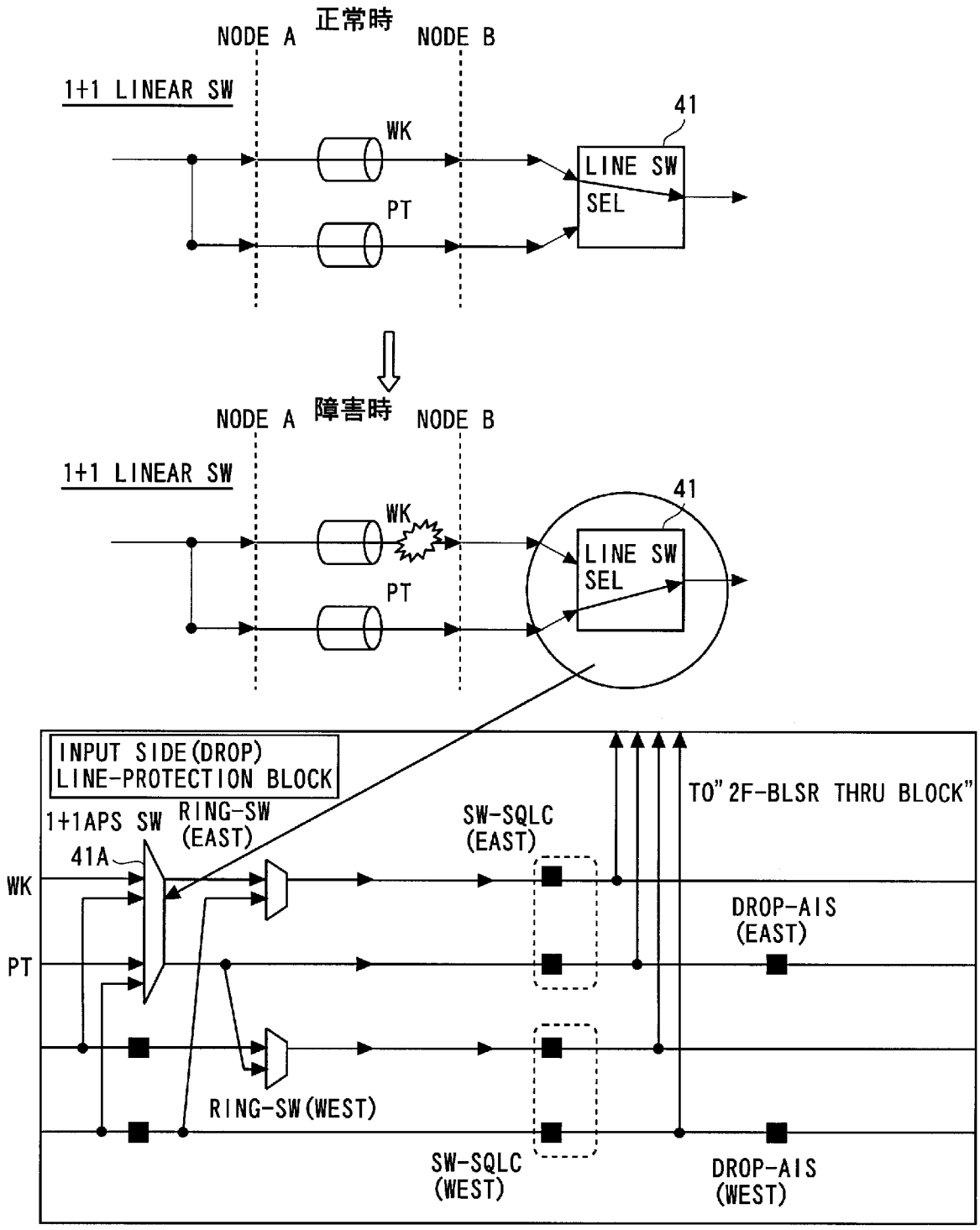


TRIB SHELF VIEW

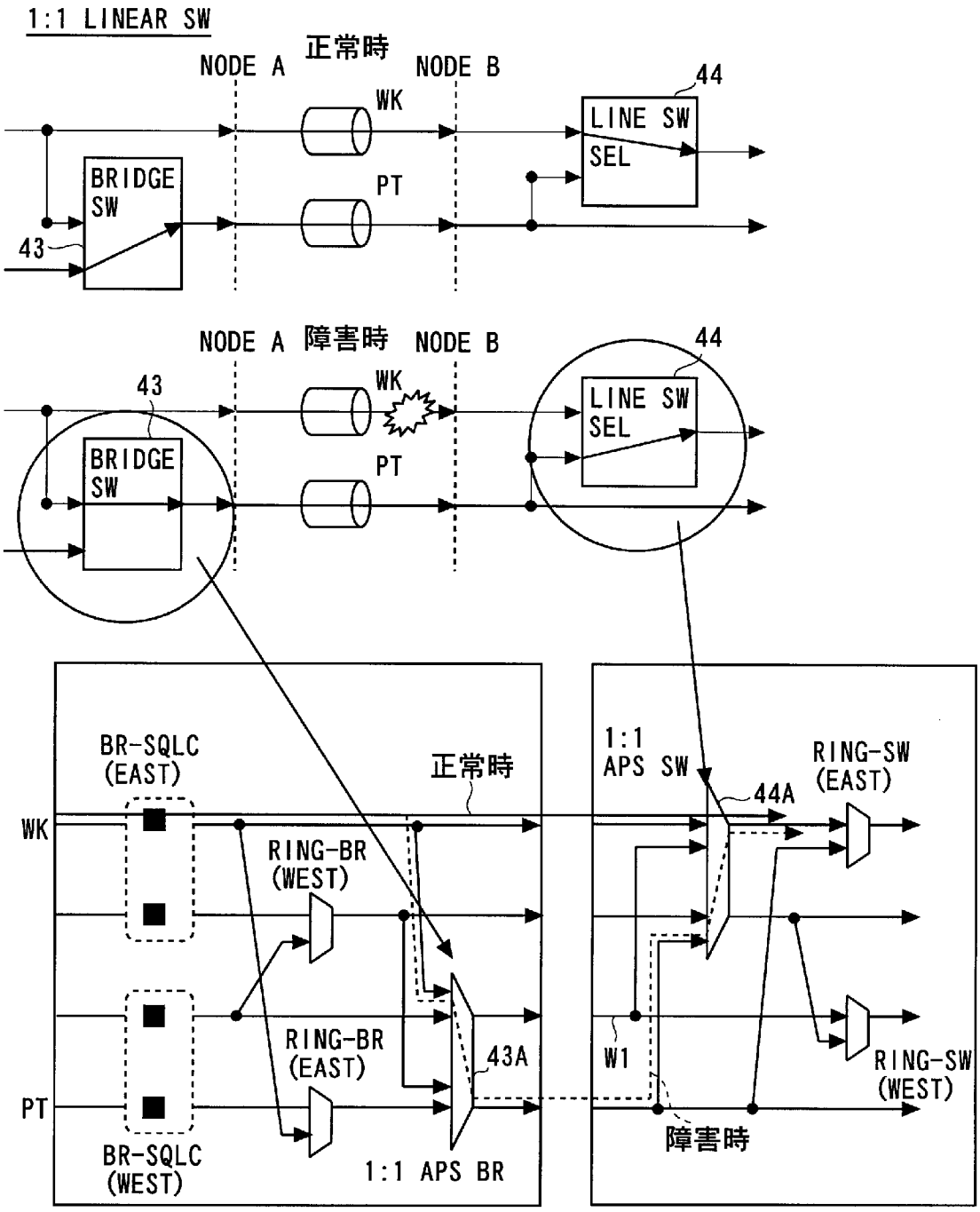
[図27]


SLOT-01
INF UNIT
160G TSI BLOCK
VSSC
VSSC CONTROL
APS CPU
VSSC DATALINK 送信部
VSSC DATALINK 受信部
FRAMER
10G
20G×7
OC192 (IN)
OC48 (IN) ×4
OC192 (OUT)
OC48 (OUT) ×4
MESH INF#3
MESH INF#19
×7組 7 UNITから
×7組 7 UNITへ
105
106
161
162
163
164
165
166
167
169
170
160
(1)
(2)
(3)
(4)
(5)
(6)
102
×7枚
この接続を全UNIT間で行う = MESH接続
SLOT-03
SLOT-05
SLOT-19

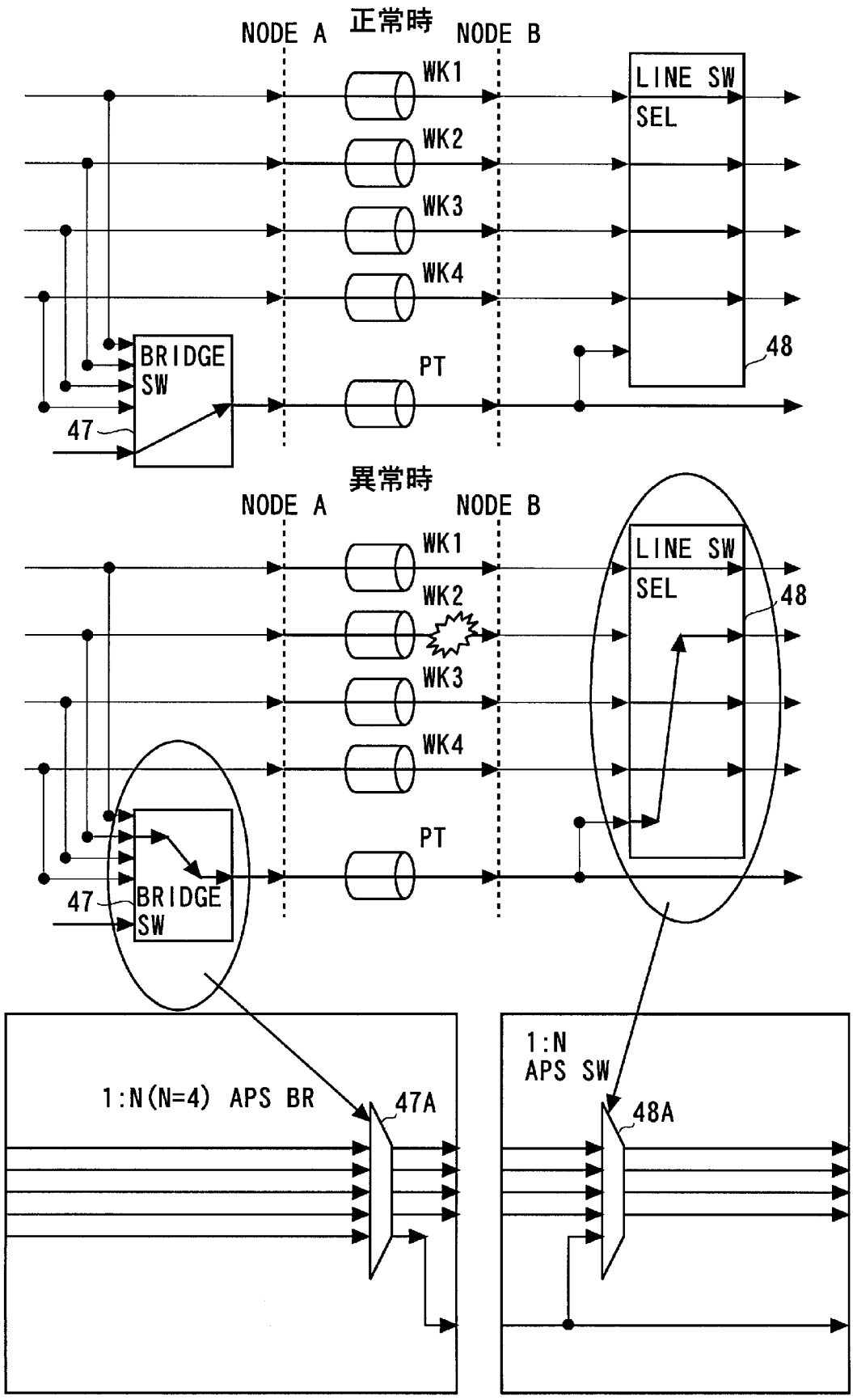
[図28]


正常時
NODE A
NODE B
1+1 LINEAR SW
WK
PT
41
LINE SW
SEL
障害時
NODE A
NODE B
1+1 LINEAR SW
WK
PT
41
LINE SW
SEL
INPUT SIDE(DROP)
LINE-PROTECTION BLOCK
1+1APS SW
41A
RING-SW
(EAST)
SW-SQLC
(EAST)
TO"2F-BLSR THRU BLOCK"
WK
PT
DROP-AIS
(EAST)
RING-SW(WEST)
SW-SQLC
(WEST)
DROP-AIS
(WEST)

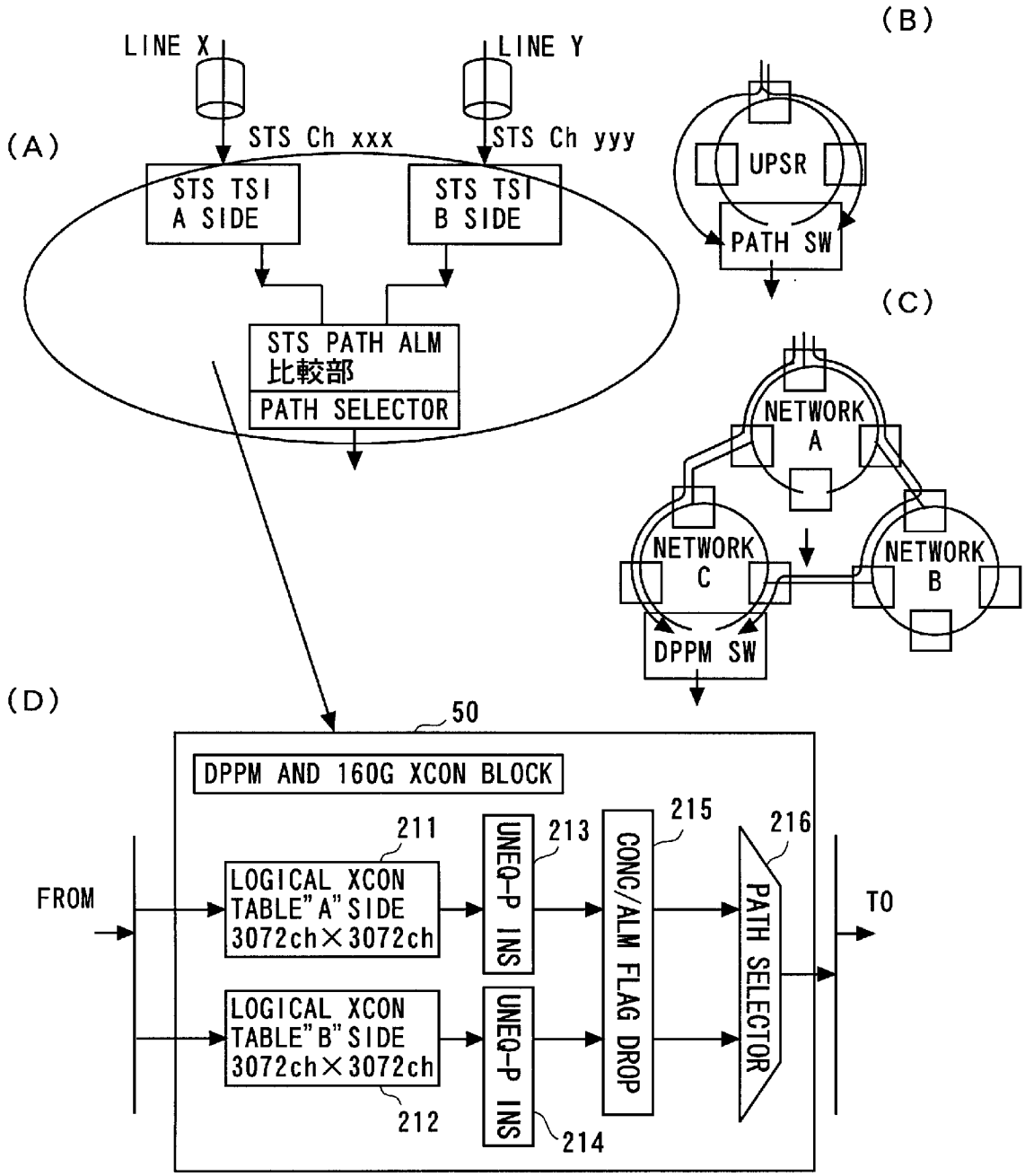
[図29]


1:1 LINEAR SW
正常時
NODE A
NODE B
WK
PT
BRIDGE SW
43
44
LINE SW
SEL
障害時
BR-SQLC (EAST)
BR-SQLC (WEST)
RING-BR (WEST)
RING-BR (EAST)
43A
1:1 APS BR
1:1 APS SW
44A
RING-SW (EAST)
RING-SW (WEST)
W1

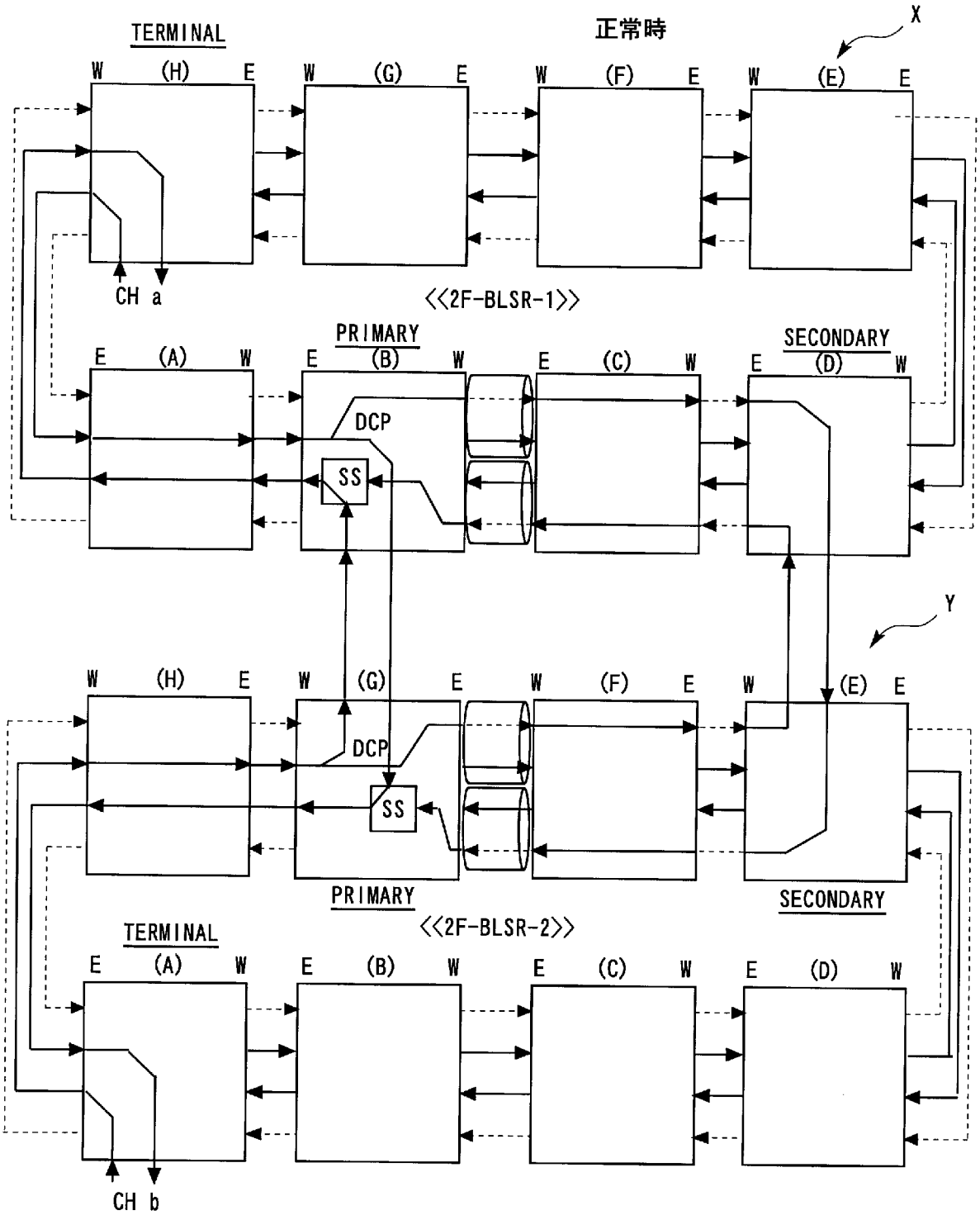
[図30]


正常時
NODE A
NODE B
WK1
WK2
WK3
WK4
LINE SW
SEL
48
BRIDGE
SW
47
PT
異常時
NODE A
NODE B
WK1
WK2
WK3
WK4
LINE SW
SEL
48
47
BRIDGE
SW
PT
1:N(N=4) APS BR
47A
1:N
APS SW
48A

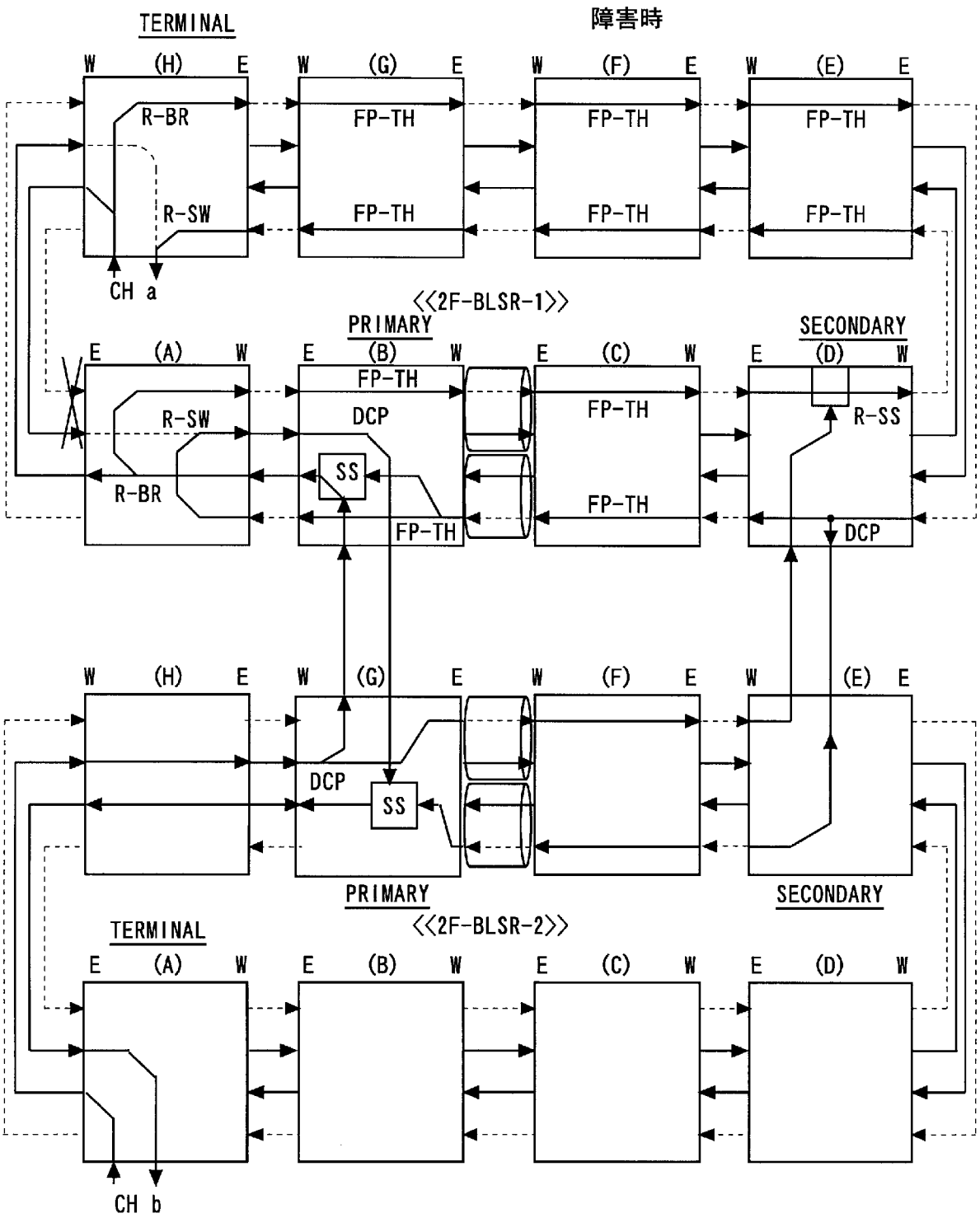
[図31]


(A)
LINE X
LINE Y
STS Ch xxx
STS Ch yyy
STS TSI A SIDE
STS TSI B SIDE
STS PATH ALM 比較部
PATH SELECTOR
(B)
UPSR
PATH SW
(C)
NETWORK A
NETWORK C
NETWORK B
DPPM SW
(D)
50
DPPM AND 160G XCON BLOCK
FROM
TO
LOGICAL XCON TABLE"A"SIDE 3072ch×3072ch
LOGICAL XCON TABLE"B"SIDE 3072ch×3072ch
211
212
UNEQ-P INS
213
214
CONC/ALM FLAG DROP
215
PATH SELECTOR
216

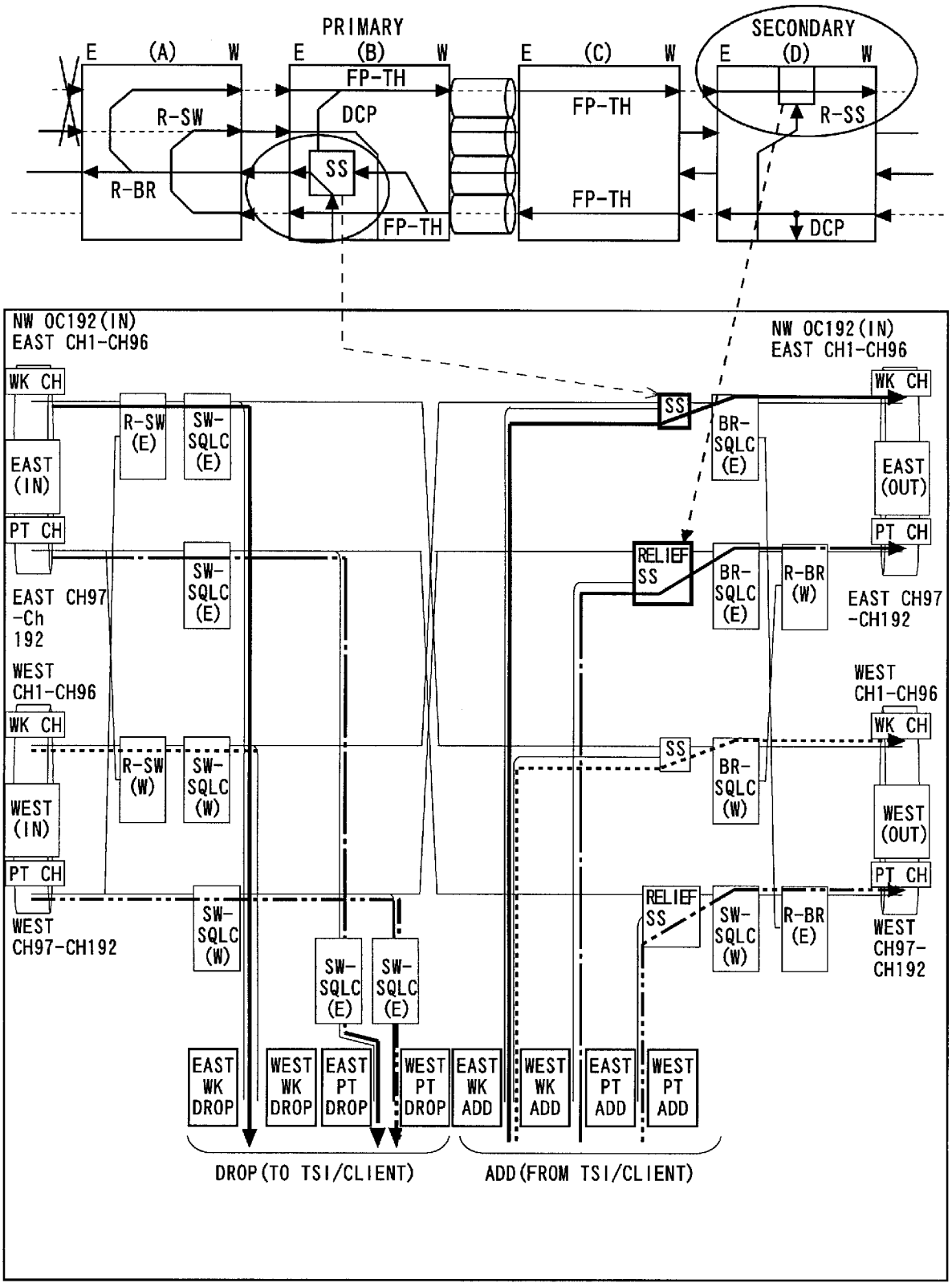
[図32]


正常時
TERMINAL
X
W (H) E
W (G) E
W (F) E
W (E) E
CH a
<<2F-BLSR-1>>
PRIMARY
SECONDARY
E (A) W
E (B) W
E (C) W
E (D) W
DCP
SS
Y
W (H) E
W (G) E
W (F) E
W (E) E
DCP
SS
PRIMARY
SECONDARY
<<2F-BLSR-2>>
TERMINAL
E (A) W
E (B) W
E (C) W
E (D) W
CH b

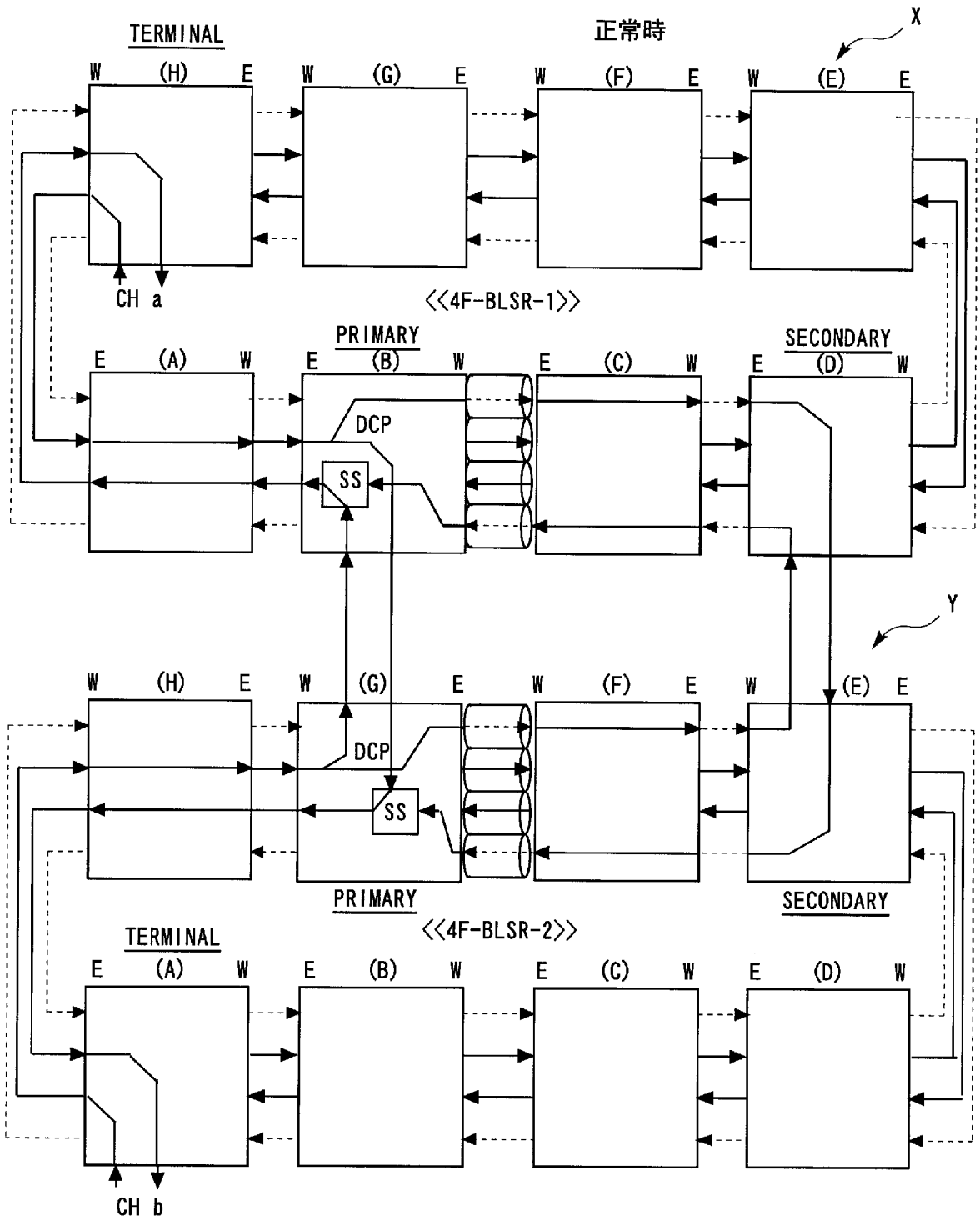
[図33]


TERMINAL
障害時
W (H) E
W (G) E
W (F) E
W (E) E
R-BR
R-SW
FP-TH
CH a
<<2F-BLSR-1>>
PRIMARY
SECONDARY
E (A) W
E (B) W
E (C) W
E (D) W
DCP
SS
R-SS
W (H) E
W (G) E
W (F) E
W (E) E
PRIMARY
SECONDARY
<<2F-BLSR-2>>
TERMINAL
E (A) W
E (B) W
E (C) W
E (D) W
CH b

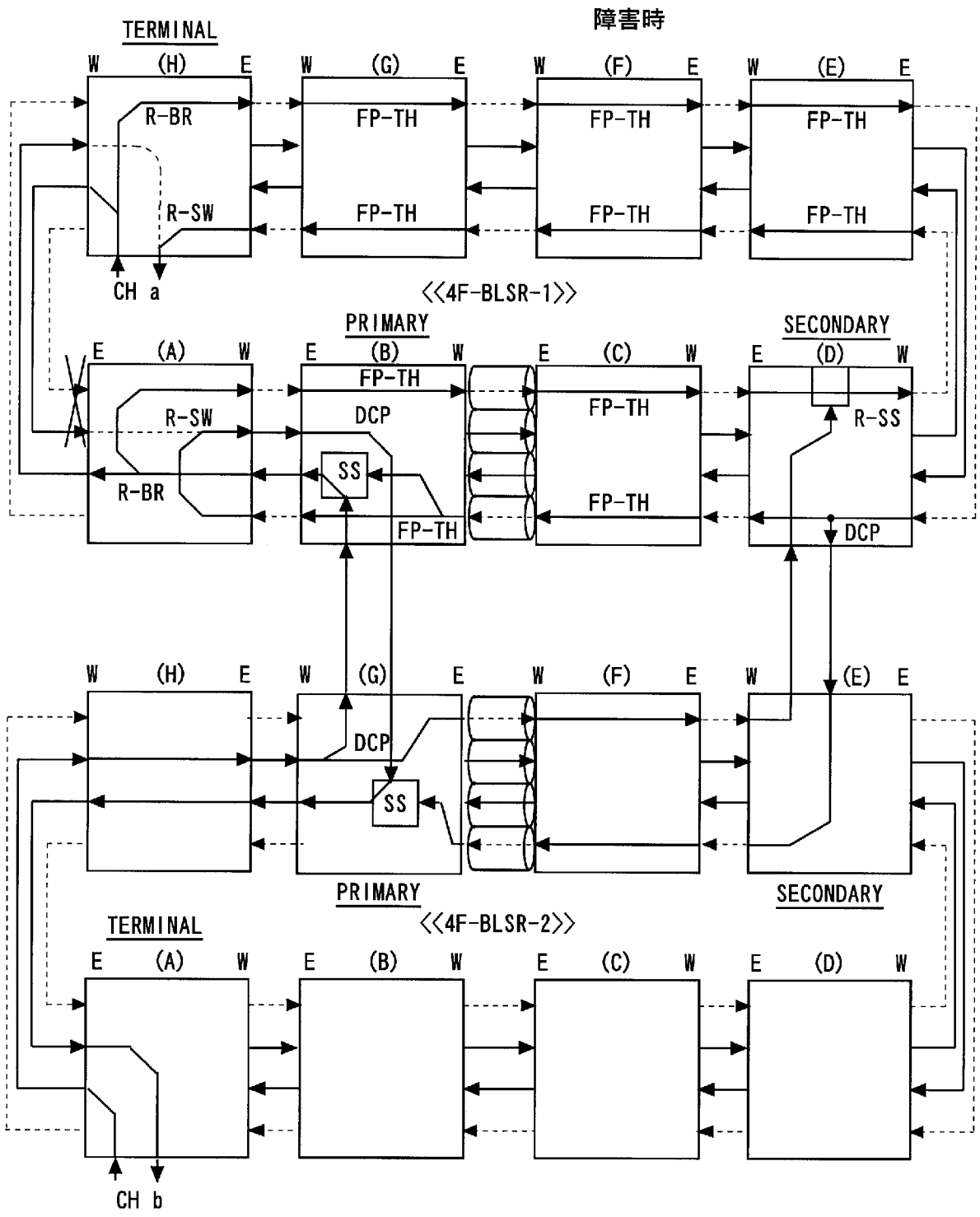
[図34]


PRIMARY
SECONDARY
E (A) W
E (B) W
E (C) W
E (D) W
R-SW
R-BR
FP-TH
DCP
SS
R-SS
NW OC192(IN)
EAST CH1-CH96
WK CH
EAST (IN)
PT CH
EAST CH97 -Ch 192
WEST CH1-CH96
WEST (IN)
WEST CH97-CH192
R-SW (E)
R-SW (W)
SW-SQLC (E)
SW-SQLC (W)
BR-SQLC (E)
BR-SQLC (W)
RELIEF SS
R-BR (W)
R-BR (E)
EAST (OUT)
WEST (OUT)
EAST CH97 -CH192
WEST CH97-CH192
EAST WK DROP
WEST WK DROP
EAST PT DROP
WEST PT DROP
EAST WK ADD
WEST WK ADD
EAST PT ADD
WEST PT ADD
DROP(TO TSI/CLIENT)
ADD(FROM TSI/CLIENT)

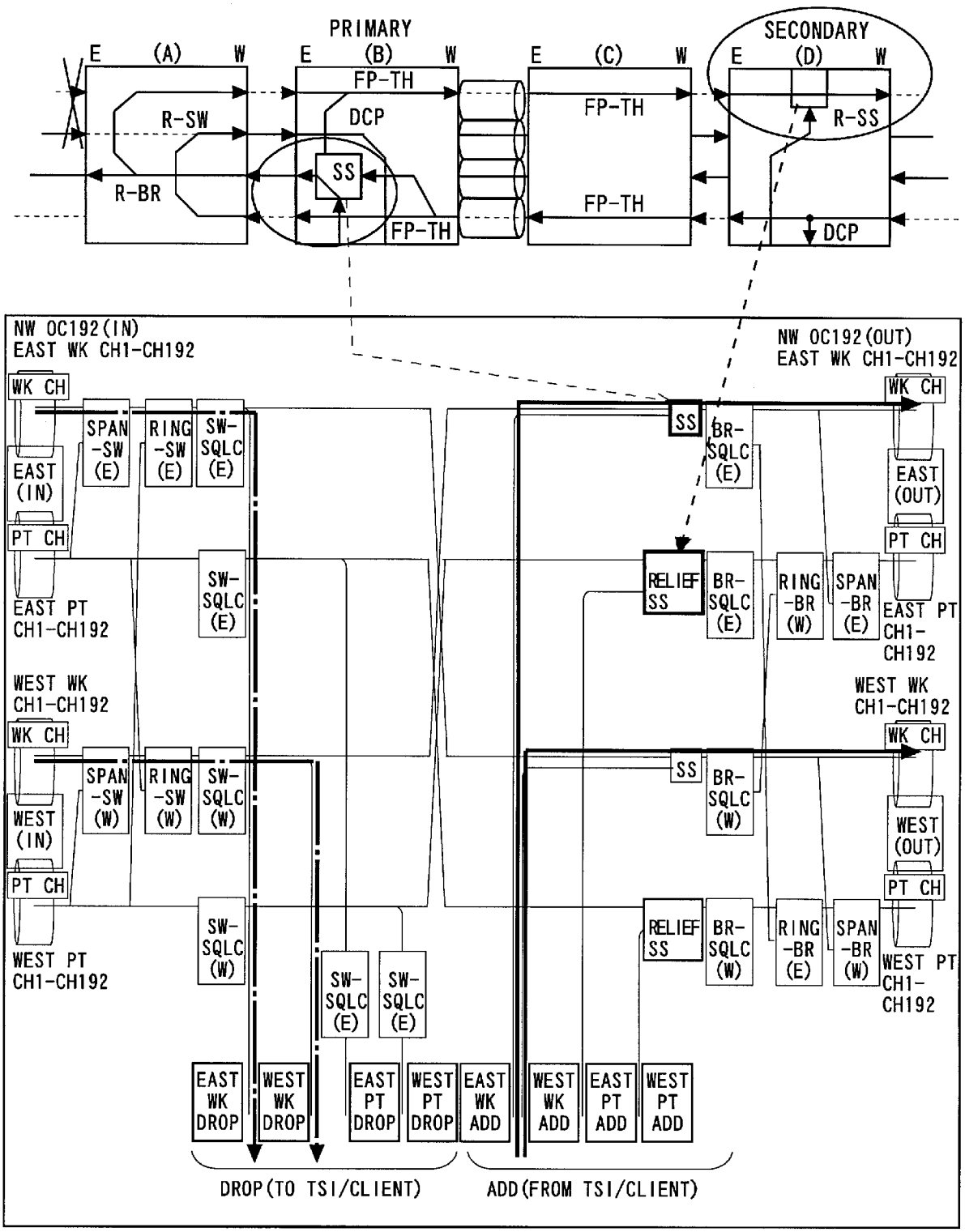
[図35]


TERMINAL
正常時
X
W (H) E
W (G) E
W (F) E
W (E) E
CH a
<<4F-BLSR-1>>
PRIMARY
SECONDARY
E (A) W
E (B) W
E (C) W
E (D) W
DCP
SS
Y
W (H) E
W (G) E
W (F) E
W (E) E
DCP
SS
PRIMARY
SECONDARY
<<4F-BLSR-2>>
TERMINAL
E (A) W
E (B) W
E (C) W
E (D) W
CH b

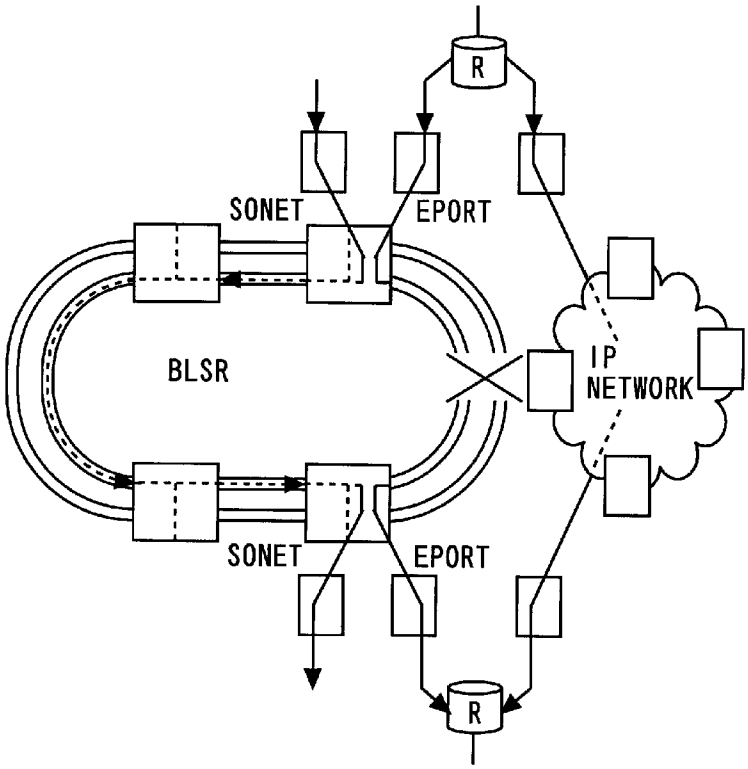
[図36]


障害時
TERMINAL
W (H) E
R-BR
R-SW
CH a
W (G) E
FP-TH
FP-TH
W (F) E
FP-TH
FP-TH
W (E) E
FP-TH
FP-TH
<<4F-BLSR-1>>
PRIMARY
SECONDARY
E (A) W
R-SW
R-BR
E (B) W
FP-TH
DCP
SS
FP-TH
E (C) W
FP-TH
FP-TH
E (D) W
R-SS
DCP
W (H) E
W (G) E
DCP
SS
W (F) E
W (E) E
PRIMARY
SECONDARY
TERMINAL
<<4F-BLSR-2>>
E (A) W
E (B) W
E (C) W
E (D) W
CH b

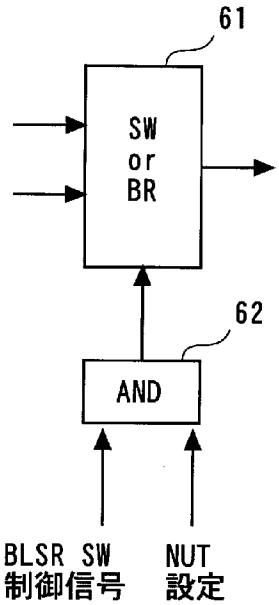
[図37]


PRIMARY
SECONDARY
E (A) W
E (B) W
E (C) W
E (D) W
FP-TH
DCP
R-SW
R-BR
SS
R-SS
NW OC192(IN)
EAST WK CH1-CH192
NW OC192(OUT)
EAST WK CH1-CH192
WK CH
EAST (IN)
PT CH
SPAN -SW (E)
RING -SW (E)
SW-SQLC (E)
EAST PT CH1-CH192
WEST WK CH1-CH192
WEST (IN)
WEST PT CH1-CH192
SW-SQLC (W)
SW-SQLC (E)
BR-SQLC (E)
BR-SQLC (W)
RELIEF SS
RING -BR (W)
RING -BR (E)
SPAN -BR (E)
SPAN -BR (W)
EAST (OUT)
WEST (OUT)
EAST WK DROP
WEST WK DROP
EAST PT DROP
WEST PT DROP
EAST WK ADD
WEST WK ADD
EAST PT ADD
WEST PT ADD
DROP(TO TSI/CLIENT)
ADD(FROM TSI/CLIENT)

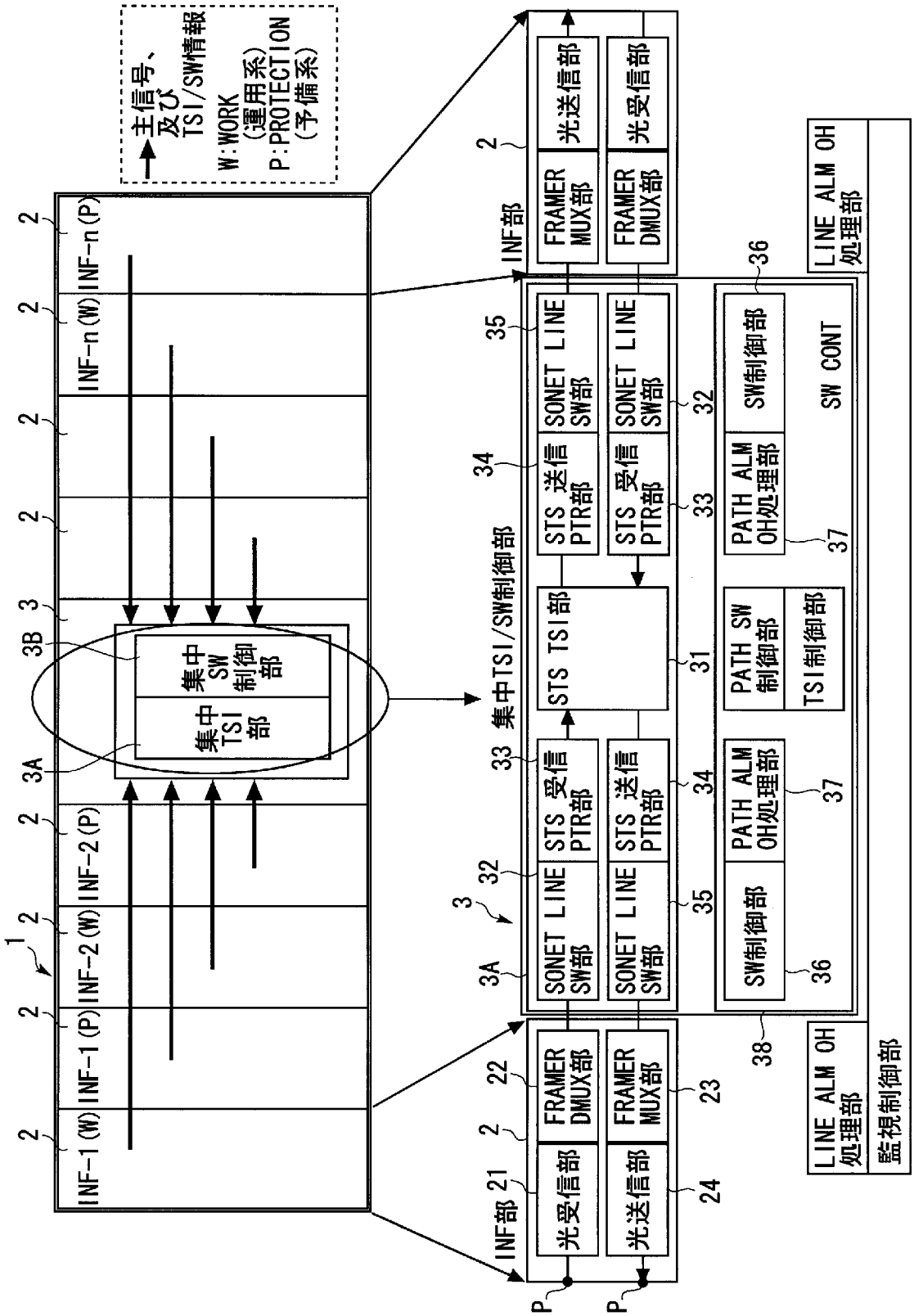
[図38]


R
SONET
EPORT
BLSR
IP
NETWORK
SONET
EPORT
R

[図39]


61
SW
or
BR
62
AND
BLSR SW
制御信号
NUT
設定

[図40]


主信号、
及び
TSI/SW情報
W:WORK
(運用系)
P:PROTECTION
(予備系)
INF-n (P)
INF-n (W)
INF-2 (P)
INF-2 (W)
INF-1 (P)
INF-1 (W)
集中
SW
制御
部
集中
TSI
部
集中TSI/SW制御部
STS TSI部
SONET LINE
SW部
STS 送信
PTR部
STS 受信
PTR部
PATH ALM
OH処理部
PATH SW
制御部
TSI制御部
SW制御部
SW CONT
INF部
FRAMER
MUX部
FRAMER
DMUX部
光送信部
光受信部
LINE ALM OH
処理部
監視制御部
P

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/073218

A. CLASSIFICATION OF SUBJECT MATTER
H04L12/42(2006.01)i, *H04J3/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04L12/42, H04J3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-309409 A (Miyagi Nippon Denki Kabushiki Kaisha, NEC Corp.), 19 April, 2001 (19.04.01), Fig. 2 (Family: none)	1-11
A	JP 2001-238279 A (Hitachi, Ltd. et al.), 31 August, 2001 (31.08.01), Fig. 1 (Family: none)	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 15 January, 2008 (15.01.08)	Date of mailing of the international search report 22 January, 2008 (22.01.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (April 2007)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０７３２１８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04L12/42(2006.01)i, H04J3/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04L12/42, H04J3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 2001-309409 A（宮城日本電気株式会社，日本電気株式会社）2001.04.19，図２（ファミリーなし）	１－１１
A	JP 2001-238279 A（株式会社日立製作所　他４名）2001.08.31，図１（ファミリーなし）	１－１１

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １５．０１．２００８	国際調査報告の発送日 ２２．０１．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｘ　９２９９ 中木　努 電話番号　０３－３５８１－１１０１　内線　３５９６