

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7434005号
(P7434005)

(45)発行日 令和6年2月20日(2024.2.20)

(24)登録日 令和6年2月9日(2024.2.9)

(51)国際特許分類		F I	
G 0 2 F	1/1343(2006.01)	G 0 2 F	1/1343
G 0 2 F	1/1368(2006.01)	G 0 2 F	1/1368
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30 3 4 8 A
G 0 9 F	9/35 (2006.01)	G 0 9 F	9/35
		G 0 9 F	9/30 3 3 7

請求項の数 11 (全20頁)

(21)出願番号	特願2020-48059(P2020-48059)	(73)特許権者	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(22)出願日	令和2年3月18日(2020.3.18)	(74)代理人	110001737 弁理士法人スズエ国際特許事務所
(65)公開番号	特開2021-148921(P2021-148921 A)	(72)発明者	小出 元 東京都港区西新橋三丁目7番1号 株式 会社ジャパンディスプレイ内
(43)公開日	令和3年9月27日(2021.9.27)	(72)発明者	池田 匡孝 東京都港区西新橋三丁目7番1号 株式 会社ジャパンディスプレイ内
審査請求日	令和5年2月2日(2023.2.2)	審査官	磯崎 忠昭

最終頁に続く

(54)【発明の名称】 半導体基板及び表示装置

(57)【特許請求の範囲】

【請求項1】

第1基材と、
前記第1基材上に設けられた下地層と、
前記下地層上に設けられた走査線と、
前記下地層及び前記走査線上に設けられたゲート絶縁層と、
前記ゲート絶縁層上に設けられ前記走査線と対向する半導体層と、
少なくとも前記ゲート絶縁層に設けられた第1凹状溝部と、
前記第1凹状溝部に重畳する第1領域及び前記第1凹状溝部に重畳しない第2領域を有する信号線と、
を備え、
前記信号線の前記第2領域は、前記ゲート絶縁層上に設けられ、
前記信号線は、第1層及び前記第1層に積層された第2層を有する積層体であり、
前記第1領域の前記第1層の第1突出部は、前記第1基材の平面に平行な方向に、前記第2層の側面から突出しており、
前記第1突出部は前記第1凹状溝部の側面に接し、前記第2層の前記側面を遮光する、半導体基板。

【請求項2】

前記信号線は、前記第2層に積層された第3層をさらに有する積層体であり、
前記第1領域の前記第3層は、前記第1基材の前記平面に平行な前記方向に、前記第2

層の前記側面から突出する第 2 突出部を有し、

前記第 1 層の前記第 1 突出部及び前記第 3 層の前記第 2 突出部は断面視で平行ではない、請求項 1 に記載の半導体基板。

【請求項 3】

前記第 1 層及び前記第 3 層の反射率は、前記第 2 層の反射率より低い、請求項 2 に記載の半導体基板。

【請求項 4】

さらに、層間絶縁層を備え、

前記ゲート絶縁層と前記層間絶縁層との間に、前記信号線の前記第 2 領域が配置される、請求項 1 乃至 3 のいずれか 1 項に記載の半導体基板。

10

【請求項 5】

第 1 基材と、

前記第 1 基材上に設けられた第 1 絶縁層と、

前記第 1 絶縁層上に設けられた走査線と、

前記第 1 絶縁層及び前記走査線上に設けられた第 2 絶縁層と、

少なくとも前記第 2 絶縁層に設けられた第 1 凹状溝部と、

前記第 1 凹状溝部に重畳する第 1 領域及び前記第 1 凹状溝部に重畳しない第 2 領域を有する信号線と、

少なくとも前記第 2 絶縁層に設けられた第 2 凹状溝部と、

前記走査線に接続され、前記第 2 凹状溝部と重畳する電極と、

20

を備え、

前記信号線の前記第 2 領域は、前記第 2 絶縁層上に設けられ、

前記信号線は、第 1 層及び前記第 1 層に積層された第 2 層を有する積層体であり、

前記第 1 領域の前記第 1 層の第 1 突出部は、前記第 1 基材の平面に平行な方向に、前記第 2 層の側面から突出しており、

前記第 1 突出部は前記第 1 凹状溝部の側面に接し、前記第 2 層の前記側面を遮光し、

前記第 2 凹状溝部と重畳する前記電極は、前記信号線と同層である、半導体基板。

【請求項 6】

さらに、第 2 基材と、

前記第 1 基材及び前記第 2 基材との間に設けられた表示機能層と、

を備える、請求項 1 乃至 5 のいずれか 1 項に記載に表示装置。

30

【請求項 7】

前記表示機能層は、液晶層である、請求項 6 に記載の表示装置。

【請求項 8】

第 1 基材と、

前記第 1 基材上に設けられた下地層と、

前記下地層上に設けられた走査線と、

前記下地層及び前記走査線上に設けられたゲート絶縁層と、

前記ゲート絶縁層上に設けられ前記走査線と対向する半導体層と、

少なくとも前記ゲート絶縁層に設けられた第 1 凹状溝部と、

前記第 1 凹状溝部に重畳する第 1 領域及び前記第 1 凹状溝部に重畳しない第 2 領域を有する信号線と、

40

前記信号線を覆う有機絶縁層と、

を備え、

前記信号線の前記第 2 領域は、前記ゲート絶縁層上に設けられ、

前記信号線は、第 2 層及び前記第 2 層に積層された第 3 層を有する積層体であり、

前記第 1 領域の前記第 3 層は、前記第 1 基材の平面に平行な方向において、前記第 2 層の側面から突出する第 2 端部を有し、

前記第 1 領域の前記第 3 層は、前記第 2 層の前記側面と前記第 2 端部との間に第 2 部分を有し、

50

前記第 1 領域の前記第 2 層の前記側面及び前記第 1 凹状溝部の側面との間、並びに前記第 1 基材及び前記第 2 部分との間には、前記有機絶縁層が充填されている、半導体基板。

【請求項 9】

前記信号線は、前記第 2 層が第 1 層に積層された積層体であり、
 前記第 2 層は、前記第 1 層と前記第 3 層との間に配置され、
 前記第 1 領域の前記第 1 層は、前記第 1 基材の前記平面に平行な前記方向において、前記第 2 層の前記側面から突出した第 1 端部を有し、
 前記第 1 領域の前記第 1 層は、前記第 2 層の前記側面と前記第 1 端部との間に第 1 部分を有し、
 前記第 1 領域の前記第 1 層の第 1 部分及び前記第 3 層の前記第 2 部分は断面視で平行ではない、請求項 8 に記載の半導体基板。

10

【請求項 10】

前記第 1 領域の前記第 1 層の前記第 1 部分は、前記第 1 凹状溝部に接し、
 前記第 1 凹状溝部において、前記第 1 部分と前記第 2 部分との間には、前記有機絶縁層が充填されている、請求項 9 に記載の半導体基板。

【請求項 11】

第 1 基材と、
 前記第 1 基材上に設けられた下地層と、
 前記下地層上に設けられた走査線と、
 前記下地層及び前記走査線上に設けられたゲート絶縁層と、
 前記ゲート絶縁層上に設けられ前記走査線と対向する半導体層と、
 少なくとも前記ゲート絶縁層に設けられた第 1 凹状溝部と、
 前記第 1 凹状溝部に重畳する第 1 領域及び前記第 1 凹状溝部に重畳しない第 2 領域を有する信号線と、

20

を備え、

前記信号線の前記第 2 領域は、前記ゲート絶縁層上に設けられ、
 前記信号線は、第 1 層及び前記第 1 層に積層された第 2 層を有する積層体であり、
 前記第 1 領域の前記第 1 層の第 1 端部は、前記第 1 基材の平面に平行な方向に、前記第 2 層の側面から突出しており、
 前記第 1 領域の前記第 1 層は、前記第 2 層の前記側面と前記第 1 端部との間に第 1 部分を有し、前記第 1 端部は前記第 1 凹状溝部の側面よりも内側に位置する、半導体基板。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体基板及び表示装置に関する。

【0002】

表示装置としては、例えば本実施形態にて説明する液晶表示装置や電気泳動装置、OLED 表示装置やマイクロ LED 表示装置などがある。

【0003】

半導体基板としては、例えば上述の表示装置の半導体を有する基板や、光学センサ基板など半導体を用いた基板などがある。

40

【背景技術】

【0004】

半導体基板及び表示装置については薄膜トランジスタを備えたアクティブマトリクス方式のものが知られている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開 2019 - 003127 号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0006】**

本実施形態は、表示品質が向上可能な半導体基板及び表示装置を提供する。

【課題を解決するための手段】**【0007】**

一実施形態に係る半導体基板は、第1基材と、前記第1基材上に設けられた第1絶縁層と、前記第1絶縁層上に設けられた走査線と、前記第1絶縁層及び前記走査線上に設けられた第2絶縁層と、少なくとも前記第2絶縁層に設けられた第1凹状溝部と、前記第1凹状溝部に重畳する第1領域及び前記第1凹状溝部に重畳しない第2領域を有する信号線と、を備え、前記信号線の前記第2領域は、前記第2絶縁層上に設けられ、前記信号線は、第1層及び前記第1層に積層された第2層を有する積層体であり、前記第1領域の前記第1層の第1端部は、前記第1基材の平面に平行な方向に、前記第2層の側面から突出しており、前記第1領域の前記第1層は、前記第2層の前記側面と前記第1端部との間に第1部分を有し、前記第1部分は前記第1凹状溝部の側面に接し、前記第2層の前記側面は前記第1凹状溝部において前記第1部分によって覆われている。

10

【0008】

また、一実施形態に係る半導体基板は、第1基材と、前記第1基材上に設けられた第1絶縁層と、前記第1絶縁層上に設けられた走査線と、前記第1絶縁層及び前記走査線上に設けられた第2絶縁層と、少なくとも前記第2絶縁層に設けられた凹状溝部と、前記第1凹状溝部に重畳する第1領域及び前記第1凹状溝部に重畳しない第2領域を有する信号線と、前記信号線を覆う有機絶縁層と、を備え、前記信号線の前記第2領域は、前記第2絶縁層上に設けられ、前記信号線は、第2層及び前記第2層に積層された第3層を有する積層体であり、前記第1領域の前記第3層は、前記第1基材の平面に平行な方向において、前記第2層の側面から突出する第2端部を有し、前記第1領域の前記第3層は、前記第2層の前記側面と前記第2端部との間に第2部分を有し、前記第1領域の前記第2層の前記側面及び前記凹状溝部の側面との間、並びに前記第1基材及び前記第2部分の間には、前記有機絶縁層が充填されている。

20

【0009】

また、一実施形態に係る半導体基板は、第1基材と、前記第1基材上に設けられた第1絶縁層と、前記第1絶縁層上に設けられた走査線と、前記第1絶縁層及び前記走査線上に設けられた第2絶縁層と、少なくとも前記第2絶縁層に設けられた第1凹状溝部と、前記第1凹状溝部に重畳する第1領域及び前記第1凹状溝部に重畳しない第2領域を有する信号線と、を備え、前記信号線の前記第2領域は、前記第2絶縁層上に設けられ、前記信号線は、第1層及び前記第1層に積層された第2層を有する積層体であり、前記第1領域の前記第1層の第1端部は、前記第1基材の平面に平行な方向に、前記第2層の側面から突出しており、前記第1領域の前記第1層は、前記第2層の前記側面と前記第1端部との間に第1部分を有し、前記第1端部は前記第1凹状溝部の側面よりも内側に位置する。

30

【図面の簡単な説明】**【0010】**

【図1】図1は、本実施形態の表示装置DSPを示す回路図である。

40

【図2】図2は、画素PXの構成を模式的に示す平面図である。

【図3】図3は、図2の線A-Aに沿った第1基板SUB1の断面図である。

【図4】図4は、図2の線B-Bに沿った第1基板SUB1の拡大断面図である。

【図5】図5は、実施形態1の半導体基板の他の構成例を示す断面図である。

【図6】図6は、本実施形態における表示装置の回路図である。

【図7】図7は、表示装置DSPを示す断面図である。

【図8】図8は、表示装置DSPの第1基板SUB1の一部を示す拡大平面図である。

【図9】図9は、図8の線C-Cに沿った第1基板SUB1を示す拡大断面図である。

【図10】図10は、図8の線D-Dに沿った第1基板SUB1の拡大断面図である。

【発明を実施するための形態】

50

【 0 0 1 1 】

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

以下、図面を参照しながら一実施形態に係る半導体基板及び表示装置について詳細に説明する。

10

【 0 0 1 2 】

本実施形態においては、第1方向X、第2方向Y、及び、第3方向Zは、互いに直交しているが、90度以外の角度で交差していてもよい。第3方向Zの矢印の先端に向かう方向を上又は上方と定義し、第3方向Zの矢印の先端に向かう方向とは反対側の方向を下又は下方と定義する。

また、第3方向Zの矢印の先端側に表示装置DSPを観察する観察位置があるものとし、この観察位置から、第1方向X及び第2方向Yで規定されるX-Y平面向かって見ることを平面視という。第1方向X及び第3方向Zによって規定されるX-Z平面、あるいは第2方向Y及び第3方向Zによって規定されるY-Z平面における表示装置DSPの断面を見ることを断面視という。また、X-Y平面は後述する第1基材BA1の平面に平行な面であり、第1方向Xは第1基材BA1の平面に平行な方向であり、第2方向Yも第1基材BA1の平面に平行な方向である。

20

【 0 0 1 3 】

また、「第1部材の上方の第2部材」及び「第1部材の下方の第2部材」とした場合、第2部材は、第1部材に接していてもよく、又は第1部材から離れて位置していてもよい。後者の場合、第1部材と第2部材との間に、第3の部材が介在していてもよい。一方、「第1部材の上の第2部材」及び「第1部材の下の第2部材」とした場合、第2部材は第1部材に接している。

【 0 0 1 4 】

図1は、本実施形態の表示装置DSPを示す回路図である。表示装置DSPは、画像を表示する表示領域DAと、表示領域DA以外の非表示領域NDAと、を備えている。本実施形態において、非表示領域NDAは、額縁状に形成されている。

30

図1に示すように、表示装置DSPは、第1基材BA1、表示領域DAにて第1基材BA1の上方にマトリクス状に配列された複数個の画素PX、複数の走査線Gと、複数の信号線Sを備えている。また表示装置DSPは、第3方向Zにおいて第1基材BA1に対向する第2基材BA2（図示せず）、第1基材BA1及び第2基材BA2との間に挟持された表示機能層、例えば液晶層LCを有している。

【 0 0 1 5 】

第2方向Yに並んだ複数本の走査線Gは、走査線駆動回路GDに接続されている。第1方向Xに並んだ複数本の信号線Sは、信号線駆動回路SDに接続されている。なお、走査線G及び信号線Sは、必ずしも直線的に延出していなくてもよく、それらの一部が屈曲していてもよい。例えば、信号線Sは、その一部が屈曲していたとしても、第2方向Yに延出しているものとする。

40

【 0 0 1 6 】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CE、液晶層LC等を備えている。スイッチング素子SWは、薄膜トランジスタ(TFT)によって構成され、走査線G及び信号線Sと電氣的に接続されている。走査線Gは、第1方向Xに並んだ画素PXの各々におけるスイッチング素子SWのゲート電極GEと電氣的に接続されている。信号線Sは、第2方向Yに並んだ画素PXの各々におけるスイッチング素子SWのソース電極SEと電氣的に接続されている。画素電極PEは、スイッチング素子SWのドレイン

50

電極 D E と電氣的に接続されている。保持容量 C S は、例えば、共通電極 C E と同電位の電極、及び、画素電極 P E と同電位の電極の間に形成される。

【 0 0 1 7 】

画素電極 P E の各々は、共通電極 C E と対向し、画素電極 P E と共通電極 C E との間に生じる電界によって液晶層 L C を駆動している。液晶層 L C は、表示装置 D S P の下側に設けられた照明装置（図示せず）からの照明光を変調する。これにより表示装置 D S P は画像表示を行う。

【 0 0 1 8 】

図 1 に示す表示装置 D S P は、横電界型の液晶表示装置を示しているが、この態様に限られず、縦電界型の液晶表示装置であってもよい。この場合、共通電極 C E は、第 1 基材 B A 1 に第 3 方向 Z で対向する第 2 基材に設けられる。縦電界型の表示装置では、画素電極 P E と共通電極 C E との間に発生するいわゆる縦電界により液晶層 L C が駆動される。

【 0 0 1 9 】

なお本実施形態は液晶表装置に限定されず、他の表示装置に援用可能である。他の表示装置として、例えば電気泳動表示装置が挙げられる。

【 0 0 2 0 】

図 2 は、画素 P X の構成を模式的に示す平面図である。なお、図 2 では、1 つの画素 P X の構成について示している。また、図 2 では、図面を見やすくするために共通電極 C E 及び一部の画素については画素電極 P E を省略して示している。

【 0 0 2 1 】

図 2 に示すように、スイッチング素子 S W である薄膜トランジスタは、走査線 G、信号線 S との交差部付近に設けられる。スイッチング素子 S W は、走査線 G（ゲート電極）、半導体層 S C、信号線 S（ソース電極）、ドレイン電極 D E、画素電極 P E を有する。

【 0 0 2 2 】

当該薄膜トランジスタ（以降トランジスタ T r とする）の半導体層 S C は、コンタクトホール C H 1 を介して信号線 S に電氣的に接続されている。半導体層 S C は、コンタクトホール C H 2 を介してドレイン電極 D E に電氣的に接続されている。

画素電極 P E は、複数の帯状電極 B R と、複数のスリット S L T を有する。画素電極 P E は、コンタクトホール C H 3 を介してドレイン電極 D E に電氣的に接続されている。

【 0 0 2 3 】

図 2 に示す信号線 S は、凹状溝部 C S L に重畳する第 1 領域 S L A と、凹状溝部 C S L とは重畳しない第 2 領域 S L B を有している。また詳細は後述するが、信号線 S は、第 3 方向 Z において、第 1 層 S L 1、第 2 層 S L 2、及び第 3 層 S L 3 が積層された積層体で形成されている。すなわち、第 2 層 S L 2 は第 1 層 S L 1 に積層され、第 3 層 S L 3 は第 2 層 S L 2 に積層されている。なお信号線 S は、少なくとも第 1 層 S L 1 及び第 2 層 S L 2 の積層体であってもよい。あるいは 4 つの以上の導電層の積層体であってもよい。凹状溝部 C S L、第 1 領域 S L A、第 2 領域 S L B、第 1 層 S L 1、第 2 層 S L 2、及び第 3 層 S L 3 の詳細については後述する。

【 0 0 2 4 】

図 3 は、図 2 の線 A - A に沿った第 1 基板 S U B 1 の断面図である。図 3 に示すように、走査線 G、半導体層 S C、信号線 S は、第 1 基材 B A 1 上にこの順に設けられている。具体的には、第 1 基材 B A 1 を覆って下地層 U C が設けられる。走査線 G は、下地層 U C 上に設けられる。走査線 G 及び下地層 U C 上に、走査線 G を覆ってゲート絶縁層 G I が設けられる。

【 0 0 2 5 】

半導体層 S C は、ゲート絶縁層 G I を挟んで走査線 G 上に設けられる。半導体層 S C のソース領域及びドレイン領域に重畳して、それぞれ信号線 S 及びドレイン電極 D E が設けられている。半導体層 S C、信号線 S、ドレイン電極 D E を覆って、層間絶縁層 I L I が設けられている。信号線 S は、層間絶縁層 I L I に設けられたコンタクトホール C H 1 を介して、トランジスタ T r の半導体層 S C に電氣的に接続されている。ドレイン電極 D E

10

20

30

40

50

は、層間絶縁層 I L I に設けられたコンタクトホール C H 2 を介して、トランジスタ T r の半導体層 S C に電氣的に接続されている。

【 0 0 2 6 】

なお本実施形態のトランジスタ T r は、いわゆるボトムゲート型トランジスタだが、これに限定されない。トランジスタ T r は、トップゲート型トランジスタであってもよい。トップゲート型トランジスタは、下地層 U C 上に半導体層 S C、半導体層 S C 上にゲート絶縁層 G I を介して走査線 G (ゲート電極)、走査線 G 及びゲート絶縁層 G I 上に層間絶縁層 I L I、半導体層 S C に電氣的に接続し層間絶縁層 I L I 上に設けられる信号線 S (ソース電極) 及びドレイン電極 D E を有する。

【 0 0 2 7 】

層間絶縁層 I L I を覆って平坦化絶縁層 H R C が設けられている。画素電極 P E は、平坦化絶縁層 H R C 上に設けられている。画素電極 P E は、平坦化絶縁層 H R C に設けられたコンタクトホール C H 3 を介してドレイン電極 D E に電氣的に接続されている。

【 0 0 2 8 】

下地層 U C、ゲート絶縁層 G I、層間絶縁層 I L I は、酸化シリコン (S i O ₂) 等の酸化物や、窒化シリコン (S i N) 等の窒化物が用いられた無機絶縁層である。下地層 U C、ゲート絶縁層 G I、層間絶縁層 I L I は、それぞれ単層に限定されず、複数の絶縁層が積層されていてもよい。例えば、下地層 U C に酸化シリコンと窒化シリコンの積層膜、ゲート絶縁層 G I に酸化ケイ素膜、層間絶縁層 I L I に酸化シリコンと窒化シリコンの積層膜を用いてもよい。

また平坦化絶縁層 H R C は、有機絶縁層であり、具体的にはアクリルやポリイミド等の有機樹脂材料を用いてもよい。

なお本明細書では、下地層 U C、ゲート絶縁層 G I、層間絶縁層 I L I を、単純に絶縁層もしくは無機絶縁層ともいい、平坦化絶縁層 H R C を、単純に絶縁層もしくは有機絶縁層ともいう。さらには、第 1 絶縁層、第 2 絶縁層、第 3 絶縁層、第 4 絶縁層などと番号を付した絶縁層として表記し異なる絶縁層として区別するものであってもよい。

【 0 0 2 9 】

走査線 G は、A l (アルミニウム)、T i (チタン)、A g (銀)、M o (モリブデン)、W (タングステン)、C u (銅)、C r (クロム) などの金属材料や、これらの金属材料を組み合わせた合金などによって形成される。走査線 G は、これら金属材料及び合金の単層構造であってもよいし、多層構造であってもよい。

【 0 0 3 0 】

半導体層 S C に用いられる材料は、例えば低温ポリシリコン、又は酸化物半導体である。画素電極 P E 及び共通電極 C E は、インジウムスズ酸化物 (I T O) やインジウム亜鉛酸化物 (I Z O) などの透明導電材料で形成されている。

信号線 S 及びドレイン電極 D E は、上述のように第 1 層 S L 1 乃至第 3 層 S L 3 という 3 層の導電材料で形成されている。下記に詳細を説明する。

【 0 0 3 1 】

図 4 は、図 2 の線 B - B に沿った第 1 基板 S U B 1 の拡大断面図である。

下地層 U C、ゲート絶縁層 G I、及び層間絶縁層 I L I には、凹状溝部 C S L が形成されている。図 2 に示す信号線 S の第 1 領域 S L A は凹状溝部 C S L に設けられており、信号線 S の第 2 領域 S L B は、層間絶縁層 I L I 上に設けられている。なお図 3 では凹状溝部 C S L は、下地層 U C にも形成されているが、これに限定されない。凹状溝部 C S L は、少なくともゲート絶縁層 G I、及び層間絶縁層 I L I に形成されていればよく、凹状溝部 C S L が下地層 U C に達していなくてもよい。

【 0 0 3 2 】

凹状溝部 C S L は、下地層 U C、ゲート絶縁層 G I、及び層間絶縁層 I L I をフォトリソグラフィ及びエッチングして形成する。凹状溝部 C S L を形成後、凹状溝部 C S L 及び層間絶縁層 I L I を覆って、信号線 S の第 1 層 S L 1、第 2 層 S L 2、第 3 層 S L 3 となる導電層をそれぞれ第 3 方向 Z に対してこの順に成膜する。次いで成膜した積層体にフォ

10

20

30

40

50

トリソグラフィ及びエッチングを行う。これにより信号線Sの第1層SL1、第2層SL2、第3層SL3が形成される。なお信号線Sが第1層SL1及び第2層SL2の積層体、あるいは4層以上の積層体の場合でも、材料となる導電層を積層後、エッチングを行いそれぞれの層を形成すればよい。

【0033】

本実施形態において、第1層SL1及び第3層SL3は同じ材料、第2層SL2は第1層SL1及び第3層SL3とは反射率が異なる材料で構成されている。より具体的には、第1層SL1及び第3層SL3はチタン、第2層SL2はアルミニウムで構成されている。一例として、それぞれの反射率は、アルミニウムが95%、チタンが50%である。

【0034】

上述のように第2層SL2のアルミニウムは、第1層SL1及び第3層SL3のチタンよりも反射率が高い。そのため照明装置からの照明光が第2層SL2の側面で反射し、反射光が上方の表示面側に出射されてしまう。これにより表示画像の黒輝度が下がり、コントラストが悪化する恐れが生じる。

また第2層SL2で照明光を反射した際に、偏向状態が変わる消偏が生じることがある。消偏が生じると、画像表示の際に本来見えないはずの信号線S(第2層SL2)の側面が線状のムラとして見えてしまう。これにより表示画像の品質が悪化する恐れがある。

【0035】

本実施形態では、信号線Sを、ゲート絶縁層GI及び層間絶縁層ILIに設けられた凹状溝部CSLに設けることにより、信号線Sの第2層SL2での反射を抑制する。

図4に示すように、第1層SL1の第1部分SL1sは、凹状溝部CSLの側面CSLsに沿って配置される。一方第2層SL2の側面SL2sは、凹状溝部CSLの側面CSLsから離隔して形成される。換言すると、第2層SL2の側面SL2sは、第1層SL1の第1部分SL1sより、凹状溝部CSLの側面CSLsから遠い。

【0036】

これは第1層SL1(及び第3層SL3)のチタンのエッチングレートが、第2層SL2のアルミニウムより低いためである。すなわち、アルミニウムはチタンより速くエッチングされるため、第2層SL2の方が第1層SL1よりも抉れてしまう。これにより第2層SL2の側面SL2sが、凹状溝部CSLの側面CSLsから離隔する。

【0037】

第2層SL2の側面SL2sから突出した第1層SL1の第1部分SL1sは、凹状溝部CSLの側面CSLsに沿って形成され、凹状溝部CSLの側面CSLsに接している。一方第2層SL2の側面SL2sは凹状溝部CSLの側面CSLsには接しておらず、上述のように離隔している。第2層SL2の側面SL2sは凹状溝部CSLの側面CSLsに沿って形成された第1層SL1の面である第1部分SL1sによって覆われている、と言える。これにより下方からの照射光が信号線Sに入射した場合でも、照射光は第2層SL2ではなく、より反射率の低い第1層SL1で反射される。よって表示画像の黒輝度の低下が抑制される。

また凹状溝部CSLの側面CSLsに反射率の低い第1層SL1が配置されているので、消偏が抑制され、線状のムラが発生するのを防ぐことができる。

【0038】

また第3層SL3も第1層SL1と同様チタンで構成されている。上述のようにチタンのエッチングレートは、第2層SL2のアルミニウムより低い。エッチングレートの差に起因して、第3層SL3の第2部分SL3sは、第2層SL2の側面SL2sより凹状溝部CSLの側面CSLsに近接する。換言すると、第2層SL2の側面SL2sは、第3層SL3の第2部分SL3sからより離隔している。

【0039】

ただし第3層SL3の第2部分SL3sは、凹状溝部CSLの側面CSLsに接しておらず、凹状溝部CSLの側面CSLsから離間している。第3層SL3の第2部分SL3sと第1層SL1の第1部分SL1sは、断面視において平行ではなく、交差する方向に

10

20

30

40

50

延在している。これはエッチングレートが高い第2層SL2が、上層である第3層SL3よりも先にエッチングされるため、第3層SL3の形状が変形するためである。

このように第3層SL3の第2部分SL3sが変形することにより、第1層SL1の第1部分SL1sの端部SL1eと第3層SL3の第2部分SL3sの端部SL3eは、第3方向Zにおいてほぼ一致する。第2層SL2の側面SL2sの端部SL2eは、端部SL1e及び端部SL3eの間に位置する。これにより、信号線Sの第1層SL1、第2層SL2、第3層SL3が製造誤差により凹状溝部CSLに位置しなかった場合においても、側面SL2sは第1部分SL1s及び第2部分SL3sによって挟持されるので、不要な反射を防ぐことができる。

【0040】

なお本実施形態では、第1層SL1及び第3層SL3、並びに第2層SL2の材料として、チタン並びにアルミニウムについて説明したが、これに限定されない。第1層SL1及び第3層SL3、並びに第2層SL2の材料として、反射率が第1層及び第3の方が第2層より低く、エッチングレートが第1層及び第3の方が第2層より小さい材料であればよい。走査線Gの材料として挙げた材料のうち、反射率とエッチングレートが上記の条件を満たす材料であれば、信号線Sの第1層SL1乃至第3層SL3の材料として用いることが可能である。具体的には、第1層SL1及び第3層SL3、並びに第2層SL2の材料として、モリブデン並びにアルミニウムを用いてもよい。

【0041】

また、第1層SL1の端部SL1eは、第1基材BA1の平面に平行な方向（図4においては第1方向X）において、第2層SL2の側面SL2sまたは第2層SL2の端部SL2eから突出した位置にある第1端部SL1eである。第1層の第1部分SL1sは、第2層SL2の側面SL2sまたは端部SL2eと第1層SL1の端部SL2eとの間の部分SL1sである。

【0042】

また、第3層SL3の端部SL3eは、第1基材BA1の平面に平行な方向（図4においては第1方向X）において、第2層SL2の側面SL2sまたは端部SL2eから突出した位置にある第2端部SL3eである。第3層SL3の第2部分SL3sは、第2層SL2の側面SL2sまたは端部SL2eと第3層SL3の端部SL3eとの間の部分SL3sである。

【0043】

図4の凹状溝部CSLにおいて、角度 θ は、側面CSLsを定義する主要な層間絶縁層ILIの側面と、下地層UCと第1層SL1が平面上に接する面との角度である。角度は45度以上80度以下であり、55度以上75度以下に形成することが望ましい。

【0044】

また、図4の凹状溝部CSLにおいて、深さIdpは凹状溝部CSLの深さであり、一例として深さIdpは0.6から0.8 μm である。

【0045】

また、図4の凹状溝部CSLにおいて、膜厚Sdpは第1層SL1から第3層SL3までの信号線Sの膜厚であり、一例として0.70 μm である。また信号線Sは上述の3層の積層構造に限らず、第1層SL1と第2層SL2との2層積層構造や第2層SL2と第3層SL3との2層積層構造であってもよく、さらには3層積層構造に1層を追加した4層の積層構造であってもよい。

【0046】

なお図4に示すように、凹状溝部CSLの内部で第1層SL1、第2層SL2、第3層SL3が形成されない部分は平坦化絶縁層HRCで充填される。第1層SL1の第1部分SL1s、第3層SL3の第2部分SL3s、第2層SL2の側面SL2s、凹状溝部CSLの側面CSLsには、平坦化絶縁層HRCが充填されている。この構造により凹状溝部CSLの内面に対して凹凸となりアンカー効果が生じる。これにより平坦化絶縁層HRCが層間絶縁層ILIもしくは信号線Sから剥がれることを抑制できる。

10

20

30

40

50

【 0 0 4 7 】

本実施形態により、表示画像の黒輝度の低減を抑制し、コントラストが向上した表示装置を得ることが可能である。また本実施形態により、線状のムラの発生を抑制し、表示画像の品質が向上した表示装置を得ることが可能である。

【 0 0 4 8 】

< 構成例 >

図5は、実施形態1の半導体基板の他の構成例を示す断面図である。図5に示す構成例では、図4に示す構成例と比較して、信号線Sの第1領域SLAが凹状溝部CSLの側面CSLsよりも内側に位置する点で相違する。なお図5において、図4と共通する個所については説明を省略する。

10

【 0 0 4 9 】

より具体的には、信号線Sの第1層SL1の第1端部SL1eは、凹状溝部CSLの側面CSLsに接せず、側面CSLsの内側に位置する。換言すると、信号線Sの第1層SL1の第1端部SL1eは、凹状溝部CSLの側面CSLsから離れている。つまり、第1方向Xにおける凹状溝部CSLの幅は、信号線Sの幅よりも広い。図5において、第1端部SL1eと側面CSLsとの間には、平坦化絶縁層HRCが充填されている。

本構成例においても、実施形態1と同様の効果を得ることが可能である。

【 0 0 5 0 】

< 実施形態2 >

図6は、本実施形態における表示装置の回路図である。本実施形態は、実施形態1と比較して、電気泳動装置であるという点及び走査線の一部を信号線層で置き換えるという点で異なる。

20

【 0 0 5 1 】

図6に示すように、表示装置DSPは、第1基材BA1、表示領域DAにて第1基材BA1の上方にマトリクス状に配列された複数の画素PX、複数の走査線Gと、複数の信号線Sと、複数の容量配線CWを備えている。

【 0 0 5 2 】

本実施形態では、走査線Gの数をNとし、それぞれ走査線G₁乃至G_Nとする。ただし走査線において個々の区別が必要ない場合は、単に走査線Gと呼ぶ。また信号線Sの数をMとし、それぞれ信号線S₁乃至S_Mとする。ただし信号線において個々の区別が必要ない場合は、単に信号線Sと呼ぶ。すなわち表示装置DSPは、N行M列の画素PXを有している。

30

【 0 0 5 3 】

表示装置DSPは、走査線駆動回路GD1及びGD2、及び信号線駆動回路SDを備えている。走査線駆動回路GD1及びGD2は後述する走査線を駆動するように構成され、走査線駆動回路GD1、走査線駆動回路GD2は非表示領域NDAに配置されている。信号線駆動回路SDは、後述する信号線を駆動するように構成され、非表示領域NDAに配置されている。

【 0 0 5 4 】

走査線Gは、走査線駆動回路GDに接続され、第1方向Xに延出し、第2方向Yに並んで配置される。走査線Gは、第1方向Xに並んだ複数の画素PXに電氣的に接続されている。信号線Sは、信号線駆動回路SDに接続され、第2方向Yに延出し、第1方向Xに並んで配置される。信号線Sは、第2方向Yに並んだ複数の画素PXに電氣的に接続されている。容量配線CWは、第1方向X又は第2方向Yに延出している。本実施形態において、容量配線CWは、第2方向Yに延出し、第2方向Yに並んだ複数の画素PXに電氣的に接続されている。複数の容量配線CWは、非表示領域NDAにて束ねられ、ICチップI1に接続されている。

40

【 0 0 5 5 】

走査線駆動回路GDは、走査線Gに制御信号SGを与え、走査線Gを駆動するように構成されている。信号線駆動回路SDは、信号線Sに画像信号(例えば、映像信号)Vsi

50

g を与え、信号線 S を駆動するように構成されている。IC チップ I 1 は容量配線 C W に定電圧 V p c を与え、容量配線 C W は定電位に固定される。また、IC チップ I 1 は、共通電極 C E にコモン電圧 V c o m を与え、共通電極 C E は定電位（コモン電位）に固定される。本実施形態において、共通電極 C E は、全ての画素 P X で共用されるため共通電極と称され得る。本実施形態において、容量配線 C W は、共通電極 C E と同電位に設定されているが、共通電極 C E と異なる電位に設定されていてもよい。走査線駆動回路 G D、信号線駆動回路 S D、及び IC チップ I 1 は、複数の画素 P X を駆動するための駆動部を構成している。

【0056】

各々の画素 P X は、第 1 トランジスタ T r 1 と、第 2 トランジスタ T r 2 と、第 1 容量 C 1 と、第 2 容量 C 2 と、を備えている。第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 は、同一導電型、例えば N チャネル型の薄膜トランジスタ（T F T）により構成されている。第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 のそれぞれの半導体層は、酸化物半導体で形成されている。なお、上記半導体層は、低温多結晶シリコンなどの多結晶シリコン、非晶質シリコンなど、酸化物半導体以外の半導体を利用してもよい。そして、第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 の各々は、P チャネル型の T F T により構成されていてもよい。また、以降の説明は酸化物半導体を用いたトランジスタ T r にて説明する。

10

【0057】

第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 は、それぞれ、第 1 端子 t 1、第 2 端子 t 2、及び制御端子 t 3 を有している。本実施形態では、制御端子 t 3 はゲート電極として機能し、第 1 端子 t 1 及び第 2 端子 t 2 の一方がソース電極として機能し、第 1 端子 t 1 及び第 2 端子 t 2 の他方がドレイン電極として機能している。第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 は、電気的に信号線 S と画素電極 P E との間にて並列に接続されている。

20

【0058】

第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 の各々において、第 1 端子 t 1 は信号線 S に接続され、第 2 端子 t 2 は画素電極 P E に接続され、制御端子 t 3 は走査線 G に接続されている。これにより、第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 の各々は、走査線 G に与えられる制御信号 S G により、導通状態又は非導通状態に切替えられる。画像信号 V s i g は、信号線 S 及び導通状態の第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 を介して画素電極 P E に印加される。

30

【0059】

第 1 容量 C 1 及び第 2 容量 C 2 は、キャパシタである。第 1 容量 C 1 は、画素電極 P E と容量配線 C W との間に接続されている。第 2 容量 C 2 は、画素電極 P E と共通電極 C E との間に接続されている。

【0060】

図 7 は、表示装置 D S P を示す断面図である。ここでは、1 つの画素 P X に注目している。

図 7 に示すように、第 1 基板 S U B 1 は、第 1 基材 B A 1 と、第 1 基材 B A 1 の上に設けられた下地層 U C と、下地層 U C の上に設けられた画素電極 P E と、を備えている。第 2 基板 S U B 2 は、画素電極 P E と対向した第 2 基材 B A 2 と、第 2 基材 B A 2 と画素電極 P E との間に位置し画素電極 P E と対向した共通電極 C E と、を備えている。共通電極 C E は、インジウムスズ酸化物（I T O）やインジウム亜鉛酸化物（I Z O）などの透明導電材料で形成されている。

40

【0061】

本実施形態において、第 1 基板 S U B 1 は半導体基板であり、第 2 基板 S U B 2 は対向基板である。第 1 基材 B A 1 及び第 2 基材 B A 2 は、樹脂、ガラス等の絶縁性の材料で形成されている。本実施形態において、第 2 基材 B A 2 は、画面側（観察側）に位置し、光透過性を有している。第 1 基材 B A 1 は、画面の反対側に位置しているため、不透明であ

50

ってもよいし、透明であってもよい。

【0062】

表示装置D S Pの表示機能層D Lは、画素電極P Eと共通電極C Eとの間に位置している。表示機能層D Lには、画素電極P Eと共通電極C Eとの間に印加される電圧がかかる。本実施形態において、表示装置D S Pは電気泳動表示装置であり、表示機能層D Lは電気泳動層である。表示機能層D Lは、X - Y平面内においてほとんど隙間なく配列された複数のマイクロカプセル3 0によって形成されている。

表示装置D S Pの粘着層A Lは、画素電極P Eと表示機能層D Lとの間に位置している。

【0063】

マイクロカプセル3 0は、例えば2 0 μ m ~ 7 0 μ m程度の粒径を有する球状体である。図示した例では、スケールの関係上、1つの画素電極P Eと共通電極C Eとの間に、多くのマイクロカプセル3 0が配置されているが、1辺の長さが百~数百μ m程度の矩形状、又は多角形状の画素P Xにおいては、1個~1 0個程度のマイクロカプセル3 0が配置されている。

10

【0064】

マイクロカプセル3 0は、分散媒3 1と、複数の黒色粒子3 2と、複数の白色粒子3 3とを備えている。黒色粒子3 2及び白色粒子3 3は、電気泳動粒子と称される場合もある。マイクロカプセル3 0の外殻部(壁膜)3 4は、例えば、アクリル樹脂等の透明な樹脂を用いて形成されている。分散媒3 1は、マイクロカプセル3 0内において、黒色粒子3 2と、白色粒子3 3とを分散させる液体である。黒色粒子3 2は、例えば、アニリンブラック等の黒色顔料からなる粒子(高分子あるいはコロイド)であり、例えば正に帯電されている。白色粒子3 3は、例えば、二酸化チタン等の白色顔料からなる粒子(高分子あるいはコロイド)であり、例えば負に帯電されている。これらの顔料には、必要に応じて各種添加剤を添加することができる。また、黒色粒子3 2及び白色粒子3 3の代わりに、例えば赤色、緑色、青色、イエロー、シアン、マゼンタなどの顔料を用いてもよい。

20

【0065】

上記構成の表示機能層D Lにおいて、画素P Xを黒表示させる場合、画素電極P Eが共通電極C Eよりも相対的に高電位に保持される。すなわち、共通電極C Eの電位を基準電位としたとき、画素電極P Eが正極性に保持される。これにより、正に帯電した黒色粒子3 2が共通電極C Eに引き寄せられる一方、負に帯電した白色粒子3 3が画素電極P Eに引き寄せられる。その結果、共通電極C E側からこの画素P Xを観察すると黒色が視認される。一方、画素P Xを白表示させる場合には、共通電極C Eの電位を基準電位としたとき、画素電極P Eが負極性に保持される。これにより、負に帯電した白色粒子3 3が共通電極C E側へ引き寄せられる一方、正に帯電した黒色粒子3 2が画素電極P Eに引き寄せられる。その結果、この画素P Xを観察すると白色が視認される。

30

【0066】

なお、本実施形態において、画素電極P Eは、粘着層A Lに接している。但し、画素電極P Eと粘着層A Lとの間に絶縁性の保護層が介在し、保護層で画素電極P Eが保護されていてもよい。

【0067】

図8は、表示装置D S Pの第1基板S U B 1の一部を示す拡大平面図である。

図8に示すように、走査線Gは、第1方向Xに延在している。信号線Sは、第2方向Yに延在し、走査線Gと交差している。画素電極P Eは、互いに電氣的に接続された第1画素電極P E 1及び第2画素電極P E 2を有している。走査線G及び信号線Sは、第1画素電極P E 1と交差している。第2画素電極P E 2は、第2方向Yにおいて走査線Gに間隔を置いて位置している。

40

【0068】

第1トランジスタT r 1の第1半導体層S C 1及び第2トランジスタT r 2の第2半導体層S C 2全体は、同一の走査線Gに重畳している。

第1接続電極E L 1は、走査線Gに重畳し、第1方向Xに信号線Sに間隔を置いて位置

50

している。

第2接続電極EL2は、第2方向Yに延在している。第2接続電極EL2の一端部は、走査線Gに重なる領域において、信号線Sと第1接続電極EL1との間に位置し、各々の半導体層SCに重畳する。第2接続電極EL2の他端部は、第2画素電極PE2に重畳する。

【0069】

容量電極OEは、半導体層SC、信号線S、第1接続電極EL1、及び第2接続電極EL2に間隔を置いて位置し、第1画素電極PE1及び第2画素電極PE2にそれぞれ重畳する。本実施形態において、容量電極OEの全体は、平面視にて、第1画素電極PE1の内側に位置し、かつ、第2画素電極PE2の内側に位置している。

10

接続補助配線TMWは、第2方向Yに延在し、走査線Gを挟んで第2方向Yに隣り合う2個の接続配線NWを接続している。

【0070】

接続配線NWは、第2方向Yに延在し、信号線Sと交差しない。接続配線NWは、接続補助配線TMWを介して、走査線Gを挟んで第2方向Yに隣り合う2個の容量電極OEを接続している。複数の接続配線NW及び複数の容量電極OEは、一体形成されている。

本実施形態において、第2方向Yに並ぶ複数の接続配線NW、複数の接続補助配線TMW、及び複数の容量電極OEは、容量配線CWを形成している。

【0071】

補助ゲート電極AEは、各々の半導体層SCと第1接続電極EL1に重畳している。平面視にて、補助ゲート電極AEは、少なくとも、第1半導体層SC1及び第2半導体層SC2の両方のチャネル領域に重畳していればよい。本実施形態において、補助ゲート電極AEは、第1半導体層SC1の全体及び第2半導体層SC2の全体に重畳している。

20

第3接続電極EL3は、補助ゲート電極AEに間隔を置いて位置し、第2接続電極EL2及び第1画素電極PE1に重畳している。

【0072】

走査線G及び第2画素電極PE2は、同一の材料で形成されている。信号線S、第1接続電極EL1、第2接続電極EL2、容量電極OE、接続配線NWは、同一の材料で形成されている。接続補助配線TMW、補助ゲート電極AE、及び第3接続電極EL3は、同一の材料で形成されている。走査線G、第2画素電極PE2、接続配線NW、補助ゲート電極AE、及び第3接続電極EL3は、Al（アルミニウム）、Ti（チタン）、Ag（銀）、Mo（モリブデン）、W（タングステン）、Cu（銅）、Cr（クロム）などの金属材料や、これらの金属材料を組み合わせた合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。

30

【0073】

信号線Sは、実施形態1と同様に、3層の導電材料の積層体である。すなわち、第3方向Zに対して第1層、第2層、第3層の積層体である。第1層乃至第3層は、反射率が第1層及び第3の方が第2層より低く、エッチングレートが第1層及び第3の方が第2層より小さい材料であればよい。例えば第1層及び第3層の材料としてチタン、第2層の材料としてアルミニウムを用いればよい。ただし上述の通り、信号線Sは第1層及び第2層の積層体であってもよい。

40

本実施形態の信号線Sは、実施形態1と同様、その一部が絶縁層の積層体に設けられた凹状溝部に設けられる。下記に信号線Sを含む断面構造について説明する。

【0074】

図9は、図8の線C-Cに沿った第1基板SUB1を示す拡大断面図である。

図9に示すように、第1基材BA1の上に下地層UCが形成されている。下地層UCの上に、走査線Gが形成されている。下地層UC及び走査線Gの上に、ゲート絶縁層GIが形成されている。

【0075】

第1半導体層SC1などの半導体層SCは、ゲート絶縁層GIの上に設けられている。

50

信号線 S、第 1 接続電極 E L 1、第 2 接続電極 E L 2 は、ゲート絶縁層 G I の上に設けられている。信号線 S は、第 1 半導体層 S C 1 などの半導体層 S C の一部に重畳している。第 2 接続電極 E L 2 は、第 1 半導体層 S C 1 などの半導体層 S C の他の一部に重畳している。第 1 接続電極 E L 1 は、ゲート絶縁層 G I に形成されたコンタクトホールを介して走査線 G に接続されている。

【 0 0 7 6 】

ゲート絶縁層 G I、半導体層 S C、信号線 S、第 1 接続電極 E L 1、第 2 接続電極 E L 2 上に、層間絶縁層 I L I が形成されている。補助ゲート電極 A E は、層間絶縁層 I L I の上に設けられ、層間絶縁層 I L I に形成されたコンタクトホールを介して第 1 接続電極 E L 1 に接続されている。すなわち補助ゲート電極 A E は、第 1 接続電極 E L 1 を介して走査線 G に電氣的に接続される。

10

【 0 0 7 7 】

補助ゲート電極 A E は、少なくとも半導体層 S C のチャネル領域に対向している。補助ゲート電極 A E は、走査線 G とともに第 1 半導体層 S C 1 や第 2 半導体層 S C 2 を挟んでいる。例えば、第 1 トランジスタ T r 1 において、走査線 G 及び補助ゲート電極 A E は、それぞれゲート電極として機能している。第 1 トランジスタ T r 1 は、デュアルゲート構造の薄膜トランジスタである。走査線 G の一部、第 1 半導体層 S C 1、補助ゲート電極 A E などは、第 1 トランジスタ T r 1 を構成している。なお第 2 トランジスタ T r 2 は、第 1 トランジスタ T r 1 と同様の断面構造を有している。走査線 G、信号線 S、及び補助ゲート電極 A E は、第 1 基材 B A 1 の上方に位置している。第 1 トランジスタ T r 1 や第 2 トランジスタ T r 2 も、第 1 基材 B A 1 の上方に位置している。

20

【 0 0 7 8 】

なお本実施形態の第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 は、信号線 S 及び第 2 接続電極 E L 2 (ドレイン電極) が半導体層 S C に直接重畳しているが、これに限定されない。実施形態 1 と同様、半導体層 S C 並びに信号線 S 及び第 2 接続電極 E L 2 (ドレイン電極) との間に層間絶縁層を設けてもよい。

【 0 0 7 9 】

また本実施形態の第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 はボトムゲート型であるが、これに限定されず、トップゲート型であってもよい。

【 0 0 8 0 】

層間絶縁層 I L I 及び補助ゲート電極 A E の上に、平坦化絶縁層 H R C が形成されている。

30

下地層 U C、ゲート絶縁層 G I、層間絶縁層 I L I、平坦化絶縁層 H R C の材料は、実施形態 1 と同様のものを用いればよい。例えば下地層 U C、ゲート絶縁層 G I、層間絶縁層 I L I として無機絶縁材料、平坦化絶縁層 H R C として有機樹脂材料を用いればよい。

【 0 0 8 1 】

第 1 画素電極 P E 1 は、第 1 基材 B A 1、走査線 G、及び信号線 S の上方に位置している。本実施形態において、第 1 画素電極 P E 1 は、平坦化絶縁層 H R C の上に設けられている。第 1 画素電極 P E 1 は、光反射層 F L と透明導電層 T L との積層体で構成されている。光反射層 F L は、平坦化絶縁層 H R C の上に設けられている。光反射層 F L は、A l、T i、A g、M o、W、C u、C r などの金属材料や、これらの金属材料を組み合わせた合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。本実施形態の光反射層 F L は、光反射導電層である。

40

【 0 0 8 2 】

透明導電層 T L は、平坦化絶縁層 H R C 及び光反射層 F L の上に設けられ、光反射層 F L に接している。本実施形態において、透明導電層 T L のサイズは光反射層 F L のサイズより大きく、透明導電層 T L は、光反射層 F L の上面及び側面を完全に覆っている。透明導電層 T L は、光反射層 F L の外側において平坦化絶縁層 H R C に接している。但し、光反射層 F L 及び透明導電層 T L のサイズについては、本実施形態に限定されるものではなく、種々変形可能である。例えば、透明導電層 T L のサイズは光反射層 F L のサイズと同

50

一であり、透明導電層 T L は光反射層 F L に完全に重なって形成されていてもよい。本実施形態において、上記第 2 容量 C 2 は、第 1 画素電極 P E 1 と共通電極 C E との間に形成される容量に相当している。

なお第 1 画素電極 P E 1 は、透明導電層 T L 及び光反射層 F L の積層体ではなく、光反射層 F L 又は透明導電層 T L のいずれかで構成されていてもよい。

【 0 0 8 3 】

図 8 及び図 9 に示すように、下地層 U C 及びゲート絶縁層 G I には、凹状溝部 C S L 1 及び C S L 2 が形成されている。なお凹状溝部 C S L 1 及び C S L 2 は、下地層 U C にも形成されているが、これに限定されない。凹状溝部 C S L 1 及び C S L 2 は、少なくともゲート絶縁層 G I に形成されていればよく、凹状溝部 C S L 1 及び C S L 2 が下地層 U C に達していなくてもよい。

10

なお本実施形態 1 のトランジスタ T r 1 及び T r 2 が、実施形態 1 と同様、半導体層 S C 並びに信号線 S 及び第 2 接続電極 E L 2 (ドレイン電極) との間に層間絶縁層を設けられている場合は、凹状溝部 C S L 1 及び C S L 2 は、少なくともゲート絶縁層 G I 及び層間絶縁層に設けられていればよい。

【 0 0 8 4 】

信号線 S は、凹状溝部 C S L 1 に重畳する第 1 領域 S L A と、凹状溝部 C S L 1 に重畳しない第 2 領域 S L B を有している。第 1 領域 S L A は凹状溝部 C S L 1 の内部に位置し、第 2 領域 S L B は層間絶縁層 I L I 上に位置している。

【 0 0 8 5 】

第 1 領域 S L A の X - Z 平面における断面構造は、図 4 と同様の構造である。すなわち第 1 領域 S L A は、第 1 層 S L 1、第 2 層 S L 2、及び第 3 層 S L 3 を有し、第 2 層 S L 2 の側面は、第 1 層 S L 1 の第 1 部分及び第 3 層 S L 3 の第 2 部分より、凹状溝部 C S L 1 の側面から離隔している。本実施形態の第 1 領域 S L A の説明は、図 4 及びその説明を援用し、詳細は省略する。

20

【 0 0 8 6 】

信号線 S の第 1 領域 S L A を凹状溝部 C S L に設けることにより、実施形態 1 と同様の効果が生じる。また第 3 方向 Z における信号線 S と第 1 画素電極 P E 1 の距離が長くなることにより、信号線 S の寄生容量を低減することが可能である。

【 0 0 8 7 】

また、本実施形態の第 1 基板 S U B 1 は、走査線 G の一部を信号線 S の材料層に置き換える構成を有している。

30

図 8 に示すように、走査線 G に接続される第 1 接続電極 E L 1 は、第 2 方向 Y に延伸し、第 2 方向 Y で隣接する画素の走査線 G に接続されている。第 1 接続電極 E L 1 は上述のように信号線 S と同一の材料で形成されている。走査線 G に入力される信号は、第 1 接続電極 E L 1 を介して隣接する画素の走査線 G に伝送する。よって、第 1 接続電極 E L 1 は走査線 G の一部であると言える。

【 0 0 8 8 】

図 10 は、図 8 の線 D - D に沿った第 1 基板 S U B 1 の拡大断面図である。図 8 に示すように第 1 接続電極 E L 1 は、凹状溝部 C S L 2 と重畳する第 1 領域 E L 1 A、及び、凹状溝部 C S L 2 と重畳しない第 2 領域 E L 1 B を有している。凹状溝部 C S L 2 は、上述のように下地層 U C 及びゲート絶縁層 G I に設けられている。第 1 領域 E L 1 A は凹状溝部 C S L 2 の内部に設けられ、第 2 領域 E L 1 B はゲート絶縁層 G I 上に設けられている。

40

【 0 0 8 9 】

上述のように第 1 接続電極 E L 1 は走査線 G の一部であると言える。よって第 1 領域 E L 1 A は、走査線 G のうち凹状溝部 C S L 2 と重畳する領域であると言える。

【 0 0 9 0 】

信号線 S 及び第 1 接続電極 E L 1 の材料が走査線 G の材料より低抵抗の場合、走査線 G の一部を第 1 接続電極 E L 1 に置き換えることにより、走査線全体の低抵抗化が可能である。

50

しかし第1接続電極E L 1は、信号線Sと同様にゲート絶縁層G Iの上に形成されている。信号線Sと同層である第1接続電極E L 1は、第3方向Zにおいて、走査線Gよりも第1画素電極P E 1までの距離が近い。そのため走査線Gの一部を第1接続電極E L 1に置き換えると、走査線の寄生容量が増大し、駆動に負荷がかかる恐れが生じる。

【0091】

しかしながら本実施の形態では、第1接続電極E L 1は、絶縁層に設けられた凹状溝部の内部に設けられる。これにより第1接続電極E L 1と第1画素電極P E 1との距離が遠くなり、寄生容量が低減される。よって走査線に対する駆動の負荷も低減される。

【0092】

また第1接続電極E L 1は低抵抗であるため、配線幅を小さくすることができる。このように、一部が低抵抗の第1接続電極E L 1に置き換えられた走査線は、配線幅が小さくなり、さらに寄生容量を低減することが可能である。

10

【0093】

電気泳動装置は、いわゆる反射型の表示装置でありバックライトを有さず、外光及びフロントライトが用いられる。この場合であっても第1基材B A 1に向かって入り込んだ光が第2層S L 2の側面S L 2 sにより反射され、その反射光が表示品位を損ねる恐れがある。しかしながら本実施形態によれば第1層S L 1の第1部分S L 1 sや第3層S L 3の第2部分S L 3 sにより第2層S L 2の側面S L 2 sの反射を防止することができ、結果として表示品位を損ねることがない。

【0094】

本実施形態により、コントラストが向上し、表示画像の品質が向上した表示装置を得ることが可能である。また本実施形態により、寄生容量が低減し、駆動への負荷が低減された表示装置を得ることが可能である。

20

【0095】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

30

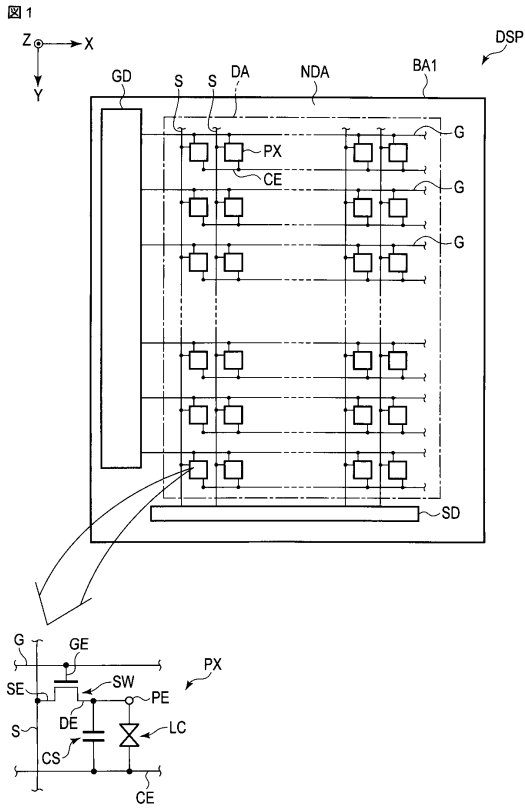
【0096】

B A 1 ... 第1基材、B A 2 ... 第2基材、C S L ... 凹状溝部、C S L 1 ... 凹状溝部、C S L 2 ... 凹状溝部、C S L s ... 側面、C W ... 容量配線、D A ... 表示領域、D L ... 表示機能層、D S P ... 表示装置、E L 1 ... 第1接続電極、E L 1 A ... 第1領域、E L 1 B ... 第2領域、E L 2 ... 第2接続電極、E L 3 ... 第3接続電極、G ... 走査線、G I ... ゲート絶縁層、H R C ... 平坦化絶縁層、I L I ... 層間絶縁層、L C ... 液晶層、N D A ... 非表示領域、N W ... 接続配線、P X ... 画素、S ... 信号線、S L 1 ... 第1層、S L 1 e ... 端部、S L 1 s ... 第1部分、S L 2 ... 第2層、S L 2 e ... 端部、S L 2 s ... 側面、S L 3 ... 第3層、S L 3 e ... 端部、S L 3 s ... 第2部分、S L A ... 第1領域、S L B ... 第2領域、T M W ... 接続補助配線、T r ... トランジスタ、T r 1 ... 第1トランジスタ、T r 2 ... 第2トランジスタ、U C ... 下地層。

40

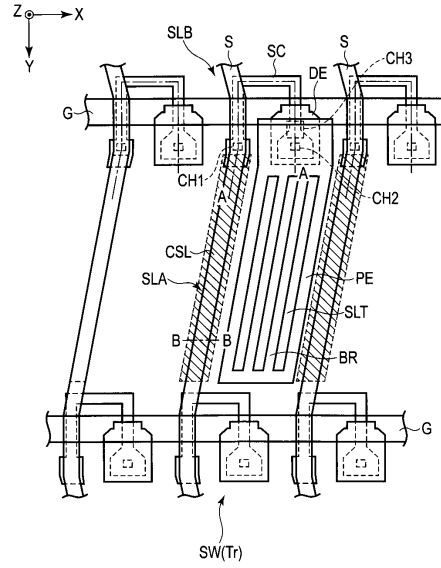
【図面】

【図 1】



【図 2】

図 2

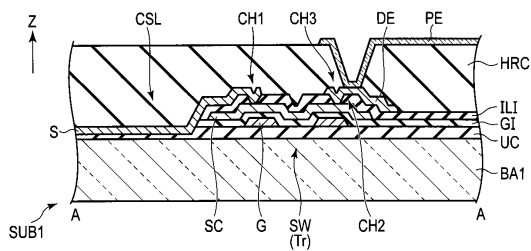


10

20

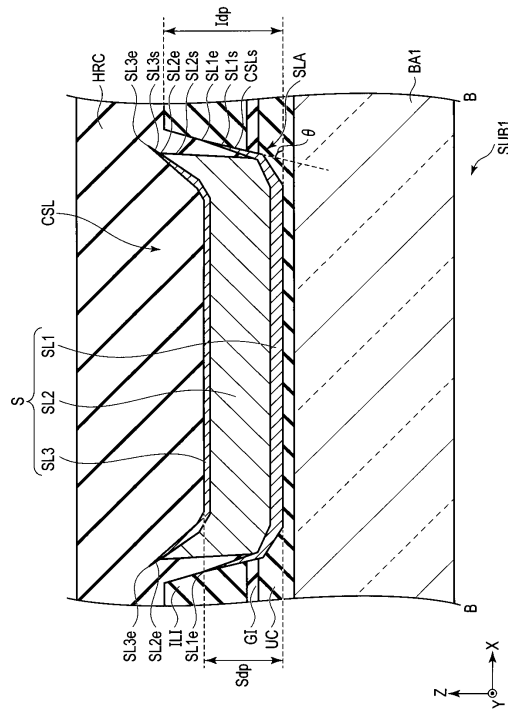
【図 3】

図 3



【図 4】

図 4



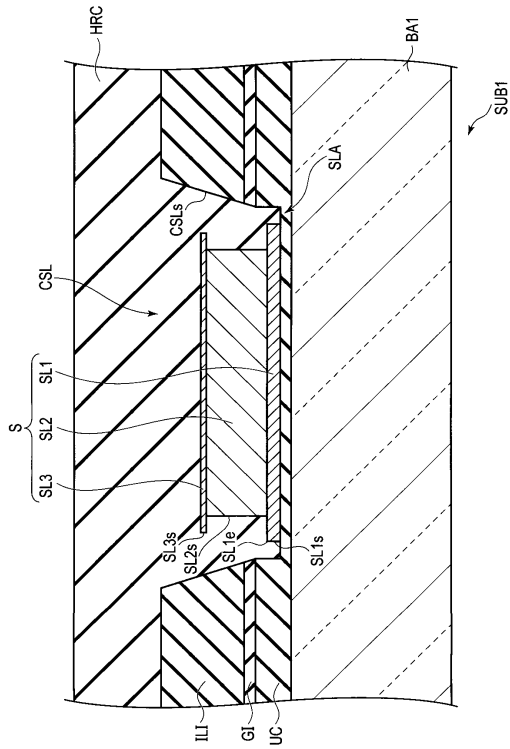
30

40

50

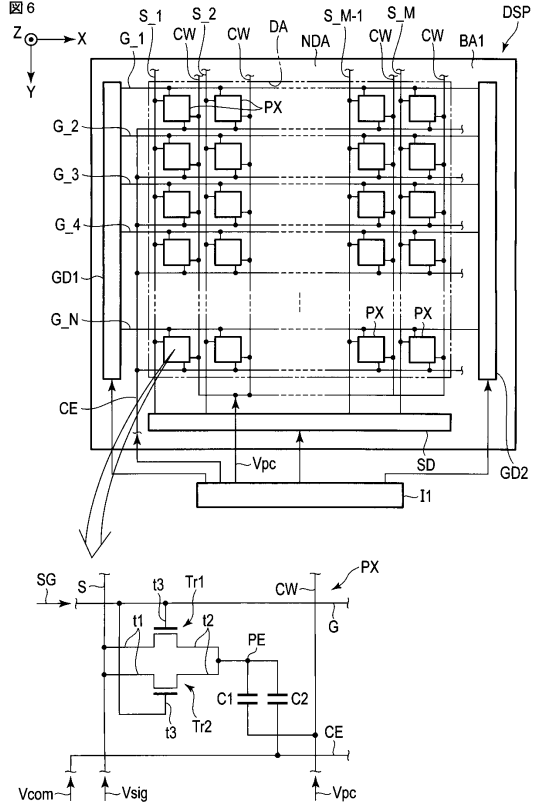
【図5】

図5



【図6】

図6

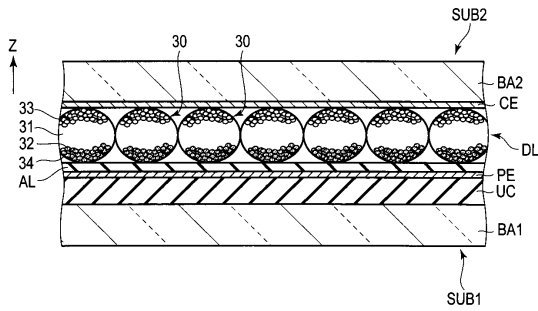


10

20

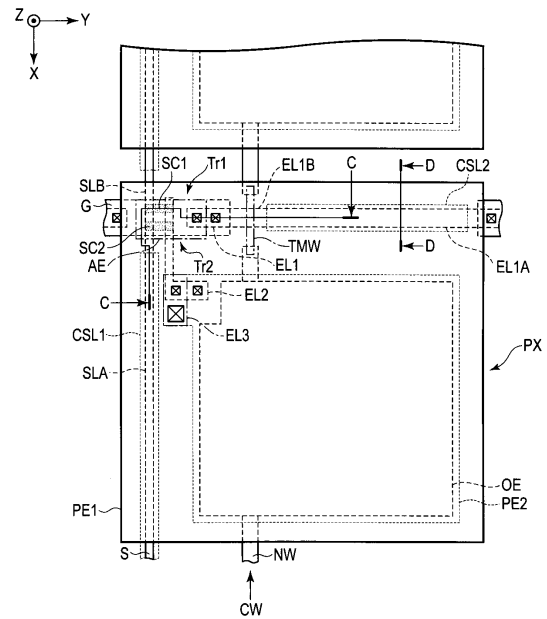
【図7】

図7



【図8】

図8



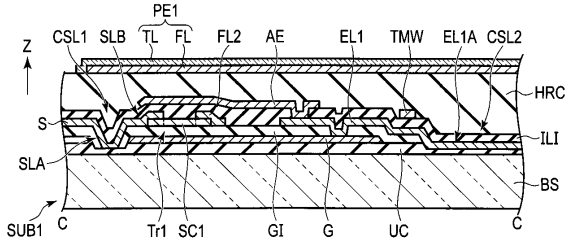
30

40

50

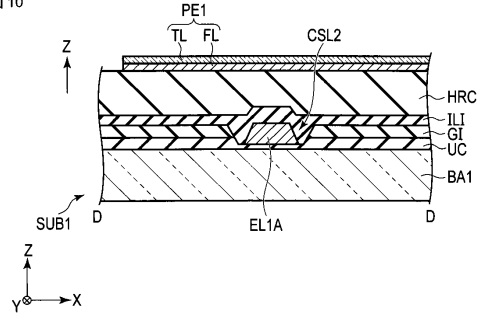
【 9 】

图9



【 10 】

图10



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2019 - 003127 (JP, A)
特開 2010 - 122379 (JP, A)
中国特許出願公開第 103489878 (CN, A)
- (58)調査した分野 (Int.Cl., DB名)
- | | |
|---------|-------------|
| G 0 2 F | 1 / 1 3 4 3 |
| G 0 2 F | 1 / 1 3 6 8 |
| G 0 9 F | 9 / 3 0 |
| G 0 9 F | 9 / 3 5 |