

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92134841

※ 申請日期：※IPC分類：G2.12.10

H01G 4/02 H01L 27/08

H01P 3/08 5/02

H05K 1/16 3/46

壹、發明名稱：(中文/英文)

用在高密度應用之分散式電容器

DISTRIBUTIVE CAPACITOR FOR HIGH DENSITY APPLICATIONS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商摩托羅拉公司

MOTOROLA INC.

代表人：(中文/英文)

藍道爾 S 瓦爾斯

VAAS, RANDALL S.

住居所或營業所地址：(中文/英文)

美國伊利諾州史堪伯市東阿崗崑路 1303 號

1303 E. ALGONQUIN ROAD, SCHAUMBURG, IL 60196, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 2 人)

姓 名：(中文/英文)

1.湯瑪斯 D 奈哥德

NAGODE, THOMAS D.

2.葛雷格里 雷蒙 布萊克

BLACK, GREGORY REDMOND

住居所地址：(中文/英文)

1.美國伊利諾州維儂山莊胡倫東路280號

280 E. HURON, VERNON HILLS, IL 60061, U.S.A.

2.美國伊利諾州維儂山莊蘇瑟斯圓環715號

715 SUSSEX CIRCLE, VERNON HILLS, IL 60061, U.S.A.

國籍：(中文/英文)

1.-2.均美國 U.S.A.

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：年月日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年12月30日；10/331,901

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年12月30日；10/331,901

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明一般與高密度應用有關，且更明確言之與各種電路如發射器及其他射頻電路中用於方便阻抗匹配之分散式電容器有關。

【先前技術】

存在各種阻抗匹配方式且此等方式具有不同的性能特徵、實體空間要求及關聯成本或經濟考慮。例如，可使用集總組件如電容器與電感器，然而此等組件傾向於在非常有限的頻寬或頻率範圍上產生一合理阻抗匹配，需要裝配及實體空間，並且在成本較敏感的應用如蜂巢式電話中將係一問題。使用帶線及微帶線之分散式網路可用以解決頻寬問題。若此等分散式網路係建立在傳統的基板如FR-4印刷電路板上，則正常的裝配成本得以降低或消除，然而與空間敏感應用(如可攜式裝置像蜂巢式手機及類似物)之重要頻率處可用區域相比此等網路需要較大的實體區域。可使用分離分散式元件但是成本與空間仍係一問題。很明顯需要空間與成本高效且顯示出適當的性能特徵之分散式電容器。

【發明內容】

總之，本發明與高密度應用有關且更特定言之與分散式電容器及其適合於高密度匹配網路使用之應用有關，其中附加條件係放置於靈活性、性能、成本及空間之一或全部上。在可攜式裝置如現代及未來代蜂巢式電話或在840 MHz

及以上、特別重點在 1.6 GHz 及以上操作之用戶端裝置中可發現此類應用。

如下面詳細說明，較佳地使用各種發明原理及其組合以構造且提供適於置放在印刷電路基板上之一分散式電容器，其包括印刷電路板或半導體基基板如矽、砷化鎵、氮化鎵、其他化合物半導體或其上已生長或附著半導體之材料如二氧化矽或藍寶石。倘若利用此等原理或其等效物，則分散式電容器具有獨特且驚人的靈活性、尺寸與成本優點及適於頻寬、回程損耗及類似物之性能位準。

本發明以一種啟發的方式進一步說明依據本發明製作並使用各種具體實施例的最佳模式。本發明可進一步加強對該等發明原理及其優點的理解及認識，而非以任何方式限制本發明。本發明僅由隨附的申請專利範圍所界定，該等範圍包括此申請案待審期間所作的任何修正及所公佈的此等申請專利範圍之所有等效者。

應進一步明白，若使用任何相關術語如第一與第二、頂部與底部及類似者僅為了區別不同實體或行為，並不一定要或暗示此類實體或行為之間存在任何實際的此類關係。

本發明之許多功能性及本發明之許多原理最好採用或在更多或更少的傳統印刷電路板處理技術或半導體處理中實施。預期熟知技術人士(儘管可能付出重大努力且進行許多藉由如可用時間、目前技術及經濟考慮所推動之設計選擇)當得到此處所揭示之概念與原理指導時，將能採用最少的

實驗很容易地產生且利用此類印刷電路板處理技術或半導體或矽處理。因而，基於簡單明瞭考量，並最大程度地避免使依據本發明之原理與概念模糊不清，進一步說明此類處理(若存在)將限於由較佳具體實施例所使用之原理與概念之有關實質性內容。

【實施方式】

將參考圖1說明具有使用分散式網路進行之一阻抗匹配配置之一發射器之範例性方塊圖。圖1顯示用於放大端子109處之一可用信號且驅動具有預定阻抗 Z_A 之一天線網路107之一射頻功率放大器101。特別重要的功率放大器係適用於蜂巢式裝置或手機之功率放大器，然而所述概念與原理對於具有一至十瓦特等級之低級至中級功率輸出位準之其他應用有用。較重要的頻率範圍係840 MHz及以上、特別考慮1.6 GHz至2.4 GHz，此處特定說明大部分集中於1.8 GHz或全球行動電信系統(Global System for Mobile communications; GSM)頻帶。

功率放大器包含具有一複數(大小與角度)輸出阻抗 Z_O 之一功率放大器級103或模組，該功率放大器在端子211處提供一放大信號。可以適合形式從各種製造廠商如摩托羅拉或RF Micro Devices(射頻微裝置)公司獲得功率放大器。此外該功率放大器包含置放於一印刷電路基板上之一阻抗匹配電路105，該印刷電路基板如包含一印刷電路板或一矽或半導體基板。阻抗匹配電路105在211處與已放大信號耦合且提供一輸入阻抗，其為功率放大器級上已放大信號之複

數輸出阻抗 Z_o 之複數共軛 (Z^* 表示 Z 之複數共軛)。實際應用中，輸入阻抗可具有一歐姆等級之一幅度及一50歐姆天線等級之一輸出阻抗，儘管在許多應用中天線阻抗可實質上不同。

以下將參考圖3詳細說明之阻抗匹配電路進一步包含配置且構造以擔當一發射線路之一分散式電容器，其包括置放於印刷電路基板上之一第一導電層、置放於第一導電層且具有一厚度之一層介電材料，其中介電材料具有比印刷電路基板之介電常數大五倍多之一介電常數；及置放於該層介電材料上之一第二導電層。第二導電層具有經選擇以超過放大信號波長之百分之十之一第二長度及一第二寬度，選擇此等長度與寬度使得阻抗匹配電路在重要頻率處作為一發射線路操作。第二導電層包括與放大信號耦合之一第一端及藉由第二長度自第一端分離之一第二端，其中第二端在端子113處與天線網路107耦合且提供為天線網路之預定阻抗 Z_A 之複數共軛之一輸出阻抗。

應明白，大多數功率放大器級之輸出應穿過一諧波濾波器(未明確顯示)。諧波濾波器可為阻抗匹配電路之部分或天線網路107之部分。亦應明白，通常透過一RF開關或雙工器建立自天線至一接收器之一連接且該連接可為天線網路之一部分。亦應明白，向端子109處之功率放大器級之輸入(具有欲放大之輸入信號)通常亦來自未顯示之另一放大器級且此等放大器級一般需要一阻抗匹配電路。此電路可為與電路105類似之另一阻抗匹配電路，當然該電路具有不同的

輸入與輸出阻抗。圖2中顯示一般情形。

將參考圖2說明使用一分散式電容器205將來源209與負載211耦合之一廣義阻抗匹配電路201。圖2顯示適於高密度整合應用且可操作用於使一來源阻抗與一負載阻抗匹配之一阻抗匹配電路201。匹配電路包含提供一輸入阻抗217之一輸入端子203，該輸入阻抗係具有預定頻率 f 之一信號213之預定來源阻抗 Z_s 。215之複數共軛。該匹配電路進一步包括置放於包含一印刷電路板或一半導體基板之一印刷電路基板上的分散式電容器205。

此前已使用圖2說明一單一端匹配電路。圖2亦可藉由半電路表示技術說明一差動匹配電路。在差動半電路情形中，203與207處的信號表示差動模式信號，其由具有相等振幅且相反相位之兩共同模式信號實體具體化。在差動半電路情形中，接地連接206表示虛擬接地，沒有實體具體化。

如以下詳細說明，分散式電容器進一步包含置放於印刷電路基板上之一第一導電層、置放於第一導電層且具有一厚度之一層介電材料，該介電材料具有比印刷電路基板之介電常數大五倍多之一介電常數；及置放於該層介電材料上且具有經選擇以超過具有預定頻率之信號之百分之十波長之一第二長度及一第二寬度之一第二導電層，選擇該等長度與寬度使得分散式電容器作為一發射線路操作。第二導電層包括與輸入端子203耦合之一第一端與藉由第二長度分離之一第二端；及與第二端耦合之一輸出端子207，其所提供之一輸出阻抗為具有預定頻率之信號之預定負載阻

抗 Z_L , 221 之複數共軛。此通用阻抗匹配電路在許多射頻應用(如包括接收器前端或放大器及混波器中之匹配及類似者)中具有廣泛應用。

將參考圖 3 說明圖 2 已顯示其結構之分散式電容器 205 之側視圖。圖 3 說明適於高密度整合應用之分散式電容器 205, 其中可在基板之表面位準下面嵌入許多集總組件。此舉具有許多優點, 如使用很少或不使用表面區域、不需要裝配時間且材料成本低。分散式電容器 205 包含一印刷電路基板 303 如一印刷電路板或具有所述印刷電路板之一半導體基基板。印刷電路板包含已熟知且由熟知技術人士廣泛使用之一多層 FR-4 玻璃環氧基結構, 其中玻璃環氧層夾入銅箔層中間。

分散式電容器 205 進一步包含置放於印刷電路基板上之一第一導電層 305。此導電層 305 係依據標準印刷電路板技術進行層壓與圖案化且將包含於基板之兩側上。可在導電層 305 中或其上製造額外被動組件, 如使用聚合物厚膜材料製造電阻器等。分散式電容器 205 進一步包括置放於導電層 305 上面且具有一長度、一寬度(此圖中未顯示)及一厚度 308 之一層介電材料 307。通常厚度係大約一英吋之 $2/1000$ 或 2 密耳。選擇介電材料使其具有比印刷電路基板之介電常數大五倍多之一介電常數。例如, FR 4 印刷電路板基板之相對介電常數係大約 4.3 且可獲得相對介電常數為 20 至 100 或更大的介電材料。

分散式電容亦可使用一較高介電層插入一多層基板中或

置放於第一導電層上方而構造，即長度與寬度本質上覆蓋整個印刷電路基板。多層基板範例係FR4印刷電路板與低溫共火陶瓷(low temperature co-fire ceramic；LTCC)多層陶瓷。

分散式電容器205進一步包含一第二導電層309，其較佳地包含厚度為一英吋之1/1000等級之一銅或銅基材料或其他導電材料且置放於該層介電材料307上並具有一第二長度311與一第二寬度(未顯示)，選擇該等長度與寬度使得分散式電容器作為一發射線路操作。較佳地，選擇第二長度以超過與第二導電層耦合之一信號之波長的百分之十，從而確保作為一發射線路之操作。分散式電容器進一步包含用於耦合到達及來自第二導電層之信號之端子，該等端子進一步包含置放於第二導電層309之一第一端314附近之一第一端子313及置放於第二導電層之一第二端316附近之一第二端子315，第一端與第二端藉由第二長度311分離。應明白，分散式電容器可能使得第一導電層與第二導電層在第二導電層之第二端316處短路在一起，其中分散式電容器顯示使電路短路之發射線路特徵。

分散式電容器進一步較佳地包含置放於第二導電層(若存在)或置放於第一導電層(若不存在第二導電層)上之另一層第二介電材料317。此介電層317係置放於印刷電路板基板兩側上且係印刷電路板製造領域中所熟知的。典型材料如透過網版印刷所應用、已知為J-HDI-1之不可光成像環氧材料或採用樹脂塗佈之導電箔如銅箔、可從製造廠商如

Allied Signal、Polyclad及Mitsui獲得之不可光成像環氧材料之相對介電常數大約為3.3。分散式電容器較佳地進一步包含通常使用一雷射所形成之一通道或微通道319，其穿過另一層介電材料、採用導電材料如銅或類似物填充、置放以在第二導電層之第一端314附近接觸第二導電層309且適於耦合到達及來自第二導電層之信號。

分散式電容器進一步包含置放於另一層介電材料上之一圖案化導電層321，其中該圖案化導電材料包括接觸已填充通道319之一導電跡線以提供一端子322用於耦合到達及來自第二導電層之信號。應明白，圖案化導電層321可作為上述用以提供另一層第二介電材料317之已塗佈樹脂的箔之箔部分而產生。

如所述分散式電容器可進一步包含一第二通道323，其穿過另一層介電材料317、採用導電材料填充且置放以在第二導電層之第二端316附近接觸第二導電層，其中圖案化導電材料包括接觸第二通道之一第二導電跡線以提供一第二端子324用於耦合到達及來自第二導電層之信號。採用第二導電層之第二長度311與第二寬度(參見圖6至9)製造分散式電容器且選擇介電材料之厚度308以為頻率大於800 MHz且如欲參考圖4與5說明具有1.8 GHz之一中心頻率之信號提供一預定阻抗輸入或輸出。

亦可依據圖3描述差動模式匹配電路且規定近似於第二導電層309圖案化第一導電層305。圖3中未顯示用於連接第一導電層305與圖案化外層321所需要之特徵，但是可藉由

與所顯示用於連接第二導電層309與圖案化外層321之特徵類似之一方式提供此等特徵。

可基於此結構配置分散式電容器，其中第二導電層係置放於具有矩形與曲線形狀之一之組態中或第二寬度係均勻寬度、階梯形寬度及錐形寬度之一。較佳介電材料係陶瓷填充光介電材料如來自Ciba之Probelec 7081、一BaTiO₃陶瓷化合物填充介電質，該材料顯示隨所使用陶瓷化合物之百分比而定之20至40之相對介電常數。可使用淋幕塗佈或一篩選程序將此等已填充光介電材料應用於基板。所使用之另一材料係PLZT陶瓷化合物($\text{Pb}_{0.85}\text{La}_{0.15}(\text{Zr}_{0.52}\text{Ti}_{0.48})_{0.96}\text{O}_3$)，其係化學沈積到已塗鍍的導電箔或銅箔上且接著層壓到一FR4印刷電路板基板上。此材料顯示超過100之相對介電常數，其中可基於PLZT陶瓷化合物之百分比用實驗方法調整該介電常數。第二介電材料可進一步包含如上述之一不可光成像環氧或樹脂塗佈銅箔不可光成像環氧材料。

將參考圖4與圖5說明圖3之分散式電容器之各種具體實施例之模擬結果。圖4描述所使用介電材料具有50之一相對介電常數及一英吋之2/1000之一厚度之分散式電容器之模擬結果。此等模擬係使用可從Agilent Technologies (安捷倫技術)公司獲得之高級設計系統工具進行開發。假設1.5-j1.5的任意來源阻抗係用戶端發射器裝置之典型來源阻抗且與50歐姆的天線阻抗匹配。

用實驗方法決定9.2密耳之一寬度與240密耳之一長度係適當的。應明白，此點較佳地與相對介電常數為4 (大約為

FR 4印刷電路板基板之常數)之40.6密耳之一寬度與753密耳之一長度比較。如圖所示，m1 401在史密斯圓圖403上定義1.8 GHz之一點(已正規化成所需要之阻抗 $1.5+j1.5$)或非常接近來源阻抗 $1.5-j1.5$ 之複數共軛。此圓圖從1.3 GHz 405至2.3 GHz 407變化。頻率回應曲線圖409顯示以1.8 GHz為中心之回程損耗411與頻率回應413 (以dB為單位)。回程損耗或反射功率測量指示在點m2 415與m3 417處之回程損耗大約為15 dB。

圖5顯示對於具有100之相對介電常數之一介電材料之如上述相同阻抗匹配任務之模擬結果。在此實例中，已決定最好的寬度為5.5密耳且長度為178密耳，其係超過圖4模擬之一重大改良且係超過上述具有相對介電常數為4之情形之一驚人改良。如圖所示，m1 501在史密斯圓圖503上定義1.8 GHz之一點(已正規化成所需要之阻抗 $1.5+j1.5$)或非常接近來源阻抗 $1.5-j1.5$ 之複數共軛。此圓圖從1.3 GHz 505至2.3 GHz 507變化。頻率回應曲線圖509顯示以1.8 GHz為中心之回程損耗511與頻率回應513 (以dB為單位)。回程損耗或反射功率測量指示在點m2 515與m3 517處之回程損耗大約為15 dB。

將參考圖6至圖9說明圖3之分散式電容器205之第二導電層309之各種具體實施例之俯視平面圖。圖6顯示具有一第一端子322與第二端子324且具有一長度601與寬度603之一矩形。此形狀係圖4與圖5之模擬結果中所使用之通用形狀。圖7顯示可用於進一步限制所消耗實體區域之一曲線形

狀或蛇形形狀。此處顯示一長度701 (通常係沿第二導電層之中心路徑之長度)以及一寬度703且顯示端子322與324。圖8顯示具有一長度801與一錐形寬度(包括具有寬度803之一較寬點及具有寬度805之一較窄點)之另一具體實施例。該錐形可描述成所熟知之指數錐形。再次描述端子322與324。圖9顯示分散式電容器且明確言之第二導電層309之另一可能具體實施例。在此圖式中，長度係顯示為901且以階梯形組態顯示寬度(寬度903係遠遠大於另一寬度905)，其中端子322係與具有寬度903之部分耦合且端子324係與具有寬度905之部分耦合。

上述分散式電容器及其應用與發明原理及其概念意欲且將緩解由先前技術阻抗匹配方法所引起的成本與尺寸問題。使用此等原理，即將較高相對介電材料如陶瓷填充光介電材料適當置放於高密度基板上，較佳地以非常低的成本大大減小分散式網路之尺寸並提供其相對的性能優點。此點可應用於遍及使用者裝置如蜂巢式手機、個人數位助理或類似者之各種射頻電路與系統中且將使其使用者享受該等優點如成本較低且使用者裝置尺寸較小從而滿足使用者。預期熟知技術人士在給定上述原理、概念與範例時能實施亦可提供或促進類似性能優點之其他替代分散式網路。預期以下申請專利範圍涵蓋大部分此類替代。

此揭示內容意欲說明如何依據本發明製作並使用各種具體實施例，而非限定其真實、期望及合理的範疇及精神。先前說明無意包攬無遺或將本發明限於所揭示之精確形

式。在以上教導內容的啟發下可進行修改或變更。具體實施例經選擇及說明以最有效解說本發明之原理及其實際應用，並且使熟知技術人士在各種具體實施例中且採用適於所預期之特定使用之各種修改利用本發明。所有此類修改與變更係屬於由隨附申請專利範圍(在此申請專利案懸而未決期間可修正)及其所有等效物所決定之本發明之範疇內，當此類修改與變更依據其所公平、合法且平等授權之廣泛度進行解釋時。

【圖式簡單說明】

附圖進一步說明各種具體實施例且說明全部依據本發明之各種原理與優點，其中遍及分離視圖之相同參考數字表示相同或功能類似之元件且該等附圖與以上詳細說明一起併入該說明書且形成該說明書之部分。

圖1描述採用分散式網路具有一阻抗匹配配置之發射器之範例性方塊圖；

圖2描述使用一分散式電容器來耦合一來源與一負載之一廣義阻抗匹配電路；

圖3描述顯示其結構之分散式電容器之一側視圖；

圖4與圖5說明圖3之分散式電容器之各種具體實施例之模擬結果；及

圖6至圖9顯示圖3之分散式電容器之各種具體實施例之俯視平面圖。

【圖式代表符號說明】

103	功率放大器級
105	阻抗匹配電路
107	天線網路
109、113	端子
201	阻抗匹配網路
203	輸入端子
205	分散式電容器
206	接地連接
207	輸出端子
209	來源
211	負載/端子
215	預定來源阻抗 Z_s
217	輸入阻抗
221	預定負載阻抗 Z_L
303	印刷電路基板
305	第一導電層
307	一層介電材料
309	第二導電層
313	第一端子
314	第一端
315	第二端子
316	第二端
317	第二介電材料
319	通道

321	圖案化導電層
322	端子
323	第二通道
324	第二端子
409	頻率回應曲線圖
411	回程損耗
413	頻率回應

伍、中文發明摘要：

本發明揭示一種用在高密度應用之分散式電容器，該分散式電容器205及使用該電容器且適於高密度整合應用之阻抗匹配網路201與發射器101包括一含一印刷電路板與一矽基基板之一之印刷電路基板303、置放於該印刷電路基板上之一第一導電層305、置放於該第一導電層上且具有一厚度之一層介電材料307，該介電材料具有比該印刷電路基板之介電常數大五倍多之一介電常數；及置放於該層介電材料上且具有經選擇使得該分散式電容器作為一發射線路操作之一第二長度311與一第二寬度603之一第二導電層309。

陸、英文發明摘要：

A distributive capacitor 205 and impedance matching network 201 and transmitter 101 that use the capacitor and are suitable for high density integration applications include a printed circuit substrate 303 comprising one of a printed circuit board and a silicon based substrate, a first conductive layer 305 disposed on the printed circuit substrate, a layer of dielectric material 307 disposed on the first conductive layer and having a thickness, the dielectric material having a dielectric constant more than five times greater than the dielectric constant of the printed circuit substrate; and a second conductive layer 309 disposed on the layer of dielectric material and having a second length 311 and a second width 603 that are selected so that the distributive capacitor operates as a transmission line.

拾壹、圖式：

圖 1

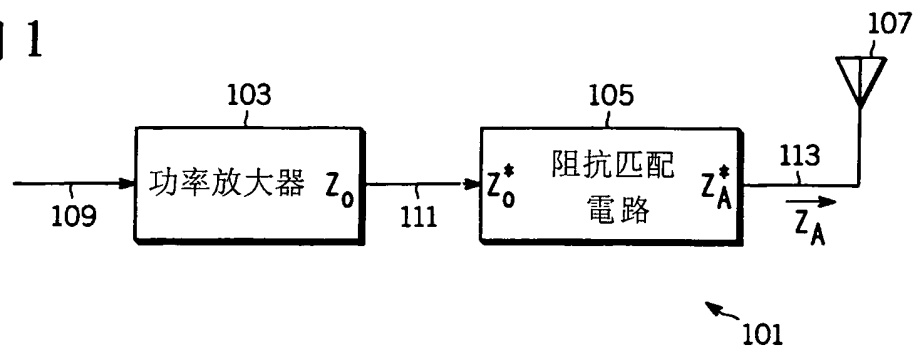


圖 2

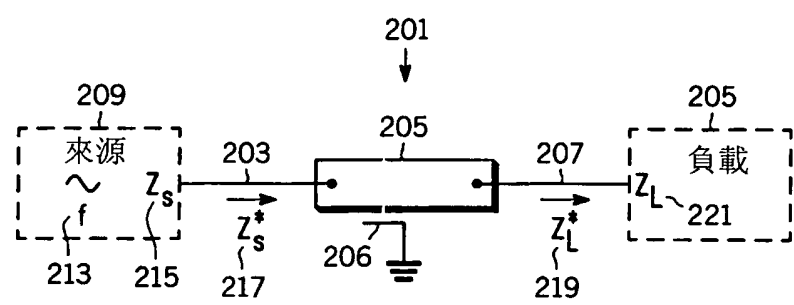
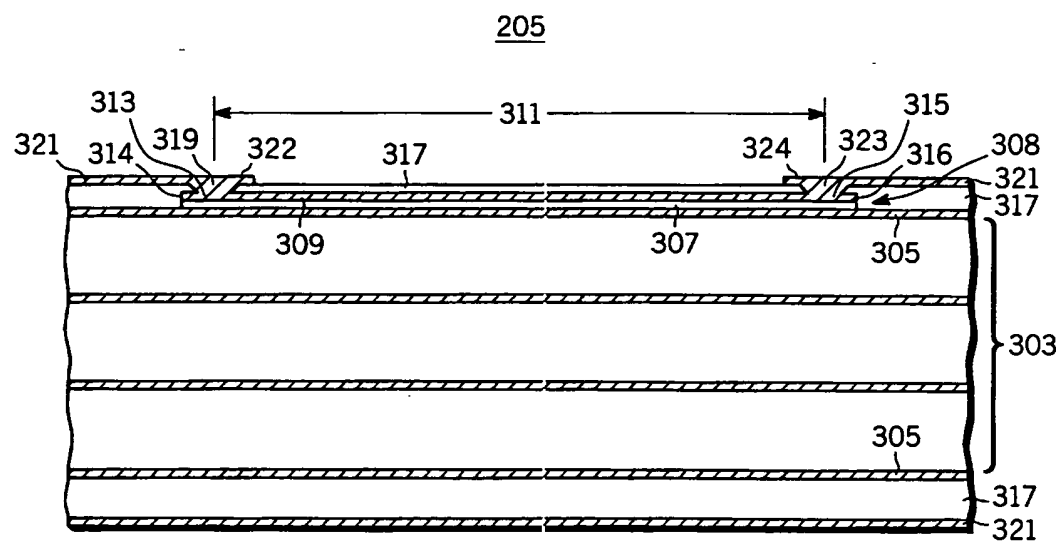


圖 3



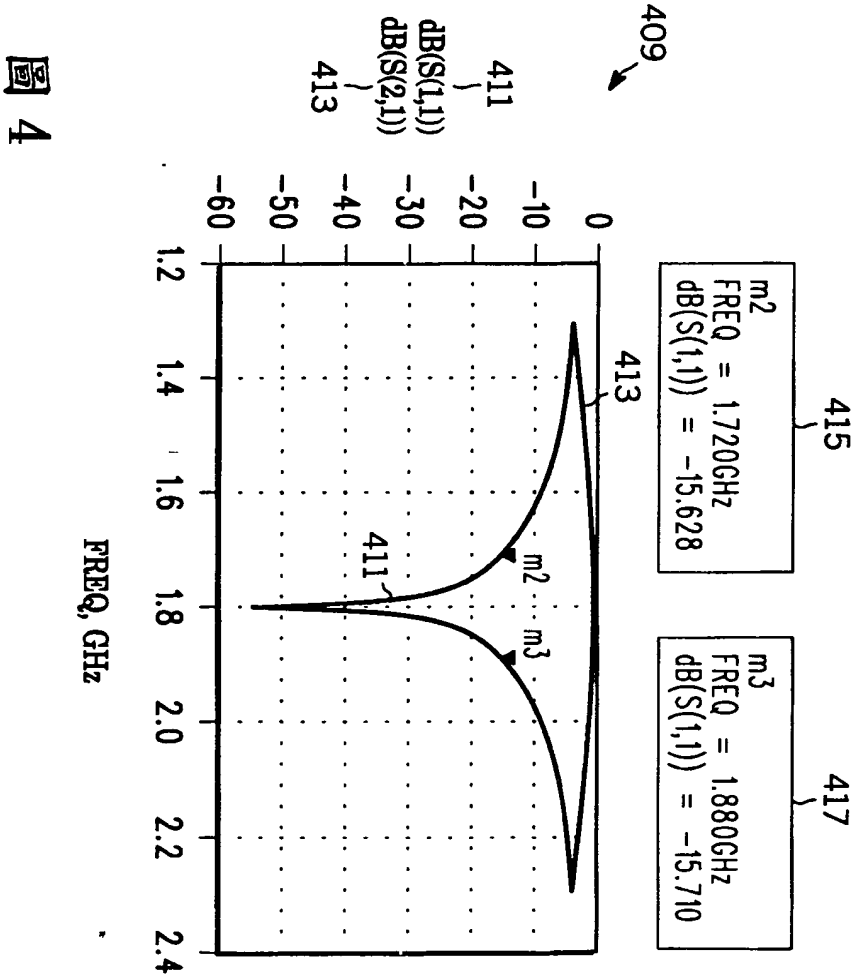
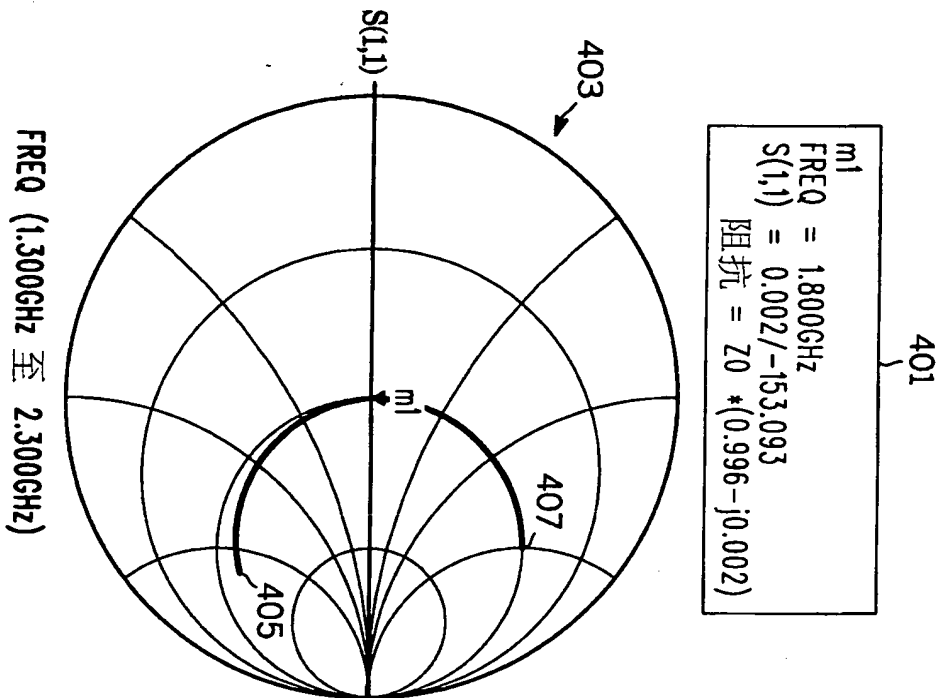


圖 4

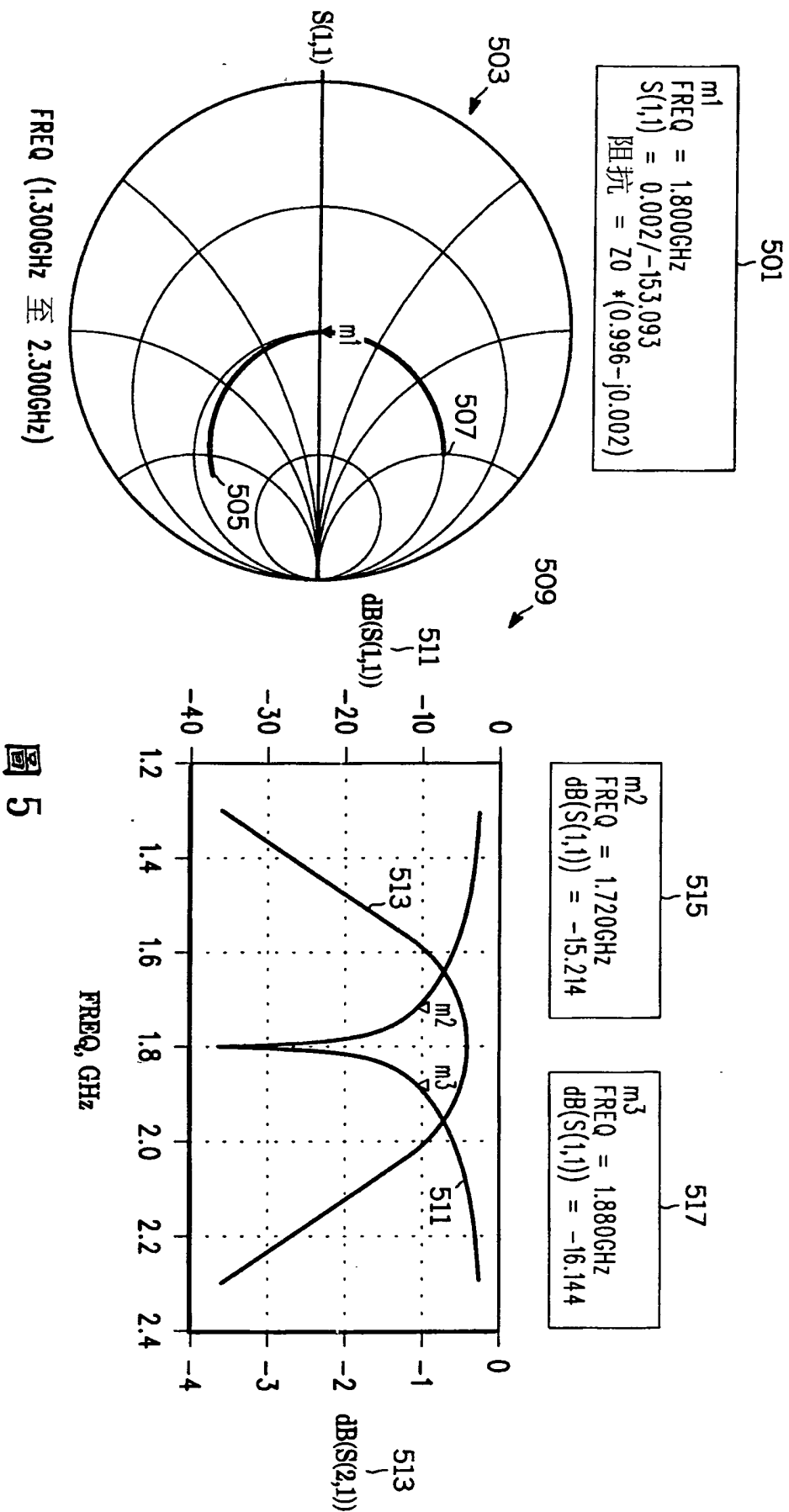


圖 5

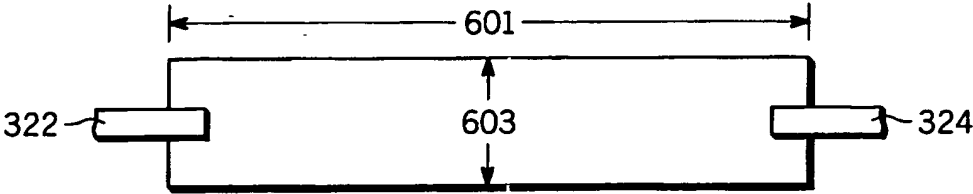


圖 6

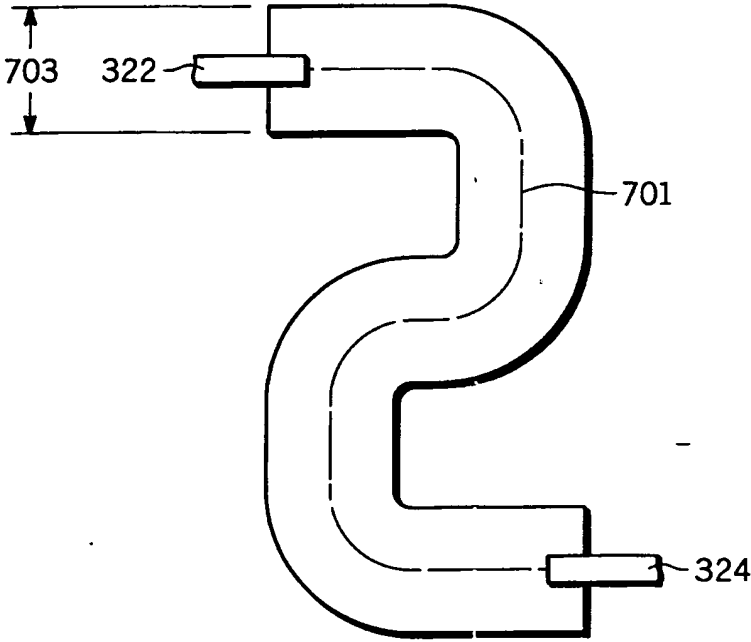


圖 7

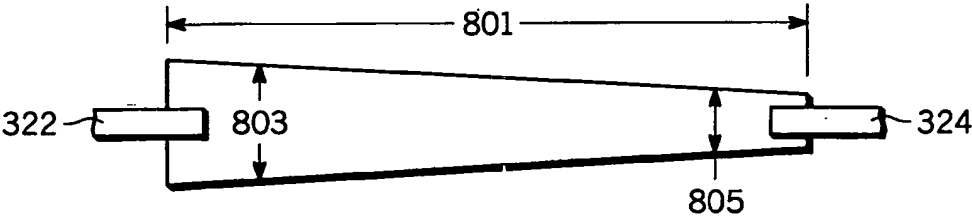


圖 8

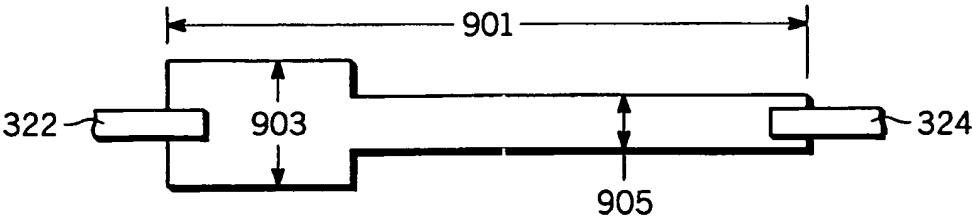


圖 9

柒、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件代表符號簡單說明：

205	分散式電容器
303	印刷電路基板
305	第一導電層
307	一層介電材料
308	厚度
309	第二導電層
311	第二長度
313	第一端子
314	第一端
315	第二端子
316	第二端
317	第二介電材料
319	通道
321	圖案化導電層
322	端子
323	第二通道
324	第二端子

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

拾、申請專利範圍：

1. 一種適於高密度整合應用之分散式電容器，該分散式電容器包含：

包含一印刷電路板與一半導體基板之一的一印刷電路基板；

置放於該印刷電路基板上之一第一導電層；

置放於該第一導電層上且具有一厚度之一層介電材料，該介電材料具有比該印刷電路基板之介電常數大五倍多之一介電常數；及

置放於該層介電材料上且具有一第二長度與一第二寬度之一第二導電層，該等長度與寬度經選擇使得該分散式電容器作為一發射線路操作。

2. 如申請專利範圍第1項之分散式電容器，其中該第二長度經選擇以超過與該第二導電層耦合之一信號之一波長之百分之十。
3. 如申請專利範圍第1項之分散式電容器，其進一步包含用於耦合到達及來自該第二導電層之信號之端子，該等端子進一步包含置放於該第二導電層之一第一端附近之一第一端子及置放於該第二導電層之一第二端附近之一第二端子，該第一端與該第二端藉由該第二長度分離。
4. 如申請專利範圍第1項之分散式電容器，其進一步包含置放於該第二導電層上之一第二介電材料之另一層。
5. 如申請專利範圍第4項之分散式電容器，其進一步包含

穿過該另一層介電材料之一通道，該通道係採用一導電材料填充且經置放以在該第二導電層之一第一端附近接觸該第二導電層並適於耦合到達及來自該第二導電層之信號。

6. 如申請專利範圍第4項之分散式電容器，其進一步包含置放於該另一層介電材料上之一圖案化導電層，該圖案化導電材料包括接觸該通道之一導電跡線以提供一端子用於該耦合到達及來自該第二導電層之信號。
7. 如申請專利範圍第6項之分散式電容器，其中該第一導電層與該第二導電層已在該第二導電層之一第二端處一起短路，其中該分散式電容器顯示使電路短路之一發射線路特徵。
8. 如申請專利範圍第6項之分散式電容器，其進一步包含穿過該另一層介電材料之一第二通道，該通道係採用該導電材料填充且經置放以在該第二導電層之一第二端附近接觸該第二導電層，且其中該圖案化導電材料包括接觸該第二通道之一第二導電跡線以提供一第二端子用於該耦合到達及來自該第二導電層之信號。
9. 如申請專利範圍第1項之分散式電容器，其中該第二導電層之該第二長度及該第二寬度與該介電材料之該厚度經選擇以用於為具有大於800 MHz之一頻率之一信號提供一預定阻抗。
10. 如申請專利範圍第1項之分散式電容器，其中該第二導電層係置放在具有一矩形與曲線形狀之一的一組態中。

99.1.29 \

11. 如申請專利範圍第9項之分散式電容器，其中該第二寬度係一均勻寬度、一階梯形寬度及一錐形寬度之一。
12. 如申請專利範圍第1項之分散式電容器，其中該介電材料係一進一步包含Probelec 7081與一陶瓷化合物之一之陶瓷填充光介電材料，該陶瓷化合物係置放於一導電箔上且接著層壓到一印刷電路基板。
13. 如申請專利範圍第4項之分散式電容器，其中該第二介電材進一步包含一非光成像環氧材料與一樹脂塗佈導電箔非光成像環氧材料之一。