(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0101344
(43) 공개일자 2017년09월06일

(51) 국제특허분류(Int. Cl.)
H01L 29/772 (2006.01) *H01L 29/66* (2006.01)
H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 29/772 (2013.01)
H01L 29/66628 (2013.01)
(21) 출원번호 10-2016-0023242
(22) 출원일자 2016년02월26일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
석성대
서울특별시 동작구 현충로 119 105동 502호 (흑석동,명수대현대아파트)
이종호
서울특별시 서초구 바우뫼로 91 (양재동, 우성아파트) 105동 707호
배금종
경기도 수원시 영통구 매탄로126번길 66 204동 302호 (매탄동,주공그린빌아파트)
(74) 대리인
특허법인 고려

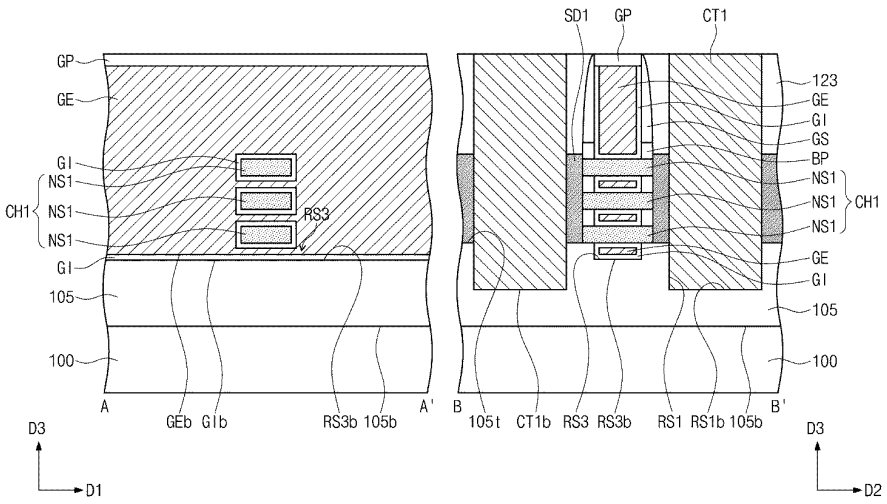
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **반도체 소자**

(57) 요 약

본 발명은 전계 효과 트랜지스터를 포함하는 반도체 소자에 관한 것으로, 보다 상세하게는, 기판 상의 절연막; 상기 절연막 상의 채널 영역; 상기 절연막 상에, 상기 채널 영역을 가로지르며 일 방향으로 연장되는 게이트 구조체; 상기 절연막 상에, 상기 게이트 구조체를 사이에 두고 서로 이격된 소스/드레인 영역들, 상기 채널 영역은 상기 소스/드레인 영역들을 서로 연결하고; 및 상기 소스/드레인 영역들에 각각 연결되는 콘택 플러그들을 포함한다. 상기 채널 영역은, 상기 절연막 상에 서로 수직적으로 이격되어 적층된 복수의 반도체 패턴들을 포함하고, 상기 절연막은, 상기 소스/드레인 영역들에 각각 인접하는 제1 리세스 영역들을 포함하며, 상기 콘택 플러그들의 하부들은 상기 제1 리세스 영역들 내에 각각 제공된다.

대 표 도



(52) CPC특허분류
H01L 29/7843 (2013.01)
H01L 29/7848 (2013.01)
H01L 29/7849 (2013.01)
H01L 2924/13091 (2013.01)

명 세 서

청구범위

청구항 1

기판 상의 절연막;

상기 절연막 상의 채널 영역;

상기 절연막 상에, 상기 채널 영역을 가로지르며 일 방향으로 연장되는 게이트 구조체;

상기 절연막 상에, 상기 게이트 구조체를 사이에 두고 서로 이격된 소스/드레인 영역들, 상기 채널 영역은 상기 소스/드레인 영역들을 서로 연결하고; 및

상기 소스/드레인 영역들에 각각 연결되는 콘택 플러그들을 포함하되,

상기 채널 영역은, 상기 절연막 상에 서로 수직적으로 이격되어 적층된 복수의 반도체 패턴들을 포함하고,

상기 절연막은, 상기 소스/드레인 영역들에 각각 인접하는 제1 리세스 영역들을 포함하며,

상기 콘택 플러그들의 하부들은 상기 제1 리세스 영역들 내에 각각 제공되는 반도체 소자.

청구항 2

제1항에 있어서,

상기 제1 리세스 영역들의 바닥면들은, 상기 절연막의 상면과 상기 절연막의 바닥면 사이의 레벨에 위치하는 반도체 소자.

청구항 3

제1항에 있어서,

상기 게이트 구조체는, 게이트 절연 패턴 및 게이트 전극을 포함하고,

상기 게이트 절연 패턴 및 상기 게이트 전극은, 상기 반도체 패턴들 사이의 공간들을 채우는 반도체 소자.

청구항 4

제3항에 있어서,

상기 절연막은, 상기 채널 영역 아래에서 상기 일 방향으로 연장되는 제2 리세스 영역을 더 포함하고,

상기 게이트 절연 패턴 및 상기 게이트 전극은, 상기 제2 리세스 영역을 채우는 반도체 소자.

청구항 5

제1항에 있어서,

상기 채널 영역은 상기 기판과 수직적으로 이격된 반도체 소자.

청구항 6

제1항에 있어서,

상기 콘택 플러그들은, 상기 채널 영역에 인장성 스트레인을 제공하는 금속 물질을 포함하는 반도체 소자.

청구항 7

기판 상의 절연막;

상기 절연막 상에서 일 방향으로 연장되는 제1 게이트 구조체, 상기 제1 게이트 구조체를 사이에 두고 이격된 제1 소스/드레인 영역들, 및 상기 제1 소스/드레인 영역들을 서로 연결하는 제1 채널 영역을 포함하는 제1 트랜지스터;

상기 절연막 상에서 상기 일 방향으로 연장되는 제2 게이트 구조체, 상기 제2 게이트 구조체를 사이에 두고 이격된 제2 소스/드레인 영역들, 및 상기 제2 소스/드레인 영역들을 서로 연결하는 제2 채널 영역을 포함하는 제2 트랜지스터;

상기 제1 소스/드레인 영역들에 각각 연결되는 제1 콘택 플러그들; 및

상기 제2 소스/드레인 영역들에 각각 연결되는 제2 콘택 플러그들을 포함하되,

상기 제1 트랜지스터와 상기 제2 트랜지스터는 서로 다른 도전형을 갖고,

상기 제1 콘택 플러그들의 바닥면들은 상기 절연막의 상면보다 낮은 레벨에 위치하며,

상기 제2 콘택 플러그들의 바닥면들은 상기 절연막의 상면과 같거나 더 높은 레벨에 위치하는 반도체 소자.

청구항 8

제7항에 있어서,

상기 제1 트랜지스터는 NMOSFET이고,

상기 제2 트랜지스터는 PMOSFET인 반도체 소자.

청구항 9

제7항에 있어서,

상기 제1 및 제2 채널 영역들 각각은, 상기 절연막 상에 서로 이격되어 적층된 복수의 반도체 패턴들을 포함하는 반도체 소자.

청구항 10

제7항에 있어서,

상기 제1 콘택 플러그들의 하부들은, 상기 절연막의 상부의 리세스 영역들을 각각 채우고,

상기 리세스 영역들의 바닥면들은, 상기 절연막의 상면과 상기 절연막의 바닥면 사이의 레벨에 위치하는 반도체 소자.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체에 관한 것으로, 보다 상세히는 전계 효과 트랜지스터를 포함하는 반도체 소자에 관한 것이다.

배 경 기 술

[0003] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 반도체 소자는 전자 산업에서 중요한 요소로 각광 받고 있다. 반도체 소자들은 논리 데이터를 저장하는 반도체 기억 소자, 논리 데이터를 연산 처리하는 반도체 논리 소자, 및 기억 요소와 논리 요소를 포함하는 하이브리드(hybrid) 반도체 소자 등으로 구분될 수 있다. 전자 산업이 고도로 발전함에 따라, 반도체 소자의 특성들에 대한 요구가 점점 증가되고 있다. 예컨대, 반도체 소자에 대한 고 신뢰성, 고속화 및/또는 다기능화 등에 대하여 요구가 점점 증가되고 있다. 이러한 요구 특성들을 충족시키기 위하여 반도체 소자 내 구조들은 점점 복잡해지고 있으며, 또한, 반도체 소자는 점점 고집적화 되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는, 캐리어들의 이동도와 같은 전기적 특성이 보다 향상된 전계 효과 트랜지스터를 포함하는 반도체 소자를 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 개념에 따른, 반도체 소자는, 기판 상의 절연막; 상기 절연막 상의 채널 영역; 상기 절연막 상에, 상기 채널 영역을 가로지르며 일 방향으로 연장되는 게이트 구조체; 상기 절연막 상에, 상기 게이트 구조체를 사이에 두고 서로 이격된 소스/드레인 영역들, 상기 채널 영역은 상기 소스/드레인 영역들을 서로 연결하고; 및 상기 소스/드레인 영역들에 각각 연결되는 콘택 플러그들을 포함할 수 있다. 상기 채널 영역은, 상기 절연막 상에 서로 수직적으로 이격되어 적층된 복수의 반도체 패턴들을 포함하고, 상기 절연막은, 상기 소스/드레인 영역들에 각각 인접하는 제1 리세스 영역들을 포함하며, 상기 콘택 플러그들의 하부들은 상기 제1 리세스 영역들 내에 각각 제공될 수 있다.

[0008] 상기 제1 리세스 영역들의 바닥면들은, 상기 절연막의 상면과 상기 절연막의 바닥면 사이의 레벨에 위치할 수 있다.

[0009] 상기 게이트 구조체는, 게이트 절연 패턴 및 게이트 전극을 포함하고, 상기 게이트 절연 패턴 및 상기 게이트 전극은, 상기 반도체 패턴들 사이의 공간들을 채울 수 있다.

[0010] 상기 절연막은, 상기 채널 영역 아래에서 상기 일 방향으로 연장되는 제2 리세스 영역을 더 포함하고, 상기 게이트 절연 패턴 및 상기 게이트 전극은, 상기 제2 리세스 영역을 채울 수 있다.

[0011] 상기 채널 영역은 상기 기판과 수직적으로 이격될 수 있다.

[0012] 상기 콘택 플러그들은, 상기 채널 영역에 인장성 스트레인을 제공하는 금속 물질을 포함할 수 있다.

[0013] 본 발명의 다른 개념에 따른, 반도체 소자는, 기판 상의 절연막; 상기 절연막 상에서 일 방향으로 연장되는 제1 게이트 구조체, 상기 제1 게이트 구조체를 사이에 두고 이격된 제1 소스/드레인 영역들, 및 상기 제1 소스/드레인 영역들을 서로 연결하는 제1 채널 영역을 포함하는 제1 트랜지스터; 상기 절연막 상에서 상기 일 방향으로 연장되는 제2 게이트 구조체, 상기 제2 게이트 구조체를 사이에 두고 이격된 제2 소스/드레인 영역들, 및 상기 제2 소스/드레인 영역들을 서로 연결하는 제2 채널 영역을 포함하는 제2 트랜지스터; 상기 제1 소스/드레인 영역들에 각각 연결되는 제1 콘택 플러그들; 및 상기 제2 소스/드레인 영역들에 각각 연결되는 제2 콘택 플러그들을 포함할 수 있다. 상기 제1 트랜지스터와 상기 제2 트랜지스터는 서로 다른 도전형을 갖고, 상기 제1 콘택 플러그들의 바닥면들은 상기 절연막의 상면보다 낮은 레벨에 위치하며, 상기 제2 콘택 플러그들의 바닥면들은 상기 절연막의 상면과 같거나 더 높은 레벨에 위치할 수 있다.

[0014] 상기 제1 트랜지스터는 NMOSFET이고, 상기 제2 트랜지스터는 PMOSFET일 수 있다.

[0015] 상기 제1 및 제2 채널 영역들 각각은, 상기 절연막 상에 서로 이격되어 적층된 복수의 반도체 패턴들을 포함할 수 있다.

[0016] 상기 제1 및 제2 게이트 구조체들 각각은, 게이트 절연 패턴 및 게이트 전극을 포함하고, 상기 게이트 절연 패턴 및 상기 게이트 전극은, 상기 반도체 패턴들 사이의 공간들을 채울 수 있다.

[0017] 상기 게이트 절연 패턴 및 상기 게이트 전극은, 상기 절연막의 상부의 리세스 영역을 채우고, 상기 리세스 영역은, 각각의 상기 제1 및 제2 채널 영역들 아래에서 상기 일 방향으로 연장될 수 있다.

[0018] 상기 제1 및 제2 채널 영역들 각각은, 상기 절연막 상에서 상기 기판의 상면과 수직한 방향으로 연장되는 반도체 패턴일 수 있다.

[0019] 상기 제1 콘택 플러그들의 바닥면들은 상기 기판의 상면보다 높은 레벨에 위치할 수 있다.

[0020] 상기 제1 콘택 플러그들의 하부들은, 상기 절연막의 상부의 리세스 영역들을 각각 채우고, 상기 리세스 영역들의 바닥면들은, 상기 절연막의 상면과 상기 절연막의 바닥면 사이의 레벨에 위치할 수 있다.

[0021] 상기 제1 소스/드레인 영역들과 상기 제2 소스/드레인 영역들은 서로 다른 반도체 물질을 포함할 수 있다.

발명의 효과

[0023] 본 발명에 따른 반도체 소자에 있어서, NMOSFET의 채널 영역에 강한 인장성 스트레인이 인가될 수 있고, 따라서 NMOSFET의 동작 시 캐리어들의 이동도가 향상될 수 있다. 한편, PMOSFET의 채널 영역에는 압축성 스트레인이 인가될 수 있고, 따라서 PMOSFET의 동작 시 캐리어들의 이동도가 향상될 수 있다.

도면의 간단한 설명

[0025] 도 1a는 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 평면도이다.

도 1b는 도 1a의 A-A'선 및 B-B'선에 따른 단면도이다.

도 1c는 도 1a의 C-C'선 및 D-D'선에 따른 단면도이다.

도 2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a 및 10a는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도들이다.

도 2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b 및 10b는 각각 도 2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a 및 10a의 A-A'선 및 B-B'선에 따른 단면도들이다.

도 3c, 4c, 5c, 6c, 7c, 8c, 9c 및 10c는 각각 도 3a, 4a, 5a, 6a, 7a, 8a, 9a 및 10a의 C-C'선 및 D-D'선에 따른 단면도들이다.

도 11a 및 도 11b는 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 단면도들로서, 도 11a는 도 1a의 A-A'선 및 B-B'선에 따른 단면도이고, 도 11b는 도 1a의 C-C'선 및 D-D'선에 따른 단면도이다.

도 12a, 13a, 14a, 15a 및 16a는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도들이다.

도 12b, 13b, 14b, 15b 및 16b는 각각 도 12a, 13a, 14a, 15a 및 16a의 A-A'선 및 B-B'선에 따른 단면도들이다.

도 13c, 14c, 15c 및 16c는 각각 도 13a, 14a, 15a 및 16a의 C-C'선 및 D-D'선에 따른 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0027] 본 명세서에서, 도전성막, 반도체막, 또는 절연성막 등의 어떤 물질막이 다른 물질막 또는 기판"상"에 있다고 언급되는 경우에, 그 어떤 물질막은 다른 물질막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 또 다른 물질막이 개재될 수도 있다는 것을 의미한다. 또 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의

용어가 물질막 또는 공정 단계를 기술하기 위해서 사용되었지만, 이는 단지 어느 특정 물질막 또는 공정 단계를 다른 물질막 또는 다른 공정 단계와 구별시키기 위해서 사용되었을 뿐이며, 이 같은 용어들에 의해서 한정되어서는 안된다.

[0028] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0029] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0031] 도 1a는 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 평면도이다. 도 1b는 도 1a의 A-A'선 및 B-B'선에 따른 단면도이다. 도 1c는 도 1a의 C-C'선 및 D-D'선에 따른 단면도이다.

[0032] 도 1a 내지 도 1c를 참조하면, 기판(100) 상에 절연막(105)이 배치될 수 있다. 상기 기판(100)은 반도체 기판일 수 있다. 상기 기판(100)은 실리콘 기판 또는 게르마늄 기판일 수 있다. 상기 절연막(105)은 실리콘 산화막, 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있다. 일 예로, 상기 기판(100)과 상기 절연막(105)은 SOI(Silicon On Insulator) 기판의 일부일 수 있다. 다시 말하면, 상기 기판(100)은 SOI 기판의 핸들 기판(handle substrate)일 수 있으며, 상기 절연막(105)은 SOI 기판의 절연체(insulator)일 수 있다.

[0033] 상기 절연막(105) 상에 상기 제1 및 제2 트랜지스터들(TR1, TR2)이 배치될 수 있다. 상기 제1 및 제2 트랜지스터들(TR1, TR2)은 상기 기판(100)의 일 영역 상에 제공될 수 있다. 상기 기판(100)의 상기 일 영역은, 데이터를 저장하기 위한 복수의 메모리 셀들이 형성되는 메모리 셀 영역일 수 있다. 일 예로, 상기 기판(100)의 메모리 셀 영역 상에, 복수의 에스램(SRAM) 셀들을 구성하는 메모리 셀 트랜지스터들이 배치될 수 있다. 상기 제1 및 제2 트랜지스터들(TR1, TR2)은 상기 메모리 셀 트랜지스터들 중 일부일 수 있다.

[0034] 반면, 상기 기판(100)의 상기 일 영역은, 반도체 소자의 로직 회로를 구성하는 로직 트랜지스터들이 배치되는 로직 셀 영역일 수 있다. 일 예로, 상기 기판(100)의 로직 셀 영역 상에 프로세서 코어 또는 I/O 단자를 구성하는 로직 트랜지스터들이 배치될 수 있다. 상기 제1 및 제2 트랜지스터들(TR1, TR2)은 상기 로직 트랜지스터들 중 일부일 수 있다. 그러나, 본 발명의 실시예들이 이에 제한되는 것은 아니다.

[0035] 상기 제1 및 제2 트랜지스터들(TR1, TR2)은 서로 다른 도전형의 트랜지스터일 수 있다. 일 예로, 상기 제1 트랜지스터(TR1)는 NMOSFET일 수 있고, 상기 제2 트랜지스터(TR2)는 PMOSFET일 수 있다.

[0036] 상기 제1 및 제2 트랜지스터들(TR1, TR2) 각각은, 제1 방향(D1)으로 연장되는 복수의 게이트 구조체들을 포함할 수 있다. 상기 제1 및 제2 트랜지스터들(TR1, TR2)은 각각 제1 및 제2 활성 영역들(AP1, AP2)을 포함할 수 있다. 상기 제1 및 제2 활성 영역들(AP1, AP2)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 이하, 설명의 편의를 위해 어느 하나의 게이트 구조체를 중심으로 설명한다.

[0037] 상기 게이트 구조체는 상기 제1 트랜지스터(TR1)의 상기 제1 활성 영역(AP1)을 가로지를 수 있다. 상기 게이트 구조체는 상기 제2 트랜지스터(TR2)의 상기 제2 활성 영역(AP2)을 가로지를 수 있다. 일 예로, 상기 게이트 구조체는 상기 제1 및 제2 활성 영역들(AP1, AP2)을 동시에 가로지를 수 있다. 다른 예로, 서로 다른 게이트 구조체들이 상기 제1 및 제2 활성 영역들(AP1, AP2)을 각각 가로지를 수 있다.

[0038] 상기 게이트 구조체는 게이트 전극(GE), 상기 게이트 전극(GE)의 측벽 및 바닥면을 따라 연장되는 게이트 절연 패턴(GI), 상기 게이트 절연 패턴(GI)을 사이에 두고 상기 게이트 전극(GE)과 이격되는 한 쌍의 게이트 스페이서들(GS), 및 상기 게이트 전극(GE)과 상기 게이트 절연 패턴(GI)을 덮는 게이트 캐핑 패턴(GP)을 포함할 수 있다. 상기 게이트 절연 패턴(GI)의 상면 및 상기 게이트 전극(GE)의 상면은, 상기 게이트 캐핑 패턴(GP)의 바닥면과 접할 수 있다.

[0039] 상기 게이트 전극(GE)은 도핑된 반도체, 도전성 금속 질화물 및/또는 금속을 포함할 수 있다. 일 예로, 상기 게이트 전극(GE)은 TiN, WN 및 TaN와 같은 금속 질화물 및/또는 Ti, W, Ta와 같은 금속을 포함할 수 있다. 상기 게이트 절연 패턴(GI)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 또는 고유전막 중 적어도 하나를 포함할 수 있다. 상기 고유전막은 하프늄 산화막(HfO), 알루미늄 산화막(AlO) 또는 탄탈륨 산화막(TaO)과 같이 실리콘 산화막보다 유전상수가 큰 물질을 포함할 수 있다. 상기 게이트 스페이서(GS) 및 상기 게이트 캐핑 패턴(GP) 각각은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다.

[0040] 상기 제1 활성 영역(AP1)은, 제1 채널 영역(CH1), 및 상기 제1 채널 영역(CH1)을 사이에 두고 상기 제2 방향(D2)으로 서로 이격된 제1 소스/드레인 영역들(SD1)을 포함할 수 있다. 상기 제2 활성 영역(AP2)은, 제2 채널 영역(CH2), 및 상기 제2 채널 영역(CH2)을 사이에 두고 상기 제2 방향(D2)으로 서로 이격된 제2 소스/드레인 영역들(SD2)을 포함할 수 있다.

[0041] 상기 제1 채널 영역(CH1)은 수직적으로 적층된 복수의 제1 반도체 패턴들(NS1)을 포함할 수 있다. 상기 제1 반도체 패턴들(NS1)은 상기 기판(100)의 상면에 수직한 방향(D3)으로 서로 이격될 수 있다. 각각의 상기 제1 소스/드레인 영역들(SD1)은 상기 제1 반도체 패턴들(NS1)의 측벽들과 직접 접촉할 수 있다. 다시 말하면, 상기 제1 반도체 패턴들(NS1)은 상기 제1 소스/드레인 영역들(SD1)을 서로 연결할 수 있다. 도 1b를 다시 참조하면, 상기 제1 반도체 패턴들(NS1)은 3개로 예시되어 있으나, 이들의 개수는 특별히 제한되지 않는다.

[0042] 상기 제2 채널 영역(CH2)은 수직적으로 적층된 복수의 제2 반도체 패턴들(NS2)을 포함할 수 있다. 상기 제2 반도체 패턴들(NS2)은 상기 기판(100)의 상면에 수직한 방향(D3)으로 서로 이격될 수 있다. 각각의 상기 제2 소스/드레인 영역들(SD2)은 상기 제2 반도체 패턴들(NS2)의 측벽들과 직접 접촉할 수 있다. 다시 말하면, 상기 제2 반도체 패턴들(NS2)은 상기 제2 소스/드레인 영역들(SD2)을 서로 연결할 수 있다. 도 1c를 다시 참조하면, 상기 제2 반도체 패턴들(NS2)은 3개로 예시되어 있으나, 이들의 개수는 특별히 제한되지 않는다.

[0043] 상기 제1 반도체 패턴들(NS1) 각각과 동일 레벨에 위치하는 상기 제2 반도체 패턴들(NS2) 각각은 동일 반도체층으로부터 형성된 것일 수 있다. 따라서, 이들은 실질적으로 동일한 두께를 가질 수 있다. 일 예로, 상기 제1 반도체 패턴들(NS1) 및 상기 제2 반도체 패턴들(NS2)은 Si, SiGe 및 Ge 중 적어도 하나를 포함할 수 있다. 한편, 상기 제1 반도체 패턴들(NS1)은 서로 동일한 두께를 가질 수 있으나, 이에 한정되지 않는다. 마찬가지로, 상기 제2 반도체 패턴들(NS2)은 서로 동일한 두께를 가질 수 있으나, 이에 한정되지 않는다.

[0044] 앞서 설명한 바와 같이, 상기 게이트 전극(GE) 및 상기 게이트 절연 패턴(GI)은 상기 제1 및 제2 채널 영역들(CH1, CH2)을 덮으며 상기 제1 방향(D1)으로 연장될 수 있다. 보다 구체적으로, 상기 게이트 전극(GE) 및 상기 게이트 절연 패턴(GI)은 상기 제1 반도체 패턴들(NS1) 사이의 공간들을 채울 수 있다. 여기서, 상기 게이트 절연 패턴(GI)은 상기 제1 반도체 패턴들(NS1)과 직접 접할 수 있으며, 상기 게이트 전극(GE)은 상기 게이트 절연 패턴(GI)을 사이에 두고 상기 제1 반도체 패턴들(NS1)과 이격될 수 있다.

[0045] 상기 게이트 전극(GE) 및 상기 게이트 절연 패턴(GI)은 상기 제2 반도체 패턴들(NS2) 사이의 공간들을 채울 수 있다. 여기서, 상기 게이트 절연 패턴(GI)은 상기 제2 반도체 패턴들(NS2)과 직접 접할 수 있으며, 상기 게이트 전극(GE)은 상기 게이트 절연 패턴(GI)을 사이에 두고 상기 제2 반도체 패턴들(NS2)과 이격될 수 있다.

[0046] 나아가, 상기 게이트 전극(GE) 및 상기 게이트 절연 패턴(GI)은 상기 절연막(105)의 상부의 제3 리세스 영역(RS3)을 채울 수 있다. 상기 제3 리세스 영역(RS3)은 상기 제1 채널 영역(CH1) 및 상기 제2 채널 영역(CH2) 아래에 있을 수 있다. 상기 제3 리세스 영역(RS3)은 상기 게이트 구조체를 따라 상기 제1 방향(D1)으로 연장될 수 있다. 상기 제3 리세스 영역(RS3)의 바닥(RS3b)은 상기 절연막(105)의 상면(105t)보다 더 낮은 레벨에 위치할 수 있다. 다시 말하면, 상기 게이트 전극(GE)의 바닥면(GEb)과 상기 게이트 절연 패턴(GI)의 바닥면(GIb)은, 상기 절연막(105)의 상면(105t)보다 더 낮은 레벨에 위치할 수 있다.

[0047] 결과적으로, 상기 게이트 전극(GE)은 상기 제1 및 제2 반도체 패턴들(NS1, NS2) 각각의 외주면을 둘러쌀 수 있다. 즉, 상기 제1 및 제2 트랜지스터들(TR1, TR2) 각각은, 상기 게이트 전극(GE)에 의하여 그의 외주면이 둘러싸인 채널 영역을 포함하는 게이트-올-어라운드(Gate-All-Around)형 전계 효과 트랜지스터일 수 있다.

[0048] 상기 제1 소스/드레인 영역들(SD1)과 상기 게이트 전극(GE) 사이, 및 상기 제2 소스/드레인 영역들(SD2)과 상기 게이트 전극(GE) 사이에 배리어 절연 패턴들(BP)이 제공될 수 있다. 상기 제1 트랜지스터(TR1)의 상기 배리어 절연 패턴들(BP)은 상기 제1 반도체 패턴들(NS1)을 사이에 두고 서로 이격될 수 있다. 상기 제2 트랜지스터(TR2)의 상기 배리어 절연 패턴들(BP)은 상기 제2 반도체 패턴들(NS2)을 사이에 두고 서로 이격될 수 있다. 상기 배리어 절연 패턴들(BP)은 상기 게이트 절연 패턴(GI)과 직접 접할 수 있다. 상기 배리어 절연 패턴들(BP)은

실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다.

[0049] 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)은 각각 상기 제1 및 제2 반도체 패턴들(NS1, NS2)을 씨드층으로 하여 형성된 에피택시얼 패턴들일 수 있다. 상기 제1 트랜지스터(TR1)가 NMOSFET인 경우, 상기 제1 소스/드레인 영역들(SD1)은 상기 제1 채널 영역(CH1)에 인장성 스트레인을 제공하는 반도체 물질을 포함할 수 있다. 일 예로, 상기 제1 소스/드레인 영역들(SD1)은 Si보다 격자 상수가 작은 SiC층, 또는 상기 기판(100)과 실질적으로 동일한 격자 상수를 갖는 Si층을 포함할 수 있다. 상기 제1 소스/드레인 영역들(SD1)은 N형의 도전형을 가질 수 있다.

[0050] 상기 제2 트랜지스터(TR2)가 PMOSFET인 경우, 상기 제2 소스/드레인 영역들(SD2)은 상기 제2 채널 영역(CH2)에 압축성 스트레인을 제공하는 물질을 포함할 수 있다. 일 예로, 상기 제2 소스/드레인 영역들(SD2)은 Si보다 격자 상수가 큰 SiGe층을 포함할 수 있다. 상기 제2 소스/드레인 영역들(SD2)은 P형의 도전형을 가질 수 있다.

[0051] 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2) 상에 층간 절연막(123)이 제공될 수 있다. 상기 게이트 구조체는 상기 층간 절연막(123) 내에 제공될 수 있다. 상기 층간 절연막(123)의 상면은 상기 게이트 캐핑 패턴(GP)의 상면과 실질적으로 공면을 이룰 수 있다. 상기 층간 절연막(123)은 실리콘 산화막 또는 실리콘 산화질화막을 포함할 수 있다.

[0052] 상기 층간 절연막(123)을 관통하여, 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)과 각각 연결되는 제1 및 제2 콘택 플러그들(CT1, CT2)이 제공될 수 있다. 상기 제1 콘택 플러그들(CT1)은 상기 제1 소스/드레인 영역들(SD1)과 접할 수 있고, 상기 제2 콘택 플러그들(CT2)은 상기 제2 소스/드레인 영역들(SD2)과 접할 수 있다.

[0053] 상기 제1 콘택 플러그들(CT1)의 하부들은 상기 절연막(105)의 상부의 제1 리세스 영역들(RS1)을 각각 채울 수 있다. 다시 말하면, 상기 제1 콘택 플러그들(CT1)의 하부들은 상기 절연막(105) 내에 매립될 수 있다. 평면적 관점에서, 상기 제1 리세스 영역들(RS1)은 상기 제1 콘택 플러그들(CT1)과 각각 수직적으로 중첩될 수 있다. 상기 제1 리세스 영역들(RS1)의 바닥들(RS1b)은, 상기 절연막(105)의 상면(105t)과 상기 절연막(105)의 바닥면(105b)의 사이의 레벨에 위치할 수 있다. 일 예로, 상기 제1 리세스 영역들(RS1)은 상기 제3 리세스 영역(RS3)보다 더 깊을 수 있다. 즉, 상기 제1 리세스 영역들(RS1)의 바닥들(RS1b)은 상기 제3 리세스 영역(RS3)의 바닥(RS3b)보다 더 낮은 레벨에 위치할 수 있다.

[0054] 상기 제1 콘택 플러그들(CT1)은 상기 제1 소스/드레인 영역들(SD1)을 관통할 수 있다. 따라서, 한 쌍의 상기 게이트 전극들(GE) 사이의 한 쌍의 상기 제1 소스/드레인 영역들(SD1)은 상기 제1 콘택 플러그(CT1)를 사이에 두고 상기 제2 방향(D2)으로 서로 이격될 수 있다. 상기 제1 콘택 플러그들(CT1)은 상기 기판(100)과 수직적으로 이격될 수 있다. 다시 말하면, 상기 제1 콘택 플러그들(CT1)의 바닥면들(CT1b, 즉 상기 제1 리세스 영역들(RS1)의 바닥들(RS1b))은 상기 기판(100)의 상면보다 더 높은 레벨에 위치할 수 있다.

[0055] 상기 제1 콘택 플러그들(CT1)과 달리, 상기 제2 콘택 플러그들(CT2)은 상기 제2 소스/드레인 영역들(SD2)을 관통하지 못할 수 있다. 상기 제2 콘택 플러그들(CT2)의 바닥면들(CT2b)은 상기 절연막(105)의 상면(105t)과 같은 레벨에 위치하거나 더 높은 레벨에 위치할 수 있다. 따라서, 상기 제2 콘택 플러그들(CT2)의 하부들은 상기 제2 소스/드레인 영역들(SD2)에 의해 각각 둘러싸일 수 있다.

[0056] 상기 제1 및 제2 콘택 플러그들(CT1, CT2)은 도전성 금속 질화물 및/또는 금속을 포함할 수 있다. 일 예로, 상기 제1 및 제2 콘택 플러그들(CT1, CT2)은 TiN, WN 및 TaN와 같은 금속 질화물 및/또는 Ti, W, Ta와 같은 금속을 포함할 수 있다.

[0057] 상기 제1 콘택 플러그들(CT1)의 도전성 금속 질화물 및/또는 금속은 상기 제1 채널 영역(CH1)에 인장성 스트레인을 제공할 수 있다. 특히, 상기 제1 콘택 플러그들(CT1)은 최하부의 상기 제1 반도체 패턴(NS1)보다 더 낮은 레벨까지 수직적으로 연장되기 때문에, 상기 제1 반도체 패턴들(NS1) 모두에 균일한 스트레스를 인가할 수 있다. 따라서, 상기 제1 채널 영역(CH1)에 강한 인장성 스트레인이 제공되어, 상기 제1 트랜지스터(TR1)가 동작할 때, 상기 제1 채널 영역(CH1) 내에 생성된 캐리어들의 이동도가 향상될 수 있다.

[0058] 본 발명의 실시예들에 따르면, 상기 제1 트랜지스터(TR1)에 연결되는 상기 제1 콘택 플러그들(CT1)의 바닥면들(CT1b)과 상기 제2 트랜지스터(TR2)에 연결되는 상기 제2 콘택 플러그들(CT2)의 바닥면들(CT2b)은 서로 다른 레벨에 위치할 수 있다. 구체적으로, 상기 제1 콘택 플러그들(CT1)의 바닥면들(CT1b)은 상기 제2 콘택 플러그들(CT2)의 바닥면들(CT2b)보다 더 깊을 수 있고, 따라서 상기 제1 콘택 플러그들(CT1)이 상기 제1 채널 영역(CH1)에 미치는 영향은 상기 제2 콘택 플러그들(CT2)이 상기 제2 채널 영역(CH2)에 미치는 영향보다 더 클 수 있다. 이로써, 상기 제1 트랜지스터(TR1)의 상기 제1 채널 영역(CH1)에 인장성 스트레인이 제공될 수 있고, 상

기 제2 트랜지스터(TR2)의 상기 제2 채널 영역(CH2)에 압축성 스트레인이 제공될 수 있다. 결과적으로, 상기 제1 및 제2 트랜지스터들(TR1, TR2)의 동작 시 캐리어들의 이동도가 향상될 수 있다.

[0060] 도 2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a 및 10a는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도들이다. 도 2b, 3b, 4b, 5b, 6b, 7b, 8b, 9b 및 10b는 각각 도 2a, 3a, 4a, 5a, 6a, 7a, 8a, 9a 및 10a의 A-A'선 및 B-B'선에 따른 단면도들이다. 도 3c, 4c, 5c, 6c, 7c, 8c, 9c 및 10c는 각각 도 3a, 4a, 5a, 6a, 7a, 8a, 9a 및 10a의 C-C'선 및 D-D'선에 따른 단면도들이다.

[0061] 도 2a 및 도 2b를 참조하면, SOI 기판이 준비될 수 있다. 상기 SOI 기판은, 기판(100, 핸들 기판), 제1 반도체층(107), 및 상기 기판(100)과 상기 제1 반도체층(107) 사이에 개재된 절연막(105)을 포함할 수 있다. 상기 SOI 기판 상에 희생층들(111) 및 제2 반도체층들(112)이 교대로 반복하여 적층될 수 있다. 3개의 상기 희생층들(111), 및 상기 희생층들(111) 사이의 2개의 상기 제2 반도체층들(112)이 형성되는 것이 예시되어 있으나, 이에 한정되지 않는다.

[0062] 상기 희생층들(111)은 상기 제1 반도체층(107) 및 상기 제2 반도체층들(112)에 대하여 식각 선택성을 갖는 물질을 포함할 수 있다. 즉, 소정의 식각 레서피를 사용하여 상기 희생층들(111)을 식각하는 공정에서, 상기 희생층들(111)은 상기 제1 및 제2 반도체층들(107, 112)의 식각을 최소화하면서 식각될 수 있는 물질로 형성될 수 있다. 이러한 식각 선택성(etch selectivity)은 상기 제1 및 제2 반도체층들(107, 112)의 식각 속도에 대한 상기 희생층들(111)의 식각 속도의 비율을 통해 정량적으로 표현될 수 있다. 일 예로, 상기 희생층들(111)은 상기 제1 및 제2 반도체층들(107, 112)에 대하여 1:10 내지 1:200의 식각 선택비를 가지는 물질들 중의 하나일 수 있다. 상기 희생층들(111)은 SiGe, Si, 및 Ge 중 하나이고, 상기 제1 및 제2 반도체층들(107, 112)은 SiGe, Si, 및 Ge 중 다른 하나일 수 있다. 예를 들어, 상기 제1 반도체층(107)과 상기 제2 반도체층들(112)은 Si를 포함할 수 있고, 상기 희생층들(111)은 SiGe를 포함할 수 있다.

[0063] 상기 희생층들(111) 및 상기 제2 반도체층들(112)은 상기 제1 반도체층(107)을 씨드층(seed layer)으로 하는 에피택시얼 성장(epitaxial growth) 공정에 의하여 형성될 수 있다. 일 예로, 상기 에피택시얼 성장 공정은 화학기상 증착(Chemical Vapor Deposition: CVD) 공정 또는 분자 빔 에피택시(Molecular Beam Epitaxy: MBE) 공정일 수 있다. 상기 희생층들(111) 및 상기 제2 반도체층들(112)은 동일 챔버에서 연속적으로 형성될 수 있다. 상기 희생층들(111) 및 상기 제2 반도체층들(112)은 상기 제1 반도체층(107) 상에 선택적으로 성장(selective epitaxial growth)되지 않고 상기 제1 반도체층(107)의 전면에 콘포멀하게 성장될 수 있다. 상기 희생층들(111) 및 상기 제2 반도체층들(112)은 실질적으로 동일한 두께로 형성될 수 있으나, 이에 한정되지 않는다.

[0064] 도 3a 내지 도 3c를 참조하면, 상기 희생층들(111) 및 상기 제1 및 제2 반도체층들(107, 112)을 패터닝하여, 제1 예비 채널 영역(PCH1) 및 제2 예비 채널 영역(PCH2)이 형성될 수 있다. 상기 제1 및 제2 예비 채널 영역들(PCH1, PCH2)은 제2 방향(D2)으로 연장되는 라인 또는 바 형태로 형성될 수 있다.

[0065] 구체적으로, 상기 희생층들(111)이 패터닝되어, 예비 희생 패턴들(113)이 형성될 수 있다. 상기 제1 반도체층(107)이 패터닝되어, 제1 패턴들(108)이 형성될 수 있다. 상기 제2 반도체층들(112)이 패터닝되어, 제2 패턴들(114)이 형성될 수 있다. 따라서, 상기 제1 및 제2 예비 채널 영역들(PCH1, PCH2) 각각은, 상기 제1 패턴(108), 상기 예비 희생 패턴들(113) 및 상기 제2 패턴들(114)을 포함할 수 있다. 상기 패터닝 공정은 제1 마스크 패턴(미도시)을 이용한 이방성 건식 식각 공정을 포함할 수 있다.

[0066] 상기 패터닝 공정을 수행한 후, 상기 제1 및 제2 예비 채널 영역들(PCH1, PCH2) 상에 각각 캐핑 절연막들(121)이 형성될 수 있다. 상기 캐핑 절연막들(121)은 열산화 공정으로 형성될 수 있다. 일 예로, 상기 캐핑 절연막들(121)은 실리콘-게르마늄 산화막을 포함할 수 있다. 이와는 달리, 상기 캐핑 절연막들(121)은 증착 공정으로 형성될 수 있다.

[0067] 도 4a 내지 도 4c를 참조하면, 상기 제1 및 제2 예비 채널 영역들(PCH1, PCH2)을 가로지르는 더미 게이트들(131)이 형성될 수 있다. 상기 더미 게이트들(131)은 제1 방향(D1)으로 연장되는 라인 또는 바 형태로 형성될 수 있다.

[0068] 상기 더미 게이트들(131) 상에 게이트 마스크 패턴들(135)이 제공될 수 있다. 상기 더미 게이트들(131) 및 상기 게이트 마스크 패턴들(135)을 형성하는 것은, 상기 기판(100) 상에 더미 게이트막 및 게이트 마스크막을 순차적으로 형성하는 것, 및 이들을 순차적으로 패터닝하는 것을 포함할 수 있다. 상기 더미 게이트막은 폴리 실리콘을 포함할 수 있다. 상기 게이트 마스크막은 실리콘 질화막 또는 실리콘 산질화막을 포함할 수 있다. 상기 더미

게이트막 및 상기 게이트 마스크막을 패터닝할 때, 상기 캐핑 절연막들(121)의 일부도 함께 식각될 수 있다.

[0069] 상기 더미 게이트들(131)의 측벽들 상에 게이트 스페이서들(GS)이 각각 형성될 수 있다. 상기 게이트 스페이서들(GS)은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다. 상기 게이트 스페이서들(GS)을 형성하는 것은, CVD 또는 ALD와 같은 증착 공정으로 스페이서막을 형성하는 것, 및 상기 스페이서막에 이방성 식각 공정을 수행하는 것을 포함할 수 있다.

[0070] 도 5a 내지 도 5c를 참조하면, 상기 게이트 마스크 패턴들(135) 및 상기 게이트 스페이서들(GS)을 식각 마스크로 상기 제1 및 제2 예비 채널 영역들(PCH1, PCH2)을 패터닝하여, 제1 및 제2 채널 영역들(CH1, CH2)이 각각 형성될 수 있다. 상기 제1 채널 영역들(CH1)은 상기 제2 방향(D2)을 따라 배열될 수 있으며, 상기 제2 채널 영역들(CH2)은 상기 제2 방향(D2)을 따라 배열될 수 있다.

[0071] 구체적으로, 상기 제1 예비 채널 영역(PCH1)의 상기 예비 희생 패턴들(113)이 패터닝되어, 희생 패턴들(115)이 형성될 수 있다. 상기 제1 예비 채널 영역(PCH1)의 상기 제1 및 제2 패턴들(108, 114)이 패터닝되어, 제1 반도체 패턴들(NS1)이 형성될 수 있다. 상기 제2 예비 채널 영역(PCH2)의 상기 예비 희생 패턴들(113)이 패터닝되어, 희생 패턴들(115)이 형성될 수 있다. 상기 제2 예비 채널 영역(PCH2)의 상기 제1 및 제2 패턴들(108, 114)이 패터닝되어, 제2 반도체 패턴들(NS2)이 형성될 수 있다. 상기 제1 반도체 패턴들(NS1)은 상기 제1 채널 영역(CH1)을 구성할 수 있으며, 상기 제2 반도체 패턴들(NS2)은 상기 제2 채널 영역(CH2)을 구성할 수 있다.

[0072] 이어서, 상기 희생 패턴들(115)의 일부가 수평적으로 제거되어, 제2 리세스 영역들(RS2)이 형성될 수 있다. 상기 제2 리세스 영역들(RS2)을 형성하는 것은, 상기 희생 패턴들(115)에 대하여 식각 선택성 있는 식각 소스로 식각 공정을 수행하는 것을 포함할 수 있다. 일 예로, 상기 제1 및 제2 반도체 패턴들(NS1, NS2)이 Si를 포함하고, 상기 희생 패턴들(115)이 SiGe를 포함하는 경우, 상기 제2 리세스 영역들(RS2)을 형성하는 것은 과초산(peracetic acid)을 포함하는 식각액으로 식각 공정을 수행하는 것을 포함할 수 있다.

[0073] 상기 제2 리세스 영역들(RS2)을 각각 채우는 배리어 절연 패턴들(BP)이 형성될 수 있다. 상기 배리어 절연 패턴들(BP)은 상기 제1 반도체 패턴들(NS1)을 사이에 두고 서로 수직적으로 이격될 수 있다. 상기 배리어 절연 패턴들(BP)은 상기 제2 반도체 패턴들(NS2)을 사이에 두고 서로 수직적으로 이격될 수 있다. 상기 배리어 절연 패턴들(BP)을 형성하는 것은, 상기 제2 리세스 영역들(RS2) 상에 배리어 절연막을 콘포멀하게 형성하는 것, 및 상기 배리어 절연막에 이방성 식각 공정을 수행하는 것을 포함할 수 있다. 일 예로, 상기 배리어 절연 패턴들(BP)은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다.

[0074] 도 6a 내지 도 6c를 참조하면, 상기 더미 게이트들(131) 각각의 양 측에 소스/드레인 영역들(SD1, SD2)이 형성될 수 있다. 구체적으로, 상기 제1 반도체 패턴들(NS1)을 씨드층으로 선택적 에피택시얼 공정을 수행하여, 제1 소스/드레인 영역들(SD1)이 형성될 수 있다. 상기 제2 반도체 패턴들(NS2)을 씨드층으로 선택적 에피택시얼 공정을 수행하여, 제2 소스/드레인 영역들(SD2)이 형성될 수 있다.

[0075] 일 예로, 상기 제2 방향(D2)으로 서로 인접하는 한 쌍의 상기 제1 채널 영역들(CH1)로부터 각각 성장된 상기 제1 소스/드레인 영역들(SD1)은, 서로 병합되어 상기 한 쌍의 제1 채널 영역들(CH1) 사이의 공간을 채울 수 있다. 상기 제2 방향(D2)으로 서로 인접하는 한 쌍의 상기 제2 채널 영역들(CH2)로부터 각각 성장된 상기 제2 소스/드레인 영역들(SD2)은, 서로 병합되어 상기 한 쌍의 제2 채널 영역들(CH2) 사이의 공간을 채울 수 있다.

[0076] 상기 제1 채널 영역들(CH1) 및 상기 제1 소스/드레인 영역들(SD1)은 서로 연결되어, 상기 제2 방향(D2)으로 연장되는 제1 활성 영역(AP1)을 구성할 수 있다. 상기 제2 채널 영역들(CH2) 및 상기 제2 소스/드레인 영역들(SD2)은 서로 연결되어, 상기 제2 방향(D2)으로 연장되는 제2 활성 영역(AP2)을 구성할 수 있다.

[0077] 한편, 상기 제1 소스/드레인 영역들(SD1)과 상기 제2 소스/드레인 영역들(SD2)은 서로 다른 공정으로 형성될 수 있다. 즉, 상기 제1 소스/드레인 영역들(SD1)과 상기 제2 소스/드레인 영역들(SD2)은 서로 다른 반도체 물질로 형성될 수 있다. 또한, 상기 제1 소스/드레인 영역들(SD1)과 상기 제2 소스/드레인 영역들(SD2)은 서로 다른 도전형의 불순물로 도핑될 수 있다. 구체적으로, 상기 제2 채널 영역들(CH2)을 덮는 제2 마스크 패턴(미도시)을 형성하고, 상기 제1 소스/드레인 영역들(SD1)을 선택적으로 형성할 수 있다. 상기 제2 마스크 패턴을 제거하고, 상기 제1 소스/드레인 영역들(SD1)을 덮는 제3 마스크 패턴(미도시)을 형성할 수 있다. 이어서, 상기 제2 소스/드레인 영역들(SD2)을 선택적으로 형성할 수 있다.

[0078] 상기 제1 소스/드레인 영역들(SD1)은 상기 제1 채널 영역(CH1)에 인장성 스트레인을 제공하는 반도체 물질로 형성될 수 있다. 일 예로, 상기 제1 소스/드레인 영역들(SD1)은 Si보다 격자 상수가 작은 SiC, 또는 상기 기판

(100)과 실질적으로 동일한 격자 상수를 갖는 Si로 형성될 수 있다. 상기 선택적 에피택시얼 공정과 동시에 또는 선택적 에피택시얼 공정 후, 상기 제1 소스/드레인 영역들(SD1)에 N형의 불순물이 도핑될 수 있다.

[0079] 상기 제2 소스/드레인 영역들(SD2)은 상기 제2 채널 영역(CH2)에 압축성 스트레인을 제공하는 물질을 포함할 수 있다. 일 예로, 상기 제2 소스/드레인 영역들(SD2)은 Si보다 격자 상수가 큰 SiGe로 형성될 수 있다. 상기 선택적 에피택시얼 공정과 동시에 또는 선택적 에피택시얼 공정 후, 상기 제2 소스/드레인 영역들(SD2)에 P형의 불순물이 도핑될 수 있다.

[0080] 도 7a 내지 도 7c를 참조하면, 상기 기판(100) 상에 층간 절연막(123)이 형성될 수 있다. 이어서, 상기 더미 게이트들(131)의 상면들이 노출될 때까지 상기 층간 절연막(123)을 평탄화하는 공정이 수행될 수 있다. 평탄화 공정은 에치백(etch back) 및/또는 CMP(chemical mechanical polishing) 공정을 포함할 수 있다. 상기 층간 절연막(123)을 평탄화할 때, 상기 게이트 마스크 패턴들(135)이 함께 제거될 수 있다. 일 예로, 상기 층간 절연막(123)은 실리콘 산화막 또는 실리콘 산화질화막으로 형성될 수 있다.

[0081] 상기 평탄화 공정에 의하여 노출된 상기 더미 게이트들(131)이 선택적으로 제거될 수 있다. 상기 캐핑 절연막들(121)은 상기 더미 게이트들(131)의 제거와 동시에 또는 별개로 제거될 수 있다. 상기 더미 게이트들(131)의 제거에 의하여, 상기 제1 채널 영역들(CH1) 및 상기 제2 채널 영역들(CH2)이 노출될 수 있다. 또한 상기 더미 게이트들(131)의 제거에 의하여, 상기 희생 패턴들(115)이 노출될 수 있다.

[0082] 노출된 상기 희생 패턴들(115)이 선택적으로 제거될 수 있다. 일 예로, 상기 희생 패턴들(115)이 SiGe을 포함하고, 상기 제1 및 제2 반도체 패턴들(NS1, NS2)이 Si를 포함하는 경우, 선택적 식각 공정은 과초산(peracetic acid)을 포함하는 식각액을 사용하여 수행될 수 있다. 상기 식각액은 불산(HF) 수용액 및 탈이온수(deionized water)를 더 포함할 수 있다. 한편, 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)은 상기 배리어 절연 패턴들(BP) 및 상기 층간 절연막(123)에 의하여 커버되어 보호될 수 있다.

[0083] 상기 더미 게이트들(131) 및 상기 희생 패턴들(115)이 제거되어, 트렌치들(TC)이 형성될 수 있다. 상기 트렌치들(TC) 각각은 상기 제1 및 제2 반도체 패턴들(NS1, NS2), 상기 게이트 스페이서들(GS), 및 상기 배리어 절연 패턴들(BP)에 의하여 정의될 수 있다. 평면적 관점에서, 상기 트렌치들(TC)은 상기 제1 방향(D1)으로 연장될 수 있다.

[0084] 후속으로, 상기 트렌치들(TC)에 의해 노출된 상기 절연막(105)의 상부를 식각하여, 제3 리세스 영역들(RS3)이 형성될 수 있다. 상기 제3 리세스 영역들(RS3)을 형성하는 것은, 상기 절연막(105)에 대한 선택적 및 등방성 식각 공정을 수행하는 것을 포함할 수 있다. 상기 제3 리세스 영역들(RS3)은 각각 상기 트렌치들(TC)을 따라 상기 제1 방향(D1)으로 연장되도록 형성될 수 있다. 상기 제3 리세스 영역들(RS3)은 상기 트렌치들(TC)과 각각 연통될 수 있다.

[0085] 상기 제3 리세스 영역들(RS3) 각각은 최하부의 상기 제1 반도체 패턴(NS1)과 상기 절연막(105) 사이로 연장될 수 있다. 또한, 상기 제3 리세스 영역들(RS3) 각각은 최하부의 상기 제2 반도체 패턴(NS2)과 상기 절연막(105) 사이로 연장될 수 있다. 상기 제3 리세스 영역들(RS3)은 상기 절연막(105)의 상부가 식각되어 형성되었기 때문에, 상기 제3 리세스 영역들(RS3)의 바닥들(RS3b)은 상기 절연막(105)의 상면(105t)보다 더 낮은 레벨에 위치할 수 있다.

[0086] 도 8a 내지 도 8c를 참조하면, 각각의 상기 트렌치들(TC) 및 각각의 상기 제3 리세스 영역들(RS3) 내에 게이트 절연 패턴(GI) 및 게이트 전극(GE)이 형성될 수 있다. 구체적으로, 상기 트렌치들(TC) 및 상기 제3 리세스 영역들(RS3) 내에 게이트 절연막 및 게이트 도전막을 차례로 형성한 후, 평탄화 공정을 수행하여, 각각의 상기 트렌치들(TC) 및 각각의 상기 제3 리세스 영역들(RS3) 내에 상기 게이트 절연 패턴(GI) 및 상기 게이트 전극(GE)을 형성할 수 있다.

[0087] 일 예로, 상기 게이트 절연막은 실리콘 산화막, 실리콘 산화질화막, 및 실리콘 산화막보다 유전상수가 높은 고유전막 중 적어도 하나로 형성될 수 있다. 일 예로, 상기 게이트 도전막은 도핑된 반도체, 도전성 금속 질화물 및 금속 중 적어도 하나로 형성될 수 있다.

[0088] 상기 게이트 절연 패턴(GI) 및 상기 게이트 전극(GE)은 상기 제1 반도체 패턴들(NS1) 사이의 공간들을 채우도록 형성될 수 있다. 나아가, 상기 게이트 절연 패턴(GI)은 최하부의 상기 제1 반도체 패턴(NS1)과 상기 절연막(105) 사이의 공간(즉, 제3 리세스 영역(RS3))을 채우도록 형성될 수 있다. 마찬가지로, 상기 게이트 절연 패턴(GI) 및 상기 게이트 전극(GE)은 상기 제2 반도체 패턴들(NS2) 사이의 공간들을 채우도록 형성될 수 있다. 나아가, 상기 게이트 절연 패턴(GI)은 최하부의 상기 제2 반도체 패턴(NS2)과 상기 절연막(105) 사이의 공간(즉, 제

3 리세스 영역(RS3))을 채우도록 형성될 수 있다. 상기 게이트 전극(GE)은 상기 게이트 절연 패턴(GI)을 사이에 두고 상기 제1 및 제2 반도체 패턴들(NS1, NS2)과 이격되도록 형성될 수 있다.

[0089] 후속으로, 상기 게이트 절연 패턴들(GI) 및 상기 게이트 전극들(GE)의 상부들을 리세스하고, 리세스된 영역들에 캐핑 패턴들(GP)이 각각 형성될 수 있다. 일 예로, 상기 캐핑 패턴들(GP)은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나로 형성될 수 있다.

[0090] 도 9a 내지 도 9c를 참조하면, 상기 층간 절연막(123) 상에 개구부들을 갖는 제4 마스크 패턴(MA1)이 형성될 수 있다. 평면적 관점에서, 상기 제4 마스크 패턴(MA1)의 상기 개구부들은 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)과 수직적으로 중첩될 수 있다. 구체적으로, 상기 제4 마스크 패턴(MA1)을 형성하는 것은, 상기 층간 절연막(123) 상에 제1 마스크막을 형성하는 것, 및 상기 제1 마스크막을 패터닝하여 상기 제4 마스크 패턴(MA1)을 형성하는 것을 포함할 수 있다.

[0091] 상기 제4 마스크 패턴(MA1)을 식각 마스크로 상기 층간 절연막(123) 및 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)을 순차적으로 식각하여, 제1 콘택 홀들(CTH1)이 형성될 수 있다. 상기 제1 콘택 홀들(CTH1)은 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)을 완전히 관통하지 못하도록 형성될 수 있다. 즉, 상기 제1 콘택 홀들(CTH1)의 바닥들(CH1b)은 상기 절연막(105)의 상면(105t)과 같거나 더 높은 레벨에 위치할 수 있다.

[0092] 평면적 관점에서, 상기 제1 콘택 홀들(CTH1)은 상기 게이트 전극들(GE) 사이에 형성될 수 있다. 나아가, 상기 제1 콘택 홀들(CTH1)은 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)을 노출할 수 있다.

[0093] 도 10a 내지 도 10c를 참조하면, 상기 제4 마스크 패턴(MA1) 상에 상기 제2 활성 영역(AP2)과 수직적으로 중첩되는 제5 마스크 패턴(MA2)이 형성될 수 있다. 한편, 상기 제5 마스크 패턴(MA2)은 상기 제1 활성 영역(AP1)과는 수직적으로 중첩되지 않도록 형성될 수 있다. 상기 제5 마스크 패턴(MA2)은 상기 제2 소스/드레인 영역들(SD2)을 노출하는 상기 제1 콘택 홀들(CTH1)을 채울 수 있지만, 상기 제1 소스/드레인 영역들(SD1)을 노출하는 상기 제1 콘택 홀들(CTH1)은 채우지 않을 수 있다.

[0094] 구체적으로, 상기 제5 마스크 패턴(MA2)을 형성하는 것은, 상기 제4 마스크 패턴(MA1) 상에 제2 마스크막을 형성하는 것, 및 상기 제2 마스크막을 패터닝하여 상기 제5 마스크 패턴(MA2)을 형성하는 것을 포함할 수 있다. 상기 제2 마스크막은 상기 제1 콘택 홀들(CTH1)을 채우도록 형성될 수 있다. 그러나, 상기 제2 마스크막의 패터닝 공정을 통해, 상기 제1 활성 영역(AP1) 상의 상기 제2 마스크막의 일부가 완전히 제거될 수 있다. 이로써, 상기 제1 소스/드레인 영역들(SD1)을 노출하는 상기 제1 콘택 홀들(CTH1)이 상기 제5 마스크 패턴(MA2)에 의해 노출될 수 있다.

[0095] 이어서, 상기 제4 마스크 패턴(MA1) 및 상기 제5 마스크 패턴(MA2)을 식각 마스크로 상기 제1 소스/드레인 영역들(SD1) 및 상기 절연막(105)을 순차적으로 식각하여, 제2 콘택 홀들(CTH2)이 형성될 수 있다. 상기 제2 콘택 홀들(CTH2)은, 상기 제1 콘택 홀들(CTH1)이 상기 기판(100)을 향해 더 연장되어 형성된 것일 수 있다. 상기 제2 콘택 홀들(CTH2)은 상기 제1 소스/드레인 영역들(SD1)을 완전히 관통하도록 형성될 수 있다.

[0096] 나아가, 상기 제2 콘택 홀들(CTH2)을 형성할 때 상기 절연막(105)의 상부도 식각하여, 상기 절연막(105)의 상부에 제1 리세스 영역들(RS1)이 형성될 수 있다. 즉, 상기 제1 리세스 영역들(RS1)은 상기 제2 콘택 홀들(CTH2)과 수직적으로 중첩될 수 있다. 상기 제2 콘택 홀들(CTH2)의 바닥들(CH2b, 즉 상기 제1 리세스 영역들(RS1)의 바닥들(RS1b))은 상기 절연막(105)의 상면(105t)보다 더 낮은 레벨에 위치할 수 있다. 다만, 상기 제2 콘택 홀들(CTH2)의 바닥들(CH2b)은 상기 기판(100)의 상면보다 더 높은 레벨에 위치할 수 있다.

[0097] 본 발명의 일 실시예로, 상기 제2 콘택 홀들(CTH2) 각각의 상기 제1 방향(D1)으로의 길이는 상기 제1 소스/드레인 영역들(SD1) 각각의 상기 제1 방향(D1)으로의 길이보다 더 클 수 있다. 따라서, 어느 하나의 제1 소스/드레인 영역(SD1)은 어느 하나의 제2 콘택 홀(CTH2)에 의해 한 쌍의 제1 소스/드레인 영역들(SD1)로 양분될 수 있다. 즉, 상기 한 쌍의 제1 소스/드레인 영역들(SD1)은 상기 제2 콘택 홀(CTH2)을 사이에 두고 상기 제2 방향(D2)으로 서로 이격될 수 있다.

[0098] 도 1a 내지 도 1c를 다시 참조하면, 상기 제4 및 제5 마스크 패턴들(MA1, MA2)을 제거하고, 상기 제2 콘택 홀들(CTH2)을 각각 채우는 제1 콘택 플러그들(CT1) 및 상기 제1 콘택 홀들(CTH1)을 각각 채우는 제2 콘택 플러그들(CT2)이 형성될 수 있다. 상기 제1 콘택 플러그들(CT1)은 상기 제1 소스/드레인 영역들(SD1)과 직접 연결되도록 형성될 수 있고, 상기 제2 콘택 플러그들(CT2)은 상기 제2 소스/드레인 영역들(SD2)과 직접 연결되로록 형성될 수 있다. 구체적으로, 상기 제1 및 제2 콘택 홀들(CTH1, CTH2) 내에 콘택 도전막을 형성한 후, 평탄화 공정을 수행하여, 상기 제1 및 제2 콘택 플러그들(CT1, CT2)을 형성할 수 있다. 일 예로, 상기 콘택 도전막은 도전성

금속 질화물 및 금속 중 적어도 하나로 형성될 수 있다.

[0099] 상기 제1 콘택 플러그들(CT1)의 하부들은 상기 제1 리세스 영역들(RS1)을 각각 채우도록 형성될 수 있다. 따라서, 상기 제1 콘택 플러그들(CT1)의 바닥면들(CT1b)은 최하부의 상기 제1 반도체 패턴(NS1)보다 더 낮은 레벨에 위치하도록 형성될 수 있다. 이로써, 상기 제1 콘택 플러그들(CT1)에 의해 상기 제1 반도체 패턴들(NS1)에 작용하는 스트레스 효과가 더 증가될 수 있다. 즉, 상기 제1 채널 영역(CH1)에 강한 인장성 스트레인이 제공될 수 있다.

[0100] 한편, 상기 제2 콘택 플러그들(CT2)의 바닥면들(CT2b)은 상기 절연막(105)의 상면(105t)과 같은 레벨에 위치하거나 더 높은 레벨에 위치하도록 형성될 수 있다. 즉, 상기 제1 콘택 플러그들(CT1)의 바닥면들(CT1b)과 상기 제2 콘택 플러그들(CT2)의 바닥면들(CT2b)은 서로 다른 레벨에 위치하도록 형성될 수 있다.

[0102] 도 11a 및 도 11b는 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 단면도들이다. 도 11a는 도 1a의 A-A'선 및 B-B'선에 따른 단면도이다. 도 11b는 도 1a의 C-C'선 및 D-D'선에 따른 단면도이다. 본 예에서는, 앞서 도 1a 내지 도 1c를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략한다. 앞서 설명한 본 발명의 일 실시예에 따른 반도체 소자와 동일한 구성에 대하여는 동일한 참조번호가 제공될 수 있다.

[0103] 도 1a, 도 11a 및 도 11b를 참조하면, 기판(100)의 절연막(105) 상에 제1 및 제2 트랜지스터들(TR1, TR2)이 배치될 수 있다. 상기 제1 및 제2 트랜지스터들(TR1, TR2)은 서로 다른 도전형의 트랜지스터일 수 있다. 일 예로, 상기 제1 트랜지스터(TR1)는 NMOSFET일 수 있고, 상기 제2 트랜지스터(TR2)는 PMOSFET일 수 있다.

[0104] 상기 제1 및 제2 트랜지스터들(TR1, TR2)은 각각 제1 및 제2 활성 영역들(AP1, AP2)을 포함할 수 있다. 상기 제1 활성 영역(AP1)은, 제1 채널 영역(CH1), 및 상기 제1 채널 영역(CH1)을 사이에 두고 제2 방향(D2)으로 서로 이격된 제1 소스/드레인 영역들(SD1)을 포함할 수 있다. 상기 제2 활성 영역(AP2)은, 제2 채널 영역(CH2), 및 상기 제2 채널 영역(CH2)을 사이에 두고 제2 방향(D2)으로 서로 이격된 제2 소스/드레인 영역들(SD2)을 포함할 수 있다.

[0105] 구체적으로, 앞서 도 1b 및 도 1c를 참조하여 설명한 복수의 제1 반도체 패턴들(NS1)로 구성된 제1 채널 영역(CH1)과는 달리, 상기 제1 채널 영역(CH1)은 상기 기판(100)의 상면에 수직한 방향(D3)으로 연장되는 반도체 패턴일 수 있다. 마찬가지로, 상기 제2 채널 영역(CH2)은 상기 기판(100)의 상면에 수직한 방향(D3)으로 연장되는 반도체 패턴일 수 있다. 각각의 상기 제1 소스/드레인 영역들(SD1)은 상기 제1 채널 영역(CH1)의 측벽과 직접 접촉할 수 있다. 각각의 상기 제2 소스/드레인 영역들(SD2)은 상기 제2 반도체 패턴(NS2)의 측벽과 직접 접촉할 수 있다.

[0106] 게이트 전극(GE) 및 게이트 절연 패턴(GI)은 상기 제1 및 제2 채널 영역들(CH1, CH2)을 덮으며 제1 방향(D1)으로 연장될 수 있다. 구체적으로, 상기 게이트 전극(GE) 및 상기 게이트 절연 패턴(GI)은, 상기 제1 및 제2 채널 영역들(CH1, CH2) 각각의 양 측벽들 및 상면을 덮을 수 있다.

[0107] 즉, 앞서 도 1b 및 도 1c를 참조하여 설명한 게이트-올-어라운드형 전계 효과 트랜지스터와는 달리, 상기 제1 및 제2 트랜지스터들(TR1, TR2) 각각은, 상기 게이트 전극(GE)에 의하여 상기 제3 방향(D3)으로 돌출된 채널 영역(CH1, CH2)이 덮이는 핀(Fin) 전계 효과 트랜지스터일 수 있다.

[0108] 층간 절연막(123)을 관통하여, 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)과 각각 연결되는 제1 및 제2 콘택 플러그들(CT1, CT2)이 제공될 수 있다. 여기서, 상기 제1 콘택 플러그들(CT1)의 하부들은 상기 절연막(105)의 상부의 제1 리세스 영역들(RS1)을 각각 채울 수 있다.

[0109] 본 실시예에 따른 반도체 소자는, 앞서 도 1a 내지 도 1c를 참조하여 설명한 반도체 소자와 마찬가지로, 상기 제1 트랜지스터(TR1)에 연결되는 상기 제1 콘택 플러그들(CT1)의 바닥면들(CT1b)과 상기 제2 트랜지스터(TR2)에 연결되는 상기 제2 콘택 플러그들(CT2)의 바닥면들(CT2b)이 서로 다른 레벨에 위치할 수 있다. 이로써, 상기 제1 트랜지스터(TR1)의 상기 제1 채널 영역(CH1)에 인장성 스트레인이 제공될 수 있고, 상기 제2 트랜지스터(TR2)의 상기 제2 채널 영역(CH2)에 압축성 스트레인이 제공될 수 있다. 결과적으로, 상기 제1 및 제2 트랜지스터들(TR1, TR2)의 동작 시 캐리어들의 이동도가 향상될 수 있다.

[0111] 도 12a, 13a, 14a, 15a 및 16a는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도

들이다. 도 12b, 13b, 14b, 15b 및 16b는 각각 도 12a, 13a, 14a, 15a 및 16a의 A-A'선 및 B-B'선에 따른 단면도들이다. 도 13c, 14c, 15c 및 16c는 각각 도 13a, 14a, 15a 및 16a의 C-C'선 및 D-D'선에 따른 단면도들이다. 본 예에서는, 앞서 도 2a 내지 도 10c를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략한다. 앞서 설명한 본 발명의 일 실시예에 따른 반도체 소자와 동일한 구성에 대하여는 동일한 참조번호가 제공될 수 있다.

[0112] 도 12a 및 도 12b를 참조하면, SOI 기판이 준비될 수 있다. 상기 SOI 기판은, 기판(100, 핸들 기판), 제1 반도체층(107), 및 상기 기판(100)과 상기 제1 반도체층(107) 사이에 개재된 절연막(105)을 포함할 수 있다. 앞서 도 2a 및 도 2b에서 설명한 것과 달리, 본 예에서는 희생층들(111) 및 제2 반도체층들(112)이 생략될 수 있다.

[0113] 도 13a 내지 도 13c를 참조하면, 상기 제1 반도체층(107)을 패터닝하여, 제1 예비 채널 영역(PCH1) 및 제2 예비 채널 영역(PCH2)이 형성될 수 있다. 구체적으로, 상기 제1 반도체층(107)이 패터닝되어, 제1 패턴들(108)이 형성될 수 있다. 상기 제1 패턴들(108)은 제2 방향(D2)으로 연장되는 라인 또는 바 형태로 형성될 수 있다. 나아가, 상기 제1 패턴들(108)은 상기 기판(100)의 상면에 수직한 방향(D3)으로 연장될 수 있다. 즉, 상기 제1 패턴들(108)은 핀(Fin) 형태를 가질 수 있다.

[0114] 도 14a 내지 도 14c를 참조하면, 상기 제1 및 제2 예비 채널 영역들(PCH1, PCH2)을 가로지르는 더미 게이트들(131)이 형성될 수 있다. 상기 더미 게이트들(131)은 제1 방향(D1)으로 연장되는 라인 또는 바 형태로 형성될 수 있다. 상기 더미 게이트들(131)을 형성하는 것은, 상기 더미 게이트들(131) 상에 각각 배치된 게이트 마스크 패턴들(135)을 형성하는 것, 및 상기 더미 게이트들(131)의 측벽들 상의 게이트 스페이서들(GS)을 형성하는 것을 포함할 수 있다.

[0115] 상기 게이트 마스크 패턴들(135) 및 상기 게이트 스페이서들(GS)을 식각 마스크로 상기 제1 및 제2 예비 채널 영역들(PCH1, PCH2)을 패터닝하여, 제1 및 제2 채널 영역들(CH1, CH2)이 각각 형성될 수 있다. 상기 제1 채널 영역들(CH1)은 상기 제2 방향(D2)을 따라 배열될 수 있으며, 상기 제2 채널 영역들(CH2)은 상기 제2 방향(D2)을 따라 배열될 수 있다.

[0116] 도 15a 내지 도 15c를 참조하면, 상기 더미 게이트들(131) 각각의 양 측에 소스/드레인 영역들(SD1, SD2)이 형성될 수 있다. 구체적으로, 상기 제1 채널 영역들(CH1) 각각의 반도체 패턴을 씨드층으로 선택적 에피택시얼 공정을 수행하여, 제1 소스/드레인 영역들(SD1)이 형성될 수 있다. 상기 제2 채널 영역들(CH2) 각각의 반도체 패턴을 씨드층으로 선택적 에피택시얼 공정을 수행하여, 제2 소스/드레인 영역들(SD2)이 형성될 수 있다. 상기 선택적 에피택시얼 공정과 동시에 또는 선택적 에피택시얼 공정 후, 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)에 각각 N형의 불순물 및 P형의 불순물이 도핑될 수 있다.

[0117] 상기 제1 채널 영역들(CH1) 및 상기 제1 소스/드레인 영역들(SD1)은 서로 연결되어, 상기 제2 방향(D2)으로 연장되는 제1 활성 영역(AP1)을 구성할 수 있다. 상기 제2 채널 영역들(CH2) 및 상기 제2 소스/드레인 영역들(SD2)은 서로 연결되어, 상기 제2 방향(D2)으로 연장되는 제2 활성 영역(AP2)을 구성할 수 있다.

[0118] 상기 기판(100) 상에 층간 절연막(123)이 형성될 수 있다. 이어서, 각각의 상기 더미 게이트들(131)이, 순차적으로 적층된 게이트 절연 패턴(GI) 및 게이트 전극(GE)으로 교체될 수 있다. 상기 게이트 절연 패턴(GI) 및 상기 게이트 전극(GE)은 상기 제1 및 제2 채널 영역들(CH1, CH2) 각각의 양 측벽들과 상면을 덮을 수 있다. 후속으로, 상기 게이트 절연 패턴들(GI) 및 상기 게이트 전극들(GE)의 상부들을 리세스하고, 리세스된 영역들에 캐핑 패턴들(GP)이 각각 형성될 수 있다.

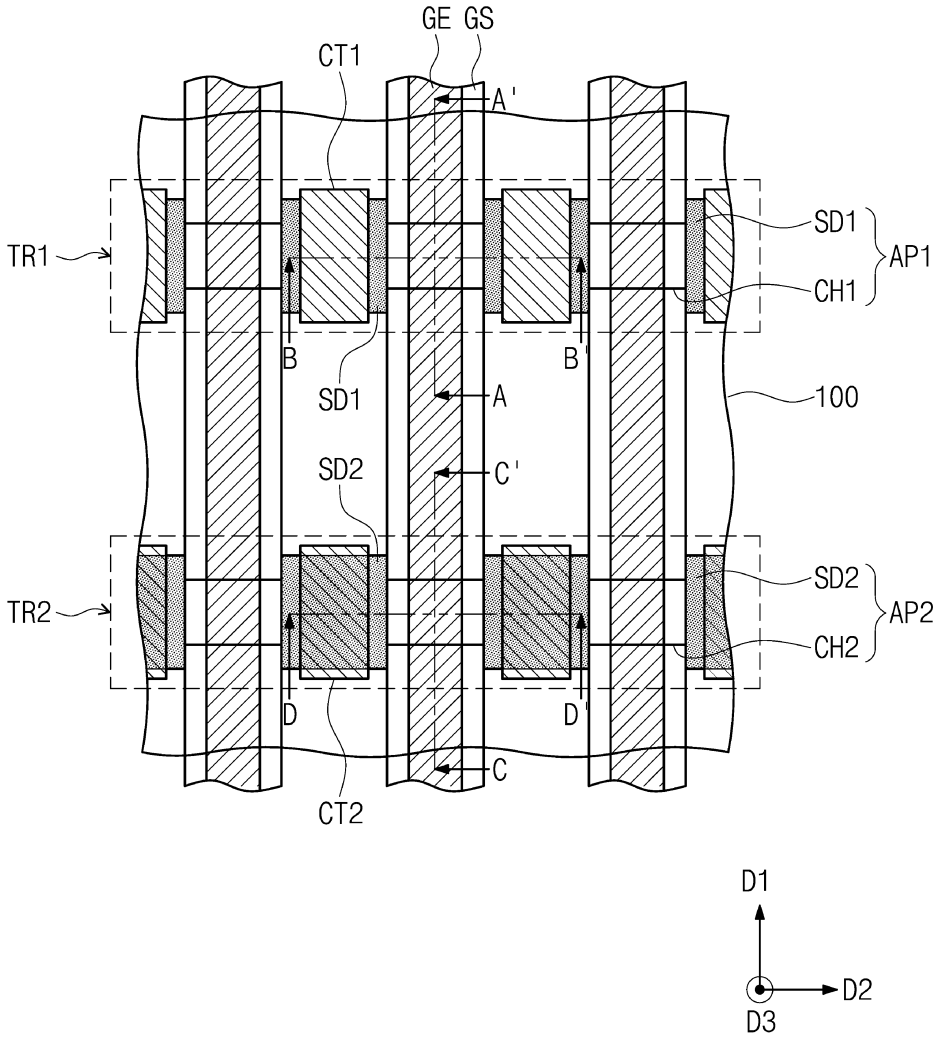
[0119] 도 16a 내지 도 16c를 참조하면, 상기 층간 절연막(123) 상에 개구부들을 갖는 제4 마스크 패턴(MA1)이 형성될 수 있다. 상기 제4 마스크 패턴(MA1)을 식각 마스크로 상기 층간 절연막(123) 및 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)을 순차적으로 식각하여, 제1 콘택 홀들(CTH1)이 형성될 수 있다. 상기 제1 콘택 홀들(CTH1)은 상기 제1 및 제2 소스/드레인 영역들(SD1, SD2)을 완전히 관통하지 못하도록 형성될 수 있다.

[0120] 상기 제4 마스크 패턴(MA1) 상에 상기 제2 활성 영역(AP2)과 수직적으로 중첩되는 제5 마스크 패턴(MA2)이 형성될 수 있다. 상기 제4 마스크 패턴(MA1) 및 상기 제5 마스크 패턴(MA2)을 식각 마스크로 상기 제1 소스/드레인 영역들(SD1) 및 상기 절연막(105)을 순차적으로 식각하여, 제2 콘택 홀들(CTH2)이 형성될 수 있다.

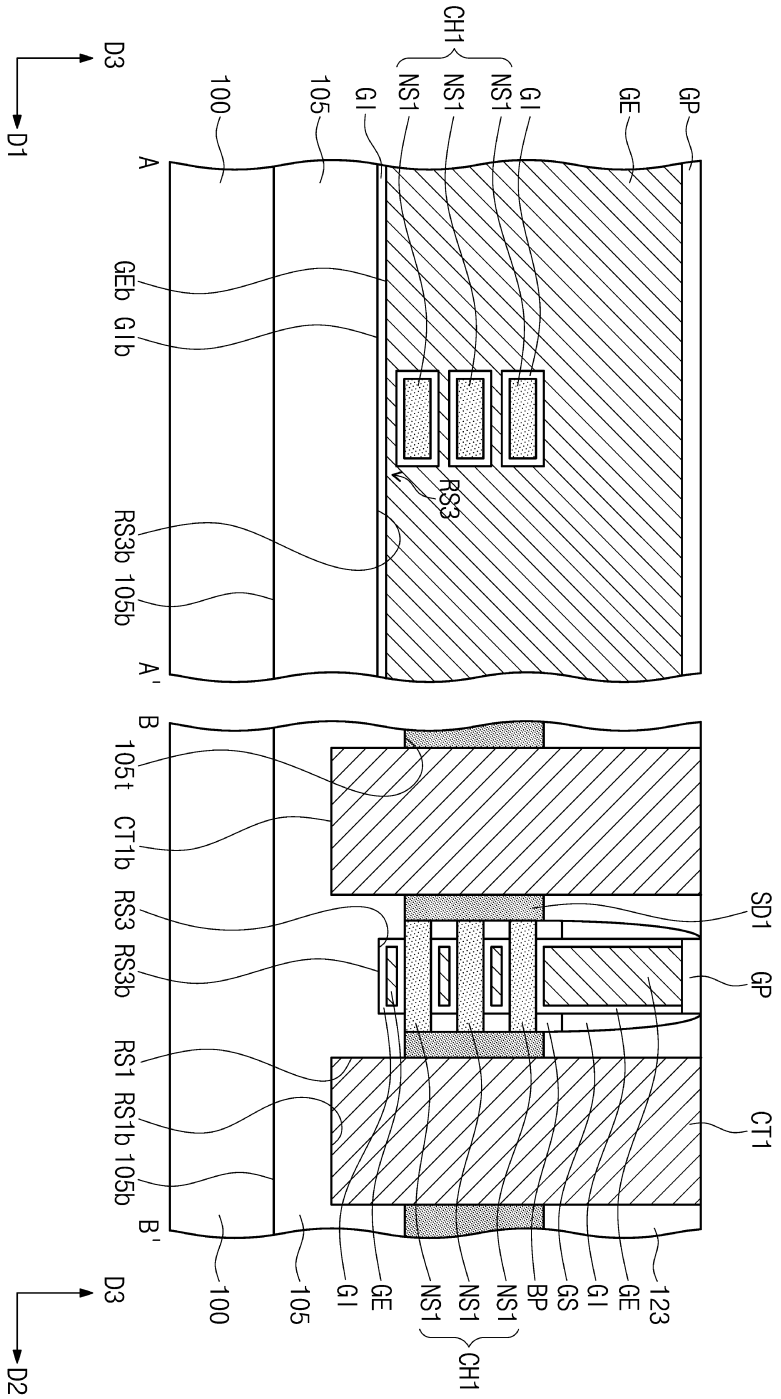
[0121] 도 1a, 도 11a 및 도 11b를 다시 참조하면, 상기 제4 및 제5 마스크 패턴들(MA1, MA2)을 제거하고, 상기 제2 콘택 홀들(CTH2)을 각각 채우는 제1 콘택 플러그들(CT1) 및 상기 제1 콘택 홀들(CTH1)을 각각 채우는 제2 콘택 플러그들(CT2)이 형성될 수 있다.

도면

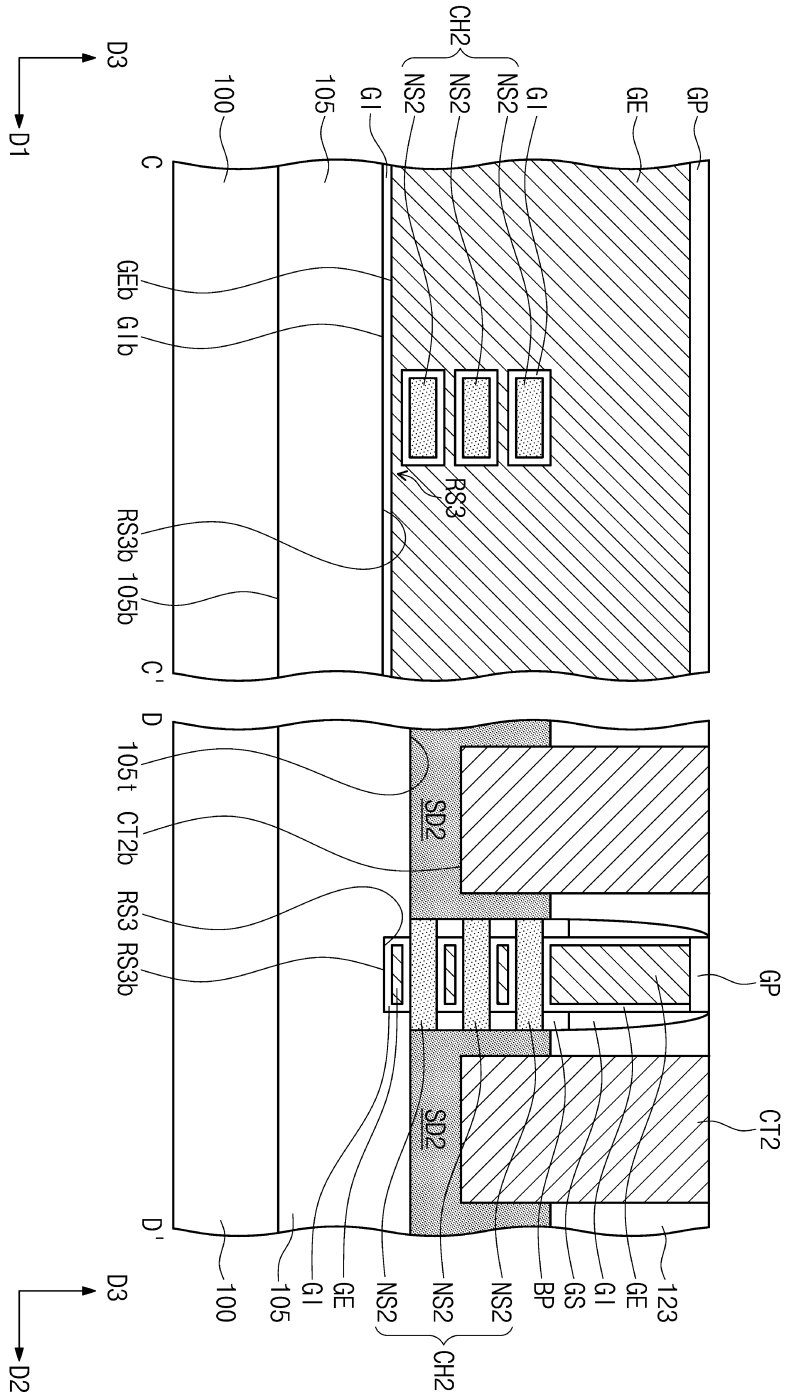
도면1a


GE
GS
CT1
A'
TR1
SD1
AP1
CH1
B
B'
SD1
A
100
SD2
C'
TR2
SD2
AP2
CH2
D
D'
C
CT2
D1
D2
D3

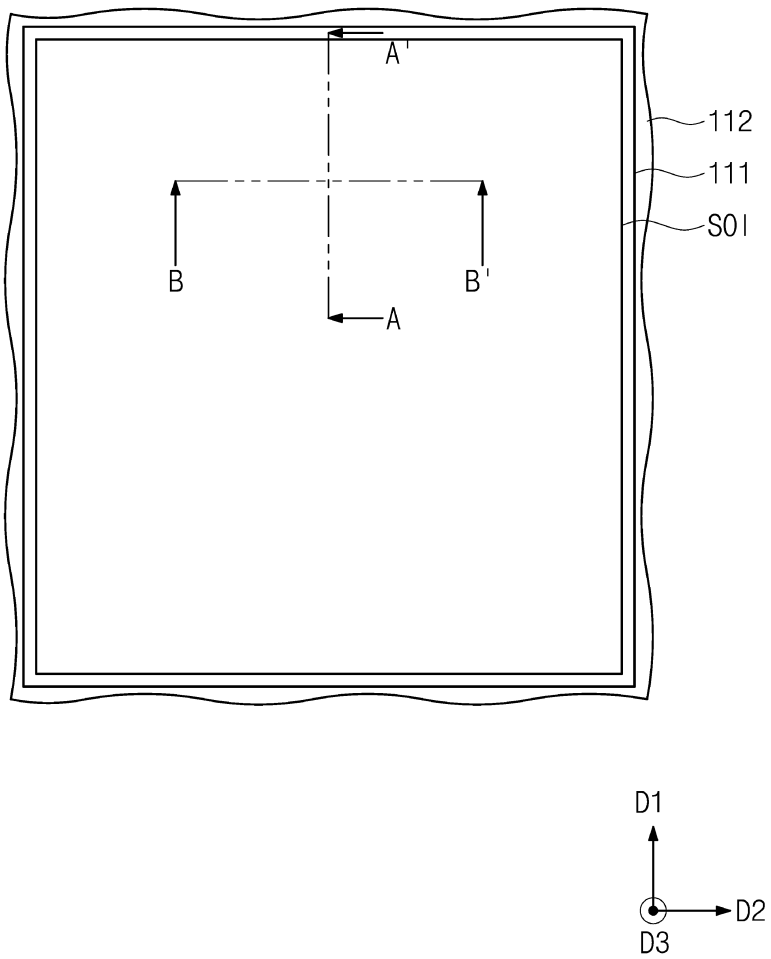
도면1b


D3
D1
CH1
NS1
NS1
NS1
GI
GE
GP
100
105
GI
A
GEb
GIb
RS3
RS3b
105b
A'
B
105t
CT1b
RS3
RS3b
RS1
RS1b
105b
B'
SD1
GP
CT1
100
105
GI
GE
NS1
NS1
NS1
BP
GS
GI
GE
123
CH1
D3
D2

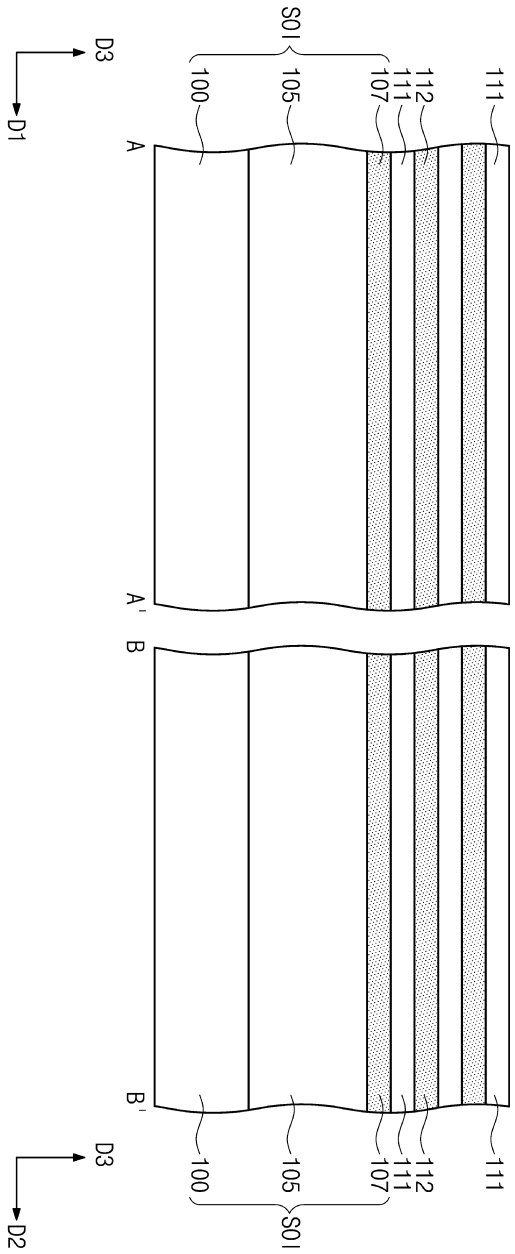
도면1c


D3
D1
100
105
GI
CH2
NS2
NS2
NS2
GI
GE
GP
C
GEb
GIb
RS3
RS3b
105b
C'
D
105t
CT2b
RS3
RS3b
SD2
SD2
GP
CT2
D'
100
105
GI
GE
NS2
NS2
NS2
CH2
BP
GS
GI
GE
123
D3
D2

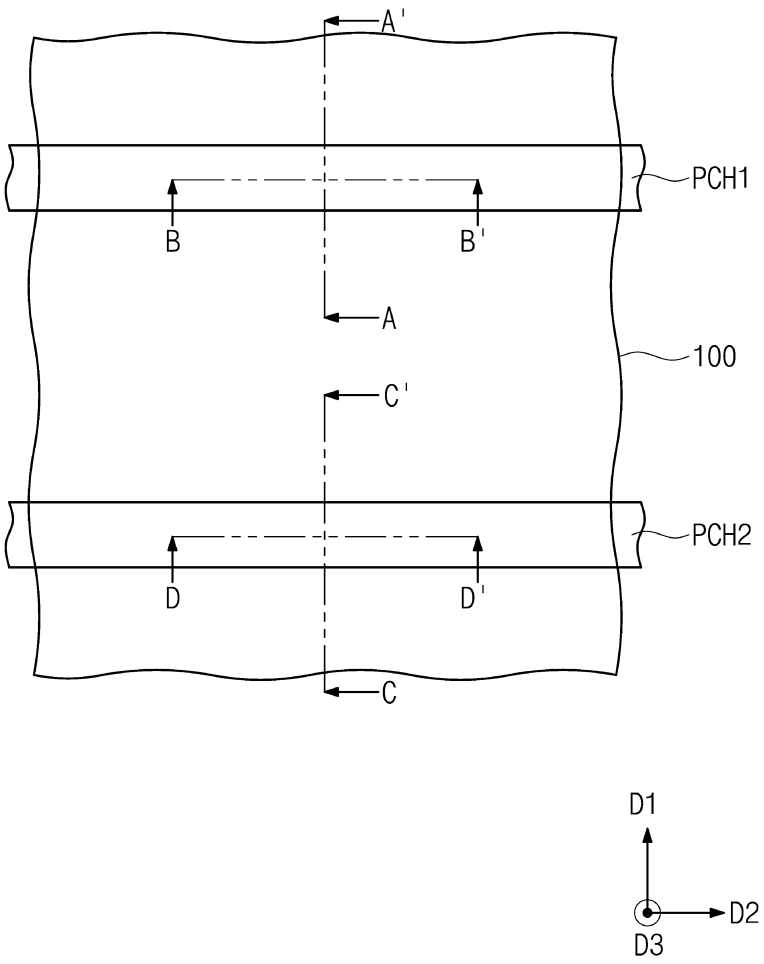
도면2a



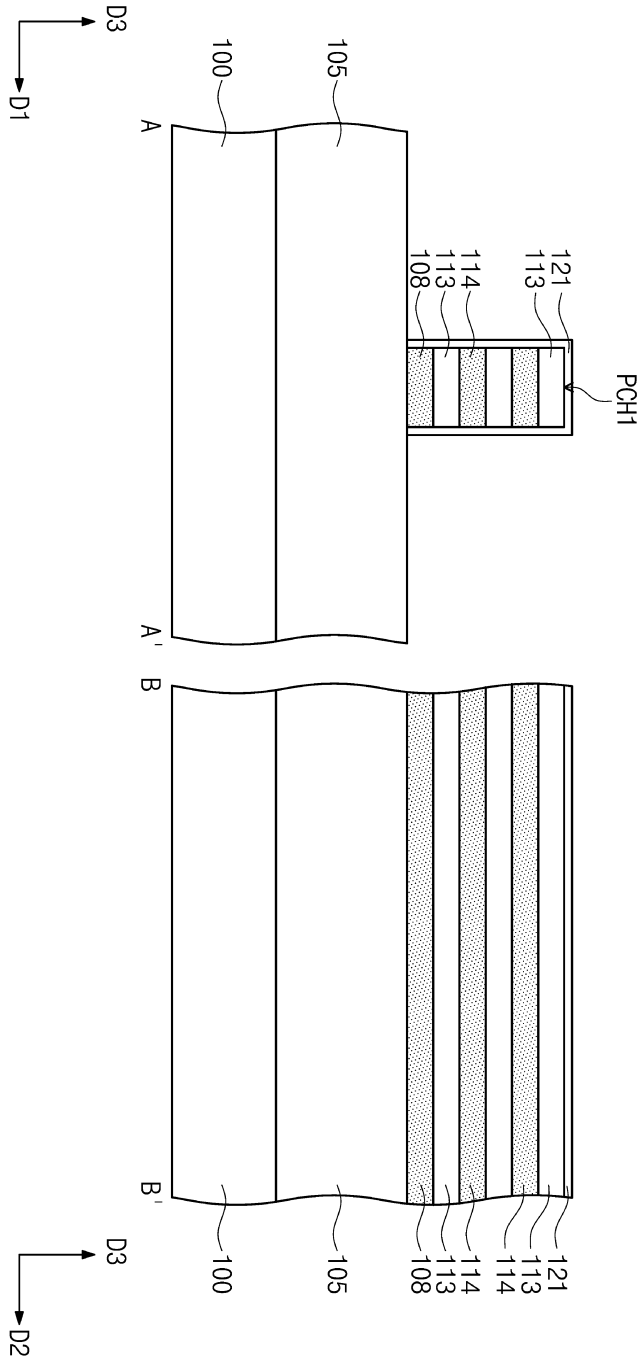
도면2b


D3
D1
S01
100
105
107
111
112
111
111
A
A'
B
B'
D3
D2
100
105
107
111
112
111
S01

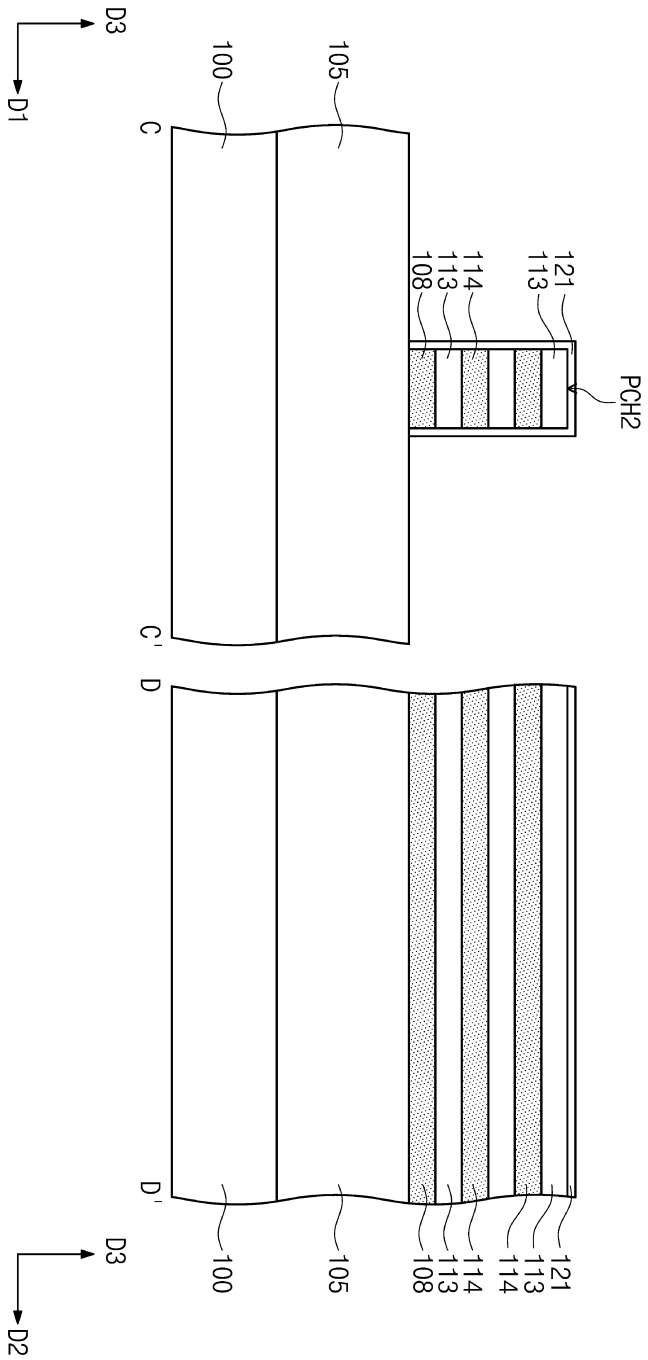
도면3a



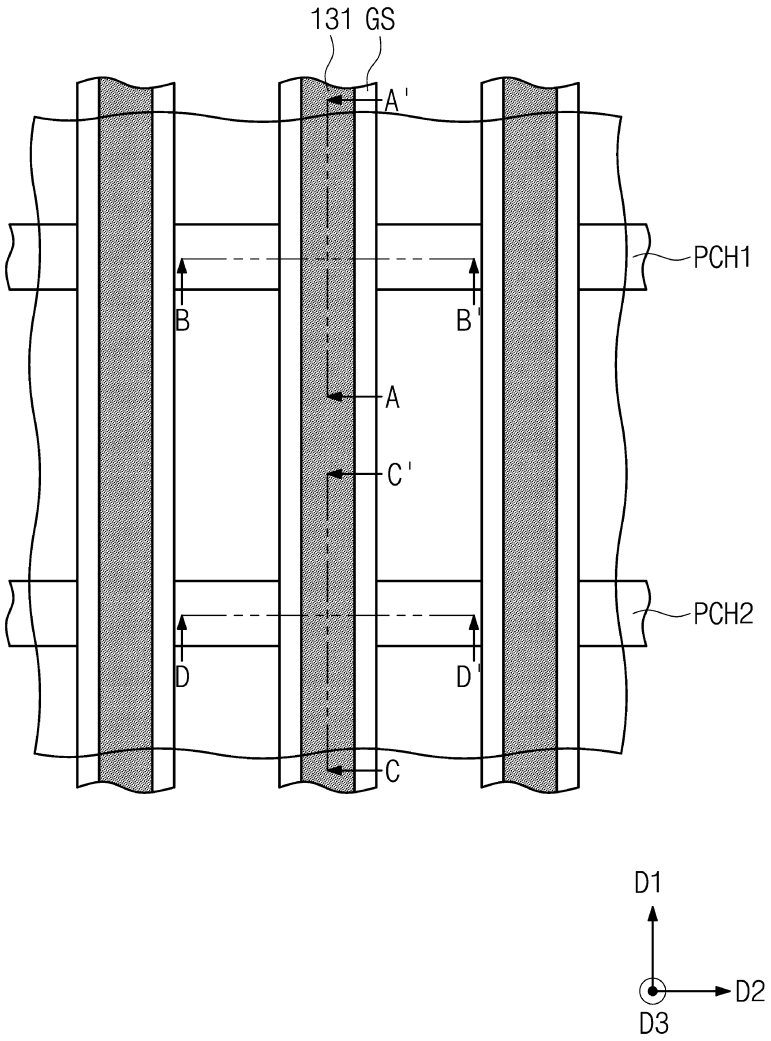
도면3b


D3
D1
100
105
A
108
113
114
113
121
PCH1
A'
B
B'
D3
D2
100
105
108
113
114
114
113
121

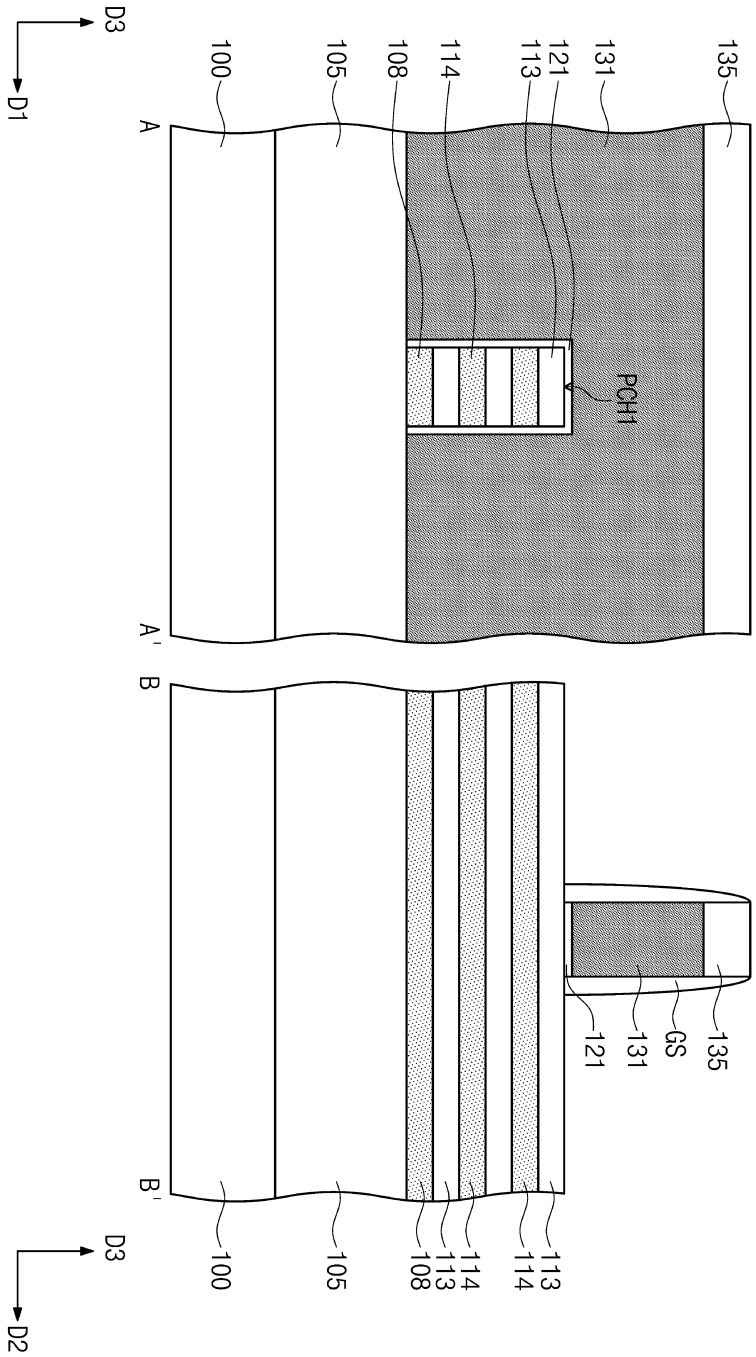
도면3c


D3
D1
100
105
C
108
113
114
113
121
PCH2
C'
D
D'
D3
D2
100
105
108
113
114
114
113
121

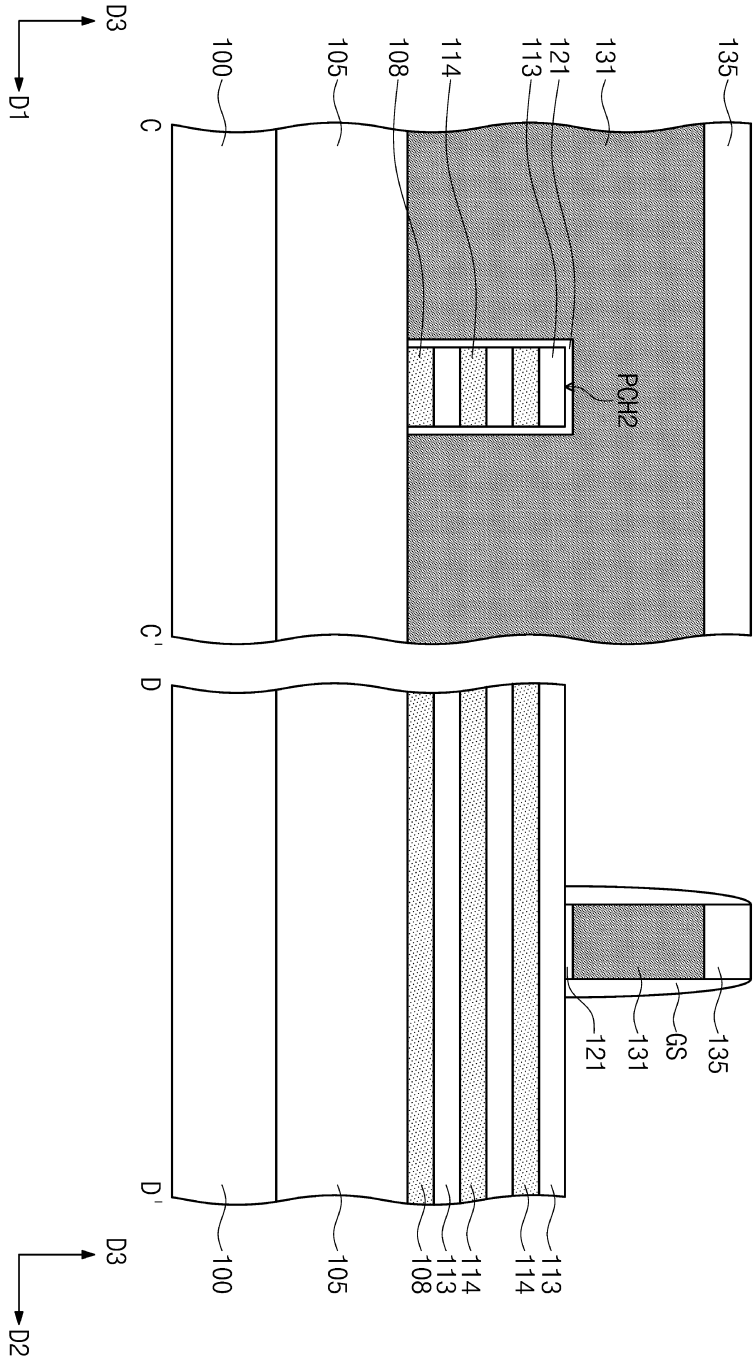
도면4a



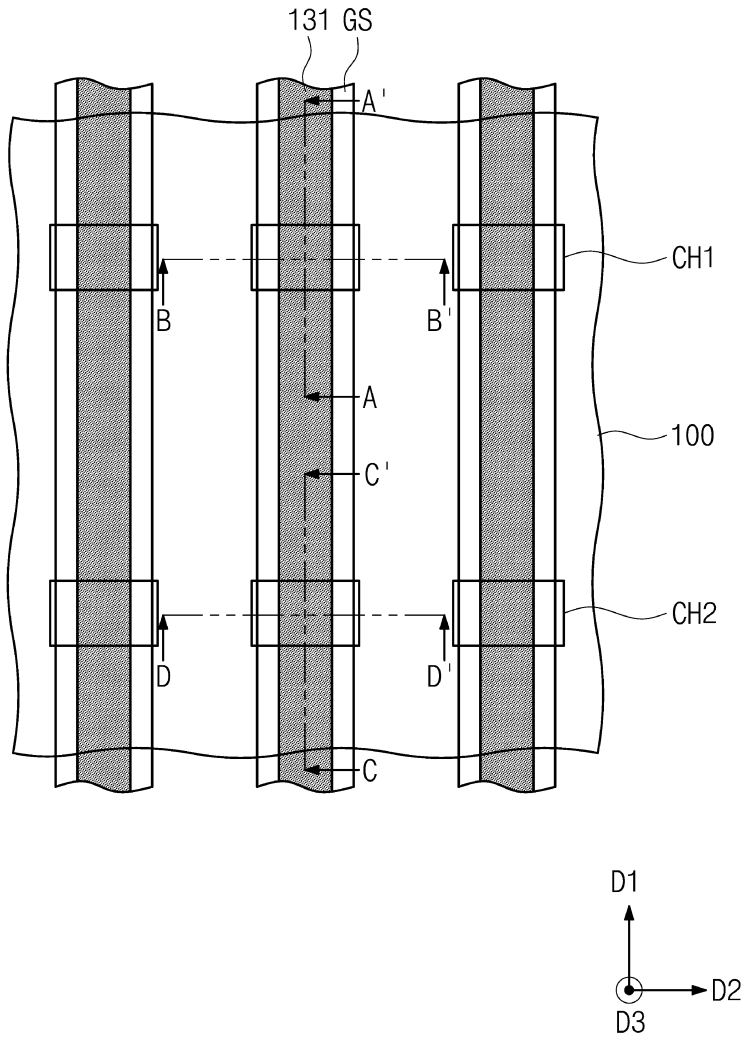
도면4b


D3
D1
100
105
108
114
113
121
131
135
A
A'
PCH1
B
B'
121
131
GS
135
100
105
108
113
114
114
113
D3
D2

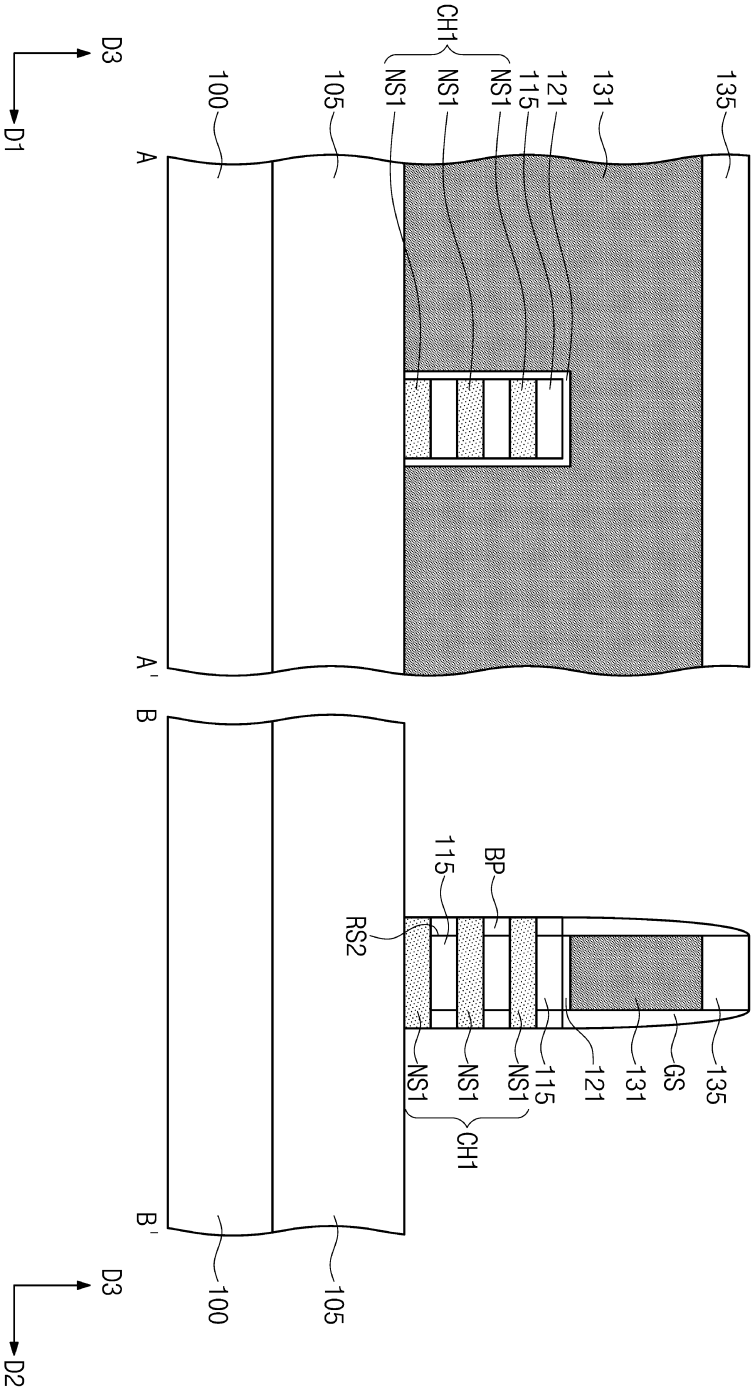
도면4c



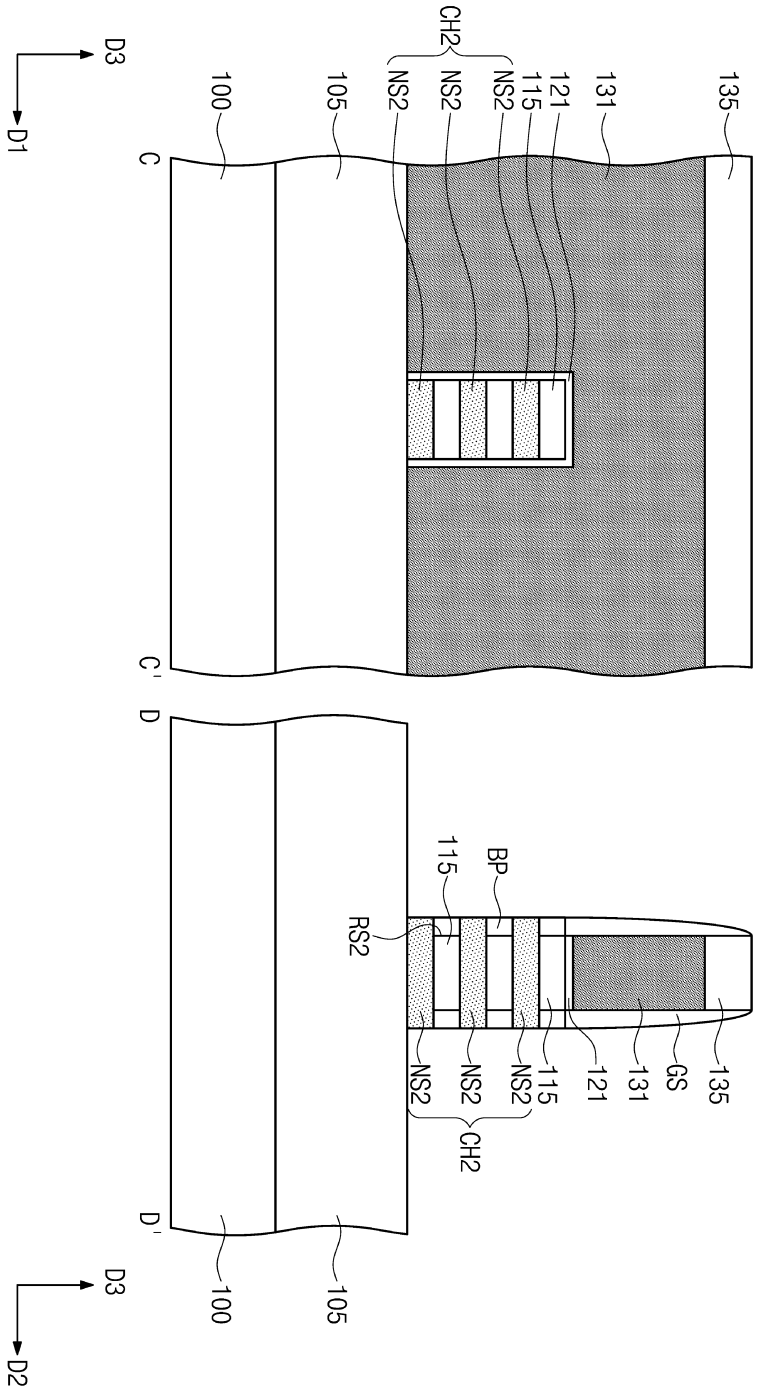
도면5a



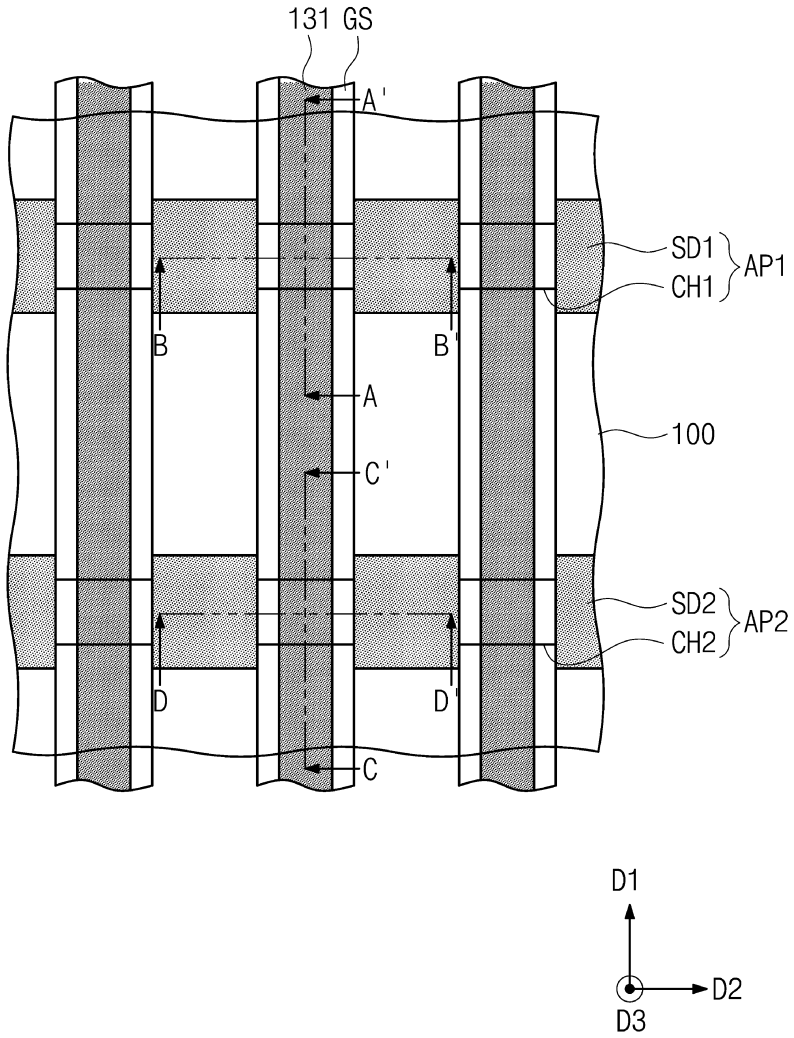
도면5b


D3
D1
D3
D2
A
A'
B
B'
100
105
CH1
NS1
NS1
NS1
115
121
131
135
115
BP
RS2
NS1
NS1
NS1
115
121
131
GS
135
CH1
100
105

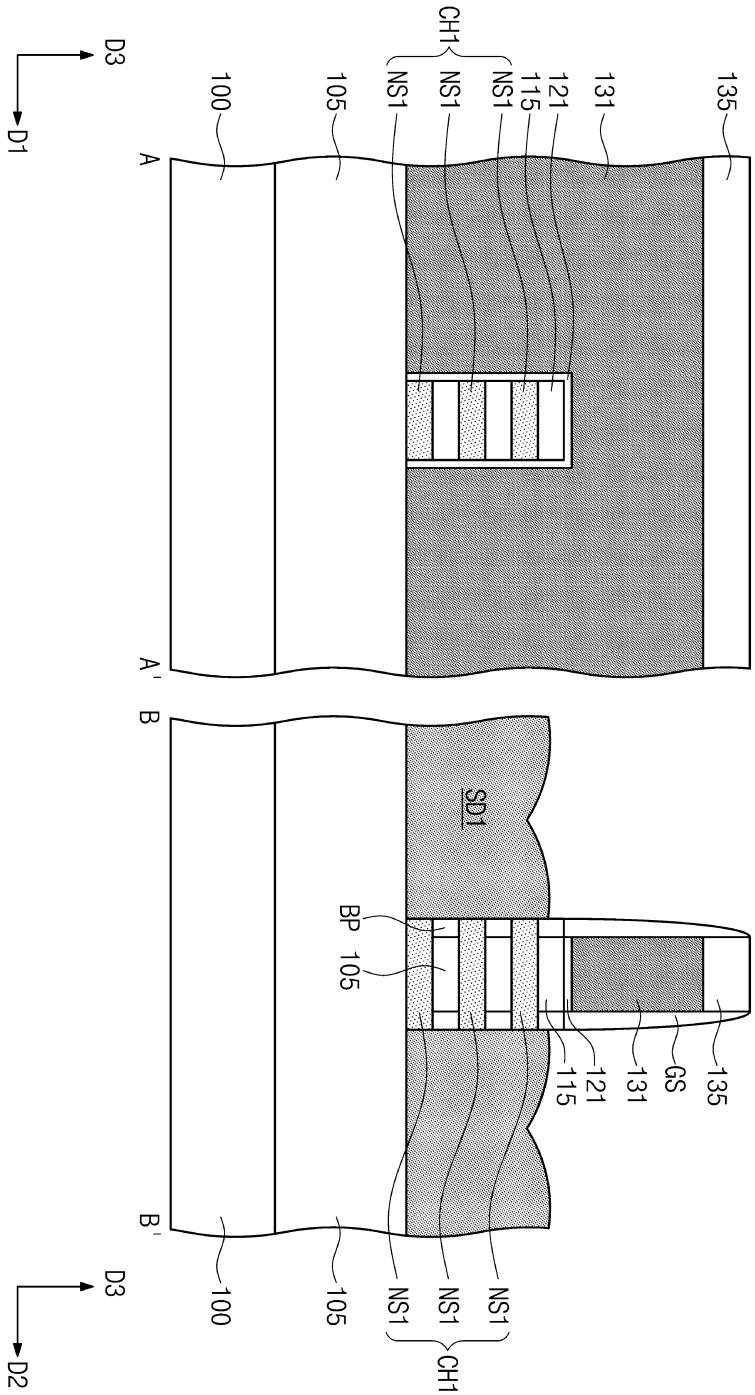
도면5c


D3
D1
C
C'
D
D'
D3
D2
100
105
CH2
NS2
NS2
NS2
115
121
131
135
115
BP
RS2
NS2
NS2
NS2
115
121
131
GS
135
CH2
100
105

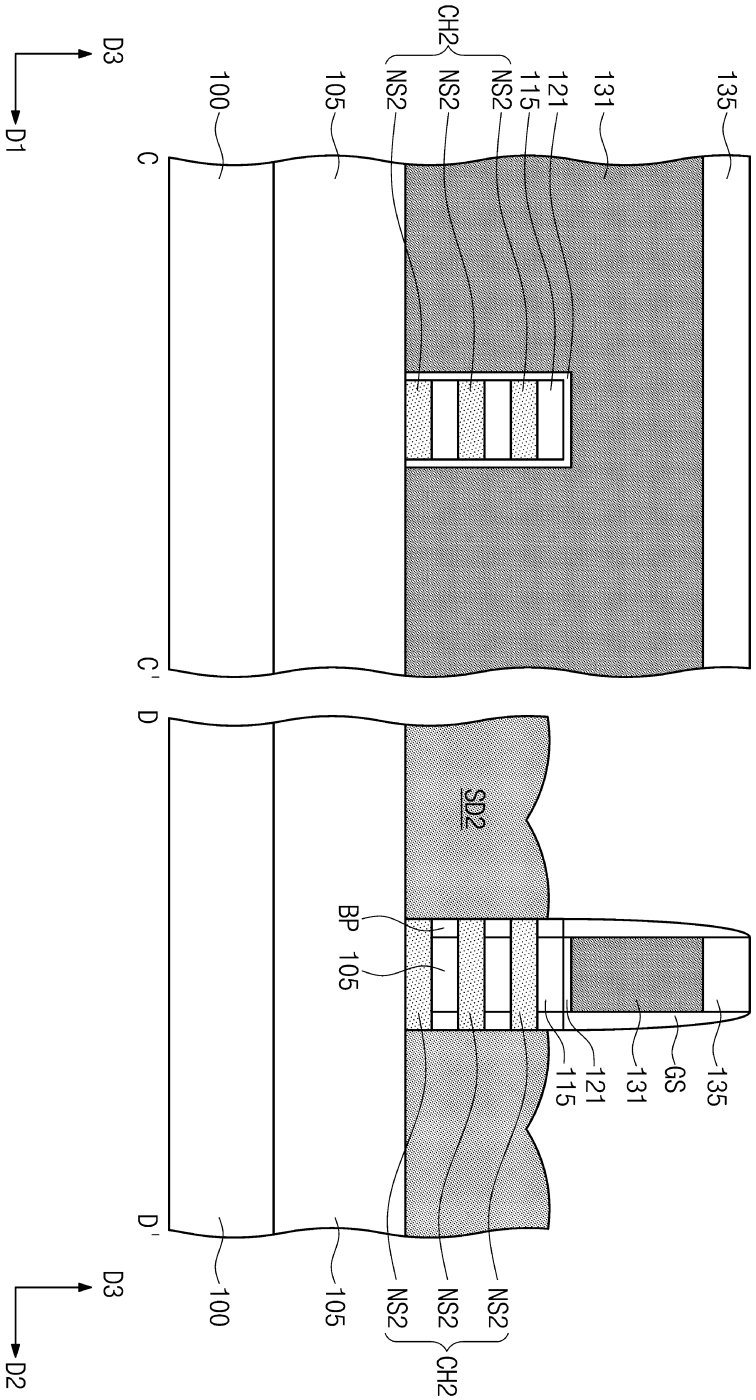
도면6a



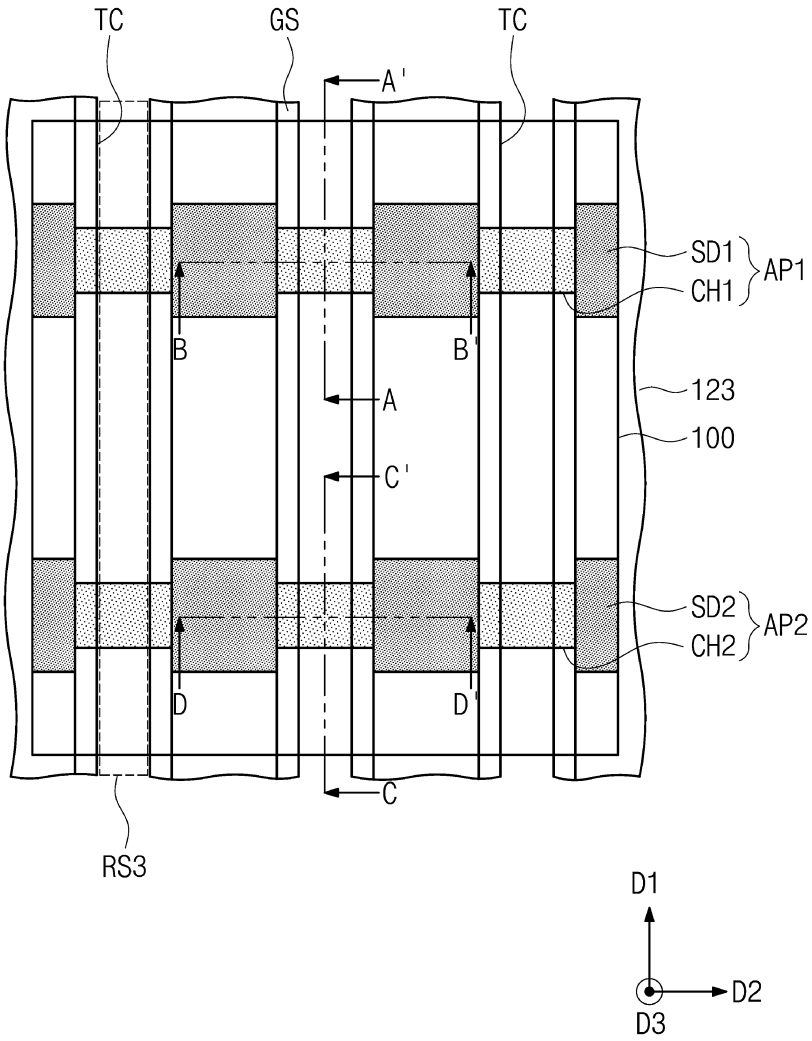
도면6b


D3
D1
D3
D2
A
A'
B
B'
CH1
NS1
NS1
NS1
115
121
131
135
100
105
SD1
BP
105
GS
131
121
115
135
NS1
NS1
NS1
CH1
105
100

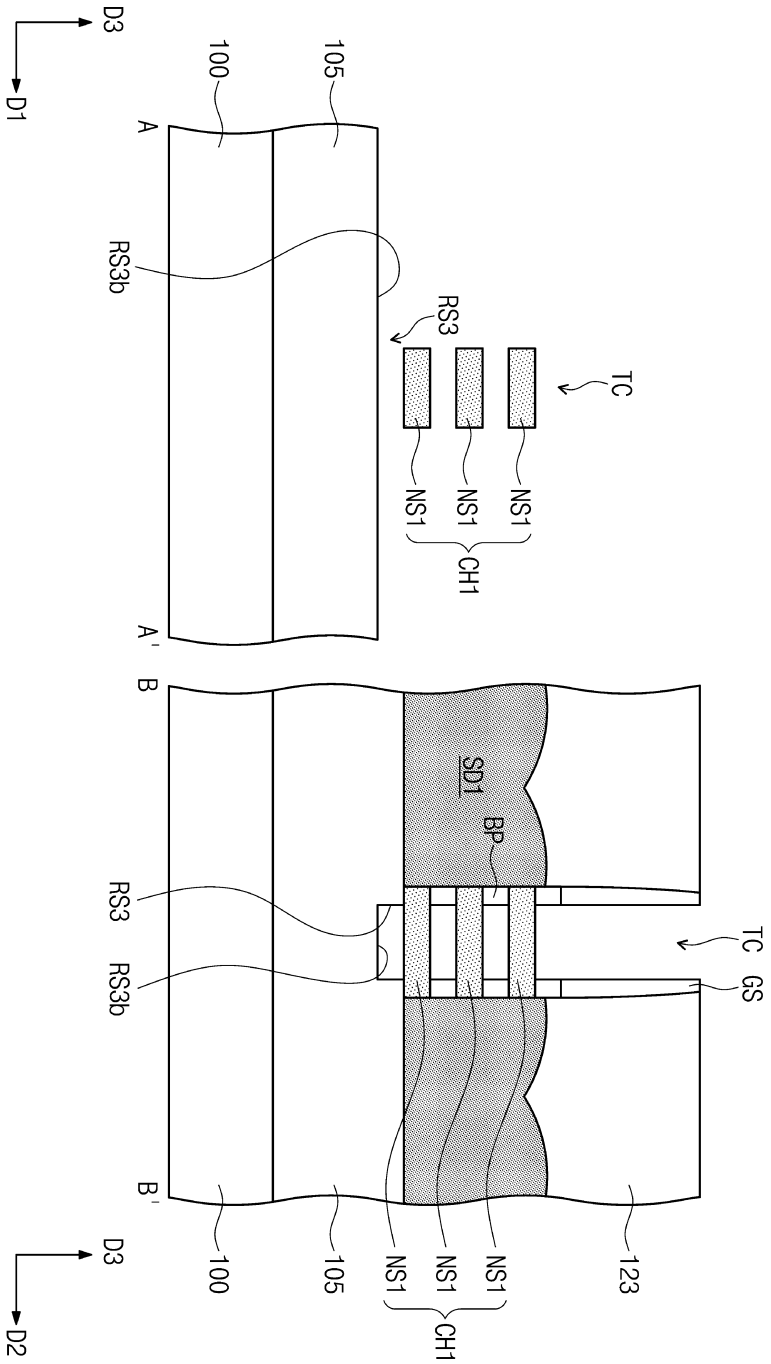
도면6c


D3
D1
C
C'
D
D'
D3
D2
CH2
NS2
NS2
NS2
115
121
131
135
100
105
SD2
BP
105
GS
131
121
115
135
NS2
NS2
NS2
CH2
105
100

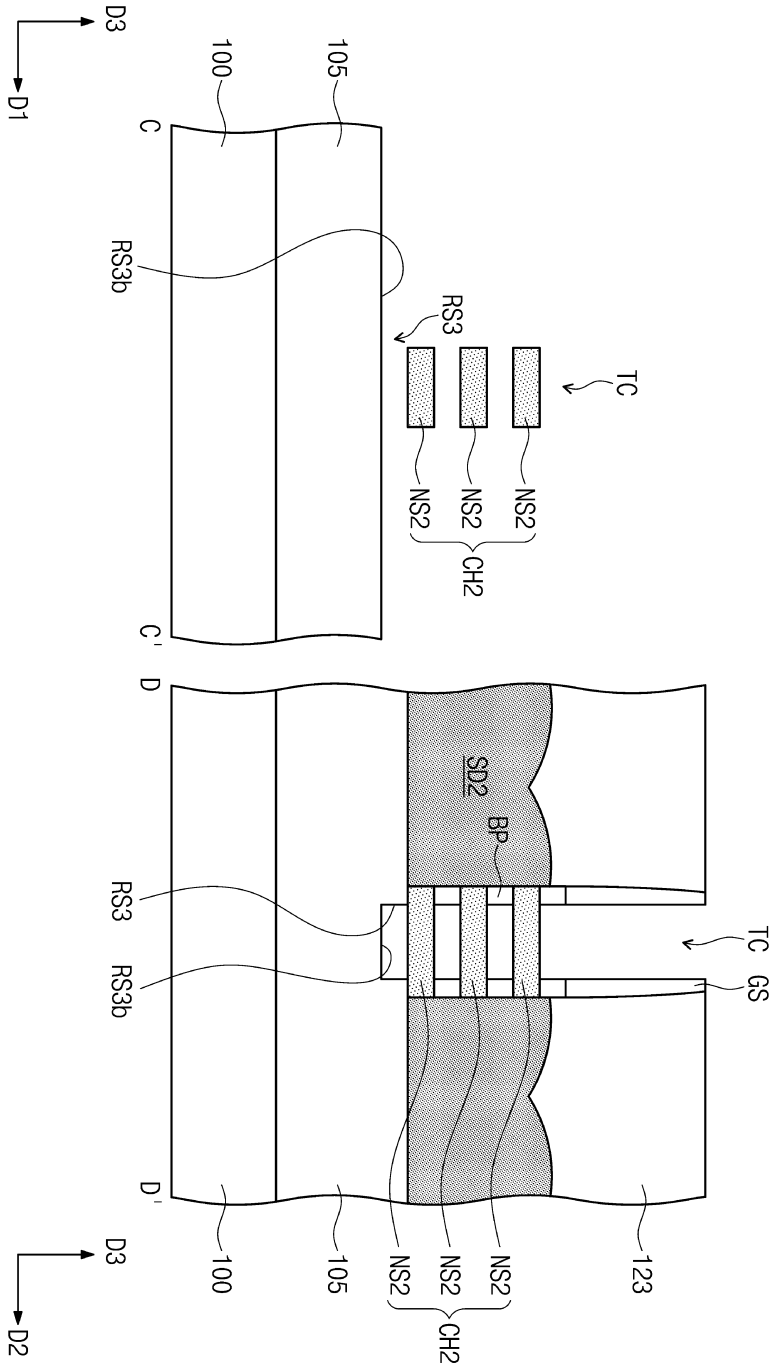
도면7a



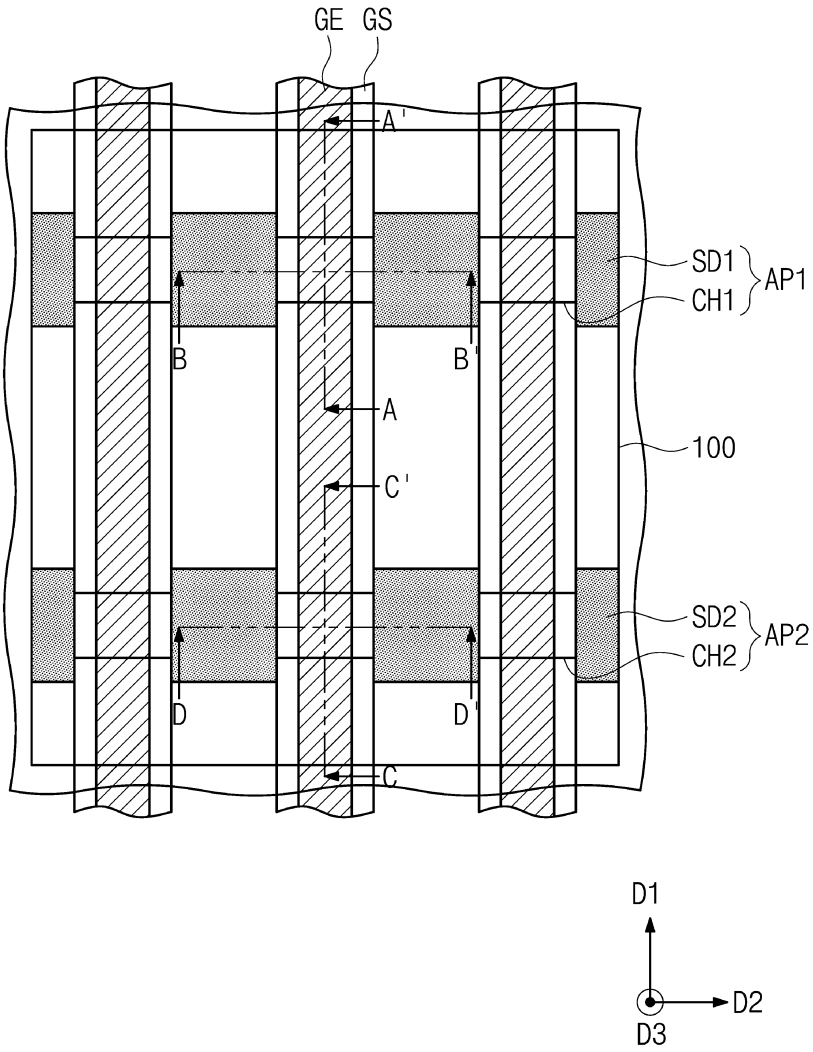
도면7b


D3
D1
100
105
A
RS3b
RS3
TC
NS1
NS1
NS1
CH1
A'
B
SD1
BP
RS3
RS3b
TC
GS
B'
D3
D2
100
105
NS1
NS1
NS1
CH1
123

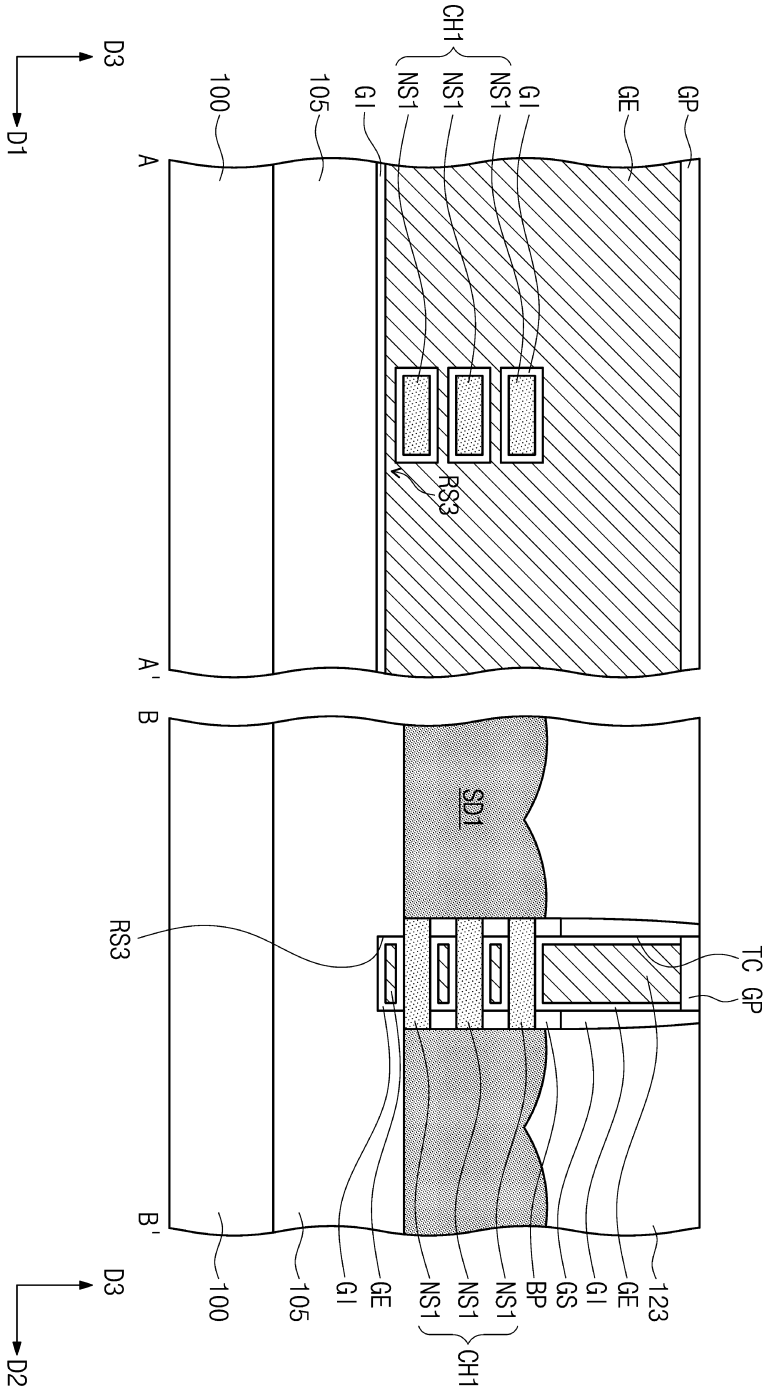
도면7c


D3
D1
100
105
C
RS3b
RS3
TC
NS2
NS2
NS2
CH2
C'
D
SD2
BP
RS3
RS3b
TC
GS
D'
D3
D2
100
105
NS2
NS2
NS2
CH2
123

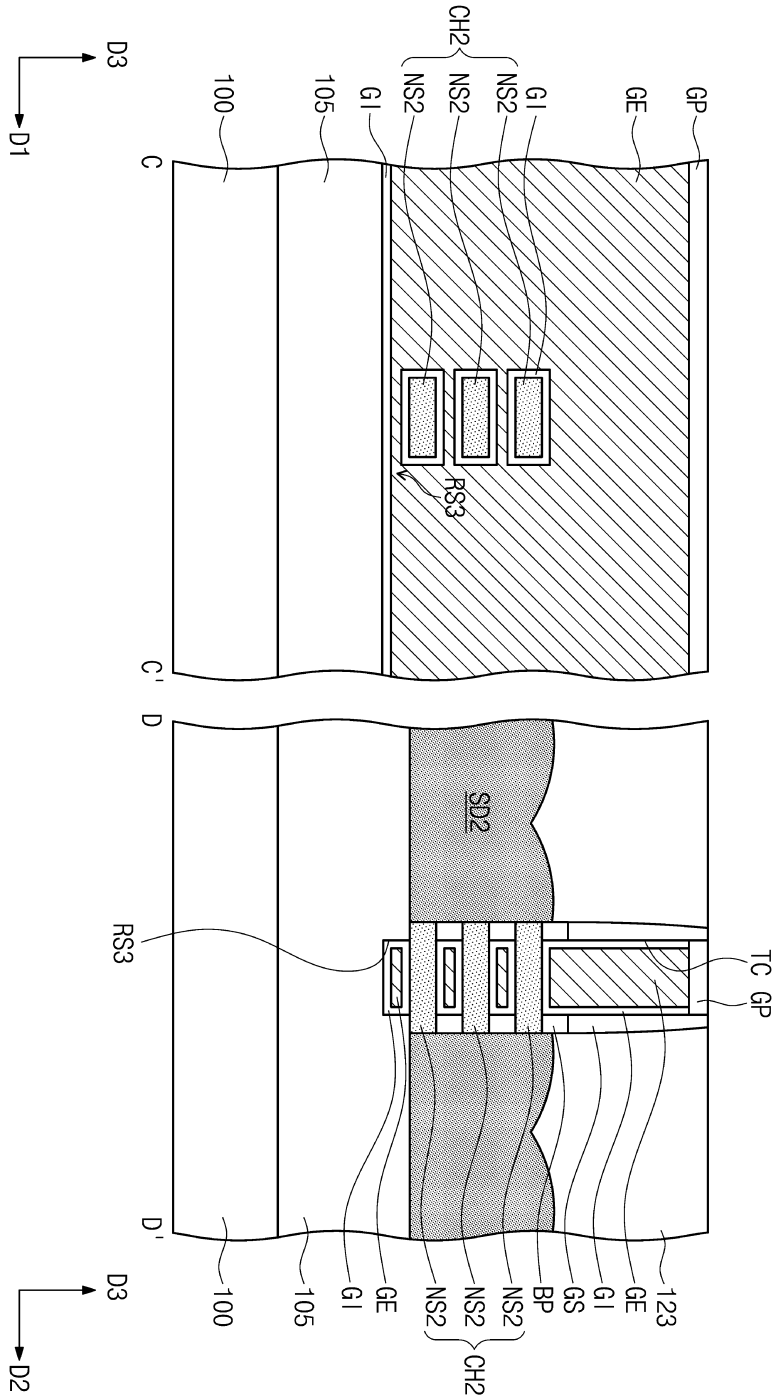
도면8a



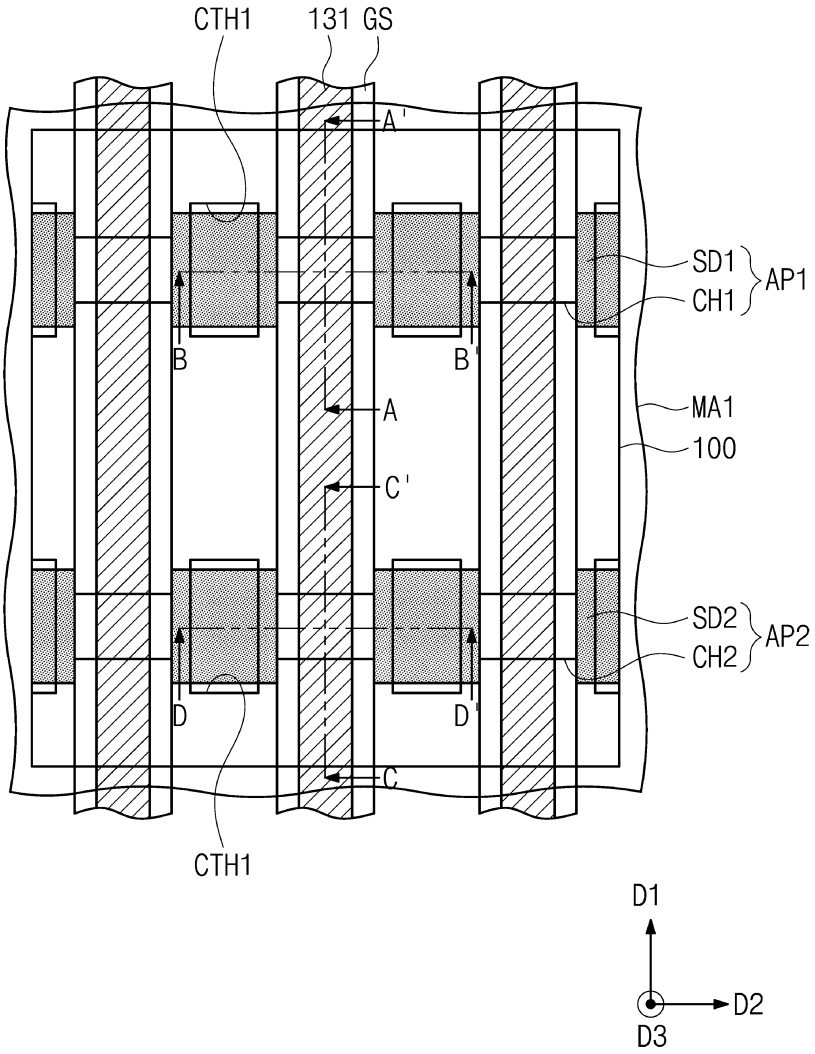
도면8b



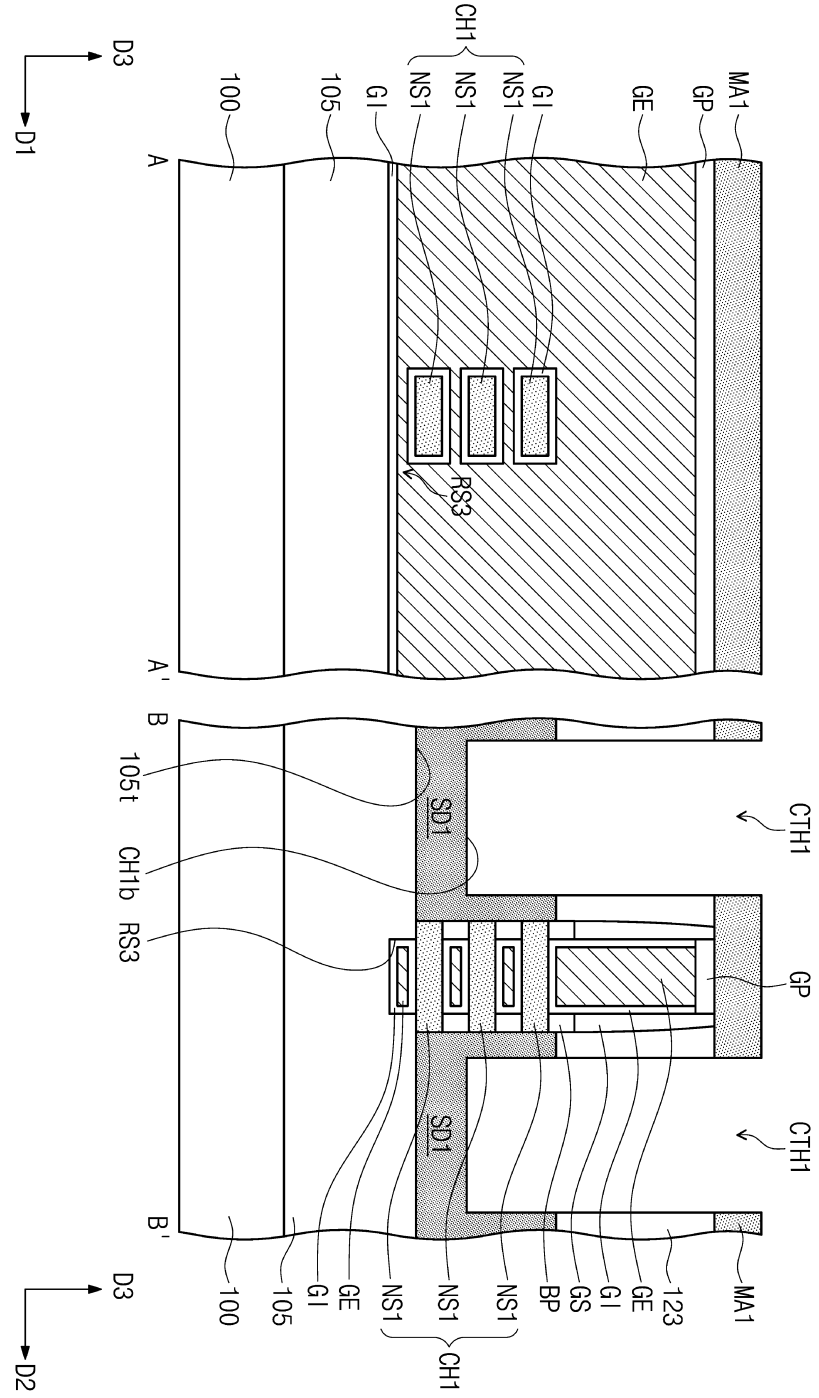
도면8c


D3
D1
C
C'
D
D'
D3
D2
100
105
G1
NS2
NS2
NS2
G1
CH2
GE
GP
RS3
SD2
RS3
TC
GP
100
105
G1
GE
NS2
NS2
NS2
CH2
BP
GS
G1
GE
123

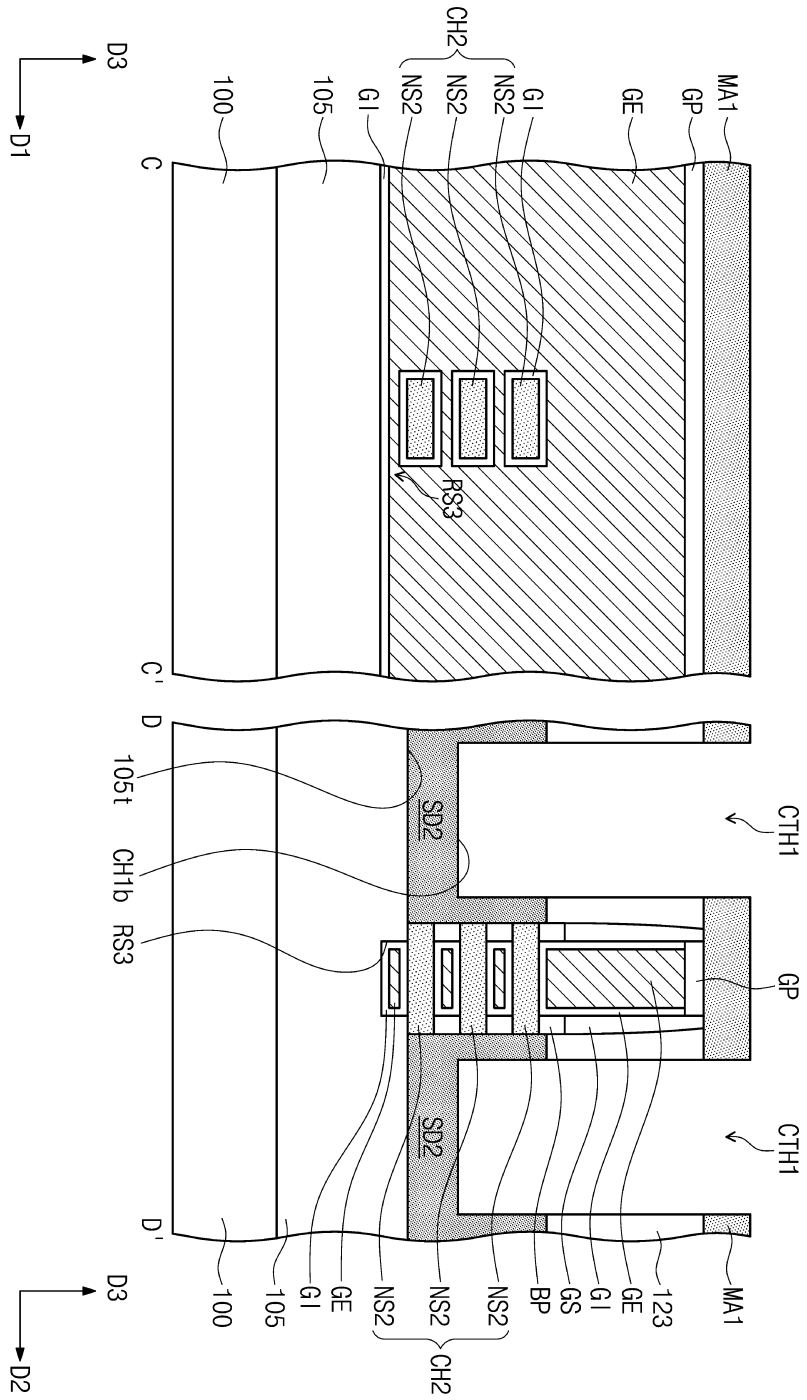
도면9a


CTH1
131
GS
A'
SD1
CH1
AP1
B
B'
A
MA1
100
C'
SD2
CH2
AP2
D
D'
C
CTH1
D1
D2
D3

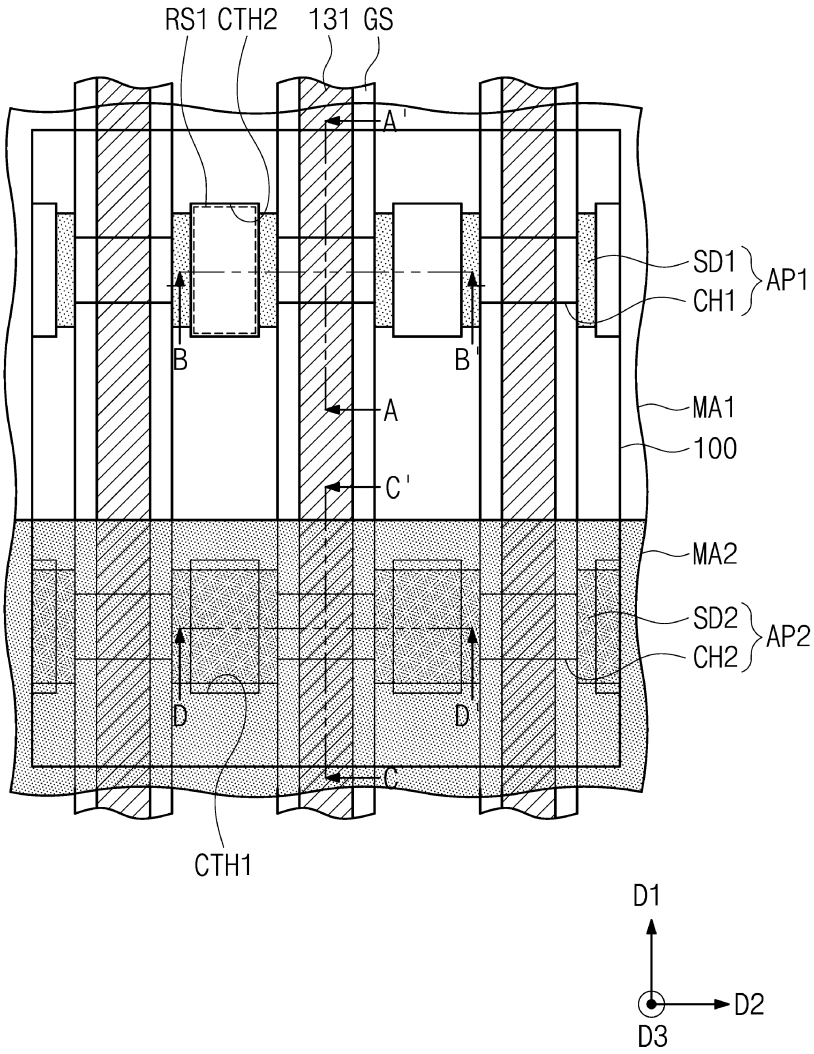
도면9b


D3
D1
A
A'
B
B'
D3
D2
100
105
GI
CH1
NS1
NS1
NS1
GI
GE
GP
MA1
RS3
105t
CH1b
RS3
SD1
CTH1
GP
SD1
CTH1
100
105
GI
GE
NS1
NS1
NS1
CH1
BP
GS
GI
GE
123
MA1

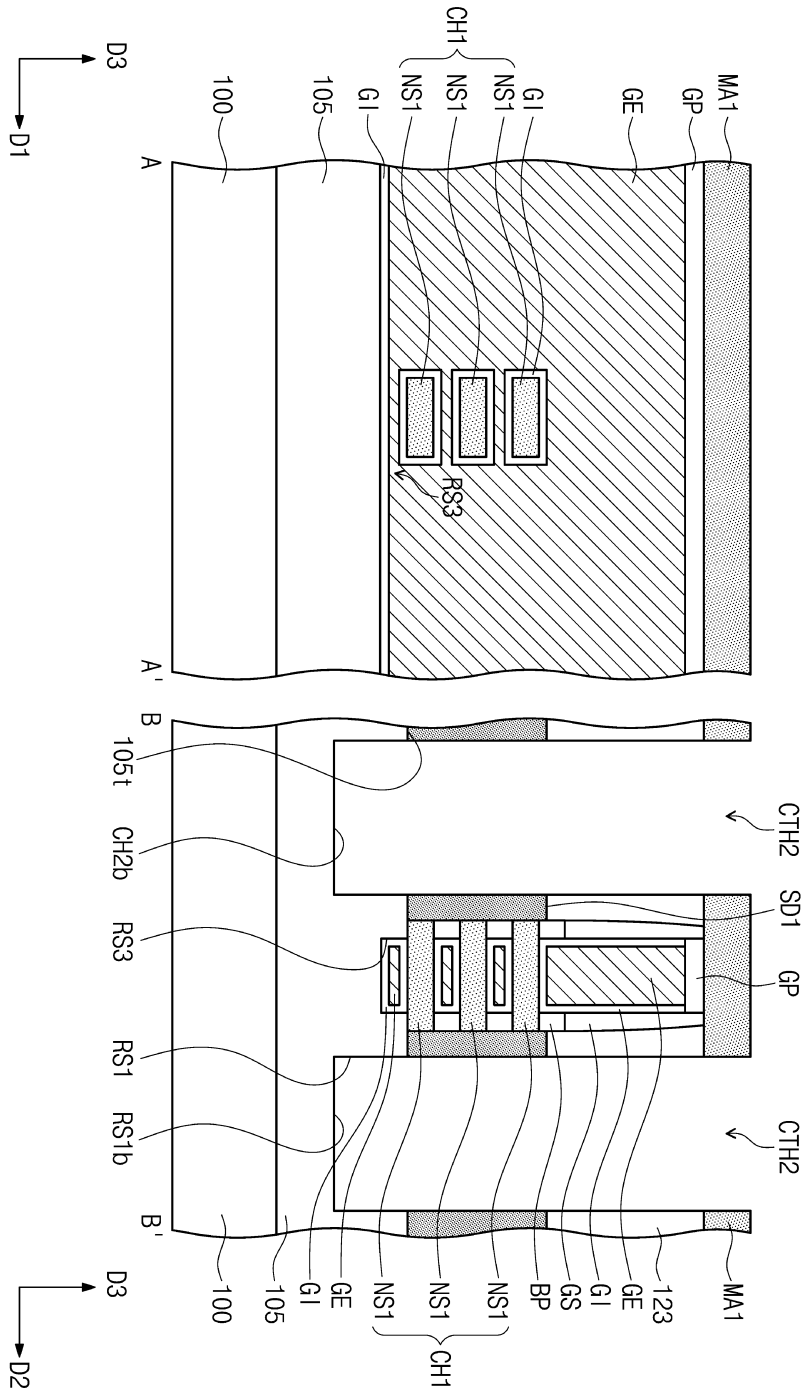
도면9c


D3
D1
C
C'
D
D'
D3
D2
100
105
GI
NS2
NS2
NS2
GI
CH2
GE
GP
MA1
RS3
105t
CH1b
RS3
SD2
SD2
CTH1
CTH1
GP
100
105
GI
GE
NS2
NS2
NS2
CH2
BP
GS
GI
GE
123
MA1

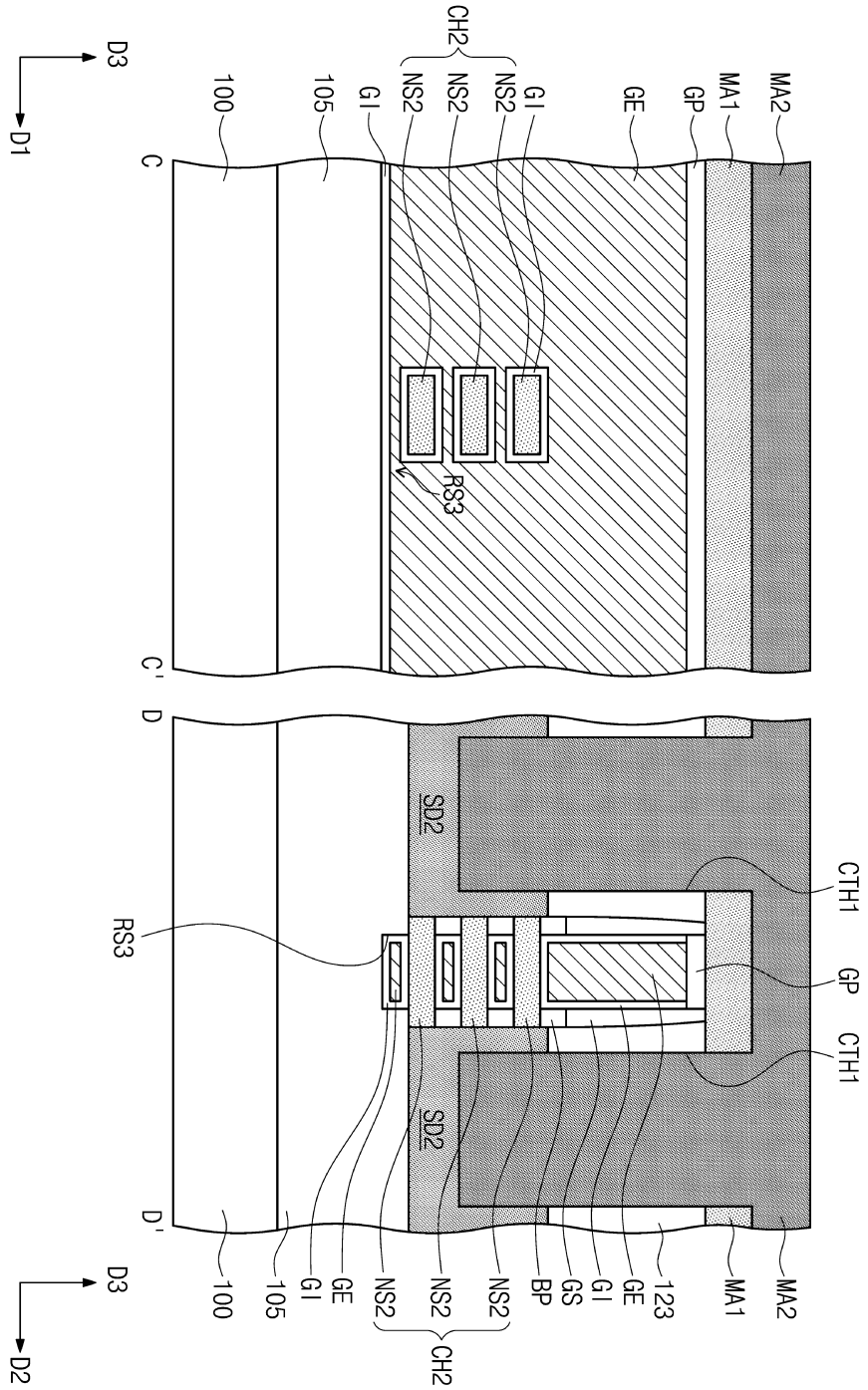
도면10a


RS1
CTH2
131
GS
A'
SD1
CH1
AP1
B
B'
A
MA1
100
C'
MA2
SD2
CH2
AP2
D
D'
C
CTH1
D1
D2
D3

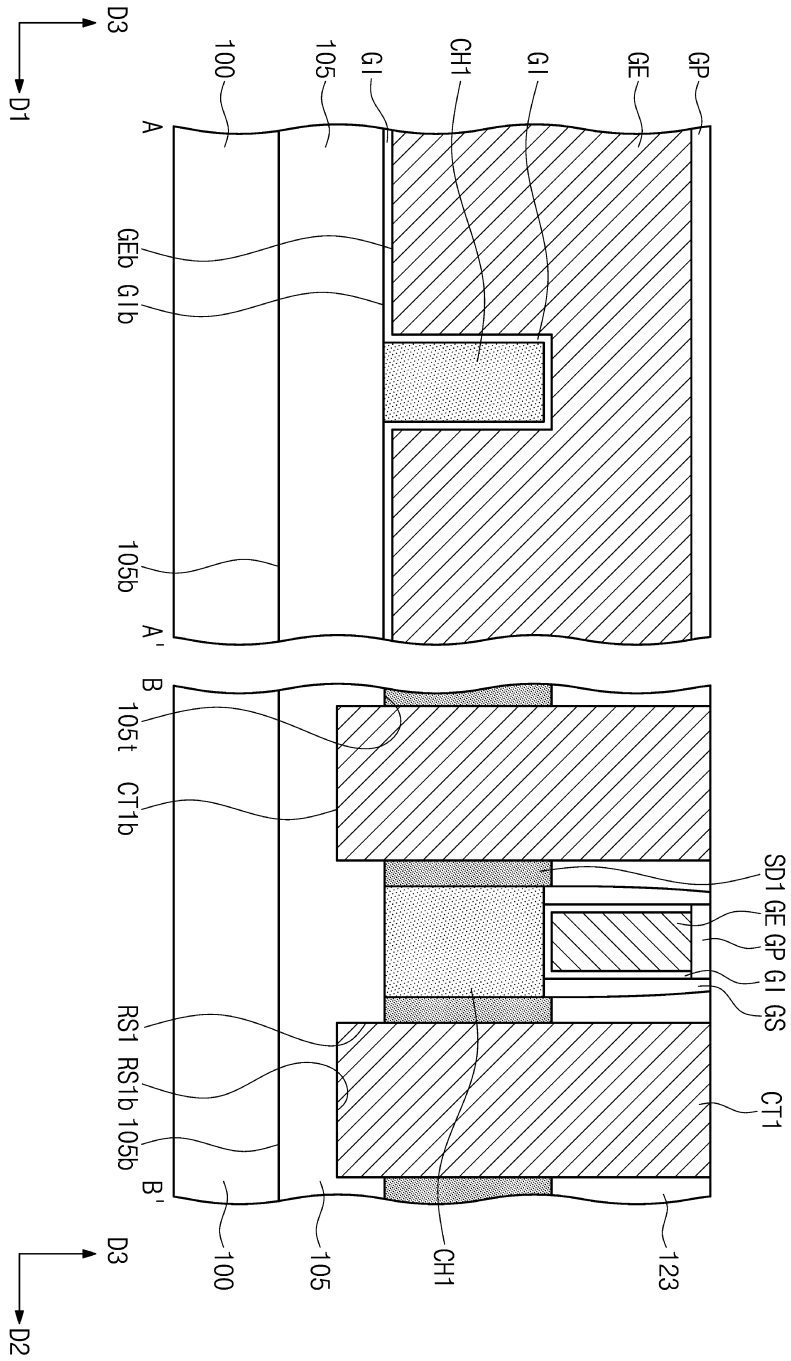
도면10b


D3
D1
D2
A
A'
B
B'
100
105
GI
NS1
CH1
GE
GP
MA1
RS3
105t
CH2b
RS1
RS1b
CTH2
SD1
BP
GS
123

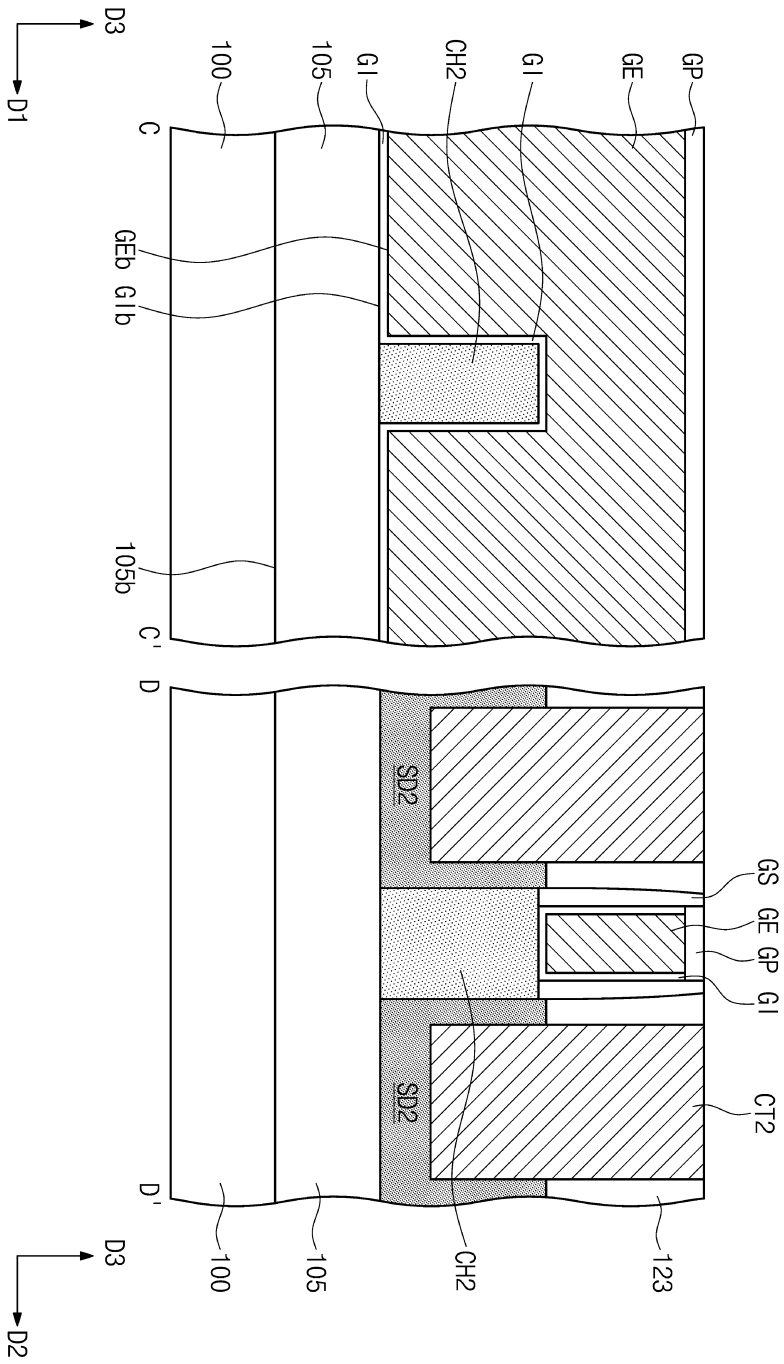
도면10c


D3
D1
C
C'
D
D'
D3
D2
100
105
GI
NS2
NS2
NS2
GI
CH2
GE
GP
MA1
MA2
RS3
SD2
CTH1
GP
CTH1
SD2
RS3
100
105
GI
GE
NS2
NS2
NS2
BP
GS
GI
GE
123
MA1
MA2
CH2

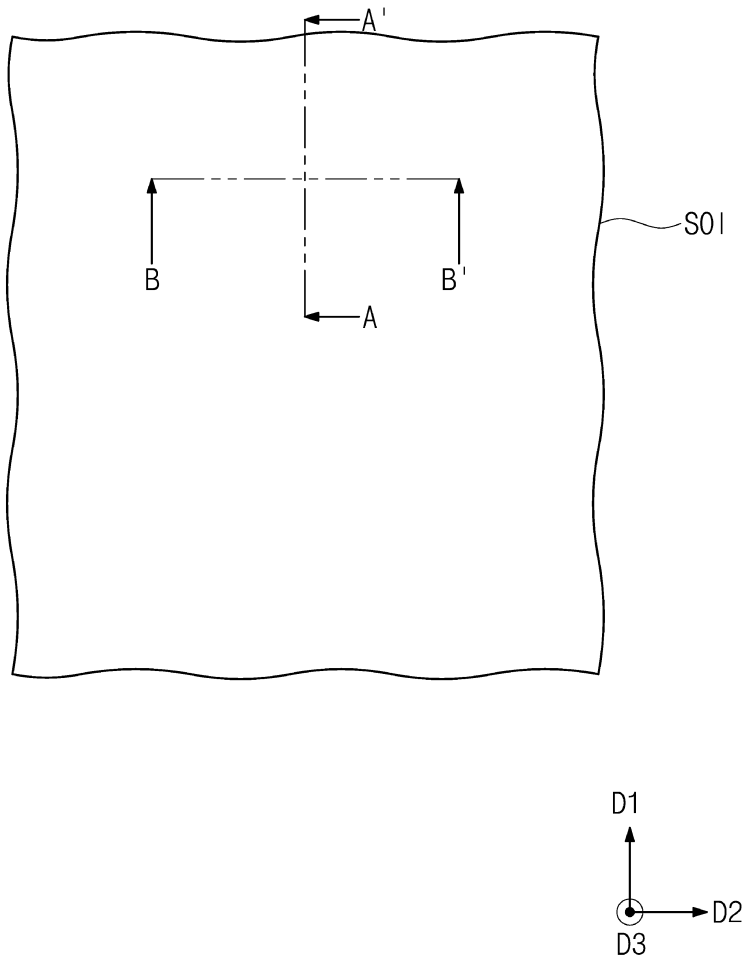
도면11a


D3
D1
100
105
GI
CH1
GI
GE
GP
A
GEb
GIb
105b
A'
B
105t
CT1b
SD1
GE
GP
GI
GS
CT1
RS1
RS1b
105b
B'
D3
D2
100
105
CH1
123

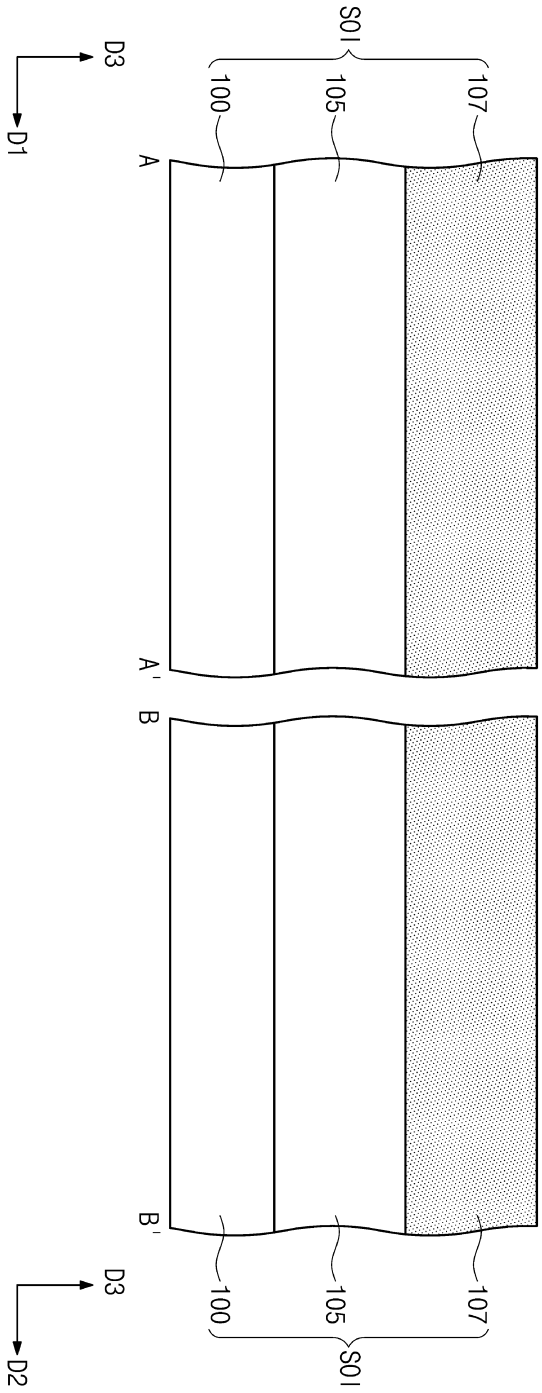
도면11b


D3
D1
100
105
GI
CH2
GI
GE
GP
C
GEb
GIb
105b
C'
D
SD2
GS
GE
GP
GI
SD2
CT2
D'
D3
D2
100
105
CH2
123

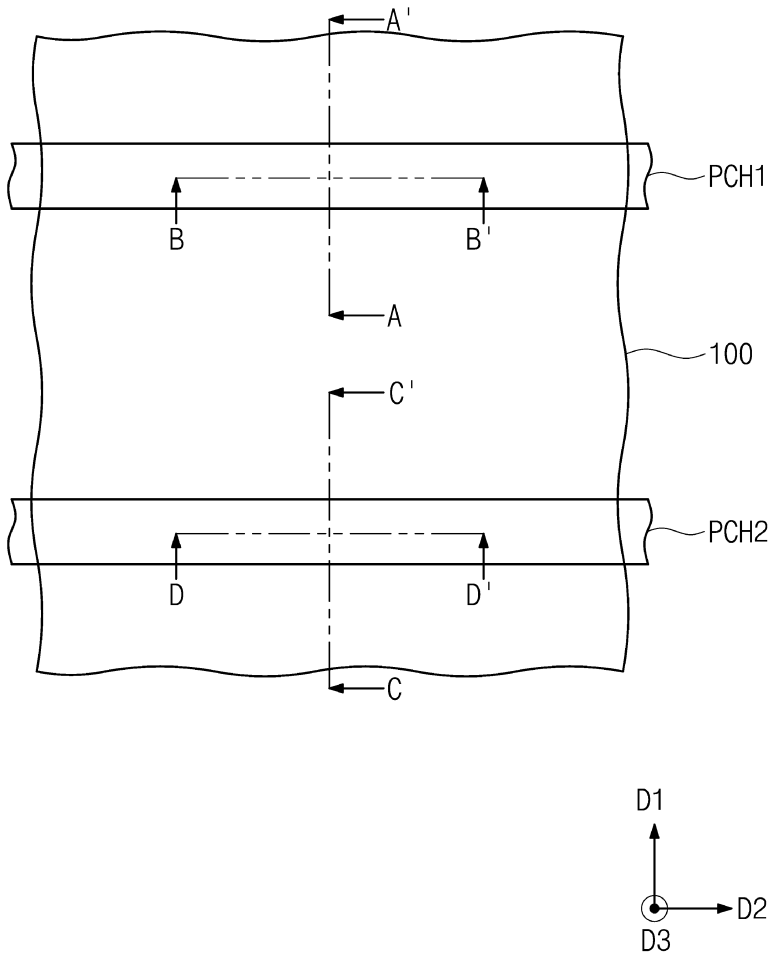
도면12a



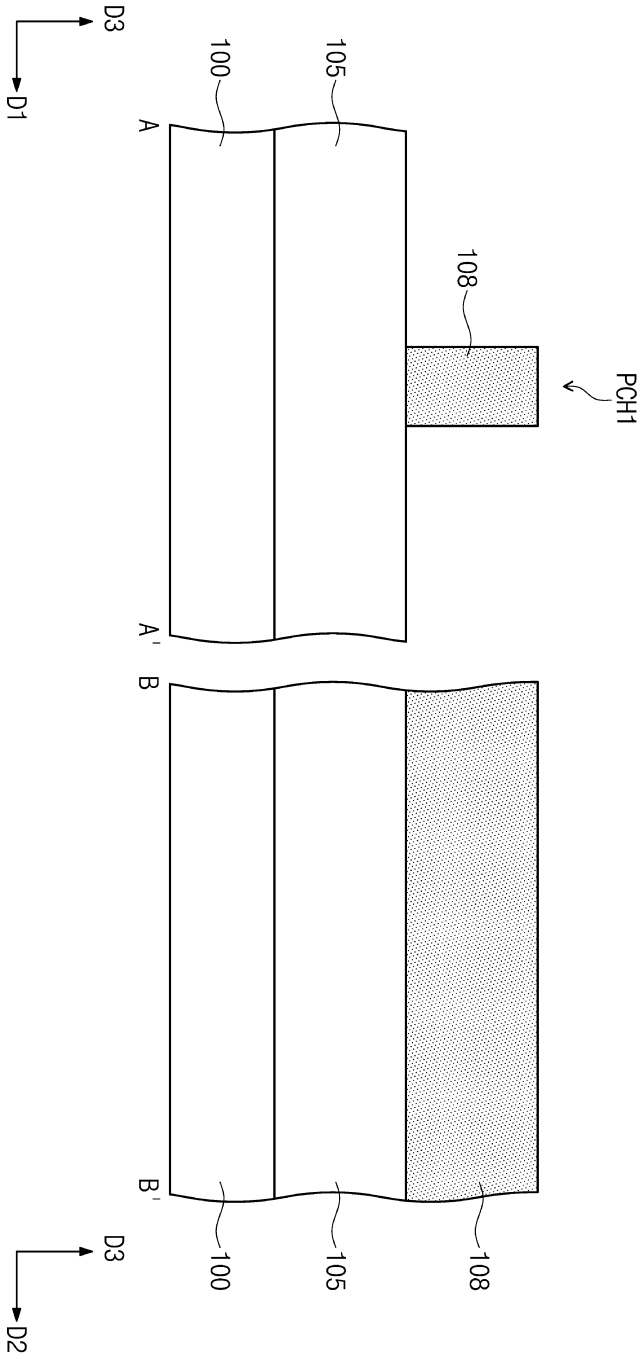
도면12b



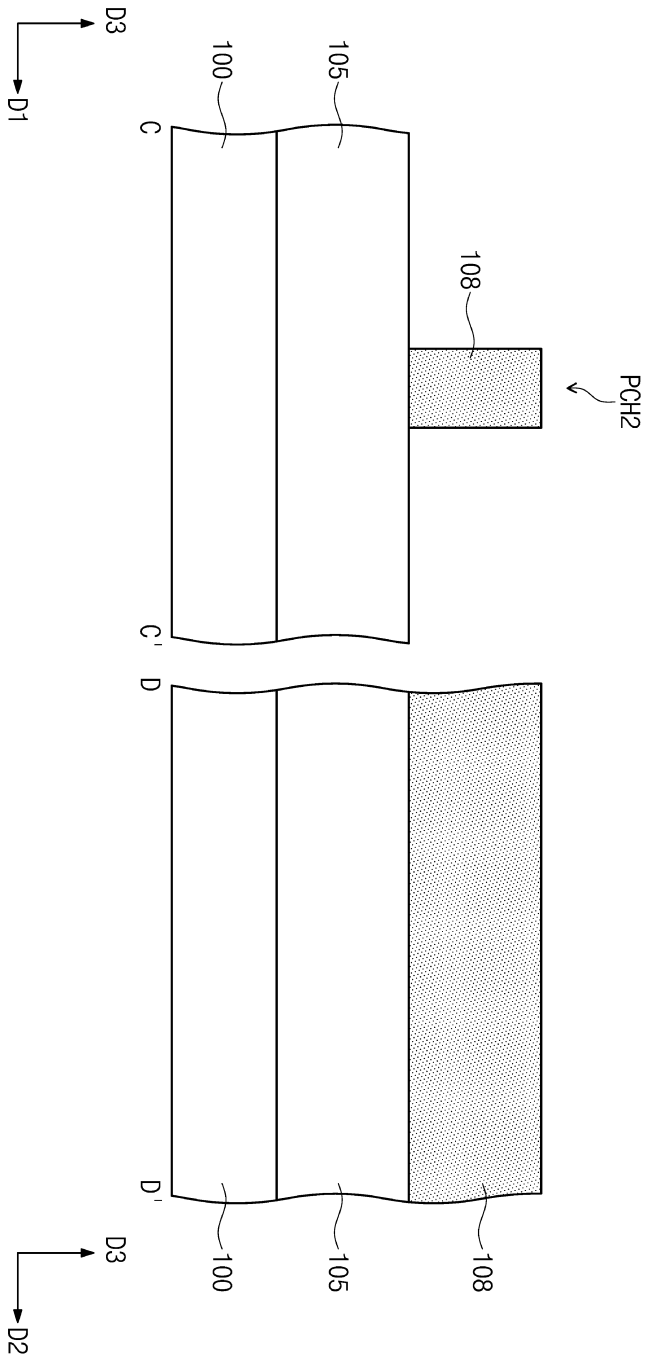
도면13a



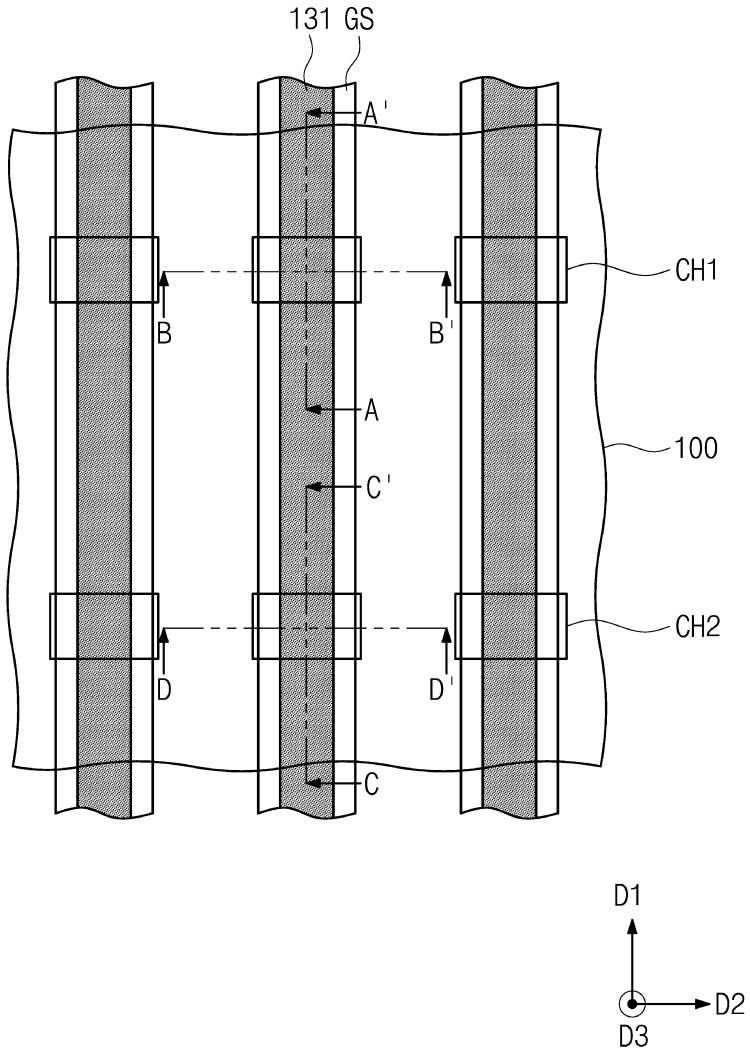
도면13b



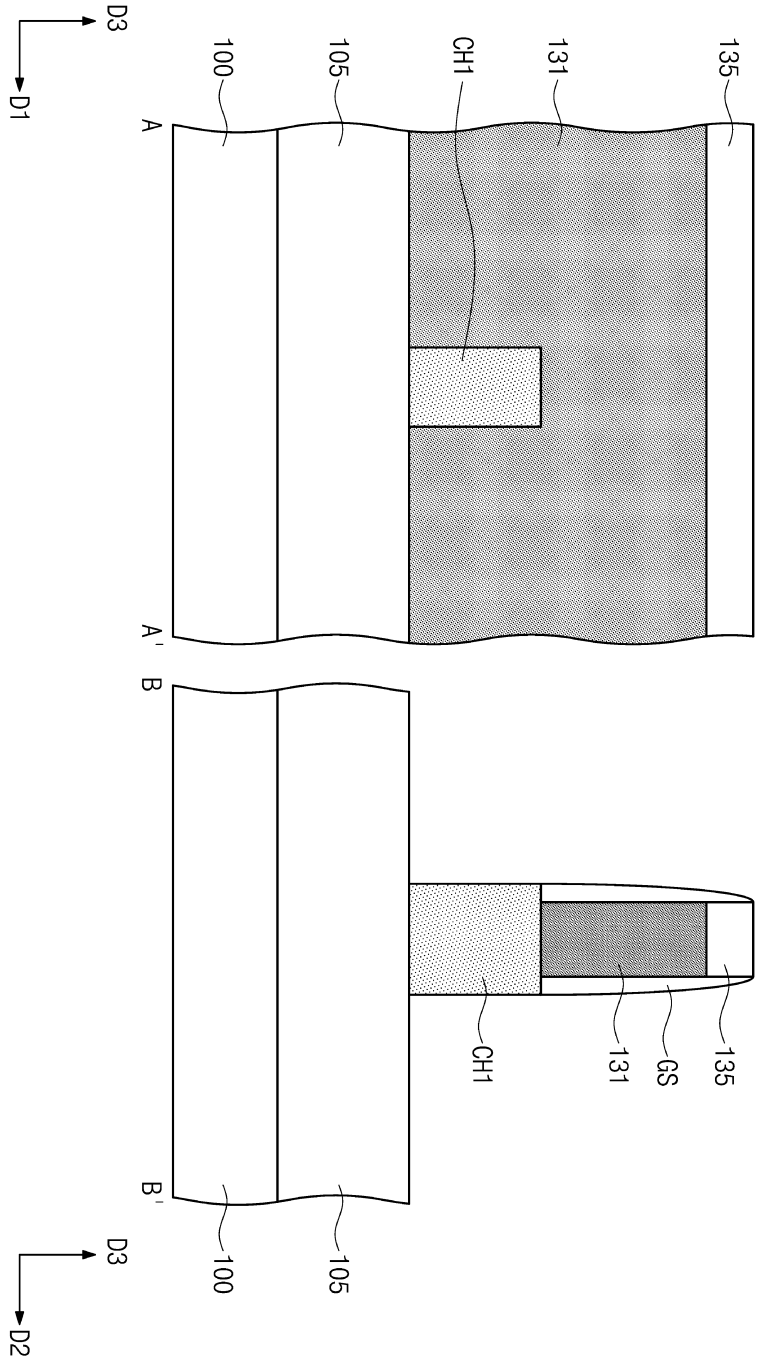
도면13c



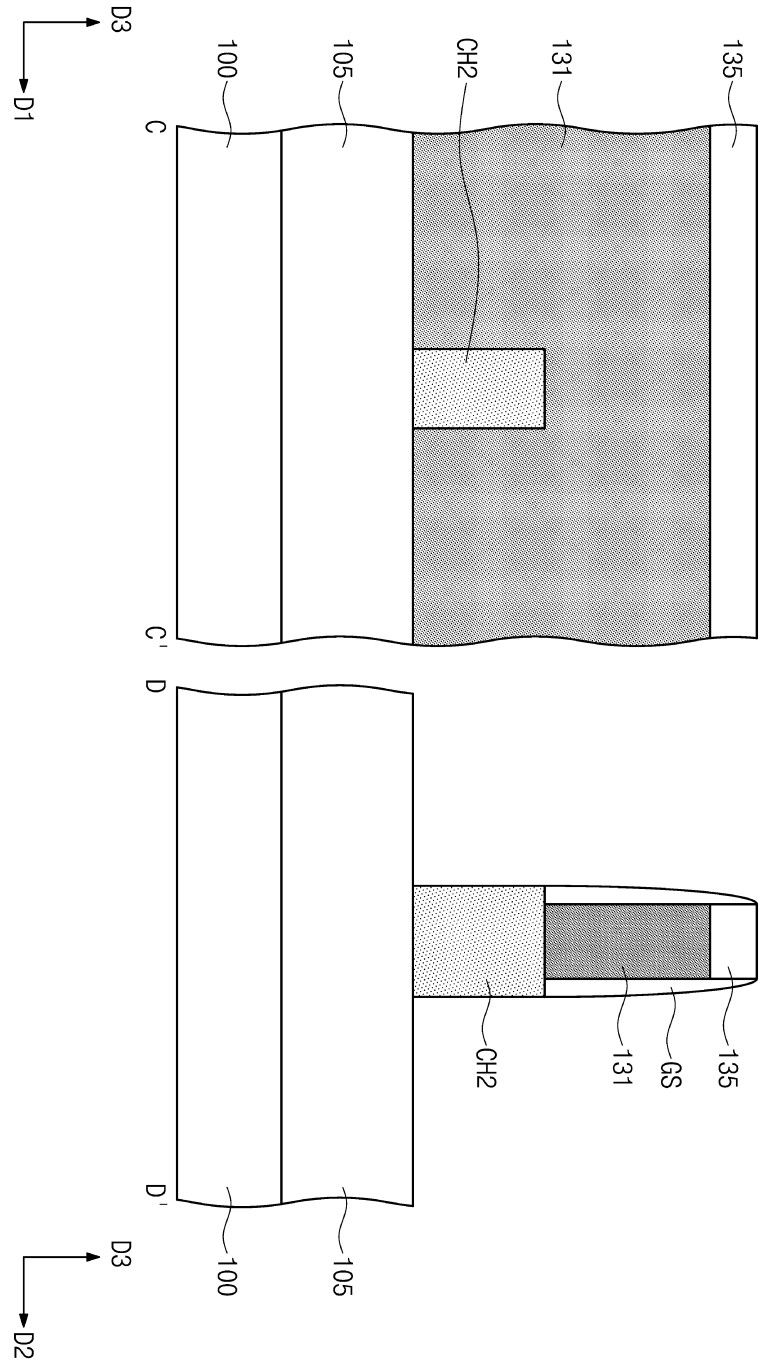
도면14a



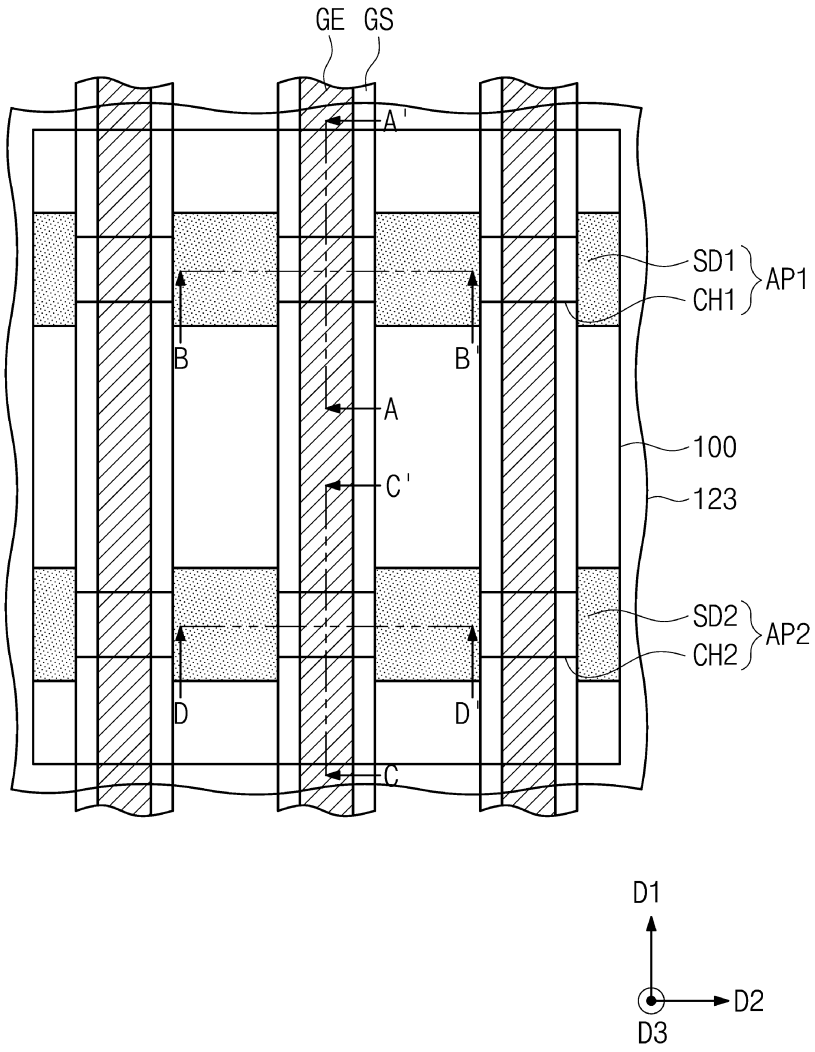
도면14b



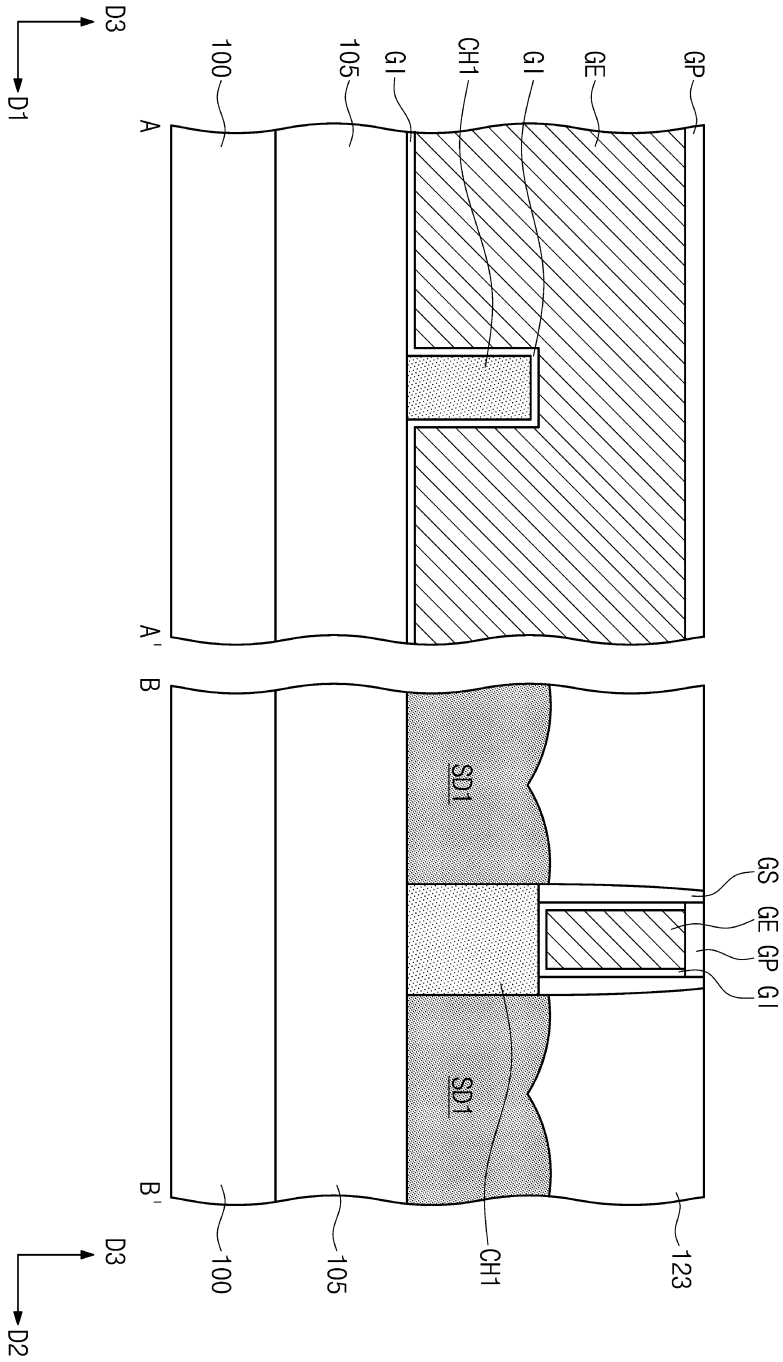
도면14c



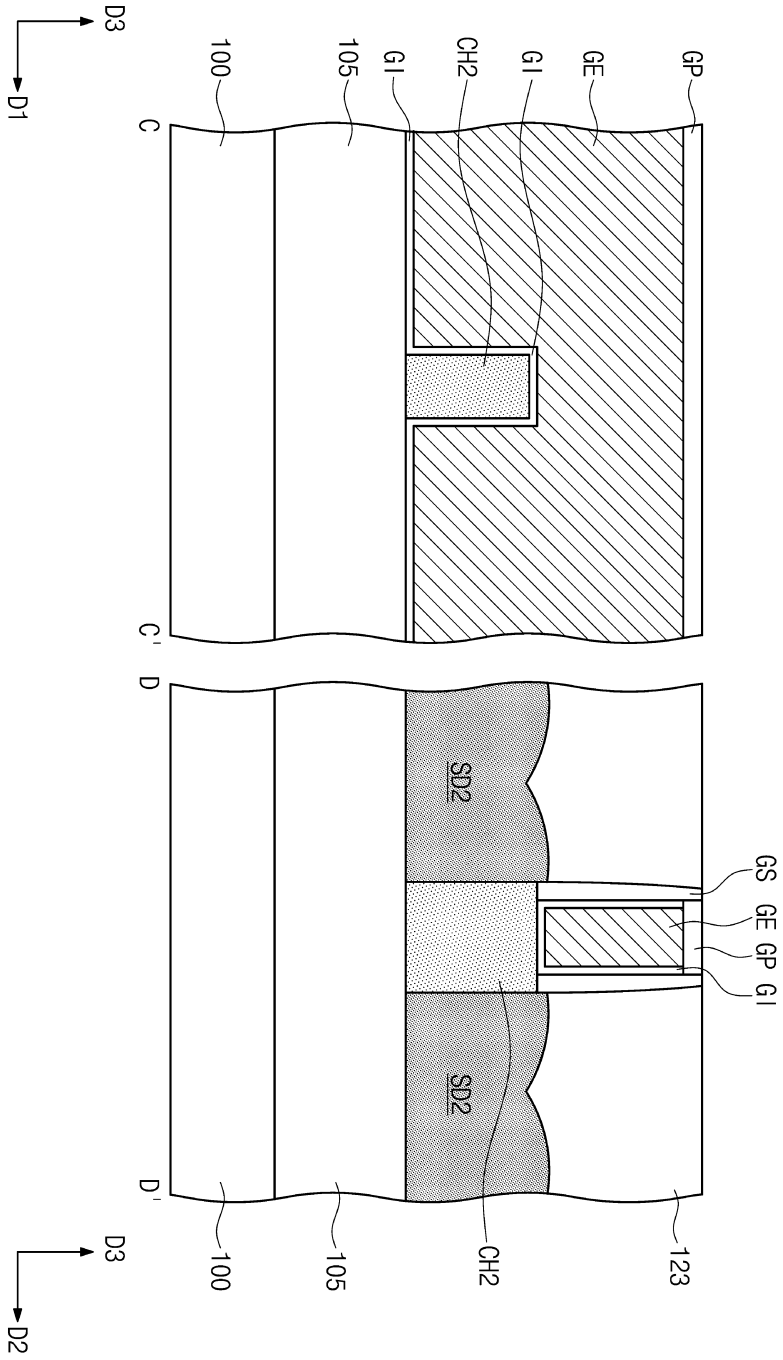
도면15a



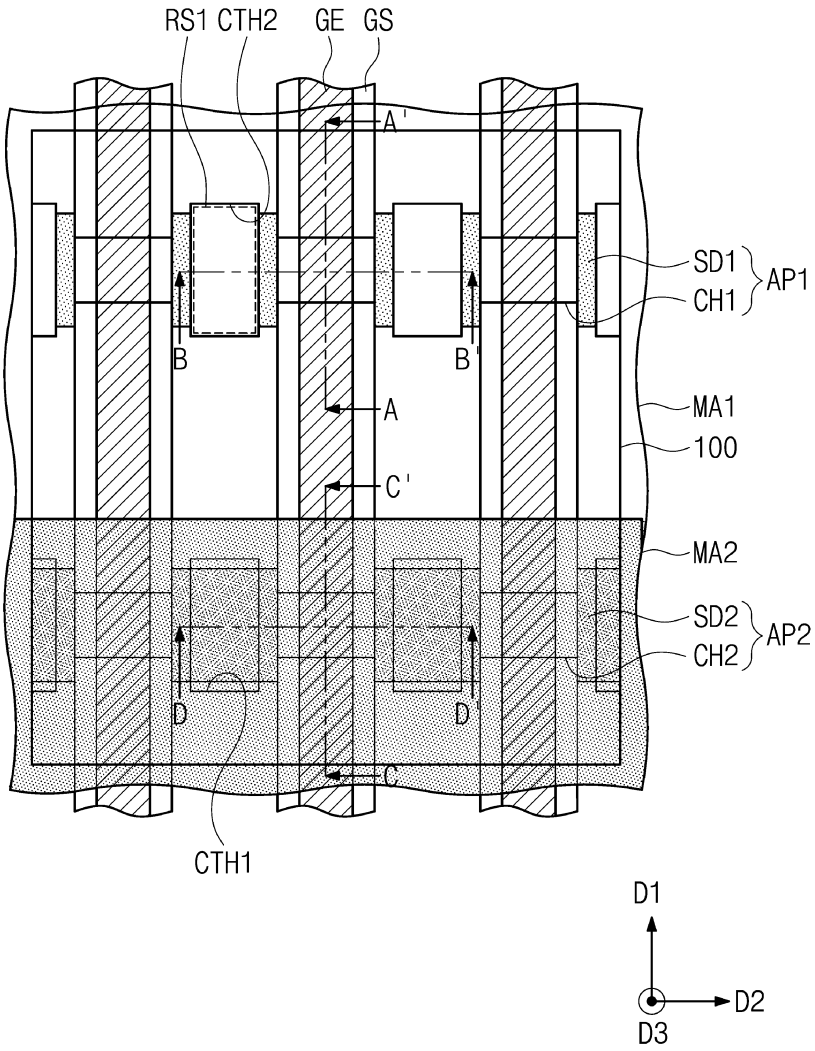
도면15b


D3
D1
100
105
GI
CH1
GI
GE
GP
A
A'
B
SD1
GS
GE
GP
GI
SD1
B'
D3
D2
100
105
CH1
123

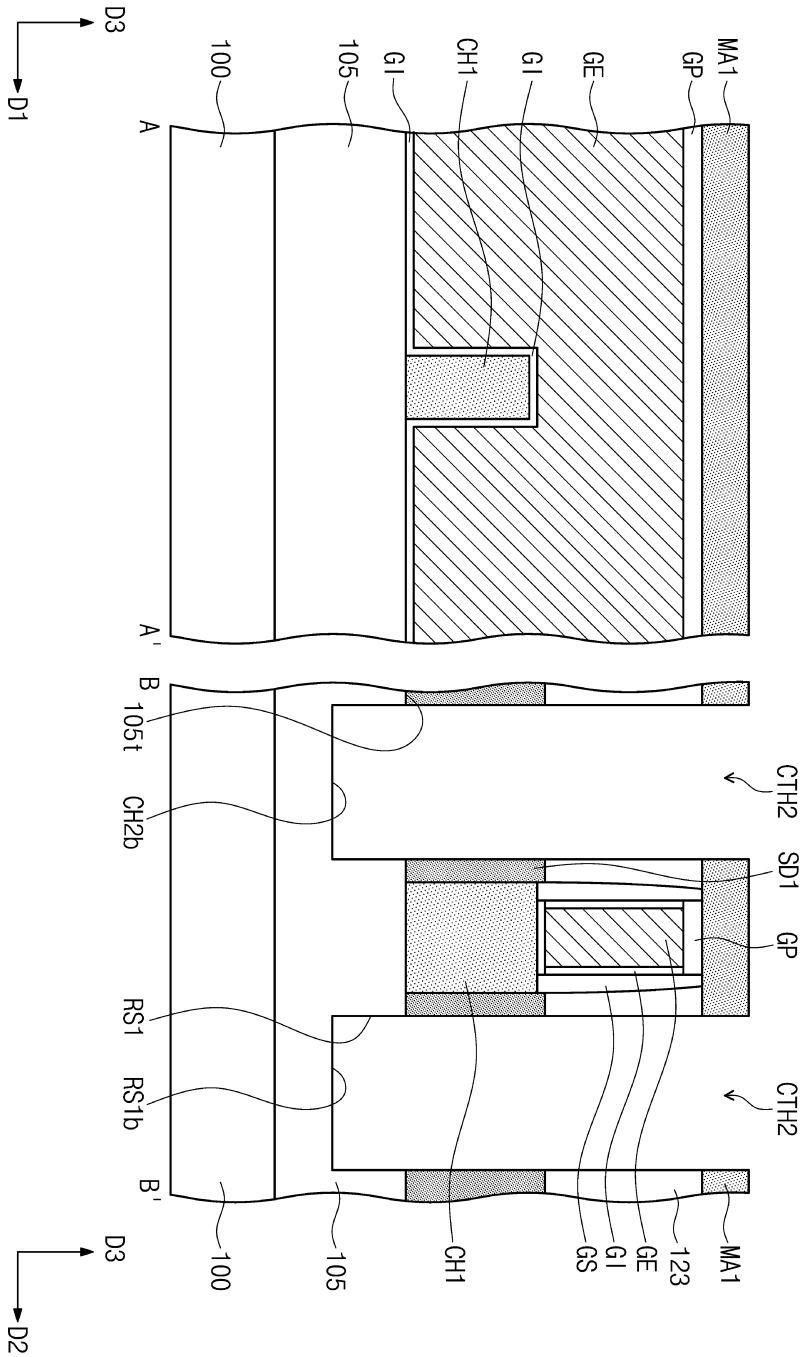
도면15c


D3
D1
100
105
GI
CH2
GI
GE
GP
C
C'
D
SD2
GS
GE
GP
GI
SD2
D'
D3
D2
100
105
CH2
123

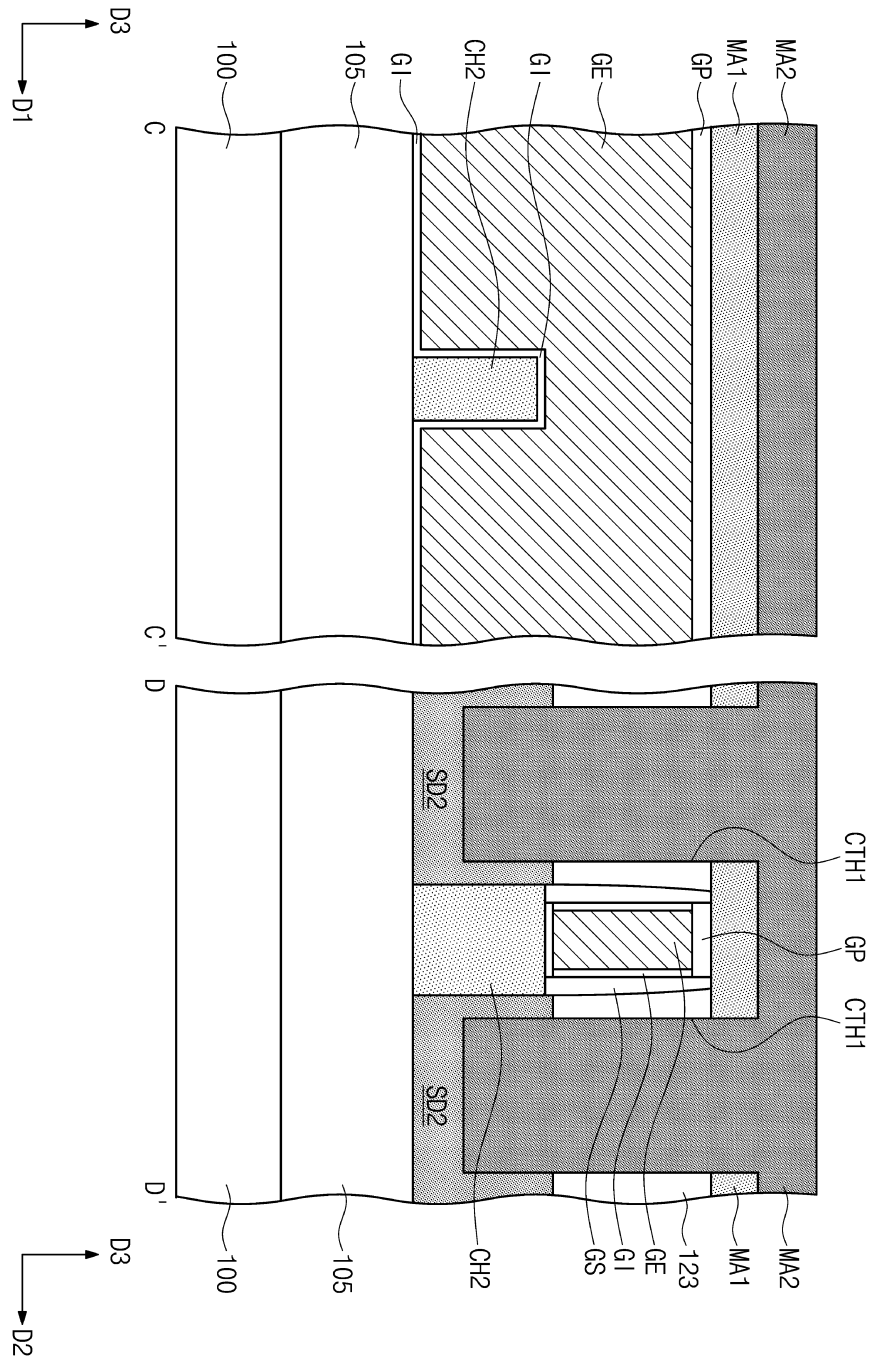
도면16a


RS1
CTH2
GE
GS
A'
SD1
CH1
AP1
B
B'
A
MA1
100
C'
MA2
SD2
CH2
AP2
D
D'
C
CTH1
D1
D2
D3

도면16b


D3
D1
A
A'
100
105
GI
CH1
GI
GE
GP
MA1
B
B'
105t
CH2b
RS1
RS1b
CTH2
SD1
GP
CTH2
100
105
CH1
GS
GI
GE
123
MA1
D3
D2

도면16c


D3
D1
100
105
GI
CH2
GI
GE
GP
MA1
MA2
C
C'
D
SD2
CTH1
GP
CTH1
SD2
D'
D3
D2
100
105
CH2
GS
GI
GE
123
MA1
MA2