

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成26年4月24日(2014.4.24)

【公開番号】特開2012-212077(P2012-212077A)

【公開日】平成24年11月1日(2012.11.1)

【年通号数】公開・登録公報2012-045

【出願番号】特願2011-78493(P2011-78493)

【国際特許分類】

G 09 F 9/30 (2006.01)

H 01 L 29/786 (2006.01)

H 01 L 21/336 (2006.01)

G 02 F 1/1368 (2006.01)

H 01 L 51/50 (2006.01)

【F I】

G 09 F 9/30 3 3 8

H 01 L 29/78 6 1 8 B

H 01 L 29/78 6 1 2 D

G 02 F 1/1368

H 05 B 33/14 A

【手続補正書】

【提出日】平成26年3月7日(2014.3.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 8

【補正方法】変更

【補正の内容】

【0 0 1 8】

【図1】本開示の第1の実施の形態に係る有機EL表示装置の断面構造を表すものである。

【図2】図1に示した保持容量素子の断面構造を拡大したものである。

【図3】図1に示した有機EL表示装置の周辺回路を含む全体構成を表す図である。

【図4】図3に示した画素の回路構成を表す図である。

【図5】図1に示した有機EL表示装置の製造方法を工程順に表す図である。

【図6】図5に続く工程を表す図である。

【図7】図6に続く工程を表す図である。

【図8】図7に続く工程を表す図である。

【図9】図8に続く工程を表す図である。

【図10】比較例1に係る保持容量素子の断面構造を表す模式図である。

【図11】比較例2に係る保持容量素子の断面構造を表す模式図である。

【図12】本開示の第2の実施の形態に係る有機EL表示装置の断面構造を表すものである。

【図13】図12に示した保持容量素子の断面構造を拡大したものである。

【図14】図12に示した有機EL表示装置の製造方法を説明するための図である。

【図15】図12に続く工程を表す図である。

【図16】変形例に係る液晶表示装置の断面構造を表すものである。

【図17】表示装置を含むモジュールの概略構成を表す平面図である。

【図18】適用例1の外観を表す斜視図である。

【図19】(A)は適用例2の表側から見た外観を表す斜視図であり、(B)は裏側から

見た外観を表す斜視図である。

【図20】適用例3の外観を表す斜視図である。

【図21】適用例4の外観を表す斜視図である。

【図22】(A)は適用例5の開いた状態の正面図、(B)はその側面図、(C)は閉じた状態の正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

以下、本開示の実施の形態について図面を参照して詳細に説明する。尚、説明は以下の順序で行う。

1. 第1の実施の形態（一対の導電膜間に酸化物半導体層とゲート絶縁膜とが挟持されてなる（酸化物半導体層よりも下層に導電膜を有する）保持容量素子を備えた有機EL表示装置の例）

2. 第2の実施の形態（一対の導電膜間にゲート絶縁膜が挟持されてなる（酸化物半導体層よりも上層に導電膜を有する）保持容量素子を備えた有機EL表示装置の例）

3. 变形例（液晶表示装置の例）

4. 適用例（モジュール、電子機器の例）

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

ゲート電極13Aは、トランジスタ10Bに印加されるゲート電圧(V_g)によって半導体層11中のキャリア密度を制御すると共に、電位を供給する配線としての機能を有するものである。このゲート電極13Aは、例えばモリブデン(Mo)，チタン(Ti)，アルミニウム，銀，ネオジウム(Nd)および銅(Cu)のうちの1種からなる単体もしくは合金、もしくはこれらのうちの2種以上からなる積層膜である。具体的には、アルミニウムや銀などの低抵抗金属をモリブデンまたはチタンにより挟み込んだ積層構造や、アルミニウムとネオジウムとの合金(AlNd合金)が挙げられる。このゲート電極13Aは、あるいはITO等の透明導電膜から構成されていてもよい。このゲート電極13Aの厚みは、例えば10nm～500nmである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

ソース・ドレイン電極層16は、トランジスタ10Bのソース電極またはドレイン電極として機能するものである。このソース・ドレイン電極層16は、例えば、厚みが200nm程度であり、上記ゲート電極13Aにおいて列挙したものと同様の金属または透明導電膜により構成されている。このソース・ドレイン電極層16は、例えば、アルミニウムまたは銅などの低抵抗金属により構成されていることが好ましく、このような低抵抗金属を、チタンまたはモリブデンよりなるバリア層により挟み込んでなる積層膜であることがより好ましい。このような積層膜を用いることにより、配線遅延の少ない駆動が可能となる。また、ソース・ドレイン電極層16は、ゲート電極13Aの直上の領域を回避して設

けられていることが望ましい。ゲート電極13Aとソース・ドレイン電極層16との交差領域に寄生容量が形成されることを防ぐためである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

絶縁膜12Bは、例えばトランジスタ10Bのゲート絶縁膜12Aと同一材料からなり、互いに同一の工程においてそれぞれ形成することができる。導電膜13Bについても同様で、例えばゲート電極13Aと同一材料からなり、互いに同一の工程においてそれぞれ形成可能である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

(周辺回路および画素回路の構成)

次に、上記のような有機EL表示装置1Aの周辺回路および画素回路の構成について説明する。図3は、有機EL表示装置1Aの周辺回路を含む全体構成を表すものである。このように、例えば駆動側基板10上には、有機EL素子10Aを含む複数の画素PXLがマトリクス状に配置されてなる表示領域50が形成され、この表示領域50の周辺に、信号線駆動回路としての水平セレクタ(HSEL)51と、走査線駆動回路としてのライトスキャナ(WSCN)52と、電源線駆動回路としての電源スキャナ(DSCN)53とが設けられている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

この後、図8(B)に示したように、例えば300程度の温度で熱処理を行うことにより、金属膜14aが酸化され、これによって金属酸化膜からなる高抵抗膜14が形成される。この際、ゲート電極13Aおよび保持容量素子10Cに非対向な領域には、低抵抗領域(ソース・ドレイン領域11SDを含む)が形成される。この金属膜14aの酸化反応には、酸化物半導体に含まれる酸素の一部が利用されるため、金属膜14aの酸化の進行に伴って、半導体層11では、その金属膜14aと接する面側から酸素濃度が低下していく。一方、金属膜14aから、アルミニウム等の金属が半導体層11中に拡散する。この金属元素がドーパントとして機能し、金属膜14aと接する半導体層11の上面側の領域が低抵抗化される。これにより、電気抵抗の低いソース・ドレイン領域11SDが形成される。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

尚、金属膜14aの熱処理としては、例えば300程度の温度でアニールすることが好ましい。その際、酸素等を含む酸化性のガス雰囲気でアニールを行うことで、上記低抵

抗領域の酸素濃度が低くなりすぎると、半導体層 1 1 に十分な酸素を供給する事が可能となる。よって、後工程で行うアニール工程を削減する事が可能となり、工程の簡略化が可能となる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 0

【補正方法】変更

【補正の内容】

【0 0 7 0】

ここで、図 1 0 に、本実施の形態の比較例（比較例 1）に係る保持容量素子 1 0 0 の積層構造について示す。比較例 1 では、例えば駆動側基板 1 0 1 上に、トランジスタのゲート絶縁膜の一部を利用して絶縁膜 1 0 2 が設けられ、この絶縁膜 1 0 2 上（トランジスタのゲート電極と同層）に、導電膜 1 0 3 が配設されている。導電膜 1 0 3 上には、厚みの大きな層間絶縁膜 1 0 4 が設けられ、この層間絶縁膜 1 0 4 上のソースドレイン電極層と同層には、導電膜 1 0 5 が形成されている。このように、比較例 1 では、トランジスタのゲート電極およびソース・ドレイン電極とそれぞれ同層に設けられた導電膜 1 0 3, 1 0 5 間に、層間絶縁膜 1 0 4 を挟み込んだ構造となっている。このような積層構造によっても、容量形成が可能である。ところが、このような保持容量素子 1 0 0 では、層間絶縁膜 1 0 4 の厚みが比較的大きい（マイクロオーダーである）ため、容量が小さくなり、寄生容量の影響を受け易くなる。

【手続補正 1 0】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 1

【補正方法】変更

【補正の内容】

【0 0 7 1】

一方、本実施の形態では、上記のように、保持容量素子 1 0 C が、導電膜 2 7 A および導電膜 1 3 B 間に半導体層 1 1 および絶縁膜 1 2 B を挟んだ積層構造により形成される。これにより、半導体層 1 1 および絶縁膜 1 2 B（ゲート絶縁膜 1 2 A）の厚みの総和は、層間絶縁膜 1 5 よりも小さくなることから、本実施の形態の保持容量素子 1 0 C では、上記比較例 1 に比べ大きな容量を確保することができる。

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 2

【補正方法】変更

【補正の内容】

【0 0 7 2】

また、ここで、図 1 1 に、本実施の形態の比較例（比較例 2）に係る保持容量素子 1 0 0 A の積層構造について示す。保持容量素子 1 0 0 A では、半導体層 1 0 1 上に、ゲート絶縁膜を利用した絶縁膜 1 0 2 を介して導電膜 1 0 3 が設けられており、このような積層構造によって容量が形成されている。このような保持容量素子 1 0 0 A では、本実施の形態と同様、比較的大きな容量を確保することができるが、半導体層 1 0 1 および導電膜 1 0 3 間に印加される電圧によって、容量が変動し易い。容量変動が生じると、画素回路の駆動条件によっては十分な容量を用いることができない事から、画質劣化を引き起こすことがある。

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 9

【補正方法】変更

【補正の内容】

【0079】

このような構成においても、絶縁膜12Bは、例えばトランジスタ10Bのゲート絶縁膜12Aと同一材料からなり、互いに同一の工程においてそれぞれ形成することができる。また、導電膜13Bは、例えばゲート電極13Aと同一材料からなり、互いに同一の工程においてそれぞれ形成可能である。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0102

【補正方法】変更

【補正の内容】

【0102】

更に、上記実施の形態等では、高抵抗膜14を設けた構造を例に挙げて説明したが、この高抵抗膜14は設けられていなくともよい。但し、上述のように、高抵抗膜14を設けた場合の方が、トランジスタ10Bおよび保持容量素子10C, 20Cの電気特性を安定的に保持することができるため望ましい。

【手続補正14】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に、

表示素子と、

前記表示素子の駆動素子としてのトランジスタと、

映像信号に対応した電荷を保持する保持容量素子とを備え、

前記保持容量素子は、前記基板側から順に、第1導電膜と、酸化物半導体よりなる第1半導体層と、絶縁膜と、第2導電膜とを有する

表示装置。

【請求項2】

前記トランジスタは、前記基板側から順に、

酸化物半導体よりなる第2半導体層と、

前記第2半導体層上の選択的な領域に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に配設されたゲート電極と、

前記第2半導体層に電気的に接続されて設けられたソース・ドレイン電極層とを有する請求項1に記載の表示装置。

【請求項3】

前記第1導電膜は、前記基板上の選択的な領域に配設され、

前記第1半導体層および前記第2半導体層は、同一材料により前記基板上に一体的に設けられ、

前記絶縁膜は、前記ゲート絶縁膜と同一材料により構成され、かつ

前記第2導電膜は、前記ゲート電極と同一材料により構成されている

請求項2に記載の表示装置。

【請求項4】

前記第1半導体層および前記第2半導体層は、前記保持容量素子および前記ゲート電極の両方に非対向な領域に、他の領域よりも電気抵抗が低い低抵抗領域を有し、

前記ソース・ドレイン電極層は、前記低抵抗領域に電気的に接続されている

請求項2に記載の表示装置。

【請求項5】

前記保持容量素子と、前記ゲート電極と、前記第1半導体層および前記第2半導体層の

前記低抵抗領域とを覆って高抵抗膜が設けられている

請求項 2 に記載の表示装置。

【請求項 6】

前記表示素子として有機電界発光素子を有する

請求項 1 に記載の表示装置。

【請求項 7】

前記表示素子として液晶表示素子を有する

請求項 1 に記載の表示装置。

【請求項 8】

基板上に、

表示素子と、

前記表示素子の駆動素子としてのトランジスタと、

映像信号に対応した電荷を保持する保持容量素子とを備え、

前記保持容量素子は、前記基板側から順に、酸化物半導体よりなる第 1 半導体層と、第 1 導電膜と、絶縁膜と、第 2 導電膜とを有する

表示装置。

【請求項 9】

前記トランジスタは、前記基板側から順に、

酸化物半導体よりなる第 2 半導体層と、

前記第 2 半導体層上の選択的な領域に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に配設されたゲート電極と、

前記第 2 半導体層に電気的に接続されて設けられたソース・ドレイン電極層とを有する

請求項 8 に記載の表示装置。

【請求項 10】

前記第 1 半導体層および前記第 2 半導体層は、同一材料により前記基板上に一体的に設けられ、

前記絶縁膜と前記ゲート絶縁膜とが同一材料により構成され、かつ

前記第 2 導電膜と前記ゲート電極とが同一材料により構成されている

請求項 9 に記載の表示装置。

【請求項 11】

前記第 1 導電膜は、前記第 2 半導体層上の選択的な領域に設けられると共に、アルミニウム (Al)、モリブデン (Mo)、チタン (Ti) のうちの 1 種よりなる単層膜または 2 種以上を積層した積層膜よりなり、

前記第 1 半導体層および前記第 2 半導体層は、酸化インジウムスズ亜鉛 (ITZO)、酸化インジウム亜鉛 (IZO)、酸化インジウムガリウム (IGO)、酸化インジウムガリウム亜鉛 (IGZO) のうちのいずれかよりなる

請求項 9 に記載の表示装置。

【請求項 12】

前記第 1 半導体層および前記第 2 半導体層は、前記保持容量素子および前記ゲート電極のそれぞれに非対向な領域に、他の領域よりも電気抵抗が低い低抵抗領域を有し、

前記ソース・ドレイン電極層は、前記低抵抗領域に電気的に接続されている

請求項 9 に記載の表示装置。

【請求項 13】

前記保持容量素子と、前記ゲート電極と、前記第 1 半導体層および前記第 2 半導体層の前記低抵抗領域とを覆って高抵抗膜が設けられている

請求項 9 に記載の表示装置。

【請求項 14】

前記表示素子として有機電界発光素子を有する

請求項 8 に記載の表示装置。

【請求項 15】

前記表示素子として液晶表示素子を有する
請求項 8 に記載の表示装置。

【請求項 16】

基板上に、
表示素子と、
前記表示素子の駆動素子としてのトランジスタと、
映像信号に対応した電荷を保持する保持容量素子とを備え、
前記保持容量素子は、前記基板側から順に、第1導電膜と、酸化物半導体よりなる第1半導体層と、絶縁膜と、第2導電膜とを有する
表示装置を備えた電子機器。

【請求項 17】

基板上に、
表示素子と、
前記表示素子の駆動素子としてのトランジスタと、
映像信号に対応した電荷を保持する保持容量素子とを備え、
前記保持容量素子は、前記基板側から順に、酸化物半導体よりなる第1半導体層と、第1導電膜と、絶縁膜と、第2導電膜とを有する
表示装置を備えた電子機器。

【手続補正 15】

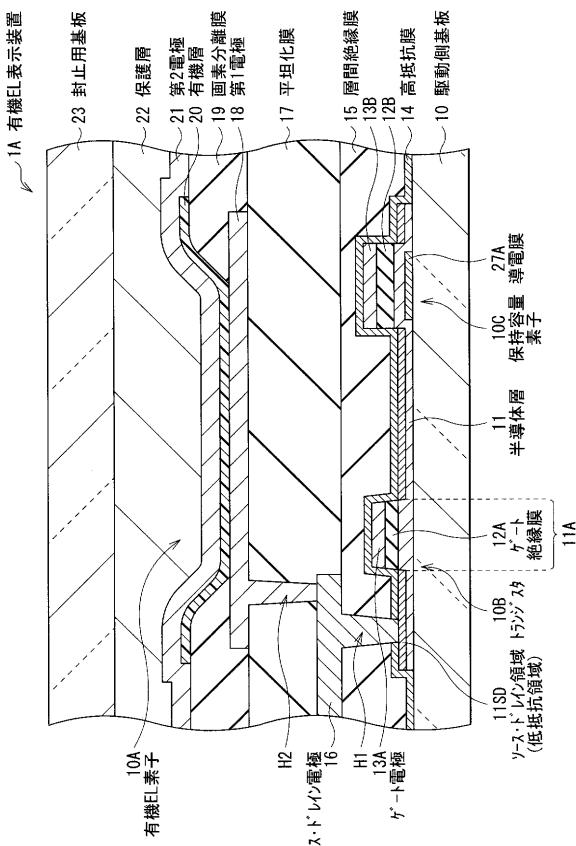
【補正対象書類名】図面

【補正対象項目名】全図

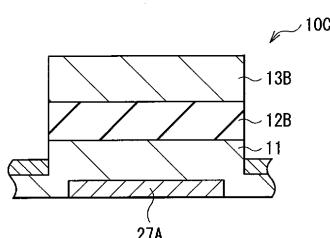
【補正方法】変更

【補正の内容】

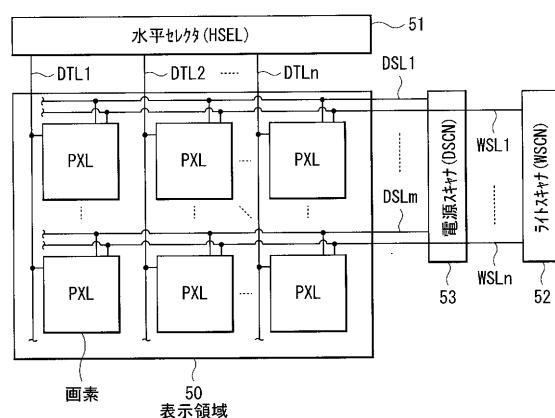
【図 1】



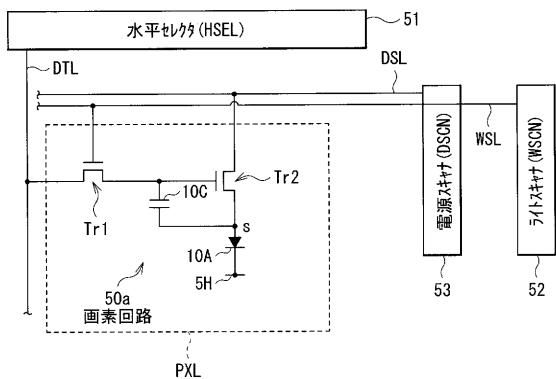
【図 2】



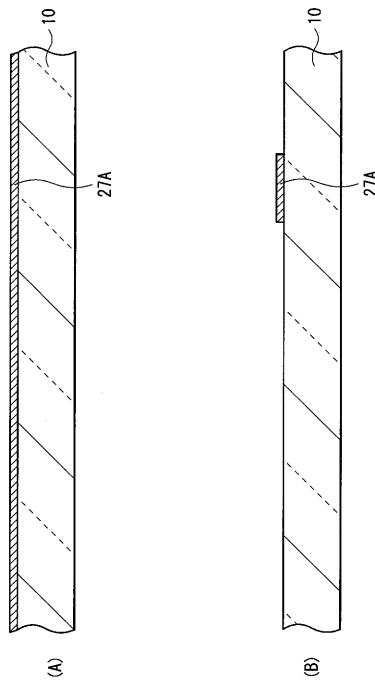
【図 3】



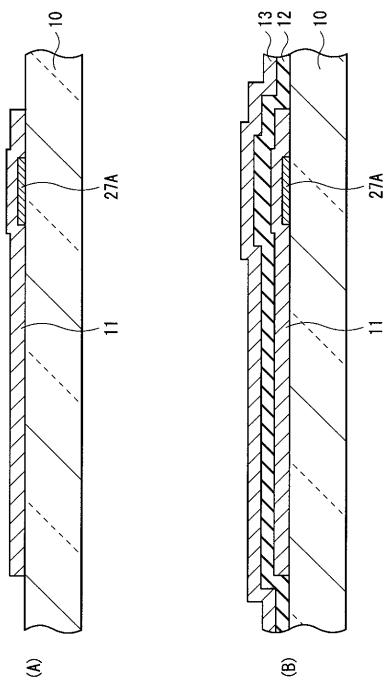
【図4】



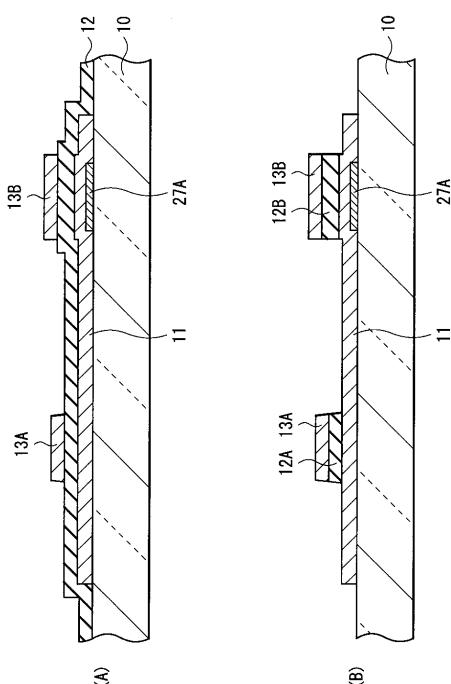
【図5】



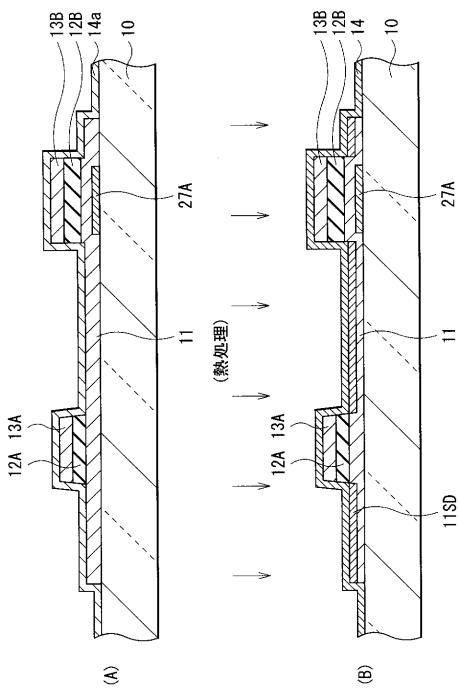
【図6】



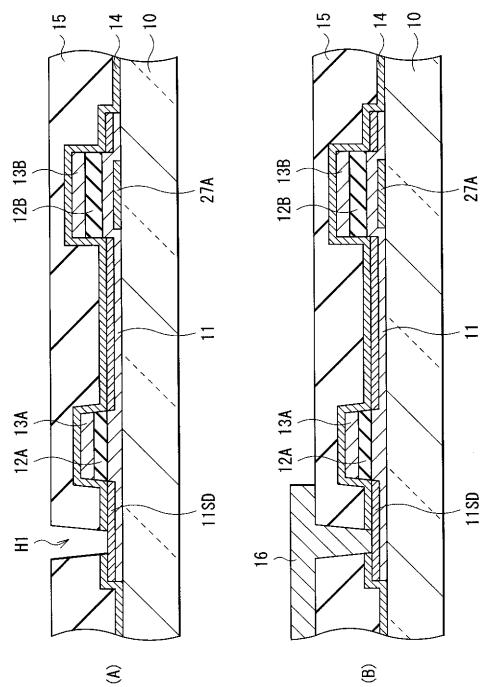
【図7】



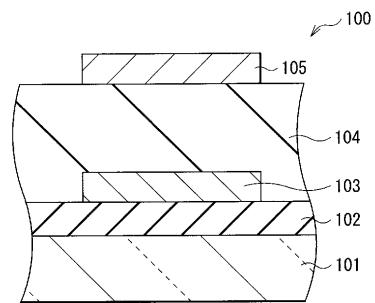
【 四 8 】



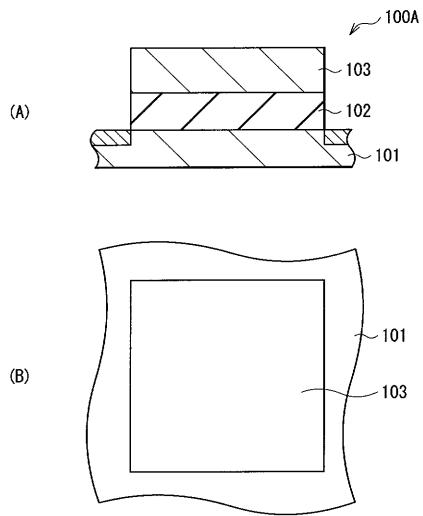
【 図 9 】



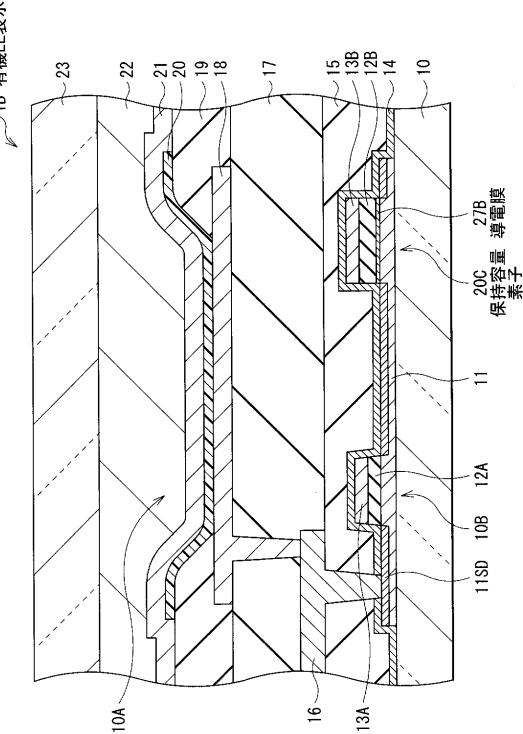
【 図 1 0 】



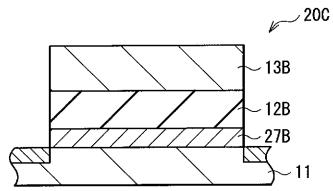
【 図 1 1 】



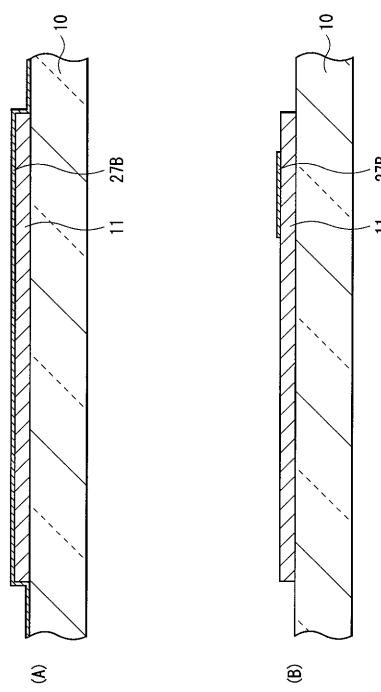
【 図 1 2 】



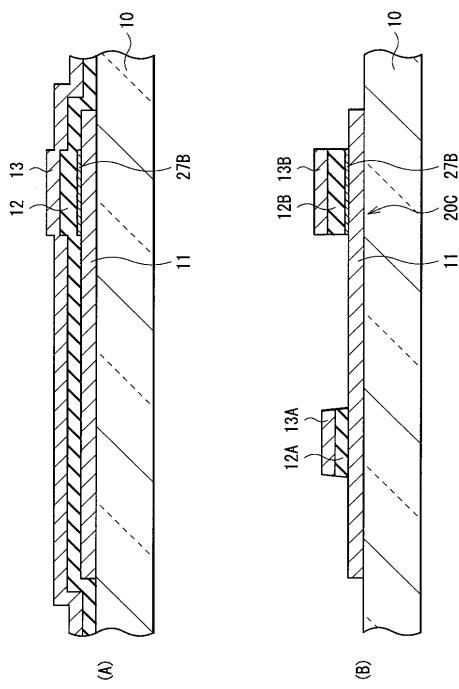
【図 1 3】



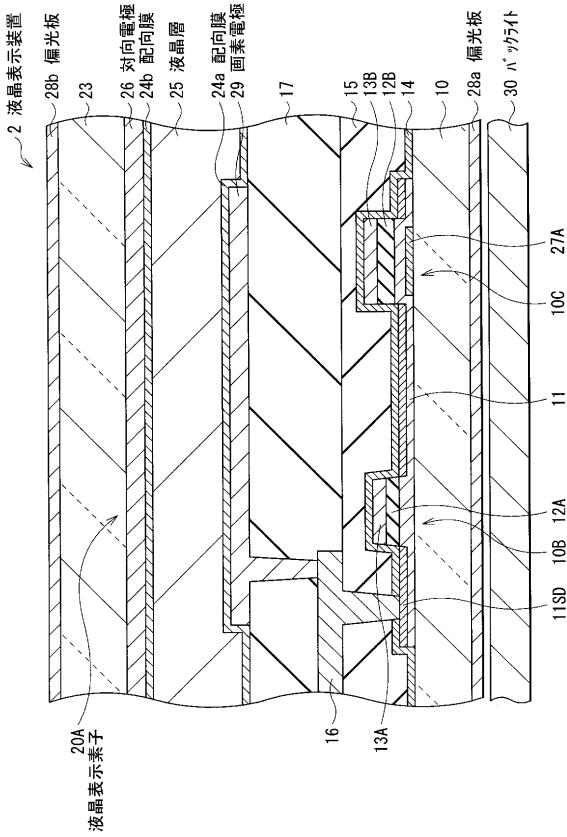
【図 1 4】



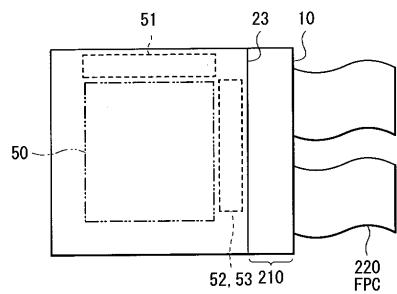
【図 1 5】



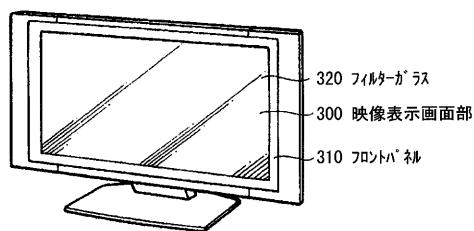
【図 1 6】



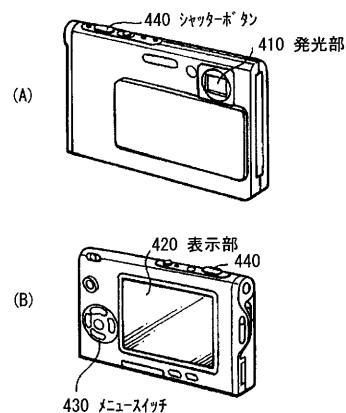
【図 1 7】



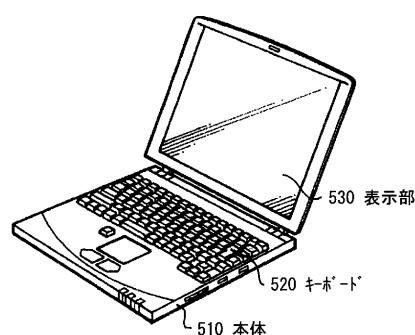
【図 1 8】



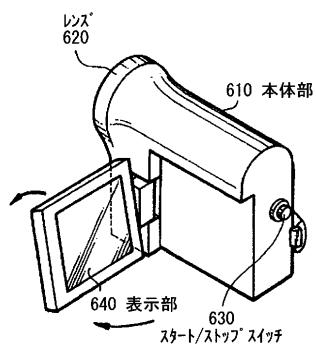
【図 1 9】



【図 2 0】



【図 2 1】



【図 2 2】

