

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年12月11日(2014.12.11)

【公表番号】特表2013-545302(P2013-545302A)

【公表日】平成25年12月19日(2013.12.19)

【年通号数】公開・登録公報2013-068

【出願番号】特願2013-536720(P2013-536720)

【国際特許分類】

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

H 01 L 21/8234 (2006.01)

H 01 L 27/06 (2006.01)

【F I】

H 01 L 27/04 C

H 01 L 27/06 102A

【手続補正書】

【提出日】平成26年10月24日(2014.10.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電気的導電性材料を含むキャパシタ下部プレートと、

前記キャパシタ下部プレートの上に形成される二酸化シリコンのキャパシタ誘電体層であって、前記キャパシタ誘電体層内のリン、シリコン及び酸素以外の原子の全濃度が $1 \times 10^{18}$ 原子/ $\text{cm}^3$ より小さくなるように、前記キャパシタ誘電体層が、 $1.7 \times 10^{20} \sim 2.3 \times 10^{20}$ 原子/ $\text{cm}^3$ のリン濃度を有する、前記キャパシタ誘電体層と、

前記キャパシタ誘電体層の上に形成されるキャパシタ上部プレートであって、電気的導電性材料を含む、前記キャパシタ上部プレートと、

を含む、キャパシタ。

【請求項2】

請求項1に記載のキャパシタであって、

前記キャパシタ誘電体層が45~55ナノメートル厚みである、キャパシタ。

【請求項3】

請求項1に記載のキャパシタであって、

前記キャパシタ下部プレートが多結晶シリコンを含む、キャパシタ。

【請求項4】

請求項3に記載のキャパシタであって、

前記キャパシタ上部プレートが、Ti、TiN、TiSiN、Ta、TaN、TaSiN、W、WN、WSiN及びそれらの任意の組み合わせから成るグループから選択される材料を含む、キャパシタ。

【請求項5】

請求項1に記載のキャパシタであって、

前記キャパシタ下部プレートが、アルミニウム、銅及び金から成るグループから選択される金属を含む、キャパシタ。

【請求項6】

基板と、

前記基板の上に形成されるキャパシタと、

を含む、集積回路であって、

前記キャパシタが、

前記基板の上に形成されるキャパシタ下部プレートであって、電気的導電性材料を含む

前記キャパシタ下部プレートと、

前記キャパシタ下部プレートの上に形成される二酸化シリコンのキャパシタ誘電体層であって、前記キャパシタ誘電体層内のリン、シリコン及び酸素以外の原子の全濃度が $1 \times 10^{18}$ 原子/cm<sup>3</sup>より小さくなるように、前記キャパシタ誘電体層が $1.7 \times 10^{20}$ 原子/cm<sup>3</sup>～ $2.3 \times 10^{20}$ 原子/cm<sup>3</sup>のリン濃度を有する、前記キャパシタ誘電体層と、

前記キャパシタ誘電体層の上に形成されるキャパシタ上部プレートであって、電気的導電性材料を含む、前記キャパシタ上部プレートと、

を含む、回路。

#### 【請求項7】

請求項6に記載の回路であって、

前記基板の上に形成される金属酸化物半導体(MOS)トランジスタを更に含み、

前記トランジスタが、前記キャパシタ下部プレートと同じ材料で形成されるトランジスタゲート電極を含む、回路。

#### 【請求項8】

請求項6に記載の回路であって、

前記キャパシタ誘電体層が45～55ナノメートル厚みである、回路。

#### 【請求項9】

請求項6に記載の回路であって、

前記基板の上面において形成されるフィールド酸化物の要素を更に含み、

前記キャパシタ下部プレートが前記フィールド酸化物要素上に形成され、前記キャパシタ下部プレートが多結晶シリコンを含む、回路。

#### 【請求項10】

請求項9に記載の回路であって、

前記キャパシタ上部プレートが、Ti、TiN、TiSiN、Ta、TaN、TaSiN、W、WN、WSiN及びそれらの任意の組み合わせから成るグループから選択される材料を含む、回路。

#### 【請求項11】

請求項6に記載の回路であって、

前記集積回路が、前記基板の上に形成される相互接続誘電体層を更に含み、

金属相互接続ラインが前記相互接続誘電体層上に形成され、

前記キャパシタ下部プレートが、前記金属相互接続ラインと同時に前記相互接続誘電体層上に形成され、更に

前記キャパシタ下部プレートが、アルミニウム、銅及び金から成るグループから選択される金属を含む、回路。

#### 【請求項12】

集積回路を形成するプロセスであって、

基板を提供すること、

前記基板の上にキャパシタを形成すること、

を含み、

前記キャパシタを形成することが、

前記基板の上にキャパシタ下部プレートを形成する工程であって、前記キャパシタ下部プレートが電気的導電性材料を含む、前記キャパシタ下部プレートを形成する工程と、

前記キャパシタ下部プレートの上に二酸化シリコンのキャパシタ誘電体層を形成する工程であって、前記キャパシタ誘電体層内のシリコン及び酸素以外の原子の全濃度が $1 \times 1$

$0^{18}$  原子 /  $\text{cm}^3$  より小さくなるようにする、前記キャパシタ誘電体層を形成する工程と、

前記キャパシタ誘電体層において  $1.7 \times 10^{20}$  原子 /  $\text{cm}^3$  ~  $2.3 \times 10^{20}$  原子 /  $\text{cm}^3$  のリン濃度を提供するように、前記キャパシタ誘電体層内にリンを置く工程と、

前記キャパシタ誘電体層の上にキャパシタ上部プレートを形成する工程であって、前記キャパシタ上部プレートが電気的導電性材料を含む、前記キャパシタ上部プレートを形成する工程と、

を含むプロセスによる、プロセス。

#### 【請求項 13】

請求項 12 に記載のプロセスであって、

キャパシタ下部プレートを形成する前記工程が、トランジスタのゲート電極を同時に形成する、プロセス。

#### 【請求項 14】

請求項 13 に記載のプロセスであって、

リンを置く前記工程において、前記キャパシタ誘電体層におけるリンの全ドーズ量が、 $8.5 \times 10^{14}$  原子 /  $\text{cm}^2$  ~  $1.15 \times 10^{14}$  原子 /  $\text{cm}^2$  であるように、且つ、注入されたリンの分布のピークが前記キャパシタ誘電体層のほぼ中央に置かれるように、イオン注入プロセスによって実行される、プロセス。

#### 【請求項 15】

請求項 12 に記載のプロセスであって、

リンを置く前記工程が、300 より高い温度でリン含有ガスに前記集積回路をさらすことにより行われる、プロセス。

#### 【請求項 16】

請求項 12 に記載のプロセスであって、

リンを置く前記工程が、リン含有プラズマに前記集積回路をさらすことにより行われる、プロセス。

#### 【請求項 17】

請求項 14 に記載のプロセスであって、

前記集積回路を形成する前記プロセスが、前記基板の上面においてフィールド酸化物の要素を形成する工程を更に含み、

前記キャパシタ下部プレートを形成する前記工程が、前記キャパシタ下部プレートが前記フィールド酸化物要素上の多結晶シリコンで形成されるように実行される、プロセス。

#### 【請求項 18】

請求項 17 に記載のプロセスであって、

前記キャパシタ上部プレートが、Ti、TiN、TiSiN、Ta、TaSiN、W、WN、WSiN 及びそれらの任意の組み合わせから成るグループから選択される材料を含む、プロセス。

#### 【請求項 19】

請求項 12 に記載のプロセスであって、

前記基板の上に相互接続誘電体層を形成することと、

前記相互接続誘電体層上に金属相互接続ラインを形成することと、

を更に含み、

前記キャパシタ下部プレートが、前記金属相互接続ラインと同時に前記相互接続誘電体層上に形成され、

前記キャパシタ下部プレートが、アルミニウム、銅及び金から成るグループから選択される金属を含む、プロセス。

#### 【請求項 20】

請求項 12 に記載のプロセスであって、

前記基板上にゲート誘電体層を形成することと、

前記ゲート誘電体層上にMOSゲートを形成することと、  
前記基板に前記MOSゲートに隣接してソース及びドレイン領域を形成することと、  
を更に含む、プロセス。