

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G08C 19/00

G08C 19/16



[12] 发明专利申请公开说明书

[21] 申请号 200410101557.0

[43] 公开日 2005 年 9 月 21 日

[11] 公开号 CN 1670782A

[22] 申请日 2004. 12. 23

[21] 申请号 200410101557.0

[30] 优先权

[32] 2004. 3. 18 [33] JP [31] 2004 - 079036

[71] 申请人 安捷伦科技公司

地址 美国加利福尼亚州

[72] 发明人 大谷卓也

[74] 专利代理机构 北京律盟知识产权代理有限公司

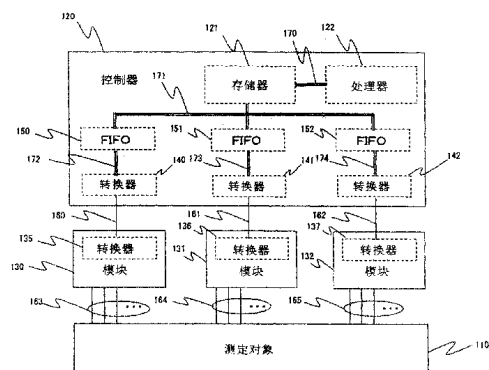
代理人 王允方 刘国伟

权利要求书 1 页 说明书 6 页 附图 3 页

[54] 发明名称 测定器

[57] 摘要

本发明的目的在于通过以简单的装置构成高速地实行模块与控制器之间的数据转送，从而缩短到获得测定结果的时间。上述问题可通过一种测定器而得以解决，该测定器具有：复数个模块，其具有并串行转换机构，控制器，其具有复数个串并行转换机构以及复数个 FIFO 存储器，以及串行总线，其分别连接上述各模块与上述各并串行转换机构。



ISSN 1008-4274

1. 一种测定器，其特征在于含有：
复数个模块，其具有并串行转换机构，
控制器，其具有复数个串并行转换机构以及复数个 FIFO 存储器，以及
串行总线，其分别连接上述各模块与上述各并串行转换机构。
2. 如权利要求 1 所述的测定器，其中上述串并行转换机构为时钟脉冲埋入型转换机构。
3. 如权利要求 1 所述的测定器，其中传过上述串行总线的信号为差动信号。
4. 如权利要求 1 所述的测定器，其中上述控制器进而含有处理器，以及存储器，其连接于上述处理器以及上述 FIFO。
5. 如权利要求 1 所述的测定器，其中上述模块进而含有串并行转换机构，且上述控制器进而含有并串行转换机构。

测定器

技术领域

本发明涉及一种具有串行传送方式的测定器，特别涉及一种于复数个模块与控制器之间通过串行传送方式实行数据转送的测定器。

背景技术

于测定 LSI 或 TFT 阵列等的半导体装置的特性的测定器中，被测定信号输入数较多，为综合所测定的数据并加以解析，如参考文献 1 揭示的技术，较多的是采用将模拟数字转换（ADC）模拟测定以及测定值，实行向数字数据转换的模块与实行数据处理·解析以该模块所获得的数字数据的控制器部分分离的结构。

图 2 表示具有分离为模块 230、231、232 以及控制器 220 的结构的代表性测定器。图中表示构成要素的连接线中，实线（263、264、265）表示数据线，双线（250、251）表示并行总线。来自半导体的小晶片或 TFT 阵列等测定对象 210 的信号连接于各模块 230、231、232。各模块 230、231、232 经由并行总线 251 连接于控制器 220 中的存储器 221。另外，仲裁器 200 也连接于并行总线 251。控制器 220 含有存储器 221 与处理器 222，存储器 221 与处理器 222 通过并行总线 251 而得以连接。

继而，说明图 2 的测定器的动作。首先，如果自测定对象 210 输入模拟信号到模块 230、231、232，则于模块 230、231、232 实行模拟数字转换（ADC）。经转换的数字数据经由数据总线 251 转送到控制器 220。此时，如果复数个模块同时于并行总线 251 实行数据输出，则会于并行总线 251 上产生数据冲突，无法实行正确的数据转送。

因此，于图 2 的系统中，通过仲裁器 200 实行转送时序的调整。即，实行转送的模块 230 于实行数据转送前将转送要求信号输出到仲裁器 200。接

收转送要求信号的仲裁器 200 判断并行总线是否处于使用中,如果为未使用状态,则对于模块 230 输出许可信号。接收许可信号的模块 230 经由并行总线 251 将数字数据转送到控制器 220 上的存储器 221。如果转送结束,则模块 230 将转送结束信号输出到仲裁器 200。仲裁器 200 保留来自其他模块 231、232 的转送要求直至其接收该转送结束信号为止。

以此方式将所有模块 230、231、232 的数据依序转送到存储器 221。其后,处理器 222 读取存储器 221 的数据,实行平均化、相关度的判定、合格品判定等测定数据的数据处理。

【专利文献 1】日本专利特开 2001-52281 号公报

[发明所欲解决的问题]

但是,如果如图 2 所示,经由并行总线 251 实行模块 230、231、232 与控制器 220 之间的数据转送,则因无法自复数个模块同时实行数据转送,故而产生数据转送等待的时间。因测定器一般以相同时序采样来自测定对象 210 的信号的情形较多,故而各模块实行数据转送要求的时序集中于同时期的情形较多。因此,如果转送等待时间变长,则测定整体所必须的时间也会增加。作为该对策,考虑到利用数据转送速率较高的总线,但如果提高数据转送速率,则会产生无法忽视并行总线 251 的各数据线的传送延迟量的差(滞后)的影响的问题。再者,于图 2 的系统中,因需要仲裁器 200,故而在测定器的构成变得较复杂的问题。

发明内容

本发明可通过一种测定器而解决上述问题,该测定器具有:复数个模块,其具有并串行转换机构,控制器,其具有复数个串并行转换机构以及复数个 FIFO 存储器,以及串行总线,其分别连接上述各模块与上述各并串行转换机构。

于各模块以及控制器间设置串行总线,实行串行转送,进而可于各模块以及控制器间同时转送。另外,通过于控制器侧设置 FIFO 存储器,即使测

定数据同时转送到控制器侧，在控制器侧也不会产生数据冲突。

[发明的效果]

通过本发明可提供一种测定器，其以简单的装置构成到获得测定结果所需要的时间较短。

附图说明

图 1 为本发明的实施例的测定器的概要构成图。

图 2 为先前技术的测定器的概要构成图。

图 3 为时钟脉冲埋入型转换方式的说明图。

具体实施方式

[实施例]

以下，参照图式，就本发明的适宜的实施例的测定器加以详细说明。以下参照的图中，实线表示数据线（163、164、165）或串行总线（160、161、162），双线表示并行总线（170、171 等）。

图 1 为本发明的测定器的概要构成图。本测定器包含三个模块 130、131、132，其连接于测定对象 110，以及控制器 120，其通过串行总线 160、161、162 与各模块 130、131、132 相连接。各模块 130、131、132 内置 ADC（未图示）与转换并行信号为串行信号的转换器 135、136、137，各转换器 135、136、137 的输出连接于串行总线 160、161、162。另外，控制器 120 包含转换器 140、141、142，其转换串行信号为并行信号，先进先出存储器（FIFO 存储器）150、151、152，其通过各并行总线 172、173、174 连接于转换器 140、141、142，存储器 121，其通过并行总线 171 与各 FIFO 存储器 150、151、152 连接，以及处理器 122，其通过并行总线 170 与存储器 121 连接。另外，本实施例中模块数为三个，但也可两个，也可四个以上。另外，测定对象 110 可为连接于 IC 晶片或 TFT 阵列等被测定装置的如电流计或电荷量计等的测定装置，也可如电压探针或压电元件等的测定元件，测定对象的数量也可复数个。另外，于来自测定对象 100 的测定信号为数字信号

的情形时，无需于模块 130、131、132 内部设置 ADC。

继而，说明图 1 的测定器的动作。如果自测定对象 110 输入模拟测定信号到模块 130、131、132，则通过模块 130、131、132 内部的 ADC 将模拟测定信号转换为并行信号（数字值）。通过转换器 135、136、137 将经转换的并行信号转换为串行信号，向控制器 120 实行数据转送。因各模块 130、131、132 与控制器 120 间分别设置有串行总线，故而即使其他模块为数据转送中的状态，也可开始数据转送。于本实施例中，为提高数据转送的可靠性，实行差动信号的数据转送，但于传送路径较短的情形时或使用传送特性较好的电缆的情形时，也可实行单端信号的数据转送。接收来自模块 130、131、132 的数据的控制器 120 的转换器 140、141、142 将串行信号转换为并行信号，于 FIFO 存储器 150、151、152 存储数据。依序读出所存储的数据，以预先决定的格式记录于存储器 121 上。处理器 122 读取存储器 121 上的数据，实行平均化、相关度计算、合格品判定等处理，并输出测定结果。

另外，于并非仅自模块 130、131、132 实行向控制器 120 的数据转送，也必须如模块控制程序的转送般，自控制器 120 实行向模块 130、131、132 的数据转送的测定器中，以可串行 - 并行信号转换、也可并行 - 串行信号转换的转换器构成转换器 135、136、137、140、141、142 即可。

然而，于控制器 120 与模块 130、131、132 间的串行数据转送中，一般会与转送数据本身一起传送表示数据发送的时序的时钟脉冲。例如，于发送数据列「1010111000」的情形时，传送图 3(a) 般的时钟脉冲与数据信号。于图中纵轴为电压，横轴表示时间。于各时钟脉冲上升时，电压如果为 High 电平则表示数据值 1，如果为 Low 电平则表示数据值 0。

如图 3(a) 所示，如果采用分开发送时钟脉冲信号与数据信号的传送方式，则时钟脉冲信号与数据信号经过不同的传送路径而传送，故而两信号的传送延迟时间会产生差（滞后）。该传送延迟时间的差于时钟脉冲频率较低时或传送路径较短时并无较大问题，但为提高传送速度而提高时钟脉冲频

率时则变为无法忽视的量。另外，自图 3(a)的数据信号的信号波形也可知，如果持续相同数据值，则数据信号维持固定电压，故而数据信号的频率变低，如果相异的数据值交互连续，则数据信号的频率变高。因此，存在数据信号的信号路径要求跨越非常广的频率具有均一且良好的传送特性的问题。

因此，于本实施例中采用时钟脉冲埋入型转换方式。所谓时钟脉冲埋入型转换方式指将特定的数据行转换为包含 0 与 1 的特定图案实行数据转送的方式。进而，即使不传送时钟脉冲信号，也可恢复数据，因此即使转送速度提高也不会产生传送延迟时间的问题。另外，即使于相同数据值连续的情形时也不会降低数据信号的频率，故而可停留传送频率带于固定范围。

图 3(b) 表示最简单的时钟脉冲埋入型的实例。于该实例中，数据值为 1 时转换为「10」（即自 High 到 Low）的信号，数据值为 0 时，转换为「01」（即自 Low 到 High）的信号。自图 3(b) 可知，转换后的数据信号于 1 时钟脉冲内必定为 High 电平与 Low 电平的两种状态，故而即使无时钟脉冲信号，于接收侧也可恢复数据值。另外，可知转换后的信号的频率位于时钟脉冲频率至其一半的频率带域内。

如此，如图 3(b) 所示，仅通过将 1 bit 的数据值转换为 2 bit 的数据，信息量即可成倍，故而以 3 bit 到 8 bit 左右的数据列单位利用考虑到出现频率的转换平台实行转换者效率较好。作为代表性的转换方法，存有如日本专利特开昭 59-10056 号公报中揭示的所谓 8B/10B 转换方式。于本实施例的测定器中，作为时钟脉冲埋入型转换也采用有 8B/10B 转换。在 8B/10B 转换方式中，因将 8 比特的数据应用于 10 比特的数据而转送，故而传送效率降低 20%，但因可将 8 比特中 256 信道的组合通过 10 比特中 1024 信道的组合而表现，故而可选择 0 与 1 良好混合的较平衡的数据列，表现数据。该 8 比特数据与 10 比特数据的转换平台通过 8B/10B 而规定。因可通过 1024 信道的组合表现 8 比特数据，故而可将剩余的组和使用于数据以外的例如表

现封包的中断等特殊用途。转换平台中已规定数种特殊文字，于 8B/10B 转换中未规定的剩余组合于接收侧识别为非法文字，进而可实行传送错误测定。

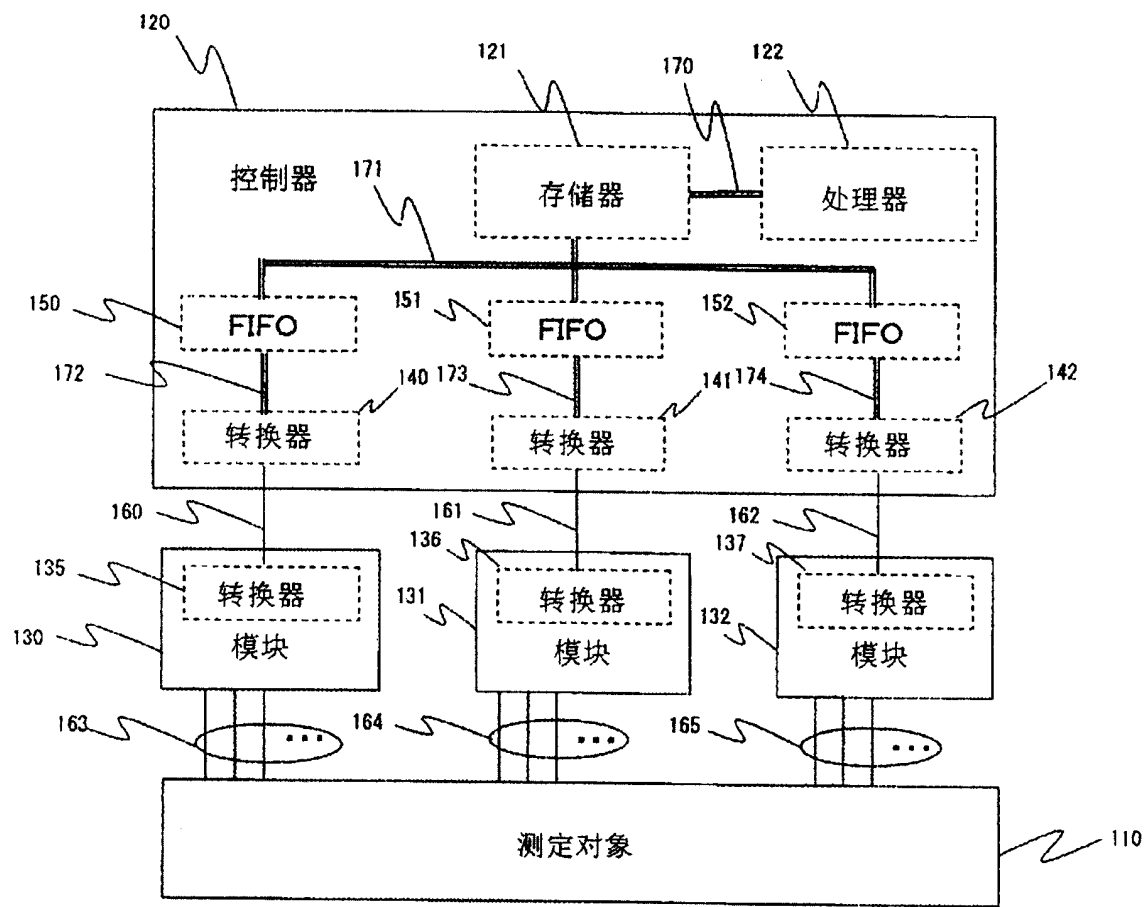


图 1

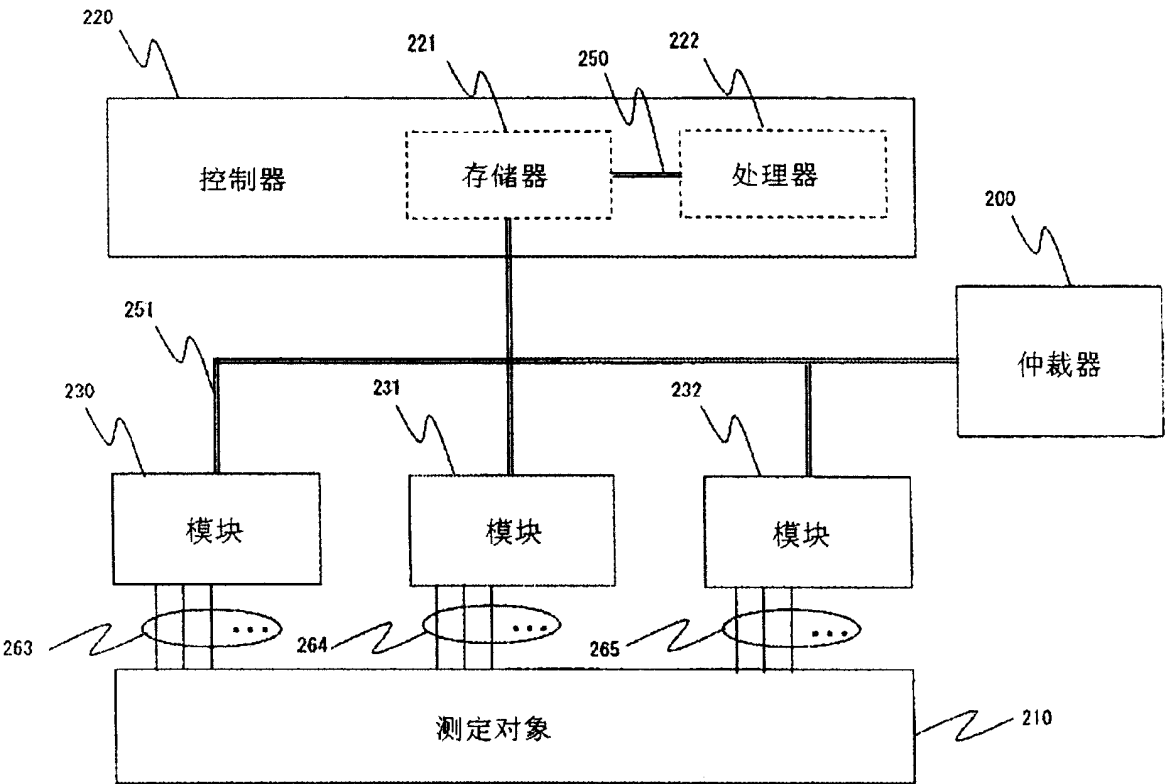


图 2

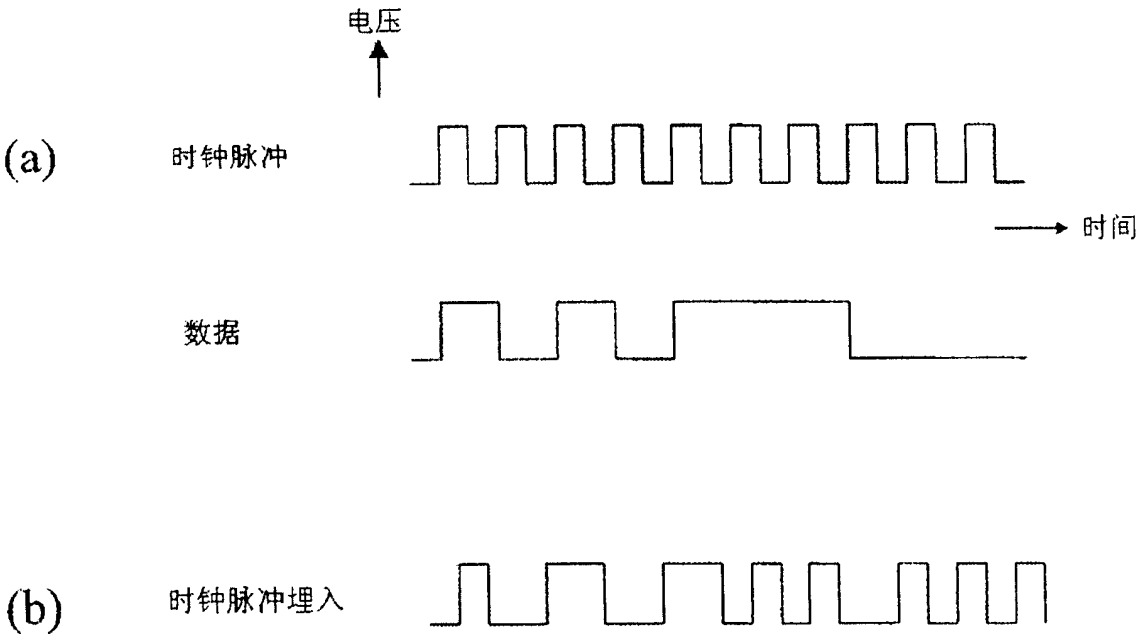


图 3