

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月2日(02.01.2025)



(10) 国際公開番号

WO 2025/004192 A1

(51) 国際特許分類:

F16D 66/00 (2006.01) H02P 3/04 (2006.01)
F16D 65/14 (2006.01)

(21) 国際出願番号: PCT/JP2023/023835

(22) 国際出願日: 2023年6月27日(27.06.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: ファナック株式会社 (FANUC CORPORATION) [JP/JP]; 〒4010597 山梨県南都留郡忍野村忍草字古馬場 3 5 8 0 番地 Yamanashi (JP).

(72) 発明者: 大井 陽一郎 (OOI, Youichirou); 〒4010597 山梨県南都留郡忍野村忍草字

古馬場 3 5 8 0 番地 ファナック株式会社内 Yamanashi (JP). 水上 真一 (MIZUKAMI, Shinichi); 〒4010597 山梨県南都留郡忍野村忍草字古馬場 3 5 8 0 番地 ファナック株式会社内 Yamanashi (JP).

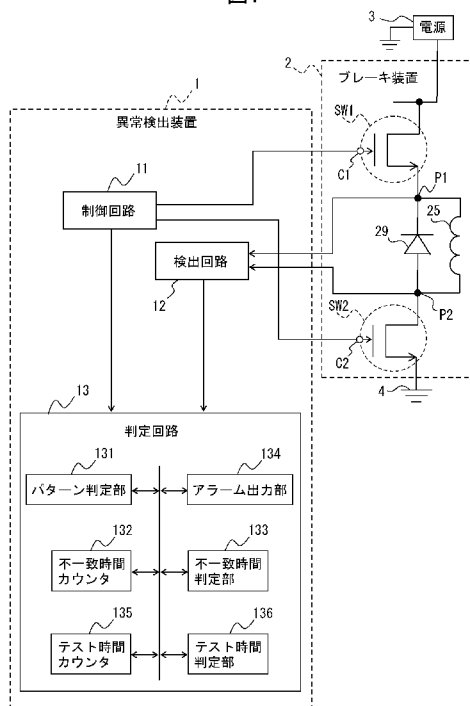
(74) 代理人: 青木 篤, 外 (AOKI, Atsushi et al.); 〒1050001 東京都港区虎ノ門一丁目 2 3 番 1 号 虎ノ門ヒルズ森タワー 青和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: ABNORMALITY DETECTION DEVICE FOR BRAKE DEVICE

(54) 発明の名称: ブレーキ装置の異常検出装置

図1



- 1 Abnormality detection device
- 2 Brake device
- 3 Power source
- 11 Control circuit
- 12 Detection circuit
- 13 Determination circuit
- 131 Pattern determination unit
- 132 Nonagreement time counter
- 133 Nonagreement time determination unit
- 134 Alarm output unit
- 135 Test time counter
- 136 Test time determination unit

(57) Abstract: This abnormality detection device comprises: a control circuit that applies a first command voltage to a control terminal of a first switching element of a non-excitation operation-type brake device, and applies a second command voltage to a control terminal of a second switching element; a detection circuit that detects a first potential that is the potential of a first terminal of a brake coil, and a second potential that is the potential of a second terminal of the brake coil; and a determination circuit that determines the presence or absence of an abnormality of the first switching

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

element and the second switching element on the basis of a combination pattern of the first command voltage applied to the control terminal of the first switching element by the control circuit, the first potential of the first terminal detected by the detection circuit, the second command voltage applied to the control terminal of the second switching element by the control circuit, and the potential of the second terminal detected by the detection circuit.

(57) 要約: 異常検出装置は、無励磁作動型のブレーキ装置の第1のスイッチング素子の制御端子に第1の指令電圧を印加し、第2のスイッチング素子の制御端子に第2の指令電圧を印加する制御回路と、ブレーキコイルの第1の端子の電位である第1の電位と、ブレーキコイルの第2の端子の電位である第2の電位とを検出する検出回路と、制御回路が第1のスイッチング素子の制御端子に印加した第1の指令電圧と、検出回路によって検出された第1の端子の第1の電位と、制御回路が第2のスイッチング素子の制御端子に印加した第2の指令電圧と、検出回路によって検出された第2の端子の電位との組み合わせパターンに基づき、第1のスイッチング素子及び第2のスイッチング素子の異常の有無を判定する判定回路と、を備える。

明 細 書

発明の名称：ブレーキ装置の異常検出装置

技術分野

[0001] 本開示は、ブレーキ装置の異常検出装置に関する。

背景技術

[0002] モータ駆動装置では、回転しているモータにブレーキをかけたり、停止しているモータが回転しないよう固定したりするために、無励磁作動型の機械式ブレーキ装置（以下、単に「ブレーキ装置」と称する。）が広く用いられている。ブレーキ装置のブレーキコイルと電源との間にはスイッチング素子が接続されている。無励磁作動型のブレーキ装置では、スイッチング素子が閉動作することで電源からブレーキコイルに電流が流れ込み、ブレーキが解除される。また、スイッチング素子が開動作して電源からブレーキコイルに電流が流れ込まないようにすることで、ブレーキが締結される。ブレーキ装置は、安全に関わる機構であるので高い信頼性が要求される。ブレーキコイルに流れる電流を制御するスイッチング素子に異常があると、ブレーキの締結や解除が正常に行うことができない。このため、ブレーキ装置の異常を検出する技術がいくつか提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2022-068140号公報

特許文献2：特開2015-211609号公報

発明の概要

発明が解決しようとする課題

[0004] 無励磁作動型のブレーキ装置の異常を正確に検出できる技術が望まれている。

課題を解決するための手段

[0005] 本開示の一態様によれば、異常検出装置は、ブレーキコイルに電流が流れ

ているときはブレーキを解除し、ブレーキコイルへの電流が遮断されているときはブレーキを締結する無励磁作動型のブレーキ装置の、電源とブレーキコイルの第1の端子との間に接続された第1のスイッチング素子の制御端子に第1の指令電圧を印加することで第1のスイッチング素子の開閉を制御し、ブレーキコイルの第2の端子とグラウンド4との間に接続された第2のスイッチング素子の制御端子に第2の指令電圧を印加することで第2のスイッチング素子の開閉を制御する制御回路と、ブレーキコイルの第1の端子の電位である第1の電位と、ブレーキコイルの第2の端子の電位である第2の電位とを検出する検出回路と、制御回路が第1のスイッチング素子の制御端子に印加した第1の指令電圧の大きさと、検出回路によって検出された第1の端子の第1の電位の大きさと、制御回路が第2のスイッチング素子の制御端子に印加した第2の指令電圧の大きさと、検出回路によって検出された第2の端子の電位の大きさとの組み合わせパターンに基づき、第1のスイッチング素子及び第2のスイッチング素子の異常の有無を判定する判定回路と、を備える。

図面の簡単な説明

[0006] [図1]本開示の一実施形態による異常検出装置を示す図である。

[図2]本開示の一実施形態による異常検出装置の異常検出対象である無励磁作動型のブレーキ装置の構造を示す断面図であって、モータに対してブレーキを締結させた状態を示す。

[図3]本開示の一実施形態による異常検出装置の異常検出対象である無励磁作動型のブレーキ装置の構造を示す断面図であって、モータに対するブレーキが解除された状態を示す。

[図4]ブレーキ装置のブレーキ締結時におけるノイズの発生を例示する図である。

[図5]本開示の一実施形態による異常検出装置における判定回路による判定処理に用いられるブレーキ締結時の基準パターンを示す図である。

[図6]本開示の一実施形態において、ブレーキ装置のブレーキ締結時において

各スイッチング素子が正常であるがノイズの影響がある場合の指令電圧及び検出電位を例示する図である。

[図7]本開示の一実施形態において、ブレーキ装置のブレーキ締結時において第1のスイッチング素子に異常がある場合の指令電圧及び検出電位を例示する図である。

[図8]本開示の一実施形態による異常検出装置における判定回路による判定処理に用いられるブレーキ解除時の基準パターンを示す図である。

[図9]本開示の一実施形態による異常検出装置における判定回路の動作フローを示すフローチャートである。

発明を実施するための形態

[0007] 以下、ブレーキ装置の異常検出装置を、図面を参照して説明する。なお、以下の説明では、同一または類似の機能を有する構成に同一の符号を付す。そして、それら構成の重複する説明は、省略する場合がある。理解を容易にするために、図面は縮尺を適宜変更している。また、以下の説明では、単に「ブレーキ装置」と表記するときは、無励磁作動型のブレーキ装置を意味する。

[0008] <本開示の一実施形態による全体構成>

図1は、本開示の一実施形態による異常検出装置を示す図である。

[0009] 本開示の一実施形態による異常検出装置1は、無励磁作動型のブレーキ装置2の異常の有無を検出する。無励磁作動型のブレーキ装置2は、ブレーキコイル25に電流が流れている励磁時にブレーキを解除し、ブレーキコイル25への電流が遮断されている無励磁時にブレーキを締結する。

[0010] 本開示の一実施形態による異常検出装置1を説明するに先立ち、異常検出装置1が接続されたブレーキ駆動装置が制御するブレーキ装置2の構造について図2及び図3を参照して説明する。図2は、本開示の一実施形態による異常検出装置の異常検出対象である無励磁作動型のブレーキ装置の構造を示す断面図であって、モータに対してブレーキを締結させた状態を示す。図3は、本開示の一実施形態による異常検出装置の異常検出対象である無励磁作

動型のブレーキ装置の構造を示す断面図であって、モータに対するブレーキが解除された状態を示す。

[0011] 図2及び図3に示すように、ブレーキ装置2において、アマチュア22と端板23との間には摩擦板21が配置される。摩擦板21にはハブ32がスプライン結合される。ハブ32とモータのシャフト31とは例えば焼き嵌めにより一体化されているので、モータのシャフト31の回転に連動して摩擦板21も回転する。端板23とスペーサ27とはボルト28によって結合され、アマチュア22が摩擦板21に近づく方向及び遠ざかる方向に移動可能となるようにスペーサ27に結合される。コア26内にはバネ24及びブレーキコイル25が設けられる。図2に示すように、ブレーキコイル25に電流が流れていない無励磁状態においては、アマチュア22はバネ24の弾性力により摩擦板21に強く押し付けられ、摩擦板21がアマチュア22と端板23とで挟まれて回転できない。この結果、摩擦板21に結合されたモータのシャフト31も回転できなくなり、モータに対してブレーキが作動した状態となる（ブレーキ締結状態）。一方、図3に示すように、ブレーキコイル25にブレーキ電流が流れる励磁状態においては、アマチュア22を摩擦板21に押し付けていたバネ24の弾性力に打ち勝つ電磁力がコア26に発生し、これによりアマチュア22がコア26に引きつけられて摩擦板21はアマチュア22及び端板23との接触から解放される。この結果、摩擦板21ひいてはモータのシャフト31は自由に回転できるようになり、モータに対するブレーキが解除された状態となる（ブレーキ解除状態）。

[0012] 図1に示すように、ブレーキ装置2には電源3が接続されている。電源3は、直流電圧を出力する。電源3は、例えば交流電圧を直流電圧に変換する整流器、スイッチングレギュレータ、あるいはバッテリーなどで構成される。一例として、電源3は、電圧値が24Vの直流電圧を出力するが、その他の電圧値（例えば15V、12V、5Vなど）の直流電圧を出力する直流電源であってもよい。

[0013] ブレーキ装置2は、電源3からブレーキコイル25に流れる電流を制御す

るために、第1のスイッチング素子SW1と、第2のスイッチング素子SW2と、ダイオード29とを備える。

[0014] 第1のスイッチング素子SW1及び第2のスイッチング素子SW2は、それぞれブレーキ装置2のブレーキコイル25に直列に接続される。ブレーキコイル25の正極端子である第1の端子P1と電源3との間の電路を開路（遮断）または閉路（接続）する第1のスイッチング素子SW1が設けられる。また、ブレーキコイル25の負極端子である第2の端子P2とグランド4との間の電路を開路（遮断）または閉路（接続）する第2のスイッチング素子SW2が設けられる。なお、図1に示す例では第1のスイッチング素子SW1及び第2のスイッチング素子SW2をそれぞれ1つずつ設けたが、この変形例として、それぞれについて2つ以上設けてもよい。第1のスイッチング素子SW1及び第2のスイッチング素子SW2の例としては、MOSFET、IGBT、サイリスタ、GTO、トランジスタなどがある。MOSFETはその端子としてゲート端子、ドレイン端子及びソース端子を有する。IGBTはその端子としてゲート端子、コレクタ端子及びエミッタ端子を有する。トランジスタはその端子としてベース端子、コレクタ端子及びエミッタ端子を有する。サイリスタ及びGTOはその端子としてゲート端子、アノード端子及びカソード端子を有する。第1のスイッチング素子SW1及び第2のスイッチング素子SW2の「電流流入端子」は、MOSFETの「ドレイン端子」、IGBT及びトランジスタの「コレクタ端子」、サイリスタ及びGTOの「アノード端子」がそれぞれ対応する。第1のスイッチング素子SW1及び第2のスイッチング素子SW2の「電流流出端子」は、MOSFETの「ソース端子」、IGBT及びトランジスタの「エミッタ端子」、サイリスタ及びGTOの「カソード端子」がそれぞれ対応する。第1のスイッチング素子SW1及び第2のスイッチング素子SW2の「制御端子」は、MOSFET、IGBT、サイリスタ及びGTOの「ゲート端子」、トランジスタの「ベース端子」がそれぞれ対応する。

[0015] 第1のスイッチング素子SW1及び第2のスイッチング素子SW2の種類

自体は本実施形態を限定するものではなく、例示した以外のスイッチング素子であってもよい。以下の説明では、第1のスイッチング素子SW1及び第2のスイッチング素子SW2は、一例として、ノーマリーオフ型のスイッチング素子としている。第1のスイッチング素子SW1及び第2のスイッチング素子SW2をノーマリーオン型のスイッチング素子とする場合は、以下の説明では、閉指令電圧はL（ロー）、開指令電圧はH（ハイ）と読み替えられる。

[0016] ダイオード29は、ブレーキ装置2に対して並列接続されるように、ブレーキコイル25の第1の端子P1と第2の端子P2との間に接続される。ダイオード29は、第1のスイッチング素子SW1及び第2のスイッチング素子SW2の開閉サージやノイズなどの瞬間的な高電圧を除去する。

[0017] 図1に示すように、本開示の一実施形態による異常検出装置1は、制御回路11と、検出回路12と、判定回路13とを備える。

[0018] 制御回路11は、第1のスイッチング素子SW1の制御端子C1に第1の指令電圧を印加することで第1のスイッチング素子SW1の開閉を制御する。また、制御回路11は、第2のスイッチング素子SW2の制御端子C2に第2の指令電圧を印加することで第2のスイッチング素子SW2の開閉を制御する。制御回路11は、ブレーキ装置2のブレーキ締結及びブレーキ解除を制御するためのブレーキ駆動装置としての機能を有するとともに、ブレーキ装置2の異常を検出するための異常検出装置1としての機能を有する。すなわち、制御回路11は、第1の指令電圧及び第2の指令電圧として、ブレーキ締結時にはブレーキ締結用指令電圧を出力し、ブレーキ解除時にはブレーキ解除用指令電圧を出力する。また、制御回路11は、第1の指令電圧及び第2の指令電圧として、パルス状のテスト用指令電圧を出力する。制御回路11から出力された第1の指令電圧は、第1のスイッチング素子SW1の制御端子C1に印加される。制御回路11から出力された第2の指令電圧は、第2のスイッチング素子SW2の制御端子C2に印加される。また、制御回路11から出力された第1の指令電圧及び第2の指令電圧に関するデータ

は、判定回路 1 3 に送られる。

[0019] 検出回路 1 2 は、ブレーキコイル 2 5 の第 1 の端子 P 1 の電位である第 1 の電位と、ブレーキコイル 2 5 の第 2 の端子 P 2 の電位である第 2 の電位とを検出する。以下、検出された第 1 の電位及び第 2 の電位を、「検出電位」と称することがある。検出回路 1 2 による検出結果に関するデータは、判定回路 1 3 に送られる。

[0020] 判定回路 1 3 は、制御回路 1 1 が第 1 のスイッチング素子 SW 1 の制御端子 C 1 に印加した第 1 の指令電圧の大きさと、第 1 のスイッチング素子 SW 1 の制御端子 C 1 に第 1 の指令電圧が印加されたときに検出回路 1 2 によって検出された第 1 の端子 P 1 の第 1 の電位の大きさと、制御回路 1 1 が第 2 のスイッチング素子 SW 2 の制御端子 C 2 に印加した第 2 の指令電圧の大きさと、第 2 のスイッチング素子 SW 2 の制御端子 C 2 に第 2 の指令電圧が印加されたときに検出回路 1 2 によって検出された第 2 の端子 P 2 の電位の大きさととの組み合わせパターンに基づき、第 1 のスイッチング素子 SW 1 及び第 2 のスイッチング素子 SW 2 の異常の有無を判定する。

[0021] 判定回路 1 3 は、各指令電圧及び各検出電位の組み合わせパターンが予め規定された基準パターンとは一致しない状態が、所定の不一致判定時間にわたって継続した場合、第 1 のスイッチング素子 SW 1 及び第 2 のスイッチング素子 SW 2 のうちの少なくとも 1 つに異常が発生したと判定する。

[0022] 判定回路 1 3 による判定結果を、例えば表示装置（図示せず）に表示させてもよい。表示装置の例としては、単体のディスプレイ装置、ブレーキ装置 2 に接続されたモータ駆動装置に付属のディスプレイ装置、上位制御装置（例えばロボットコントローラや数値制御装置）に付属のディスプレイ装置、並びに、パソコン及び携帯端末に付属のディスプレイ装置などがある。

[0023] ブレーキ装置 2 のブレーキ締結時においては、ノイズの影響により誤判定してしまう可能性があるため、判定回路 1 3 はノイズの影響を排除するための構成を有する。

[0024] ここで、ブレーキ締結時におけるノイズの発生について説明する。図 4 は

、ブレーキ装置のブレーキ締結時におけるノイズの発生を例示する図である。

[0025] ブレーキコイル 25 の第 1 の端子 P 1 の第 1 の電位及び第 2 の端子 P 2 の第 2 の電位の大きさを判定するために閾値を設定することで、閾値以上の電位を高電位（H）とし、閾値未満の電位を低電位（L）として切り分けることができる。閾値は、例えば、電源 3 の電位とグラウンド 4 の電位とのほぼ中間の値に設定される。

[0026] ブレーキ装置 2 のブレーキ締結時においては、制御回路 11 は、第 1 の指令電圧として第 1 のスイッチング素子 SW 1 の制御端子 C 1 にブレーキ締結用開指令電圧である L（ロー）を印加し、第 2 の指令電圧として第 2 のスイッチング素子 SW 2 の制御端子 C 2 にブレーキ締結用開指令電圧である L（ロー）を印加する。第 1 のスイッチング素子 SW 1 及び第 2 のスイッチング素子 SW 2 に異常がなければ、第 1 のスイッチング素子 SW 1 及び第 2 のスイッチング素子 SW 2 は開動作する。これにより、ブレーキコイル 25 の第 1 の端子 P 1 と第 2 の端子 P 2 との間には電源 3 からの直流電圧が印加されないで、理想的には、第 1 の端子 P 1 の第 1 の電位と第 2 の端子 P 2 の第 2 の電位は、ともに低電位（L）になるはずである。ブレーキ装置 2 がブレーキ締結時にあるにもかかわらず、第 1 の端子 P 1 の第 1 の電位及び／または第 2 の端子 P 2 の第 2 の電位が H（ハイ）になった場合は、第 1 のスイッチング素子 SW 1 及び／または第 2 のスイッチング素子 SW 2 に異常が発生している可能性がある。

[0027] しかしながら、第 1 のスイッチング素子 SW 1 及び第 2 のスイッチング素子 SW 2 に異常が発生していなくても、ノイズの影響によって第 1 の端子 P 1 の第 1 の電位及び／または第 2 の端子 P 2 の第 2 の電位が H（ハイ）になることがある。その理由は次の通りである。

[0028] ブレーキコイル 25 の第 1 の端子 P 1 と第 2 の端子 P 2 との間は、グラウンド 4 から切り離されたハイインピーダンス状態となるので、ブレーキコイル 25 の第 1 の端子 P 1 と第 2 の端子 P 2 との間は、外部からのノイズの影響

を受けやすくなり、ノイズに起因してその電位の大きさが変動する。図4に示す例では、ブレーキコイル25の第2の端子P2の第2の電位が、ノイズの影響を受けて変動している様子を示している。第1のスイッチング素子SW1及び第2のスイッチング素子SW2が正常であった場合は、ブレーキ装置2のブレーキ締結時においては第2の電位は、本来は低電位（L）であると判定されるべきところ、ノイズの影響により、本来の判定結果とは「不一致」となる高電位（H）と判定されてしまう時間が生じることがある。このような「不一致時間」がある程度長い時間継続し、アラーム判定時間を超えてしまうと、第1のスイッチング素子SW1及び第2のスイッチング素子SW2に異常が発生していないにもかかわらず、「異常が発生した」と誤判定してしまう。

[0029] そこで、本開示の一実施形態では、ブレーキ装置2のブレーキ締結時における上述したようなノイズに起因する誤判定を回避するために、制御回路11は、ブレーキ装置2のブレーキ締結時において、第1のスイッチング素子SW1の制御端子C1及び第2のスイッチング素子SW2の制御端子C2に対して、ブレーキ締結用指令電圧を印加している合間に、パルス状のテスト用指令電圧を印加する。すなわち、制御回路11は、ブレーキ装置2のブレーキ締結時において、第1の指令電圧として、ブレーキ締結用開指令電圧及びパルス状のテスト用閉指令電圧のうちの一方を第1のスイッチング素子SW1の制御端子C1に印加し、第2の指令電圧として、ブレーキ締結用開指令電圧及びパルス状のテスト用閉指令電圧のうちの一方を第2のスイッチング素子SW2の制御端子C2に印加する。そして、判定回路13は、各制御端子C1及びC2に対するブレーキ締結用開指令電圧及びパルス状のテスト用閉指令電圧の印加時のそれぞれにおいて、各指令電圧及び各検出電位の組み合わせパターンが予め規定された基準パターンと一致するか否かを判定する。判定回路13は、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致しない状態（すなわち不一致である状態）が、予め規定された不一致判定時間にわたって継続した場合、第1のスイッチング素子SW

1 及び第2のスイッチング素子SW2に異常が発生したと判定する。また、判定回路13は、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致しない状態（すなわち不一致である状態）が、不一致判定時間まで継続しない場合は、ノイズの発生の可能性があるので、異常とは判定しない。また、判定回路13は、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致する場合は、当然のことながら異常とは判定しない。

[0030] <ブレーキ締結時の基準パターン>

続いて、判定回路13による判定処理に用いられるブレーキ締結時の基準パターンについて説明する。

[0031] 第1のスイッチング素子SW1及び第2のスイッチング素子SW2が正常である場合、第1のスイッチング素子SW1の制御端子C1に印加される第1の指令電圧及び第2のスイッチング素子SW2の制御端子C2に印加される第2の指令電圧に応じて、ブレーキコイル25の第1の端子P1の第1の電位の大きさ及びブレーキコイル25の第2の端子P2の第2の電位の大きさが決まる。第1のスイッチング素子SW1及び第2のスイッチング素子SW2が正常である場合における第1の指令電圧と第1の電位と第2の指令電圧と第2の電位との組み合わせが、基準パターンとして規定される。

[0032] 図5は、本開示の一実施形態による異常検出装置における判定回路による判定処理に用いられるブレーキ締結時の基準パターンを示す図である。なお、図5では、第1のスイッチング素子SW1及び第2のスイッチング素子SW2はノーマリーオフ型のスイッチング素子としているので、開指令電圧はL（ロー）であり、閉指令電圧はH（ハイ）である。第1のスイッチング素子SW1及び第2のスイッチング素子SW2はノーマリーオン型のスイッチング素子である場合は、図5の基準テーブルは、開指令電圧はH（ハイ）に、閉指令電圧はL（ロー）にそれぞれ読み替えて適用される。

[0033] 制御回路11は、ブレーキ装置2のブレーキ締結時において、第1の指令電圧として、ブレーキ締結用開指令電圧及びパルス状のテスト用閉指令電圧

のうちの一方を第1のスイッチング素子SW1の制御端子C1に印加し、第2の指令電圧として、ブレーキ締結用開指令電圧及びパルス状のテスト用閉指令電圧のうちの一方を第2のスイッチング素子SW2の制御端子C2に印加する。ブレーキ締結時における基準パターンは、ブレーキ装置2のブレーキ締結状態を維持するための指令電圧と検出電位との組み合わせと、第1のスイッチング素子SW1の制御端子C1にパルス状のテスト用指令電圧が印加されるとき指令電圧と検出電位との組み合わせと、第2のスイッチング素子SW2の制御端子C2にパルス状のテスト用指令電圧が印加されるとき指令電圧と検出電位との組み合わせとを含む。より詳細には次の通りである。

[0034] ブレーキ締結時の基本状態では、第1の指令電圧がブレーキ締結用開指令電圧であるL（ロー）であり、かつ第1の端子P1の第1の電位が閾値未満の値であるL（ロー）であり、かつ第2の指令電圧がブレーキ締結用開指令電圧であるL（ロー）であり、かつ第2の端子P2の第2の電位が閾値未満の値であるL（ロー）である組み合わせが、基準パターンとなる。

[0035] 第1のスイッチング素子SW1の制御端子C1にパルス状のテスト用指令電圧が印加される状態では、第1の指令電圧がテスト用閉指令電圧であるH（ハイ）であり、かつ第1の端子P1の第1の電位が閾値以上の値であるH（ハイ）であり、かつ第2の指令電圧がブレーキ締結用開指令電圧であるL（ロー）であり、かつ第2の端子P2の第2の電位が閾値以上の値であるH（ハイ）である組み合わせが、基準パターンとなる。

[0036] 第2のスイッチング素子SW2の制御端子C2にパルス状のテスト用指令電圧が印加される状態では、第1の指令電圧がブレーキ締結用開指令電圧であるL（ロー）であり、かつ第1の端子P1の第1の電位が閾値未満の値であるL（ロー）であり、かつ第2の指令電圧がテスト用閉指令電圧であるH（ハイ）であり、かつ第2の端子P2の第2の電位が閾値未満の値であるL（ロー）である組み合わせが、基準パターンとなる。

[0037] <波形例>

図6は、本開示の一実施形態において、ブレーキ装置のブレーキ締結時において各スイッチング素子が正常であるがノイズの影響がある場合の指令電圧及び検出電位を例示する図である。図6では、ブレーキ締結時において時刻 t_1 から時刻 t_2 までの間と時刻 t_4 以降にブレーキコイル25の第1の端子P1と第2の端子P2との間にノイズが発生した場合を例示している。

[0038] 開始時刻から時刻 t_1 までは、第1の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第1のスイッチング素子SW1の制御端子C1に印加され、第2の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第2のスイッチング素子SW2の制御端子C2に印加される。これにより、第1のスイッチング素子SW1及び第2のスイッチング素子SW2は、ともに開状態となる。この結果、第2の端子P2の第2の電位は主としてL（ロー）であるが、第1の端子P1の第1の電位は、本来であればL（ロー）であるべきところ、ノイズの影響により、閾値以上の値であるH（ハイ）となる時間が比較的長く発生している。よって、開始時刻から時刻 t_1 までは、各指令電圧及び各検出電位の組み合わせパターンは、図5に示す基準パターンと不一致となる。

[0039] 時刻 t_1 から時刻 t_2 までの間は、第1の指令電圧としてテスト用閉指令電圧であるH（ハイ）が第1のスイッチング素子SW1の制御端子C1に印加され、第2の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第2のスイッチング素子SW2の制御端子C2に印加される。これにより、第1のスイッチング素子SW1は開状態となり、第2のスイッチング素子SW2は閉状態となる。この結果、第1の端子P1の第1の電位は閾値以上の値であるH（ハイ）となり、第2の端子P2の第2の電位は閾値以上の値であるH（ハイ）となる。よって、時刻 t_1 から時刻 t_2 までは、各指令電圧及び各検出電位の組み合わせパターンは、図5に示す基準パターンと一致し、開始時刻から時刻 t_1 までの不一致時間が終了する。

[0040] 時刻 t_2 から時刻 t_3 までの間は、第1の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第1のスイッチング素子SW1の制御端子C

1 に印加され、第2の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第2のスイッチング素子SW2の制御端子C2に印加される。これにより、第1のスイッチング素子SW1及び第2のスイッチング素子SW2は、ともに開状態となる。第1の端子P1の第1の電位は主としてL（ロー）であるが、第2の端子P2の第2の電位は、本来であればL（ロー）であるべきところ、ノイズの影響により、閾値以上の値であるH（ハイ）となる時間が比較的長く発生している。よって、時刻t2から時刻t3までは、各指令電圧及び各検出電位の組み合わせパターンは、図5に示す基準パターンと不一致となる。

[0041] 時刻t3から時刻t4までの間は、第1の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第1のスイッチング素子SW1の制御端子C1に印加され、第2の指令電圧としてテスト用閉指令電圧であるH（ハイ）が第2のスイッチング素子の制御端子C2に印加される。このとき、第1のスイッチング素子SW1は開状態となり、第2のスイッチング素子SW2は閉状態となる。この結果、第1の端子P1の第1の電位は閾値未満の値であるL（ロー）となり、第2の端子P2の第2の電位は閾値未満の値であるL（ロー）となる。よって、時刻t3から時刻t4までは、各指令電圧及び各検出電位の組み合わせパターンは、図5に示す基準パターンと一致し、時刻t2から時刻t3までの不一致時間が終了する。

[0042] 図6に例示したように、各スイッチング素子が正常であるがノイズの影響を受けている場合であっても、パルス状のテスト用指令電圧が第1のスイッチング素子SW1の制御端子C1及び第2のスイッチング素子SW2の制御端子C2に印加されることによって、各指令電圧及び各検出電位の組み合わせパターンと基準パターンとが一致するので、ノイズの影響によりパターンが不一致となる時間は長くは継続しない。そこで、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致したときは不一致判定時間を0に一旦リセットする。これにより、ノイズに起因するパターン不一致状態が異常判定処理から排除されるので、ノイズに起因する誤判定を防ぐことが

できる。

[0043] 図7は、本開示の一実施形態において、ブレーキ装置のブレーキ締結時において第1のスイッチング素子に異常がある場合の指令電圧及び検出電位を例示する図である。図7では、ブレーキ締結時において時刻 t_6 で第1のスイッチング素子SW1に異常が発生した場合を例示している。なお、図7では、説明を簡明なものにするために、ノイズの発生はしていないとした。

[0044] 開始時刻から時刻 t_5 までは、第1の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第1のスイッチング素子SW1の制御端子C1に印加され、第2の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第2のスイッチング素子SW2の制御端子C2に印加される。これにより、第1のスイッチング素子SW1及び第2のスイッチング素子SW2は、ともに開状態となる。この結果、第1の端子P1の第1の電位及び第2の端子P2の第2の電位はともにL（ロー）となる。よって、開始時刻から時刻 t_5 までは、各指令電圧及び各検出電位の組み合わせパターンは、図5に示す基準パターンと一致する。

[0045] 時刻 t_5 から時刻 t_6 までの間は、第1の指令電圧としてテスト用閉指令電圧であるH（ハイ）が第1のスイッチング素子SW1の制御端子C1に印加され、第2の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第2のスイッチング素子SW2の制御端子C2に印加される。これにより、第1のスイッチング素子SW1は開状態となり、第2のスイッチング素子SW2は閉状態となる。この結果、第1の端子P1の第1の電位は閾値以上の値であるH（ハイ）となり、第2の端子P2の第2の電位は閾値以上の値であるH（ハイ）となる。よって、時刻 t_5 から時刻 t_6 までは、各指令電圧及び各検出電位の組み合わせパターンは、図5に示す基準パターンと一致する。

[0046] 時刻 t_6 以降、第1のスイッチング素子SW1に異常（ショート故障）が発生している。

[0047] 時刻 t_6 から時刻 t_7 までの間は、第1の指令電圧としてブレーキ締結用

開指令電圧であるL（ロー）が第1のスイッチング素子SW1の制御端子C1に印加され、第2の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第2のスイッチング素子SW2の制御端子C2に印加される。このとき、第2のスイッチング素子SW2は開状態となるが、第1のスイッチング素子SW1はショート故障しているので閉状態のままである。この結果、第1の端子P1の第1の電位はH（ハイ）となり、第2の端子P2の第2の電位はH（ハイ）となる時間が比較的長く発生する。よって、時刻t6から時刻t7までは、各指令電圧及び各検出電位の組み合わせパターンは、図5に示す基準パターンと不一致となる。

[0048] 時刻t7から時刻t8までの間は、第1の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第1のスイッチング素子SW1の制御端子C1に印加され、第2の指令電圧としてテスト用閉指令電圧であるH（ハイ）が第2のスイッチング素子SW2の制御端子C2に印加される。このとき、第1のスイッチング素子SW1はショート故障しているので閉状態のままであり、第2のスイッチング素子SW2は閉状態となる。この結果、第1の端子P1の第1の電位はH（ハイ）となり、第2の端子P2の第2の電位はL（ロー）となる。よって、時刻t7から時刻t8までは、各指令電圧及び各検出電位の組み合わせパターンは、図5に示す基準パターンと不一致となる。

[0049] 時刻t8から時刻t9までは、第1の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第1のスイッチング素子SW1の制御端子C1に印加され、第2の指令電圧としてブレーキ締結用開指令電圧であるL（ロー）が第2のスイッチング素子SW2の制御端子C2に印加される。このとき、第1のスイッチング素子SW1はショート故障しているので閉状態のままであり、第2のスイッチング素子SW2は、開状態となる。この結果、第1の端子P1の第1の電位はH（ハイ）となり、第2の端子P2の第2の電位はH（ハイ）となる。よって、時刻t7から時刻t8までは、各指令電圧及び各検出電位の組み合わせパターンは、図5に示す基準パターンと不一致と

なる。

[0050] 図7に例示したように、第1のスイッチング素子SW1に異常が発生した時刻 t_6 以降において、各指令電圧及び各検出電位の組み合わせパターンと基準パターンとの不一致が一旦発生すると、それ以降はパターン不一致時間が継続することになる。第2のスイッチング素子SW2に異常が発生しても同様である。

[0051] 上述した図6及び図7から、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致したときに不一致判定時間を0に一旦リセットすれば、「各指令電圧及び各検出電位の組み合わせパターンが基準パターンとは一致しない状態が不一致判定時間にわたって継続した場合に1のスイッチング素子SW1及び第2のスイッチング素子SW2に異常が発生した」という判定処理を行ったとしても、ノイズに起因する誤判定は発生しないことが分かる。

[0052] そこで、本開示の実施形態では、各指令電圧及び各検出電位の組み合わせパターンと基準パターンとの不一致時間をカウントする不一致時間カウンタ132を設け、不一致時間カウンタ132によりカウントされた不一致時間を監視する。各指令電圧及び各検出電位の組み合わせパターンと基準パターンとの不一致が一旦発生したら、不一致時間カウンタ132による不一致時間のカウントを開始し、各指令電圧及び各検出電位の組み合わせパターンと基準パターンとが一致した時点で不一致時間カウンタ132のカウントをリセットする。不一致時間カウンタ132によるカウントされた不一致時間が、所定の不一致判定時間を超えた場合は、第1のスイッチング素子SW1及び／または第2のスイッチング素子SW2に異常が発生したと判定する。ブレーキ装置2のブレーキ締結時には、第1のスイッチング素子SW1の制御端子C1及び第2のスイッチング素子SW2の制御端子C2には、主としてブレーキ締結用開指令電圧が印加されるが、その間にもパルス状のテスト用閉指令電圧が周期的に印加される。パルス状のテスト用閉指令電圧の印加の周期は、不一致判定時間よりも短く設定される。これにより、ノイズに起因

するパターン不一致時間は異常と判定されなくなり、無励磁作動型のブレーキ装置 2 の異常検出装置 1 においてノイズに起因する誤判定を防ぐことができる。

[0053] 本開示の一実施形態による異常検出装置 1 は、上述したブレーキ装置 2 のブレーキ締結時に加え、ブレーキ解除時にも同様に適用することができる。

[0054] <ブレーキ解除時の基準パターン>

図 8 は、本開示の一実施形態による異常検出装置における判定回路による判定処理に用いられるブレーキ解除時の基準パターンを示す図である。なお、図 8 では、第 1 のスイッチング素子 SW 1 及び第 2 のスイッチング素子 SW 2 はノーマリーオフ型のスイッチング素子としているので、開指令電圧は L（ロー）であり、閉指令電圧は H（ハイ）である。第 1 のスイッチング素子 SW 1 及び第 2 のスイッチング素子 SW 2 はノーマリーオン型のスイッチング素子である場合は、図 8 の基準テーブルは、開指令電圧は H（ハイ）に、閉指令電圧は L（ロー）にそれぞれ読み替えて適用される。

[0055] 制御回路 11 は、ブレーキ装置 2 のブレーキ解除時において、第 1 の指令電圧として、ブレーキ解除用閉指令電圧及びパルス状のテスト用開指令電圧のうちの一方を第 1 のスイッチング素子 SW 1 の制御端子 C 1 に印加し、第 2 の指令電圧として、ブレーキ解除用閉指令電圧及びパルス状のテスト用開指令電圧を第 2 のスイッチング素子 SW 2 の制御端子 C 2 に印加する。ブレーキ解除時における基準パターンは、ブレーキ装置 2 のブレーキ機序状態を維持するための指令電圧と検出電位との組み合わせと、第 1 のスイッチング素子 SW 1 の制御端子 C 1 にパルス状のテスト用指令電圧が印加されるとき指令電圧と検出電位との組み合わせと、第 2 のスイッチング素子 SW 2 の制御端子 C 2 にパルス状のテスト用指令電圧が印加されるとき指令電圧と検出電位との組み合わせとを含む。より詳細には次の通りである。

[0056] ブレーキ解除時の基本状態では、第 1 の指令電圧がブレーキ解除用閉指令電圧である H（ハイ）であり、かつ第 1 の端子 P 1 の第 1 の電位が閾値以上の値である H（ハイ）であり、かつ第 2 の指令電圧がブレーキ解除用閉指令

電圧であるH（ハイ）であり、かつ第2の端子P2の第2の電位が閾値未満の値であるL（ロー）である組み合わせが、基準パターンとなる。

[0057] 第1のスイッチング素子SW1の制御端子C1にパルス状のテスト用指令電圧が印加される状態では、第1の指令電圧がテスト用開指令電圧であるL（ロー）であり、かつ第1の端子P1の第1の電位が閾値未満の値であるL（ロー）であり、かつ第2の指令電圧がブレーキ解除用閉指令電圧であるH（ハイ）であり、かつ第2の端子P2の第2の電位が閾値未満の値であるL（ロー）である組み合わせが、基準パターンとなる。

[0058] 第2のスイッチング素子SW2の制御端子C2にパルス状のテスト用指令電圧が印加される状態では、第1の指令電圧がブレーキ解除用閉指令電圧であるH（ハイ）であり、かつ第1の端子P1の第1の電位が閾値以上の値であるH（ハイ）であり、かつ第2の指令電圧がテスト用開指令電圧であるL（ロー）であり、かつ第2の端子P2の第2の電位が閾値以上の値であるH（ハイ）である組み合わせが、基準パターンとなる。

[0059] なお、ブレーキ装置2のブレーキ解除時は、第1のスイッチング素子SW1及び第2のスイッチング素子SW2はともに閉状態にあるので、電源3から第1のスイッチング素子SW1、ブレーキコイル25、第2のスイッチング素子SW2を経てグラウンド4に至るまでの経路は導通状態にある。よって、ブレーキコイル25の第1の端子P1と第2の端子P2との間は、外部からのノイズの影響を受けにくい。したがって、ブレーキ装置2のブレーキ締結時において判定回路13による異常判定処理に用いられる不一致判定時間は、ブレーキ装置2のブレーキ解除時において判定回路13による異常判定処理に用いられる不一致判定時間よりも短く設定されてもよい。

[0060] ブレーキ装置2のブレーキ解除時には、第1のスイッチング素子SW1の制御端子C1及び第2のスイッチング素子SW2の制御端子C2には、主としてブレーキ解除用閉指令電圧が印加されるが、その間にもパルス状のテスト用開指令電圧が周期的に印加される。パルス状のテスト用開指令電圧の印加の周期は、不一致判定時間よりも短く設定される。これにより、仮にノイ

ズが発生したとしても当該ノイズに起因するパターン不一致時間は異常と判定されなくなり、無励磁作動型のブレーキ装置 2 の異常検出装置 1 においてノイズに起因する誤判定をより確実に防ぐことができる。

[0061] <判定回路の詳細>

上述した判定回路 1 3 による判定処理を実現するために、判定回路 1 3 は、パターン判定部 1 3 1 と、不一致時間カウンタ 1 3 2 と、不一致時間判定部 1 3 3 と、アラーム出力部 1 3 4 と、テスト時間カウンタ 1 3 5 と、テスト時間判定部 1 3 6 とを備える。

[0062] パターン判定部 1 3 1 は、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致するか否かを判定する。

[0063] 不一致時間カウンタ 1 3 2 は、各指令電圧及び各検出電位の組み合わせパターンと基準パターンとが不一致となる継続時間を示す不一致時間カウント値を格納する。

[0064] 不一致時間判定部 1 3 3 は、不一致時間カウント値が第 1 の規定値に達したか否かを判定する。第 1 の規定値は、不一致判定時間に設定される。

[0065] アラーム出力部 1 3 4 は、不一致時間判定部 1 3 3 による判定の結果、不一致時間カウント値が第 1 の規定値に達したと判定された場合、異常が発生したことを示すアラームを出力する。

[0066] テスト時間カウンタ 1 3 5 は、テスト時間カウント値を格納する。

[0067] テスト時間判定部 1 3 6 は、不一致時間判定部 1 3 3 による判定の結果、不一致時間カウント値が第 1 の規定値に達したと判定されなかった場合、テスト時間カウント値が第 2 の規定値に達したか否かを判定する。第 2 の規定値は、パルス状のテスト用閉指令電圧の印加の 1 周期の長さに設定される。

[0068] パターン判定部 1 3 1 による判定の結果、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致すると判定されなかった場合は、不一致時間カウンタ 1 3 2 は不一致時間カウント値をインクリメントし、かつ、不一致時間カウンタ 1 3 2 により不一致時間カウント値がインクリメントされた後に、テスト時間判定部 1 3 6 による判定処理が実行される。

- [0069] パターン判定部 131 による判定の結果、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致すると判定された場合は、不一致時間カウンタ 132 は不一致時間カウント値をリセットし、かつ、不一致時間カウンタ 132 により不一致時間カウント値がリセットされた後に、テスト時間判定部 136 による判定処理が実行される。
- [0070] テスト時間判定部 136 による判定の結果、テスト時間カウント値が第 2 の規定値に達したと判定されなかった場合は、テスト時間カウンタ 135 はテスト時間カウント値をインクリメントし、かつ、テスト時間カウンタ 135 によりテスト時間カウント値がインクリメントされた後に、パターン判定部 131 による判定処理が実行される。
- [0071] テスト時間判定部 136 による判定の結果、テスト時間カウント値が第 2 の規定値に達したと判定された場合は、テスト時間カウンタ 135 はテスト時間カウント値をリセットし、かつ、テスト時間カウンタ 135 によりテスト時間カウント値がリセットされた後に、制御回路 11 はパルス状のテスト用指令電圧を第 1 のスイッチング素子 SW1 の制御端子 C1 及び第 2 のスイッチング素子 SW2 の制御端子 C2 のうちのいずれかに印加し、かつ、パルス状のテスト用指令電圧が第 1 のスイッチング素子 SW1 の制御端子 C1 及び第 2 のスイッチング素子 SW2 の制御端子 C2 のうちのいずれかに印加された後に、パターン判定部 131 による判定処理が実行される。
- [0072] 図 9 は、本開示の一実施形態による異常検出装置における判定回路の動作フローを示すフローチャートである。図 9 に示すフローチャートはブレーキ装置 2 のブレーキ締結及びブレーキ解除のいずれの場合においても適用可能であるが、ここでは、ブレーキ装置 2 のブレーキ締結時の判定回路 13 の動作について説明する。
- [0073] ブレーキ装置 2 のブレーキ締結時において、ステップ S101 において、テスト時間カウンタ 135 のテスト時間カウント値がリセットされる。
- [0074] ステップ S102 において、制御回路 11 は、第 1 の指令電圧として第 1 のスイッチング素子 SW1 の制御端子 C1 にテスト用閉指令電圧を印加し、

第2の指令電圧として第2のスイッチング素子SW2の制御端子C2にブレーキ締結用開指令電圧を印加する。

- [0075] ステップS103において、パターン判定部131は、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致するか否かを判定する。
- [0076] ステップS103において各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致すると判定された場合は、ステップS104において、不一致時間カウンタ132の不一致時間カウント値がリセットされ、その後、ステップS106へ進む。
- [0077] ステップS103において各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致しないと判定された場合は、ステップS105において、不一致時間カウンタ132の不一致時間カウント値がインクリメントされ、その後、ステップS106へ進む。
- [0078] ステップS106において、不一致時間判定部133は、不一致時間カウント値が第1の規定値に達したか否かを判定する。第1の規定値は、不一致判定時間に設定されている。
- [0079] ステップS106において不一致時間カウント値が第1の規定値に達したと判定された場合は、ステップS107において、アラーム出力部134は、アラームを出力する。
- [0080] ステップS107において不一致時間カウント値が第1の規定値に達したと判定されなかった場合は、ステップS108において、テスト時間判定部136は、テスト時間カウント値が第2の規定値に達したか否かを判定する。第2の規定値は、パルス状のテスト用閉指令電圧の印加の1周期の長さに設定されている。
- [0081] ステップS108においてテスト時間カウント値が第2の規定値に達したと判定されなかった場合は、ステップS109において、テスト時間カウンタ135のテスト時間カウント値がインクリメントされ、その後、ステップS103へ戻る。

- [0082] ステップS 1 0 8においてテスト時間カウント値が第2の規定値に達したと判定された場合は、ステップS 1 1 0へ進む。
- [0083] ステップS 1 1 0において、テスト時間カウンタ 1 3 5のテスト時間カウント値がリセットされる。
- [0084] ステップS 1 1 1において、制御回路 1 1は、第1の指令電圧として第1のスイッチング素子SW 1の制御端子C 1にブレーキ締結用開指令電圧を印加し、第2の指令電圧として第2のスイッチング素子SW 2の制御端子C 2にテスト用閉指令電圧を印加する。
- [0085] ステップS 1 1 2において、パターン判定部 1 3 1は、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致するか否かを判定する。
- [0086] ステップS 1 1 2において各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致すると判定された場合は、ステップS 1 1 3において、不一致時間カウンタ 1 3 2の不一致時間カウント値がリセットされ、その後、ステップS 1 1 5へ進む。
- [0087] ステップS 1 1 2において各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致しないと判定された場合は、ステップS 1 1 4において、不一致時間カウンタ 1 3 2の不一致時間カウント値がインクリメントされ、その後、ステップS 1 1 5へ進む。
- [0088] ステップS 1 1 5において、不一致時間判定部 1 3 3は、不一致時間カウント値が第1の規定値に達したか否かを判定する。
- [0089] ステップS 1 1 5において不一致時間カウント値が第1の規定値に達したと判定された場合は、ステップS 1 1 6において、アラーム出力部 1 3 4は、アラームを出力する。
- [0090] ステップS 1 1 5において不一致時間カウント値が第1の規定値に達したと判定されなかった場合は、ステップS 1 1 7において、テスト時間判定部 1 3 6は、テスト時間カウント値が第2の規定値に達したか否かを判定する。

[0091] ステップS 1 1 7においてテスト時間カウント値が第2の規定値に達したと判定されなかった場合は、ステップS 1 1 8において、テスト時間カウンタ1 3 5のテスト時間カウント値がインクリメントされ、その後、ステップS 1 1 2へ戻る。

[0092] ステップS 1 1 7においてテスト時間カウント値が第2の規定値に達したと判定された場合は、ステップS 1 0 1へ戻る。

[0093] <プロセッサ及びメモリ>

異常検出装置1内には、演算処理装置である少なくとも1つのプロセッサが設けられる。演算処理装置としては、例えばIC、LSI、CPU、MPU、DSPなどがある。演算処理装置は、ブレーキ装置2が接続されるモータ駆動装置内に設けられてもよい。演算処理装置は、制御回路11、検出回路12、判定回路13、及びその他の処理部を有する。演算処理装置が有するこれらの各部は、例えば、プロセッサ上で実行されるプログラムにより実現される機能モジュールである。例えば、制御回路11、検出回路12、判定回路13、及びその他の処理部をプログラム形式で構築する場合は、演算処理装置をこのプログラムに従って動作させることで、各部の機能を実現することができる。制御回路11、検出回路12、判定回路13、及びその他の処理部における各処理を実行するためのプログラムは、半導体メモリ、磁気記録媒体または光記録媒体といった、コンピュータ読取可能な記録媒体に記録された形で提供されてもよい。またあるいは、制御回路11、検出回路12、判定回路13、及びその他の処理部を、各部の機能を実現するプログラムを書き込んだ半導体集積回路として実現してもよい。

[0094] また、異常検出装置1内には、記憶装置である少なくとも1つのメモリが設けられる。メモリは、ブレーキ装置2が接続されるモータ駆動装置内に設けられてもよい。メモリとしては、例えばEEPROM（登録商標）などのような電氣的に消去・記録可能な不揮発性メモリ、または、例えばDRAM、SRAMなどのような高速で読み書きのできるランダムアクセスメモリなどがある。また、記憶装置は、例えばHDD（ハードディスクドライブ）や

SSD（ソリッドステートドライブ）などのような構成を有してもよい。メモリには、制御回路11、検出回路12、判定回路13、及びその他の処理部を動作させるためのプログラムが格納される。また、メモリには、不一致時間カウンタ132の不一致時間カウント値が格納される。また、メモリには、テスト時間カウンタ135のテスト時間カウント値が格納される。メモリには、検出回路12が検出した第1の電位及び第2の電位がH（ハイ）であるかL（ロー）であるかを切り分けるための閾値が格納される。また、メモリには、異常検出装置1に関連する各種プログラム及び各種データが格納される。

[0095] <異常検出装置の動作>

本開示の一実施形態による異常検出装置1によれば、無励磁作動型のブレーキ装置2のブレーキ締結時及びブレーキ解除時のいずれにおいてもブレーキ装置2の異常を正確に検出することができる。

[0096] 上述したように、本開示の一実施形態では、各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致しない状態が、不一致判定時間にわたって継続した場合は、異常が発生と判定する。ブレーキ装置2のブレーキ締結時はブレーキコイル25の第1の端子P1と第2の端子P2との間は、グラウンド4から切り離されたハイインピーダンス状態となるので、ブレーキコイル25の第1の端子P1と第2の端子P2との間は、外部からのノイズの影響を受けやすくなる。第1のスイッチング素子SW1の制御端子C1及び第2のスイッチング素子SW2の制御端子C2にパルス状のテスト用指令電圧が印加されたときに各指令電圧及び各検出電位の組み合わせパターンが基準パターンと一致した場合は、不一致判定時間をカウントする不一致時間カウンタ値がリセットされる。これにより、ノイズに起因するパターン不一致状態が排除されるので、ノイズに起因する誤判定を防ぐことができる。

[0097] 以上、本開示について詳述したが、本開示は上述した個々の実施形態に限定されるものではない。これらの実施形態は、本開示の要旨を逸脱しない範囲で、または、特許請求の範囲に記載された内容とその均等物から導き出さ

れる本開示の趣旨を逸脱しない範囲で、種々の追加、置き換え、変更、部分的削除等が可能である。また、これらの実施形態は、組み合わせて実施することもできる。例えば、上述した実施形態において、各動作の順序や各処理の順序は、一例として示したものであり、これらに限定されるものではない。また、上述した実施形態の説明に数値又は数式が用いられている場合も同様である。

[0098] <付記>

上記実施形態に関し、更に以下の付記を開示する。

[0099] (付記1)

ブレーキコイル25に電流が流れているときはブレーキを解除し、ブレーキコイル25への電流が遮断されているときはブレーキを締結する無励磁作動型のブレーキ装置2の、電源3とブレーキコイル25の第1の端子P1との間に接続された第1のスイッチング素子SW1の制御端子C1に第1の指令電圧を印加することで第1のスイッチング素子SW1の開閉を制御し、ブレーキコイル25の第2の端子P2とグラウンド4との間に接続された第2のスイッチング素子の制御端子C2に第2の指令電圧を印加することで第2のスイッチング素子SW2の開閉を制御する制御回路11と、

ブレーキコイル25の第1の端子P1の電位である第1の電位と、ブレーキコイル25の第2の端子P2の電位である第2の電位とを検出する検出回路12と、

制御回路11が第1のスイッチング素子SW1の制御端子C1に印加した第1の指令電圧の大きさと、検出回路12によって検出された第1の端子P1の第1の電位の大きさと、制御回路11が第2のスイッチング素子SW2の制御端子C2に印加した第2の指令電圧の大きさと、検出回路12によって検出された第2の端子P2の電位の大きさととの組み合わせパターンに基づき、第1のスイッチング素子SW1及び第2のスイッチング素子SW2の異常の有無を判定する判定回路13と、

を備える異常検出装置1。

(付記 2)

判定回路 1 3 は、組み合わせパターンが予め規定された基準パターンとは一致しない状態が、所定の不一致判定時間にわたって継続した場合、第 1 のスイッチング素子 SW 1 及び第 2 のスイッチング素子 SW 2 に異常が発生したと判定する、付記 1 に記載の異常検出装置 1。

(付記 3)

制御回路 1 1 は、ブレーキ装置 2 のブレーキ締結時において、第 1 の指令電圧として、ブレーキ締結用開指令電圧及びパルス状のテスト用閉指令電圧のうちの一方を第 1 のスイッチング素子 SW 1 の制御端子 C 1 に印加し、第 2 の指令電圧として、ブレーキ締結用開指令電圧及びパルス状のテスト用閉指令電圧のうちの一方を第 2 のスイッチング素子 SW 2 の制御端子 C 2 に印加する、付記 2 に記載の異常検出装置 1。

(付記 4)

基準パターンは、

第 1 の指令電圧がブレーキ締結用開指令電圧であり、かつ第 1 の電位が閾値未満の値であり、かつ第 2 の指令電圧がブレーキ締結用開指令電圧であり、かつ第 2 の電位が閾値未満の値である組み合わせと、

第 1 の指令電圧がテスト用閉指令電圧であり、かつ第 1 の電位が閾値以上の値であり、かつ第 2 の指令電圧がブレーキ締結用開指令電圧であり、かつ第 2 の電位が閾値以上の値である組み合わせと、

第 1 の指令電圧がブレーキ締結用開指令電圧であり、かつ第 1 の電位が閾値未満の値であり、かつ第 2 の指令電圧がテスト用閉指令電圧であり、かつ第 2 の電位が閾値未満の値である組み合わせと、

を含む、付記 3 に記載の異常検出装置 1。

(付記 5)

制御回路 1 1 は、ブレーキ装置 2 のブレーキ解除時において、第 1 の指令電圧として、ブレーキ解除用閉指令電圧及びパルス状のテスト用開指令電圧のうちの一方を第 1 のスイッチング素子 SW 1 の制御端子 C 1 に印加し、第

2の指令電圧として、ブレーキ解除用閉指令電圧及びパルス状のテスト用開指令電圧を第2のスイッチング素子SW2の制御端子C2に印加する、付記2に記載の異常検出装置1。

(付記6)

基準パターンは、

第1の指令電圧がブレーキ解除用閉指令電圧であり、かつ第1の電位が閾値以上の値であり、かつ第2の指令電圧がブレーキ解除用閉指令電圧であり、かつ第2の電位が閾値未満の値である組み合わせと、

第1の指令電圧がテスト用開指令電圧であり、かつ第1の電位が閾値未満の値であり、かつ第2の指令電圧がブレーキ解除用閉指令電圧であり、かつ第2の電位が閾値未満の値である組み合わせと、

第1の指令電圧がブレーキ解除用閉指令電圧であり、かつ第1の電位が閾値以上の値であり、かつ第2の指令電圧がテスト用開指令電圧であり、かつ第2の電位が閾値以上の値である組み合わせと、

を含む、付記5に記載の異常検出装置1。

(付記7)

ブレーキ装置2のブレーキ締結時において判定回路13による異常判定処理に用いられる不一致判定時間は、ブレーキ装置2のブレーキ解除時において判定回路13による異常判定処理に用いられる不一致判定時間よりも短い、付記2に記載の異常検出装置1。

(付記8)

判定回路13は、

組み合わせパターンが基準パターンと一致するか否かを判定するパターン判定部131と、

不一致時間カウンタ値を格納する不一致時間カウンタ132と、

不一致時間カウンタ値が第1の規定値に達したか否かを判定する不一致時間判定部133と、

不一致時間判定部133による判定の結果、不一致時間カウンタ値が第1

の規定値に達したと判定された場合、異常が発生したことを示すアラームを出力するアラーム出力部 134 と、

テスト時間カウント値を格納するテスト時間カウンタ 135 と、

不一致時間判定部 133 による判定の結果、不一致時間カウント値が第 1 の規定値に達したと判定されなかった場合、テスト時間カウント値が第 2 の規定値に達したか否かを判定するテスト時間判定部 136 と、
を備え、

パターン判定部 131 による判定の結果、組み合わせパターンが基準パターンと一致すると判定されなかった場合は、不一致時間カウンタ 132 は不一致時間カウント値をインクリメントし、かつ、不一致時間カウンタ 132 により不一致時間カウント値がインクリメントされた後に、テスト時間判定部 136 による判定処理が実行され、

パターン判定部 131 による判定の結果、組み合わせパターンが基準パターンと一致すると判定された場合は、不一致時間カウンタ 132 は不一致時間カウント値をリセットし、かつ、不一致時間カウンタ 132 により不一致時間カウント値がリセットされた後に、テスト時間判定部 136 による判定処理が実行され、

テスト時間判定部 136 による判定の結果、テスト時間カウント値が第 2 の規定値に達したと判定されなかった場合は、テスト時間カウンタ 135 はテスト時間カウント値をインクリメントし、かつ、テスト時間カウンタ 135 によりテスト時間カウント値がインクリメントされた後に、パターン判定部 131 による判定処理が実行され、

テスト時間判定部 136 による判定の結果、テスト時間カウント値が第 2 の規定値に達したと判定された場合は、テスト時間カウンタ 135 はテスト時間カウント値をリセットし、かつ、テスト時間カウンタ 135 によりテスト時間カウント値がリセットされた後に、制御回路 11 はパルス状のテスト用指令電圧を第 1 のスイッチング素子 SW1 の制御端子 C1 及び第 2 のスイッチング素子 SW2 の制御端子 C2 のうちのいずれかに印加し、かつ、パル

ス状のテスト用指令電圧が第 1 のスイッチング素子 SW 1 の制御端子 C 1 及び第 2 のスイッチング素子 SW 2 の制御端子 C 2 のうちのいずれかに印加された後に、パターン判定部 1 3 1 による判定処理が実行される、付記 2 ～ 7 のいずれか 1 つに記載の異常検出装置 1。

符号の説明

[0100]	1	異常検出装置
	2	ブレーキ装置
	3	電源
	4	グラウンド
	1 1	制御回路
	1 2	検出回路
	1 3	判定回路
	2 1	摩擦板
	2 2	アマチュア
	2 3	端板
	2 4	バネ
	2 5	ブレーキコイル
	2 6	コア
	2 7	スペーサ
	2 8	ボルト
	2 9	ダイオード
	3 1	シャフト
	3 2	ハブ
	1 3 1	パターン判定部
	1 3 2	不一致時間カウンタ
	1 3 3	不一致時間判定部
	1 3 4	アラーム出力部
	1 3 5	テスト時間カウンタ

1 3 6 テスト時間判定部

C 1、C 2 制御端子

P 1 第 1 の端子

P 2 第 2 の端子

SW 1 第 1 のスイッチング素子

SW 2 第 2 のスイッチング素子

請求の範囲

- [請求項1] ブレーキコイルに電流が流れているときはブレーキを解除し、前記ブレーキコイルへの電流が遮断されているときはブレーキを締結する無励磁作動型のブレーキ装置の、電源と前記ブレーキコイルの第1の端子との間に接続された第1のスイッチング素子の制御端子に第1の指令電圧を印加することで前記第1のスイッチング素子の開閉を制御し、前記ブレーキコイルの第2の端子とグランドとの間に接続された第2のスイッチング素子の制御端子に第2の指令電圧を印加することで前記第2のスイッチング素子の開閉を制御する制御回路と、
- 前記ブレーキコイルの前記第1の端子の電位である第1の電位と、前記ブレーキコイルの前記第2の端子の電位である第2の電位とを検出する検出回路と、
- 前記制御回路が前記第1のスイッチング素子の制御端子に印加した前記第1の指令電圧の大きさと、前記検出回路によって検出された前記第1の端子の前記第1の電位の大きさと、前記制御回路が前記第2のスイッチング素子の制御端子に印加した前記第2の指令電圧の大きさと、前記検出回路によって検出された前記第2の端子の電位の大きさととの組み合わせパターンに基づき、前記第1のスイッチング素子及び前記第2のスイッチング素子の異常の有無を判定する判定回路と、を備える異常検出装置。
- [請求項2] 前記判定回路は、前記組み合わせパターンが予め規定された基準パターンとは一致しない状態が、所定の不一致判定時間にわたって継続した場合、前記第1のスイッチング素子及び前記第2のスイッチング素子に異常が発生したと判定する、請求項1に記載の異常検出装置。
- [請求項3] 前記制御回路は、前記ブレーキ装置のブレーキ締結時において、前記第1の指令電圧として、ブレーキ締結用開指令電圧及びパルス状のテスト用閉指令電圧のうち的一方を前記第1のスイッチング素子の制御端子に印加し、前記第2の指令電圧として、ブレーキ締結用開指令

電圧及びパルス状のテスト用閉指令電圧のうち的一方を前記第 2 のスイッチング素子の制御端子に印加する、請求項 2 に記載の異常検出装置。

[請求項4]

前記基準パターンは、

前記第 1 の指令電圧が前記ブレーキ締結用閉指令電圧であり、かつ前記第 1 の電位が閾値未満の値であり、かつ前記第 2 の指令電圧が前記ブレーキ締結用閉指令電圧であり、かつ前記第 2 の電位が前記閾値未満の値である組み合わせと、

前記第 1 の指令電圧が前記テスト用閉指令電圧であり、かつ前記第 1 の電位が前記閾値以上の値であり、かつ前記第 2 の指令電圧が前記ブレーキ締結用閉指令電圧であり、かつ前記第 2 の電位が前記閾値以上の値である組み合わせと、

前記第 1 の指令電圧が前記ブレーキ締結用閉指令電圧であり、かつ前記第 1 の電位が前記閾値未満の値であり、かつ前記第 2 の指令電圧が前記テスト用閉指令電圧であり、かつ前記第 2 の電位が前記閾値未満の値である組み合わせと、

を含む、請求項 3 に記載の異常検出装置。

[請求項5]

前記制御回路は、前記ブレーキ装置のブレーキ解除時において、前記第 1 の指令電圧として、ブレーキ解除用閉指令電圧及びパルス状のテスト用閉指令電圧のうち的一方を前記第 1 のスイッチング素子の制御端子に印加し、前記第 2 の指令電圧として、ブレーキ解除用閉指令電圧及びパルス状のテスト用閉指令電圧のうち的一方を前記第 2 のスイッチング素子の制御端子に印加する、請求項 2 に記載の異常検出装置。

[請求項6]

前記基準パターンは、

前記第 1 の指令電圧が前記ブレーキ解除用閉指令電圧であり、かつ前記第 1 の電位が閾値以上の値であり、かつ前記第 2 の指令電圧が前記ブレーキ解除用閉指令電圧であり、かつ前記第 2 の電位が前記閾値

未満の値である組み合わせと、

前記第 1 の指令電圧が前記テスト用開指令電圧であり、かつ前記第 1 の電位が前記閾値未満の値であり、かつ前記第 2 の指令電圧が前記ブレーキ解除用閉指令電圧であり、かつ前記第 2 の電位が前記閾値未満の値である組み合わせと、

前記第 1 の指令電圧が前記ブレーキ解除用閉指令電圧であり、かつ前記第 1 の電位が前記閾値以上の値であり、かつ前記第 2 の指令電圧が前記テスト用開指令電圧であり、かつ前記第 2 の電位が前記閾値以上の値である組み合わせと、

を含む、請求項 5 に記載の異常検出装置。

[請求項 7] 前記ブレーキ装置のブレーキ締結時において前記判定回路による異常判定処理に用いられる前記不一致判定時間は、前記ブレーキ装置のブレーキ解除時において前記判定回路による異常判定処理に用いられる前記不一致判定時間よりも短い、請求項 2 に記載の異常検出装置。

[請求項 8] 前記判定回路は、
前記組み合わせパターンが前記基準パターンと一致するか否かを判定するパターン判定部と、

不一致時間カウンタ値を格納する不一致時間カウンタと、

前記不一致時間カウンタ値が第 1 の規定値に達したか否かを判定する不一致時間判定部と、

前記不一致時間判定部による判定の結果、前記不一致時間カウンタ値が前記第 1 の規定値に達したと判定された場合、異常が発生したことを示すアラームを出力するアラーム出力部と、

テスト時間カウンタ値を格納するテスト時間カウンタと、

前記不一致時間判定部による判定の結果、前記不一致時間カウンタ値が前記第 1 の規定値に達したと判定されなかった場合、前記テスト時間カウンタ値が第 2 の規定値に達したか否かを判定するテスト時間判定部と、

を備え、

前記パターン判定部による判定の結果、前記組み合わせパターンが前記基準パターンと一致すると判定されなかった場合は、前記不一致時間カウンタは前記不一致時間カウント値をインクリメントし、かつ、前記不一致時間カウンタにより前記不一致時間カウント値がインクリメントされた後に、前記テスト時間判定部による判定処理が実行され、

前記パターン判定部による判定の結果、前記組み合わせパターンが前記基準パターンと一致すると判定された場合は、前記不一致時間カウンタは前記不一致時間カウント値をリセットし、かつ、前記不一致時間カウンタにより前記不一致時間カウント値がリセットされた後に、前記テスト時間判定部による判定処理が実行され、

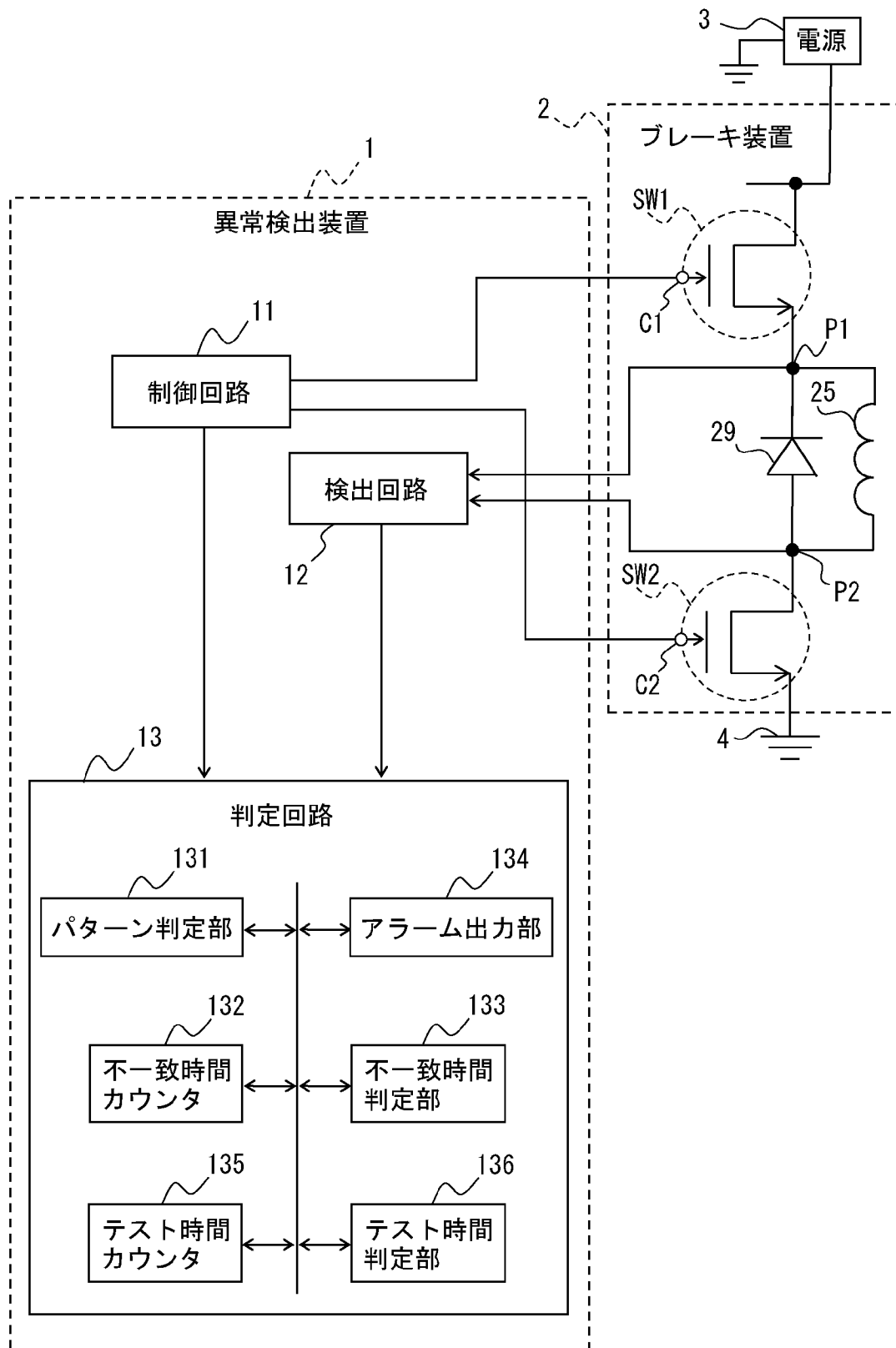
前記テスト時間判定部による判定の結果、前記テスト時間カウント値が前記第2の規定値に達したと判定されなかった場合は、前記テスト時間カウンタは前記テスト時間カウント値をインクリメントし、かつ、前記テスト時間カウンタにより前記テスト時間カウント値がインクリメントされた後に、前記パターン判定部による判定処理が実行され、

前記テスト時間判定部による判定の結果、前記テスト時間カウント値が前記第2の規定値に達したと判定された場合は、前記テスト時間カウンタは前記テスト時間カウント値をリセットし、かつ、前記テスト時間カウンタにより前記テスト時間カウント値がリセットされた後に、前記制御回路はパルス状のテスト用指令電圧を前記第1のスイッチング素子の制御端子及び前記第2のスイッチング素子の制御端子のうちのいずれかに印加し、かつ、前記パルス状のテスト用指令電圧が前記第1のスイッチング素子の制御端子及び前記第2のスイッチング素子の制御端子のうちのいずれかに印加された後に、前記パターン判定部による判定処理が実行される、請求項2～7のいずれか一項に記

載の異常検出装置。

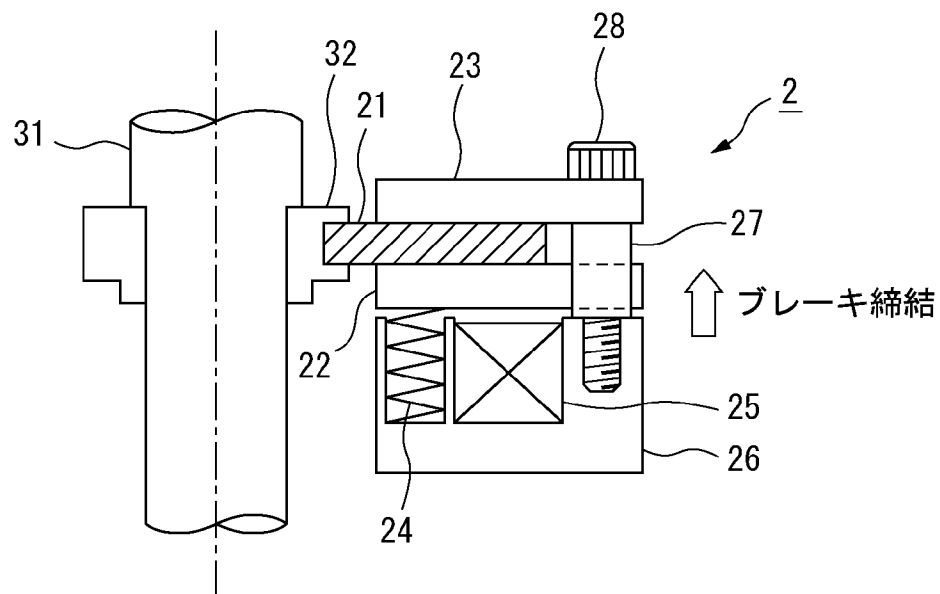
[図1]

図1



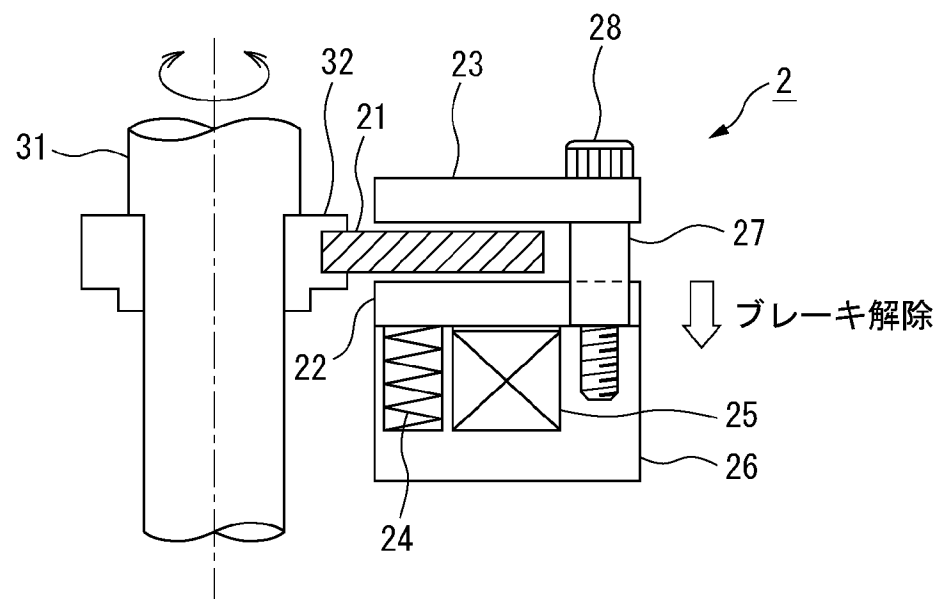
[図2]

図2



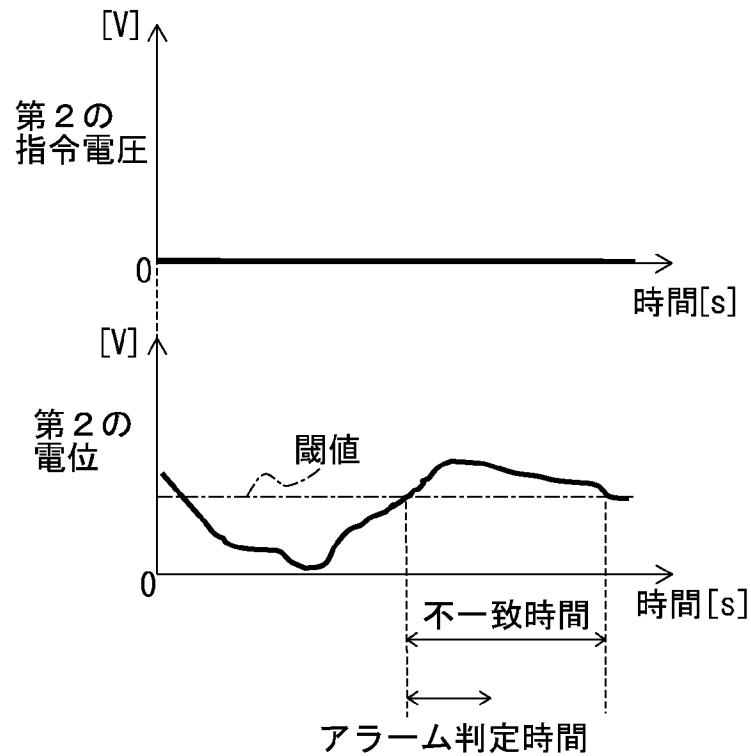
[図3]

図3



[図4]

図4



[図5]

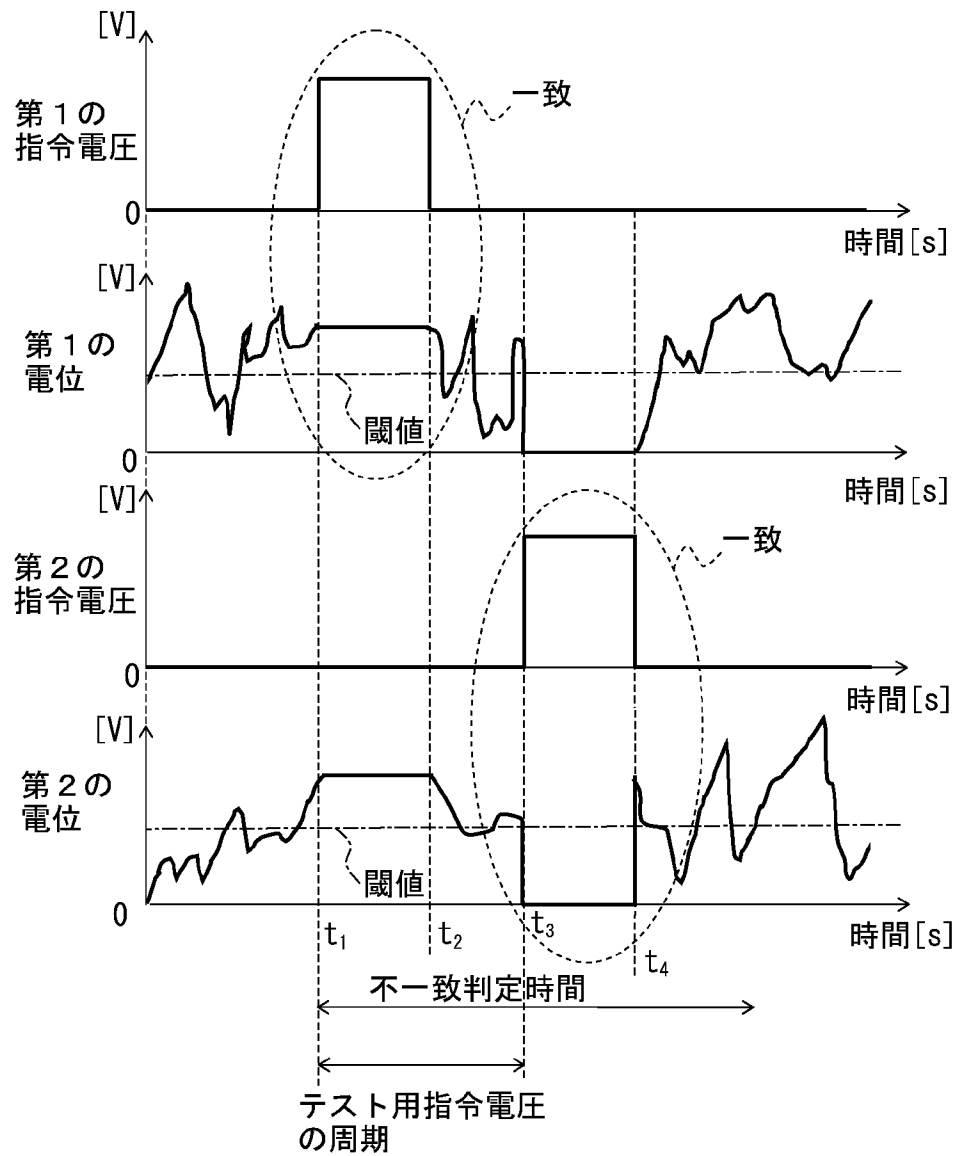
図5

ブレーキ締結時の基準パターン

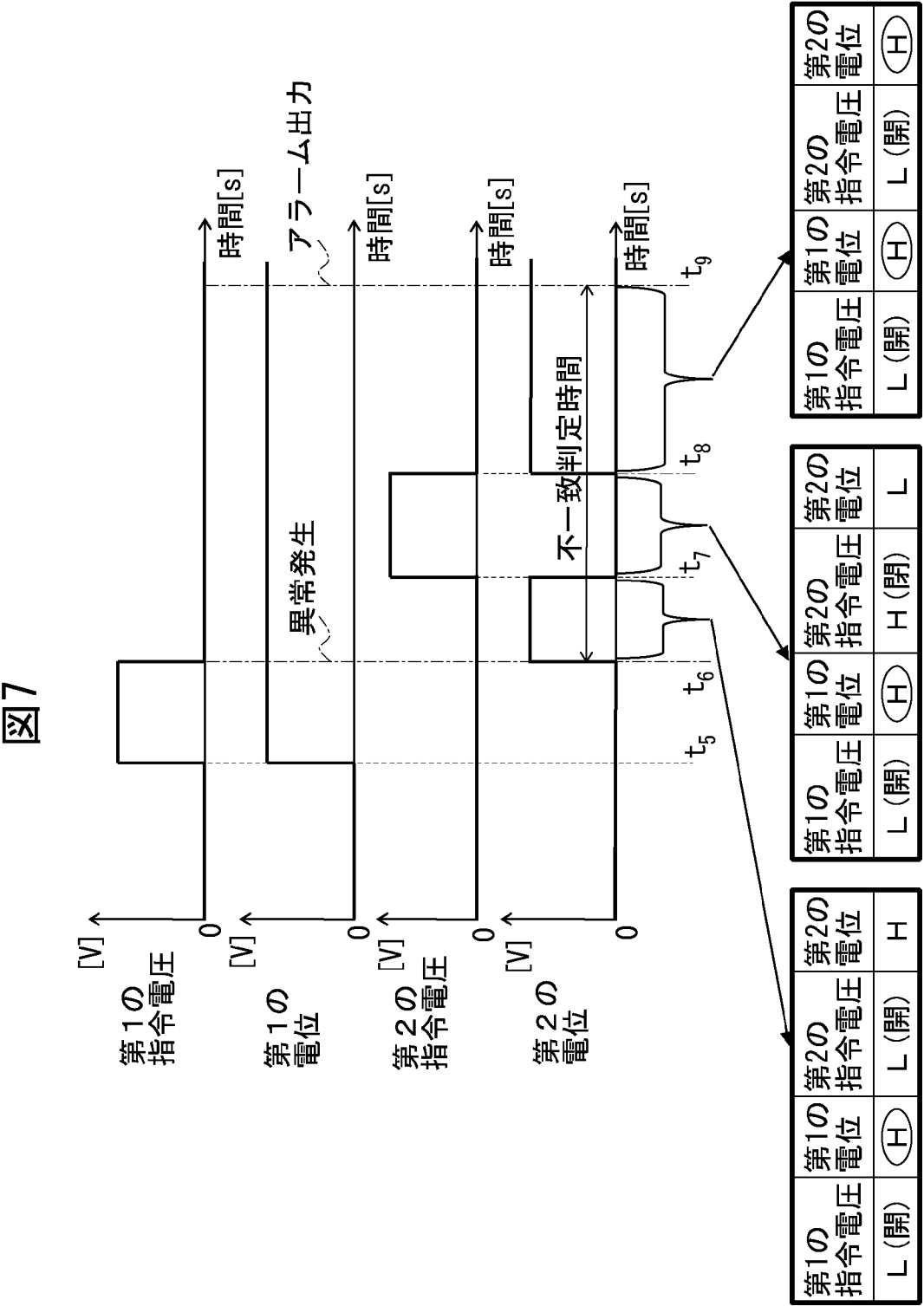
	第1の指令電圧	第1の電位	第2の指令電圧	第2の電位
ブレーキ締結時の基本状態	L (開)	L (閾値未満)	L (開)	L (閾値未満)
第1のスイッチング素子にテスト用指令電圧を印加	H (テスト用閉指令)	H (閾値以上)	L (開)	H (閾値以上)
第2のスイッチング素子にテスト用指令電圧を印加	L (開)	L (閾値未満)	H (テスト用閉指令)	L (閾値未満)

[図6]

図6



[図7]



[図8]

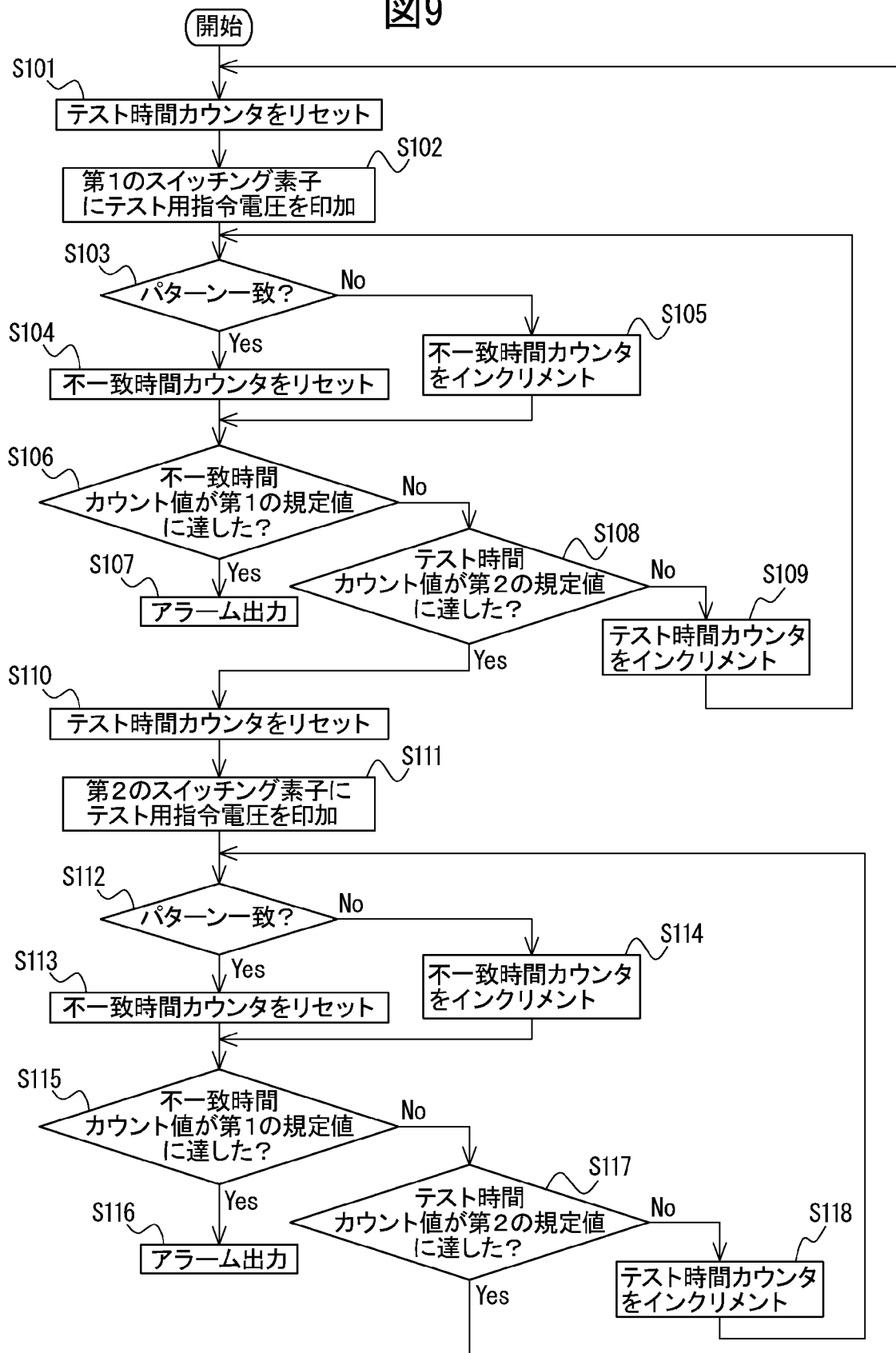
図8

ブレーキ解除時の基準パターン

	第1の指令電圧	第1の電位	第2の指令電圧	第2の電位
ブレーキ解除時の 基本状態	H (閉)	H (閾値以上)	H (閉)	L (閾値未満)
第1のスイッチング 素子にテスト用 指令電圧を印加	L (テスト用開指令)	L (閾値未満)	H (閉)	L (閾値未満)
第2のスイッチング 素子にテスト用 指令電圧を印加	H (閉)	H (閾値以上)	L (テスト用開指令)	H (閾値以上)

[図9]

図9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/023835

A. CLASSIFICATION OF SUBJECT MATTER**F16D 66/00**(2006.01)i; **F16D 65/14**(2006.01)i; **H02P 3/04**(2006.01)i

FI: F16D66/00 Z; F16D65/14; H02P3/04 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

F16D66/00; F16D65/14; H02P3/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/210196 A1 (FANUC CORPORATION) 06 October 2022 (2022-10-06) paragraphs [0014]-[0054], fig. 1-9B	1
Y		2-6
A		7-8
X	WO 2022/210290 A1 (FANUC CORPORATION) 06 October 2022 (2022-10-06) paragraphs [0014]-[0049], fig. 1-5B	1
Y		2-6
A		7-8
Y	WO 2019/058670 A1 (NIDEC CORPORATION) 28 March 2019 (2019-03-28) paragraphs [0107]-[0110], fig. 9	2-6
Y	JP 2015-211609 A (FANUC CORPORATION) 24 November 2015 (2015-11-24) paragraphs [0006]-[0009], [0017]-[0024], fig. 1-3	3-6
A	JP 2011-195287 A (TOSHIBA ELEVATOR CO., LTD.) 06 October 2011 (2011-10-06) paragraphs [0060]-[0073], fig. 11-15	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

30 August 2023

Date of mailing of the international search report

12 September 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/023835

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/210196	A1	06 October 2022	(Family: none)	
WO	2022/210290	A1	06 October 2022	(Family: none)	
WO	2019/058670	A1	28 March 2019	(Family: none)	
JP	2015-211609	A	24 November 2015	US 2015/0316111 A1 paragraphs [0008]-[0011], [0032]-[0039], fig. 1A-3B DE 102015005198 A1 CN 105048884 A	
JP	2011-195287	A	06 October 2011	CN 102190222 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） F16D 66/00(2006.01)i; F16D 65/14(2006.01)i; H02P 3/04(2006.01)i FI: F16D66/00 Z; F16D65/14; H02P3/04 B										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） F16D66/00; F16D65/14; H02P3/04										
最小限資料以外の資料で調査を行った分野に含まれるもの										
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2023年									
日本国実用新案登録公報	1996-2023年									
日本国登録実用新案公報	1994-2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	WO 2022/210196 A1（ファナック株式会社）06.10.2022（2022-10-06） 段落[0014]-[0054]、図1-9B	1								
Y		2-6								
A		7-8								
X	WO 2022/210290 A1（ファナック株式会社）06.10.2022（2022-10-06） 段落[0014]-[0049]、図1-5B	1								
Y		2-6								
A		7-8								
Y	WO 2019/058670 A1（日本電産株式会社）28.03.2019（2019-03-28） 段落[0107]-[0110]、図9	2-6								
Y	JP 2015-211609 A（ファナック株式会社）24.11.2015（2015-11-24） 段落0006-0009、0017-0024、図1-3	3-6								
A	JP 2011-195287 A（東芝エレベータ株式会社）06.10.2011（2011-10-06） 段落0060-0073、図11-15	1-8								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 30.08.2023	国際調査報告の発送日 12.09.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 後藤 健志 3W 3433 電話番号 03-3581-1101 内線 3367									

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/023835

引用文献			公表日	パテントファミリー文献	公表日
WO	2022/210196	A1	06.10.2022	(ファミリーなし)	
WO	2022/210290	A1	06.10.2022	(ファミリーなし)	
WO	2019/058670	A1	28.03.2019	(ファミリーなし)	
JP	2015-211609	A	24.11.2015	US 2015/0316111 A1	
				[0008]-[0011], [0032]-[0039], FIGs. 1A-3B	
				DE 102015005198 A1	
				CN 105048884 A	
JP	2011-195287	A	06.10.2011	CN 102190222 A	