

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2025-509350
(P2025-509350A)

(43)公表日 令和7年4月11日(2025.4.11)

(51)国際特許分類
H 0 2 M 3/28 (2006.01)

F I
H 0 2 M 3/28

B

テーマコード (参考)
5 H 7 3 0

審査請求 未請求 予備審査請求 未請求 (全22頁)

(21)出願番号	特願2024-553580(P2024-553580)	(71)出願人	507107291
(86)(22)出願日	令和5年3月3日(2023.3.3)		テキサス インスツルメンツ インコーポ レイテッド
(85)翻訳文提出日	令和6年11月8日(2024.11.8)		アメリカ合衆国 テキサス州 7 5 2 6 5 - 5 4 7 4 ダラス メール ステーション 3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(86)国際出願番号	PCT/US2023/014436	(74)代理人	230129078
(87)国際公開番号	WO2023/172439		弁護士 佐藤 仁
(87)国際公開日	令和5年9月14日(2023.9.14)	(72)発明者	ベイ シン リウ
(31)優先権主張番号	63/318,038		アメリカ合衆国 0 3 1 0 1 ニューハン プシャー州 マンチェスター, コマーシ ャル ストリート 5 0
(32)優先日	令和4年3月9日(2022.3.9)	F ターム (参考)	5H730 AA14 AA20 AS01 BB43 BB57 DD04 EE02 EE07 EE59 FD01 FD11 FG05
(33)優先権主張国・地域又は機関	米国(US)		最終頁に続く
(31)優先権主張番号	18/177,688		
(32)優先日	令和5年3月2日(2023.3.2)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ 最終頁に続く		

(54)【発明の名称】 フライバックコンバータのための起動回路

(57)【要約】

コンバータが、PWM信号に応答して変圧器の一次巻線を介して電流を提供し、電流を変圧器の二次巻線内に誘導して出力電圧を生成するためのもの電力段を含む。電力段はスイッチング端子を有する。コンバータは、コントローラ(260)、クランプ回路(320)、及びインピーダンスデバイス(330)も含む。コントローラ(260)は、第2のトランジスタ(Q3)に結合される第1のトランジスタ(Q1)を含み、起動モードの間に動作電圧を開始し、スイッチングモードの間に、スイッチング端子におけるスイッチング電圧の振幅に基づいて制御電圧を提供する。クランプ回路(320)は、第1のトランジスタ(Q)の制御入力と基準端子との間に結合し、スイッチング電圧がクランプ電圧を超えることに応答して、第1の制御入力における電圧をクランプする。インピーダンスデバイス(330)は、スイッチング端子とクランプ回路(320)との間に結合される。

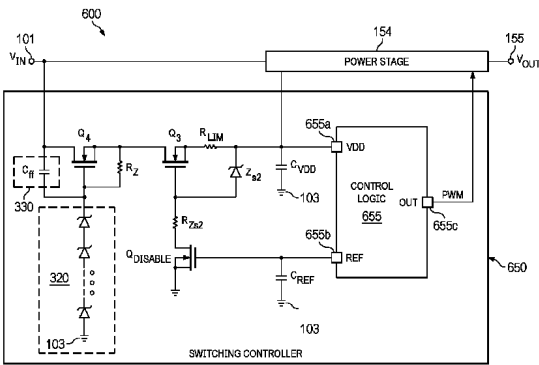


FIG. 6

【特許請求の範囲】

【請求項 1】

電力コンバータであって、
電力段と、
スイッチングコントローラと、
を含み、

前記電力段が出力を有し、前記出力が、パルス幅変調（PWM）信号に応答して変圧器の一次巻線を介して一次電流を提供するように、及び、前記変圧器の二次巻線内に二次電流を誘導して出力電圧を生成するように、構成され、前記電力段が、電力スイッチと前記一次巻線との間にスイッチング端子を有し、

10

前記スイッチングコントローラが、
第 1 の制御トランジスタと、
クランプ回路と、
インピーダンスデバイスと、
を含み、

前記第 1 の制御トランジスタが、第 2 の制御トランジスタに直列に結合されており、前記電力コンバータの起動モードの間に動作電圧を開始し、スイッチングモードの間に前記スイッチング端子におけるスイッチング電圧の振幅に基づいて制御電圧を提供するためのものであり、前記第 1 の制御トランジスタが第 1 の制御入力を有し、

前記クランプ回路が、前記第 1 の制御入力と基準端子との間に結合されており、前記クランプ回路が、前記スイッチング電圧が前記クランプ回路のクランプ電圧を超えることに応答して前記第 1 の制御入力における電圧をクランプするように構成され、

20

前記インピーダンスデバイスが前記スイッチング端子と前記クランプ回路との間に結合される、

電力コンバータ。

【請求項 2】

請求項 1 の電力コンバータであって、前記クランプ回路が、前記第 1 の制御入力と前記基準端子との間に直列に結合される複数のツェナーダイオードを含む、電力コンバータ。

【請求項 3】

請求項 1 の電力コンバータであって、前記インピーダンスデバイスがキャパシタを含む、電力コンバータ。

30

【請求項 4】

請求項 1 の電力コンバータであって、前記第 1 の制御トランジスタが、トランジスタ端子において前記第 2 の制御トランジスタに結合され、前記電力コンバータが更に、前記トランジスタ端子と前記クランプ回路との間に結合される抵抗器を含む、電力コンバータ。

【請求項 5】

請求項 1 の電力コンバータであって、前記第 1 の制御トランジスタ及び前記第 2 の制御トランジスタが空乏モードトランジスタである、電力コンバータ。

【請求項 6】

請求項 1 の電力コンバータであって、前記第 1 のトランジスタと第 2 の制御トランジスタとの間に結合される第 3 の制御トランジスタを更に含み、前記第 3 の制御トランジスタが第 2 の制御入力を有し、前記クランプ回路が前記第 2 の制御入力に結合され、前記クランプ回路が、前記スイッチング電圧が前記クランプ回路のクランプ電圧を超えることに応答して前記第 2 の制御入力において電圧をクランプするように構成される、電力コンバータ。

40

【請求項 7】

請求項 6 の電力コンバータであって、前記第 1、第 2、及び第 3 の制御トランジスタが空乏モードトランジスタである、電力コンバータ。

【請求項 8】

電力コンバータであって、

50

スイッチング端子を有する電力段と、

前記スイッチング端子に結合されるスイッチングコントローラと、

を含み、

前記スイッチングコントローラが、

第 1 の入力及び第 2 の入力を有する比較器と、

第 1 の電流端子及び第 2 の電流端子を有する第 1 の空乏モードトランジスタであって、前記第 2 の電流端子が前記第 1 の入力に結合される前記第 1 の空乏モードトランジスタと、

前記スイッチング端子と前記第 1 の電流端子との間に結合され、制御入力を有する第 2 の空乏モードトランジスタと、

前記制御入力に結合されるクランプ端子を有するクランプ回路と、

前記スイッチング端子と前記クランプ端子との間に結合されるインピーダンスデバイスと、

を含む、

電力コンバータ。

【請求項 9】

請求項 8 の電力コンバータであって、前記クランプ回路が、前記第 1 の電流端子と基準端子との間に直列に結合される複数のツェナーダイオードを含む、電力コンバータ。

【請求項 10】

請求項 8 の電力コンバータであって、前記インピーダンスデバイスがキャパシタを含む、電力コンバータ。

【請求項 11】

請求項 8 の電力コンバータであって、前記第 1 の空乏モードトランジスタが、トランジスタ端子において、前記第 2 の空乏モードトランジスタに結合され、前記電力コンバータが、前記第 1 の電流端子と前記クランプ端子との間に結合される抵抗器を更に含む、電力コンバータ。

【請求項 12】

請求項 8 の電力コンバータであって、更に、前記第 2 の入力に結合される基準電圧回路を含む、電力コンバータ。

【請求項 13】

回路であって、

第 1 の制御端子、第 1 の電流端子、及び第 2 の電流端子を有する第 1 の空乏モードトランジスタと、

第 2 の制御端子、第 3 の電流端子、及び第 4 の電流端子を有する第 2 の空乏モードトランジスタであって、前記第 4 の電流端子が前記第 1 の電流端子に結合される、前記第 2 の空乏モードトランジスタと、

前記第 2 の制御端子に結合されるクランプ端子を有するクランプ回路と、

前記第 3 の電流端子と前記クランプ端子との間に結合されるインピーダンスデバイスと、

、

を含む、回路。

【請求項 14】

請求項 13 の回路であって、第 3 の制御端子を有する第 3 の空乏モードトランジスタを更に含み、前記第 3 の空乏モードトランジスタが、前記第 1 の空乏モードトランジスタと第 2 の空乏モードトランジスタとの間に結合される、回路。

【請求項 15】

請求項 14 の回路であって、前記クランプ端子が第 1 のクランプ端子であり、前記クランプ回路が、前記第 3 の制御端子に結合される第 2 のクランプ端子を有する、回路。

【請求項 16】

請求項 15 の回路であって、前記クランプ回路が、前記第 2 の制御端子と基準端子との間に直列に結合される複数のツェナーダイオードを含み、前記第 1 のクランプ端子が、前

10

20

30

40

50

記複数のツェナーダイオードの1つのツェナーダイオードのカソードに結合され、前記第2のクランプ端子が、前記複数のツェナーダイオードのうちの別の1つのツェナーダイオードのカソードに結合される、回路。

【請求項17】

請求項13の回路であって、前記クランプ回路が、前記第2の制御端子と基準端子との間に直列に結合される複数のツェナーダイオードを含む、回路。

【請求項18】

請求項13の回路であって、前記インピーダンスデバイスがキャパシタを含む、回路。

【請求項19】

請求項13の回路であって、前記第4の電流端子と前記クランプ端子との間に結合される抵抗器を更に含む、回路。

【請求項20】

請求項13の回路であって、

前記第1の制御端子に結合される第1の抵抗器と、

第3の制御端子を有し、前記第1の抵抗器と基準端子との間に結合される第3のトランジスタと、

アノードとカソードとを有するツェナーダイオードであって、前記アノードが、前記第1の制御端子に結合される、前記ツェナーダイオードと、

前記第2の電流端子と前記カソードとの間に結合される第2の抵抗器と、

を含む、回路。

【発明の詳細な説明】

【技術分野】

【0001】

電力コンバータは様々な手法で実装され得る。電力コンバータの1つのタイプはフライバックコンバータである。多くのスイッチングコンバータと同様に、フライバックコンバータには、変圧器の一次巻線に結合されるトランジスタのパルス幅変調（PWM）を実装するコントローラが含まれる。フライバックコンバータからの出力電圧は、変圧器の二次巻線から得られる。変圧器の二次側から（補助巻線を介して）得られる補助電圧もコントローラに動作電圧を提供する。全てではないにしても、ほとんどのフライバックコンバータには、起動（start-up）回路が含まれ、これは、コントローラがその後コントローラがトランジスタのPWMスイッチングサイクルを開始できるようになるまで、フライバックコンバータの入力電圧からコントローラへ動作電圧を提供するためのものである。その時点で、起動回路は非活性化され、コントローラは、変圧器の二次側から得られる補助電圧に基づいて動作を継続する。幾つかのフライバックコンバータには、コントローラによって制御されるトランジスタに関連するスイッチング損失を低減するために、スイッチノード検知回路を介してスイッチノード検知も実装される。起動回路とスイッチノード検知回路は別個の回路である。フライバックコンバータについての別の傾向は、コンバータへの入力電圧がますます高いレベルに押し上げられていることである。幾つかの例において、入力電圧は1000Vの範囲、又はそれ以上になり得る。このような高い入力電圧は、フライバックコンバータに対する設計上の課題を提示し得る。

【発明の概要】

【0002】

一例において、電力コンバータが、電力段を含み、電力段は、PWM信号に応答して変圧器の一次巻線を介して電流を提供し、電流を変圧器の二次巻線内に誘導して出力電圧を生成するためのものである。電力段はスイッチング端子を有する。電力コンバータはまた、コントローラと、クランプ回路と、インピーダンスデバイスとを含む。コントローラは、第2のトランジスタに結合される第1のトランジスタを含み、これは、起動モードの間に動作電圧を開始し、スイッチングモードの間に、スイッチング端子におけるスイッチング電圧の振幅に基づいて制御電圧を提供するためのものである。クランプ回路は、第1のトランジスタの制御入力と基準端子との間に結合し、スイッチング電圧がクランプ電圧を

超えることに応答して、第 1 の制御入力において電圧をクランプする。インピーダンスデバイスは、スイッチング端子とクランプ回路との間を結合する。

【図面の簡単な説明】

【0003】

【図 1】別個の起動回路及びスイッチング端子検知回路を有する、例示の電力コンバータの概略図である。

【0004】

【図 2】より高いレベルの入力電圧に適応するために、複数のトランジスタを用いて、起動機能とスイッチング端子検知機能との両方を実装する回路を有する、例示の電力コンバータの概略図である。

【0005】

【図 3】一例において、図 2 の電力コンバータ内で使用可能なスイッチングコントローラの概略図である。

【0006】

【図 4】別の例において、図 2 の電力コンバータ内で使用可能なスイッチングコントローラの概略図である。

【0007】

【図 5】一例において、図 4 のスイッチングコントローラ内の種々の電圧を示すグラフである。

【0008】

【図 6】一例において、起動機能を実装するが、スイッチング端子検知機能を実装しないスイッチングコントローラの概略図である。

【発明を実施するための形態】

【0009】

図面において、（構造的及び／又は機能的に）同じ又は類似の特徴を示すために同じ参照番号又は他の参照識別子が用いられている。

【0010】

本開示は、概して、スイッチング制御を備える電力コンバータに関する。電力コンバータは入力電圧に応答して出力電圧を生成する。一例として、電力コンバータはフライバック電力コンバータとして構成され得る。電力コンバータは、それぞれの一つ又は複数のパルス幅変調（PWM）信号に応答して一つ又は複数のスイッチング信号を生成する、ゲートドライバ段を含む。一例において、ゲートドライバは、第 1 の PWM 信号に応答して第 1 のスイッチング信号を生成し、第 2 の PWM 信号に応答して第 2 のスイッチング信号を生成する。電力コンバータは、電力段も含み得る。電力段は、変圧器と、スイッチング信号（例えば、第 1 及び第 2 のスイッチング信号）によって制御される第 1 のスイッチ（例えば、トランジスタ）とを含む。一例として、第 1 のスイッチは、第 1 のスイッチング信号を介して活性化されて、変圧器の一次巻線を介して、例えば入力電圧から基準端子（例えば、接地）に、一次電流を提供し得る。一次巻線内の一次電流は、変圧器の二次巻線内に二次電流を誘導し得る。整流器が二次巻線に結合されて、二次巻線の電圧を整流し、それによって出力電圧を生成し得る。電力段内の第 2 のスイッチが第 2 のスイッチング信号を介して活性化されて、LC 共振器を含む回路経路内に変圧器に関連する磁化電流を循環させ得る。

【0011】

また、電力コンバータは、電力段からのフィードバック信号に基づいて PWM 信号を生成するコントローラを含み得る。一例において、コントローラは、制御電圧の振幅と事前定義されたスイッチング閾値電圧の比較に応答して PWM 信号を生成するように構成される比較器を含む。また、電力コンバータには、電力段内のスイッチング端子に直列に結合される複数の制御トランジスタが含まれ得る。複数の制御トランジスタは、起動モードの間にスイッチングコントローラのための動作電圧を開始するために使用可能である。起動モードとは、入力電圧が 0 V から定常状態レベル（例えば、800 V、1000 V、等）

10

20

30

40

50

に向かって増加しており、スイッチングコントローラが電力段内にPWMスイッチングサイクルの実装を開始する前の電力コンバータの状態である。幾つかの例において、複数の制御トランジスタは、スイッチング端子電圧検知を実装するためにも用いられる。コントローラは、スイッチング端子に関連するスイッチング電圧の振幅に基づいて制御電圧を提供する。一例において、事前定義されたスイッチング閾値電圧は低い振幅（例えば、1ボルト未満）を有し、比較により、第1のスイッチのほぼゼロボルトスイッチング（ZVS）を実装するためのPWM信号が提供されて、第1のスイッチに関連するスイッチング損失を低減する。従って、幾つかの例において、複数の制御トランジスタは、（a）スイッチングコントローラのための起動動作電圧を提供するために使用可能であり、また、スイッチング端子検知を必要とするフライバックコンバータの場合は、（b）スイッチング端子検知機能（例えば、第1のスイッチのゼロ電圧スイッチング）を提供するために使用可能である。

10

【0012】

図1は、例示の電力コンバータ100の概略図である。この例において、電力コンバータ100はフライバックコンバータである。入力電圧 V_{IN} が、電力コンバータの入力端子101において提供され、電力コンバータは、出力端子155において出力電圧 V_{OUT} を生成する。電力コンバータ100は、電力段154、スイッチングコントローラ110、スイッチング端子検知回路120、及び起動回路130を含む。電力段は、変圧器56、トランジスタ Q_1 、ダイオード D_1 、 Z_1 （ Z_1 はツェナーダイオード）、 D_{OUT} 、及び D_{AUX} 、キャパシタ C_F 、及び C_{VDD} を含む。変圧器56は、一次巻線 W_P 、二次巻線 W_S 、及び補助巻線 W_A を含む。この例において、トランジスタ Q_1 は、 n チャネルの電界効果トランジスタ（NFT）であり、一次巻線 W_P の1つの端子と基準端子103（例えば、接地）との間に結合される。スイッチングコントローラ110は、トランジスタ Q_1 のゲートに結合される出力111を有する。スイッチングコントローラ110は、出力111においてトランジスタ Q_1 の制御信号PWMを生成し、PWM制御信号の目標デューティサイクルに従って、トランジスタ Q_1 のオンオフ状態を制御する。

20

【0013】

トランジスタ Q_1 のドレインは、スイッチング端子58において一次巻線 W_P に結合される。スイッチング端子58上の電圧はスイッチング電圧 V_{SW} である。スイッチング端子58はスイッチング端子検知回路120にも結合される。スイッチング端子検知回路120は、スイッチング端子58上のスイッチング電圧 V_{SW} に基づいて、スイッチングコントローラ110に対して制御信号121を生成して、電圧 V_{SW} が0Vに等しいか又は近いときを示す。そのため、スイッチングコントローラ110は、スイッチング電圧 V_{SW} が閾値（例えば、基準端子103の電圧に近いか又は等しい）を下回ったときを判定して、トランジスタ Q_1 のドレインソース間電圧（ V_{ds} ）が0Vに近いか又は等しいときに、コントローラがトランジスタ Q_1 を活性化し（ONにし）、それによってトランジスタ Q_1 に関連するスイッチング損失を低減し得る。

30

【0014】

ダイオード D_{OUT} のアノードは、二次巻線 W_S に結合される。キャパシタ C_F が、ダイオード D_{OUT} のカソードと二次側の基準端子133との間に結合される。ダイオード D_{OUT} が、二次巻線 W_S からの電圧を整流し、電力コンバータの出力端子155上に出力電圧 V_{OUT} を生成する。ダイオード D_{AUX} のアノードは補助巻線 W_A に結合される。キャパシタ C_{VDD} は、ダイオード D_{AUX} のカソードと二次側の基準端子133との間に結合される。ダイオード D_{AUX} は補助巻線 W_A からの電圧を整流して電圧 V_{DD} を生成し、電圧 V_{DD} は、通常動作モードの間、スイッチングコントローラ110に動作電圧として提供される。通常動作モードとは、スイッチングコントローラ110の電源がオンにされ、PWM信号のPWMスイッチングサイクルに従って、トランジスタ Q_1 のオンオフ状態を制御するモードを指す。

40

【0015】

電圧 V_{OUT} 及び V_{DD} は、スイッチングコントローラ110が、電源オンにされ、そ

50

のため、トランジスタ Q_1 のゲートに対してPWM制御信号を生成することができ、それによって、スイッチング電圧 V_{SW} を生成して、変圧器56を介してエネルギーを転送できる場合のみ利用可能である。起動回路130は、入力端子101とスイッチングコントローラ110との間に結合される。電力コンバータ100の起動の間、起動回路は、電圧 V_{DD_SU} を提供して、コントローラ110の電源をオンにする。起動回路130の助けによってスイッチングコントローラ110の電源がオンにされると、スイッチングコントローラ110は、トランジスタ Q_1 のゲートにPWM制御信号を提供し始め、変圧器56を介してエネルギーを転送させる。変圧器56を介して転送されたエネルギーは、動作電圧 V_{DD} とスイッチングコントローラ110のための出力電圧 V_{OUT} とを生成するために用いられ得る。起動回路130はその後、非活性化される。

10

【0016】

起動回路130は、スイッチング端子検知回路120とは別個の回路である。残念なことに、これら2つの別個の回路は、電力コンバータ100を製造する半導体ダイ上で大きな面積を占有する。

【0017】

図2は、上述の課題の一つ又は複数を解決する電力コンバータ回路250の一例を図示する。電力コンバータ回路250は、入力端子201におけるDC入力電圧 V_{IN} （例えば、整流されたAC入力電圧）を、出力端子255におけるDC出力電圧 V_{OUT} に変換する。電力コンバータ回路250の構成要素の幾つか又は全てが、様々な手法のうちの任意の方式で、集積回路(IC)上等に、実装され得る。図2の例において、電力コンバータ回路250は、ゲートドライバ252、電力段254、及びスイッチングコントローラ260を含む。電力段254には、一次巻線 W_P と、二次巻線 W_S と、補助巻線 W_A とを有する変圧器256が含まれる。電力段254には、変圧器256の漏れインダクタンスに対応する入力インダクタ L_K と、共振キャパシタ C_F と、図2の例においてトランジスタ Q_1 及び Q_2 として示されている一対のスイッチとが含まれる。この例では、トランジスタ Q_1 及び Q_2 はNFEETである。トランジスタ Q_2 のソースは、トランジスタ Q_1 のドレインと、スイッチング端子258における一次巻線 W_P とに結合される。スイッチング端子258上の電圧はスイッチング電圧 V_{SW} である。ダイオード D_{OUT} のアノードは二次巻線に結合される。キャパシタ C_F は、ダイオード D_{OUT} のカソードと基準端子133との間に結合される。キャパシタ C_F の両端の電圧は、電力コンバータ回路250からの出力電圧 V_{OUT} である。ダイオード D_{AUX} のアノードは、補助巻線 W_A に結合され、キャパシタ C_{VDD} は、ダイオード D_{AUX} のカソードと基準端子133との間に結合される。キャパシタ C_{VDD} の両端の電圧は、電圧 V_{DD} であり、通常動作モードの間、スイッチングコントローラ260に動作電圧として提供される。

20

30

【0018】

スイッチングコントローラ260には、比較器262と複数の制御トランジスタ264とが含まれる。スイッチングコントローラ260は、出力端子255、キャパシタ C_{VDD} 、及びスイッチング端子258に結合される。スイッチングコントローラは、ゲートドライバ252の入力に対して信号 PWM_1 及び PWM_2 を生成する。ゲートドライバ252の出力は、トランジスタ Q_1 及び Q_2 のゲートに結合され、図示されるように、トランジスタ Q_1 及び Q_2 のそれぞれのゲートにスイッチング信号 SS_1 及び SS_2 を提供する。従って、トランジスタ Q_1 はスイッチング信号 SS_1 を介して制御され、トランジスタ Q_2 はスイッチング信号 SS_2 を介して制御される。

40

【0019】

電力コンバータ回路250は、繰り返しPWMスイッチングサイクルを実装する。各スイッチングサイクルには、少なくとも第1のスイッチングフェーズと第2のスイッチングフェーズとが含まれる。第1のスイッチングフェーズの間、スイッチングコントローラ260は、トランジスタ Q_1 を、第1のスイッチング信号 SS_1 を介して飽和領域に活性化し(ONにし)、一次電流 I_P を、入力端子201(V_{IN})から、入力インダクタ L_K 、一次巻線 W_P 、及びトランジスタ Q_1 を介して基準端子103に流す。一次巻線 W_P 内

50

の一次電流 I_p に応答して、二次電流 I_s が、二次巻線 W_s 内に誘導され、ダイオード D_{OUT} を介して流れ、負荷（図示せず）とキャパシタ C_F の両端に出力電圧 V_{OUT} を生成する。

【0020】

第1のスイッチング信号 SS_1 を介してトランジスタ Q_1 が非活性化されると、事前定義された短いデッドタイムの後、第2のスイッチングフェーズの間に、スイッチングコントローラ260は、ゲートドライバのスイッチング信号 SS_2 を介してトランジスタ Q_2 を活性化させ、二次巻線 W_s 、出力電圧 V_{OUT} 、及びダイオード D_{OUT} とともに、一次巻線の電流 I_p の成分である磁化電流をゼロアンペアまで減衰させ、その後、共振キャパシタ C_1 の電圧によって方向を反転させる。負の磁化電流は、トランジスタ Q_2 の非活性化に続いて、トランジスタ Q_1 の接合容量を放電し、トランジスタ Q_2 の接合容量を充電する。トランジスタ Q_1 の電荷が除去されると、スイッチングコントローラ260がトランジスタ Q_1 を再び活性化する前に、トランジスタ Q_1 の V_{ds} がほぼゼロボルトまで低下する。上述のように、ドレインソース間電圧がほぼゼロボルトのときにトランジスタ Q_1 を活性化することは、ゼロ電圧スイッチング（ZVS）と称される。スイッチングコントローラ260が、例えば、活性化されたクランプフライバックやZVSフライバックコンバータにとって有用なZVSを実装した結果として、電力コンバータ回路250のトランジスタ Q_1 に関連するスイッチング損失は比較的低い。トランジスタ Q_2 の活性化時間の間、漏れインダクタンス L_K 及びキャパシタ C_1 は、前述のLC共振タンクを形成して漏れインダクタンス L_K エネルギーを出力に循環させ、そのため、クランプ損失も効率的に低減し得る。

【0021】

電圧 V_{OUT} の大きさは、部分的に、一次巻線 W_p と二次巻線 W_s との間の回転比の関数である。同様に、補助巻線 W_A の両端の電圧 V_{AUX} の振幅は、部分的に、一次巻線 W_p と補助巻線 W_A との間の巻数比の関数である。コントローラの動作電圧 V_{DD} は、補助巻線 W_A に関連する補助電圧 V_{AUX} に対応する（ V_{DD} は、 V_{AUX} からダイオード D_{AUX} に関連する順方向バイアス電圧降下を差し引いた値である）。

【0022】

幾つかの例において、スイッチングコントローラ260に関連する複数の制御トランジスタ264は2つのトランジスタを含む。他の例において、複数の制御トランジスタ264は3つ（又はそれ以上）のトランジスタを含む。複数の制御トランジスタ264は、スイッチング電圧 V_{SW} に応答してスイッチング制御電圧を生成する空乏モードトランジスタとし得る。比較器262は、スイッチング制御電圧 V_{SW} と事前定義されたスイッチング閾値電圧との比較に基づいて信号 PWM_2 をアサートする。一例として、電力コンバータ回路250は、トランジスタ Q_1 のゼロ電圧スイッチングを実装し、それによって、スイッチングノード258におけるスイッチング電圧 V_{SW} の振幅がほぼゼロボルトのときにトランジスタ Q_1 を活性化する。また、複数の制御トランジスタ264は、電力コンバータ回路250の始動時にスイッチングコントローラ260のための起動電圧を提供し得る。

【0023】

図3は、図2のスイッチングコントローラ260を実装するために使用可能な例示のスイッチングコントローラ350の概略図である。図3の例において、スイッチングコントローラ350は、電圧レギュレータ356（例えば、低ドロップアウト（LDO）電圧レギュレータ）、モードコントローラ358、比較器262、電圧源回路362（これはプログラム可能であってもプログラム不可能であってもよい）、タイミング生成器364、複数の制御トランジスタ264、クランプ回路320、インピーダンスデバイス330、キャパシタ C_{HVG} 、抵抗器 R_1 、 R_2 、 R_3 、及び R_Z 、及びスイッチ SW_1 、 SW_2 、 SW_3 、及び SW_4 を含む。各スイッチ $SW_1 \sim SW_4$ は、別個のトランジスタとして実装され得る。この例において、複数の制御トランジスタ264は、直列に結合された2つのトランジスタ Q_3 及び

Q₄を含む。トランジスタQ₃及びQ₄の各々は空乏モードトランジスタ（例えば、nチャネル空乏モードトランジスタ）とし得る。空乏モードトランジスタは通常はオンであり、少なくともそのソース電圧よりも低い閾値電圧におけるゲート電圧の印加によってオフにされる。従って、空乏モードトランジスタは、V_{gs}が0Vに等しいときにオンになる。トランジスタQ₄のドレインは、スイッチング端子258に結合される。インピーダンスデバイスは、スイッチング端子258と、制御トランジスタQ₄のゲートとの間に結合される。クランプ回路320は、トランジスタQ₄のゲートと基準端子103との間に結合される。抵抗器R_zが、トランジスタQ₄のソース（及びトランジスタQ₃のドレイン）と制御トランジスタQ₄のゲートとの間に結合される。

【0024】

キャパシタC_{HVG}が、トランジスタQ₃のゲートと基準端子103との間に結合される。抵抗器R₁が、トランジスタQ₃のソースとキャパシタC_{HVG}との間に結合される。スイッチSW₄の一方の端子が、抵抗器R₁と、キャパシタC_{HVG}に結合される。スイッチSW₄の他方の端子は、電圧レギュレータ356の出力端子356aに結合される。ダイオードD_{AUX}（図2）のカソードは、電圧レギュレータ356の入力端子356bと、モードコントローラ358の電力入力端子358aに結合される。従って、モードコントローラ358の電力入力端子358a及び電圧レギュレータ356の入力端子356bは、電力コンバータ250の通常動作モードの間、変圧器256の補助巻線W_Aから動作電圧V_{DD}を受け取る。スイッチSW₃が、キャパシタC_{HVG}の上側端子（トランジスタQ₃のゲートに結合される）とモードコントローラ358の電力入力端子358との間に結合される。

【0025】

抵抗器R₃が、トランジスタQ₃のソースとスイッチSW₂の一方の端子との間に結合され、スイッチSW₂の他方の端子は比較器262の負（-）の入力に結合される。トランジスタQ₃のソース上の電圧は電圧V_{SWC}であり、比較器262の負の入力上の電圧は電圧V_{SWC}である。抵抗器R₄が、比較器262の負の入力と基準端子103との間に結合され、抵抗器R₂が、トランジスタQ₃のソースとスイッチSW₁の一方の端子との間に結合され、スイッチSW₁の他方の端子は、モードコントローラ358の電力入力端子358aに結合される。

【0026】

電圧源回路362は、比較器262の正（+）の入力に結合される。電圧源回路362は、プログラム可能（図示されるように）であってもよく、又はプログラム不可能であってもよく、電圧V_{TH_ZVS}を生成する。比較器262の出力は、タイミング生成器364の入力364aに結合される。タイミング生成器364の出力364bは、信号PWM₂を提供し、モードコントローラ358の入力358bに結合される。

【0027】

モードコントローラ358は、論理ゲート、フリップフロップ、レジスタ等を含む有限状態機械として実装され得る。モードコントローラ358は、出力358c、358d、358e、及び358f上に出力信号を生成し、それらは、それぞれ、スイッチSW₁、SW₂、SW₃、及びSW₄の制御入力に結合される。モードコントローラ358は、スイッチSW₁、SW₂、SW₃、及びSW₄のそれぞれの制御入力に対して信号SC₁、SC₂、SC₃、及びSC₄を生成する。信号SC₁～SC₄の各信号を介して、モードコントローラ358は、それぞれのスイッチを開（無効）にするか又は閉（有効）にし得る。

【0028】

クランプ回路320は、クランプ端子321におけるトランジスタQ₄のゲートと基準端子103との間に結合される。図3の例において、クランプ回路320は、クランプ端子321と基準端子103との間に直列に結合される複数のツェナーダイオード320aを含む。ツェナーダイオードの数及びそれらの降伏電圧は、クランプ回路320のクランプ電圧を定義する。クランプ回路320の目標クランプ電圧は、用途に特有であり、例え

10

20

30

40

50

ば、電圧 V_{SW} の最大可能大きさに依存する。クランプ回路 320 が活性化されると、クランプ端子 321 上の電圧は、クランプ回路 320 の複数のツェナーダイオード 320a の降伏電圧の合計である固定電圧（クランプ電圧）である。一例において、クランプ端子 321 上のクランプ電圧は、通常動作モードの間の電圧 V_{SW} の最大の大きさのおよそ $1/2$ である。例えば、通常動作モードの間の電圧 V_{SW} の最大値が 1000 V である場合、電圧 V_{SW} がおよそ 500 V に到達すると、クランプ回路 320 が活性化される。電圧 V_{SW} が、クランプ回路 320 のクランプ電圧よりも低い場合、クランプ回路 320 は活性化されず、トランジスタ Q_4 のゲートとソースとの間に結合される抵抗器に起因して、トランジスタ Q_4 の V_{gs} はほぼ 0 V である。

【0029】

10

図 4 の例において、インピーダンスデバイス 330 は、キャパシタ C_{FF} である。インピーダンスデバイス 330 は、例えば、直列及び／又は並列に結合される、複数のキャパシタとして実装され得る。別の例において、インピーダンスデバイス 330 は、抵抗器に直列に結合されたキャパシタを含む。

【0030】

電力コンバータの起動モードの間、スイッチングコントローラ 350 は、モードコントローラ 358 に動作電圧を提供する。電力コンバータの通常モード動作の間、補助巻線 W_A は、スイッチングコントローラ 350 に動作電圧 V_{DD} を提供し、スイッチングコントローラ 350 は、スイッチング端子 258 上の電圧を検知し、トランジスタ Q_1 （図 2）の ZVS を実装する。即ち、スイッチングコントローラ 350 は、起動機能とスイッチング端子検知機能の両方を提供する。

20

【0031】

電力コンバータ回路 250 の起動モードの間、補助巻線 W_A からの動作電圧 V_{DD} の振幅は、振幅モードコントローラ 358 に格納された事前定義された振幅を有し得る低電圧ロックアウト（ $UVLO$ ）振幅よりも小さい。モードコントローラ 358 は、動作電圧 V_{DD} を $UVLO$ 振幅と比較して、電力コンバータ回路 250 が起動モードにある（例えば、 V_{DD} が $UVLO$ 電圧未満）か又は通常動作モードにある（例えば、 V_{DD} が $UVLO$ 電圧に等しいか又はそれよりも大きい）かを判定し得る。動作電圧 V_{DD} が $UVLO$ 振幅（例えば、第 1 の $UVLO$ 振幅）よりも小さいと判定されたことに応答して、モードコントローラ 358 は、電力コンバータ回路 250 が起動モードにあると判定し、そのため、これ以降に更に説明するように、スイッチングコントローラ 350 内の回路要素は、モードコントローラ 358 がトランジスタ Q_1 及び Q_2 のパルス幅変調スイッチングを提供可能なように、モードコントローラ 358 に対して十分な動作電圧を構築することによって応答する。電力コンバータ回路 250 が起動モードにあることを判定することによって、モードコントローラ 358 は、それぞれのスイッチ制御信号 SC_2 及び SC_4 を介して SW_2 及び SW_4 を非活性化し（開にし）、それぞれのスイッチ制御信号 SC_1 及び SC_3 を介してスイッチ SW_1 及び SW_3 を活性化する（例えば、閉にする）。

30

【0032】

起動モードにおいて、電力段 254 は、定常状態レベル（例えば、 1000 V ）に向かって増加する入力電圧 V_{IN} を受け取る。トランジスタ Q_1 及び Q_2 の PWM スwitchングがない場合（モードコントローラ 358 の電源がまだオンではないため）、電圧 V_{SW} は、入力電圧 V_{IN} から一次巻線 W_P の両端の電圧降下を差し引いた値にほぼ等しい。前述のように、トランジスタ Q_3 及び Q_4 は、空乏モードトランジスタとし得、ほぼゼロ振幅 V_{gs} に応答して活性化された状態（ON）である。従って、起動モードの間、トランジスタ Q_3 及び Q_4 は活性化された状態にある。トランジスタ Q_3 及び Q_4 が活性化されていると、起動モードの間、トランジスタ Q_3 及び Q_4 は集散的に電流源として機能し、抵抗器 R_1 を介する電流、及び、閉にされたスイッチ SW_1 及び SW_3 を介する電流を通してキャパシタ C_{HVG} 及び C_{VDD} の充電を開始する。

40

【0033】

その結果、動作電圧 V_{DD} 及び電圧 V_{HVG} は、起動モードの間に増加し始める。最終

50

的に、動作電圧 V_{DD} は、 $UVLO$ 振幅（例えば、第1の $UVLO$ 振幅）にほぼ等しい振幅に到達する。その時点まで、活性化されたトランジスタ Q_3 及び Q_4 を流れる電流は、キャパシタ C_{HVG} 及び C_{VDD} を充電し、バイアス電圧を提供してモードコントローラ 358 の電力をオンにする。このようにして、スイッチングコンバータ 350 は、電力コンバータ 250 に対して電圧起動機能を提供する。

【0034】

動作電圧 V_{DD} が $UVLO$ 振幅にほぼ等しい振幅に到達することに応答して、モードコントローラ 358 は通常動作モードに切り替わる。通常動作モードに入ると、モードコントローラ 358 は、スイッチ制御信号 SC_1 及び SC_3 を介してスイッチ SW_1 及び SW_3 を非活性化し（開にし）、スイッチ SW_1 及び SW_3 を非活性化された状態に維持する。また、モードコントローラ 358 は、スイッチ SW_4 を活性化し（閉にし）、電圧レギュレータ 356 からの調整された出力電圧 V_{HVG} をトランジスタ Q_3 のゲートに提供させる。ゲート電圧 (V_{HVG}) が、電圧レギュレータ 356 によって制御された固定電圧である場合、 Q_3 におけるソース電圧が、電圧レギュレータの出力電圧よりも上である Q_3 の閾値電圧にあると、トランジスタ Q_3 は非活性化し、そうでない場合は、トランジスタ Q_3 は活性化される。 V_{SW} 電圧が、クランプ回路 320 を活性化するのに充分大きくなると、トランジスタ Q_4 のゲート上の電圧が固定され、そのソース電圧が更に上昇すると、トランジスタ Q_4 は非活性化する。

【0035】

モードコントローラ 358 は、通常動作モードの間、動作電圧 V_{DD} を監視する。動作電圧 V_{DD} が $UVLO$ 振幅を下回ったことを検出すると（例えば、コントローラ 260 が電力コンバータの障害状態を検出した場合、或いは異常な出力電圧低下に起因して、補助巻線 (W_A) の整流された電圧からの V_{DD} 電圧が $UVLO$ を下回った場合）、モードコントローラ 358 は、（例えば、スイッチ SW_2 及び SW_4 を開にし、スイッチ SW_1 及び SW_3 を閉にすることによって）電力コンバータ回路 250 を起動モードに戻す。一例において、モードコントローラ 158 は、動作電圧 V_{DD} が通常動作モードに対する閾値に対応する第1の $UVLO$ 振幅よりも小さい第2の $UVLO$ 振幅を下回って下がることに応答して、電力コンバータ回路 250 を起動モードに戻す。

【0036】

通常動作モードにおいて、前述したように、スイッチングコントローラ 350 は、電圧源回路 362 からの電圧 V_{TH_ZVS} と比較された電圧 V_{SWC} の振幅に基づいて信号 PWM をアサートする。トランジスタ Q_1 の非活性化に続いて、スイッチング電圧 V_{SW} は、比較的高い振幅を有し得る。例えば、トランジスタ Q_1 が非活性化すると、電圧 V_{SW} の振幅は、 V_m （例えば、1000V）と一次巻線 W_p の両端の電圧の合計にほぼ等しくなり得る。トランジスタ Q_2 の非活性化に応答して、スイッチング端子 258 は、共振して下向きに遷移し始め、そのため、スイッチング電圧 V_{SW} 、及びそのため、 V_{SWC} を減少させ得る。幾つかの電力コンバータは、トランジスタ Q_1 の ZVS を実装し得、ここでは、スイッチング電圧 V_{SW} のほぼゼロボルト振幅において、トランジスタ Q_1 が活性化される（ONにされる）。

【0037】

通常動作モードの間、電圧 V_{SW} は、一層低い電圧（例えば、基準端子 103 の電圧）から一層高い電圧（例えば、入力電圧 V_{IN} に一次巻線 W_p の電圧を加えた値）に遷移する。これ以降に説明するように、トランジスタ Q_3 及び Q_4 は、 V_{SW} の一層高い電圧レベルで無効（OFF）にされ、 V_{SW} の一層低い電圧レベルで有効（ON）にされる。トランジスタ Q_3 及び Q_4 が OFF のときに、トランジスタ Q_3 及び Q_4 は、電圧 V_{SW} と基準端子 103 の電圧との間の分圧器として機能する。従って、トランジスタ Q_3 及び Q_4 の各々は、有利なこととして、 V_{IN} の全電圧振幅（又は入力電圧 V_{ix} に一次巻線 W_p の電圧を加えた値）に対して定格化（例えば、最大許容 V_{ds} ）される必要はなく、そのため、1000V の V_{ds} に対して定格化される場合よりも、トランジスタ Q_3 又は Q_4 は小さく成り得る。例えば、 V_{IN} が 1000V である応用例において、トランジスタ

Q₃及びQ₄の各々は、600VのV_{ds}定格のみを有し、1000VのV_{ds}に対して定格化されないという利点がある。

【0038】

これ以降の説明では、電圧V_{sw}が、一層低い電圧（トランジスタQ₁がアクティブ状態のとき）から一層高い電圧（トランジスタQ₁が非アクティブ状態のとき）に遷移し、その後、一層低い電圧に戻るときの、スイッチングコントローラ350の動作について説明する。電圧V_{sw}は、一層低い電圧レベルの電圧V_{sw}から開始し、クランプ回路320のクランプ電圧（例えば、500V）を下回っており、クランプ回路320は活性化されない。従って、クランプ回路320を介して電流が流れず、そのため、トランジスタQ₄のゲートとソースは同じ電圧である（トランジスタQ₄のV_{gs}は0Vである）。トランジスタのV_{gs}が0Vであると、トランジスタQ₄は、活性化された状態（ON）になる。トランジスタQ₄が活性化されていると、トランジスタQ₃のドレイン上の電圧は、一層低い電圧にあり、それは、電圧V_{HVG}よりも低いトランジスタQ₃の閾値電圧よりも低く、そのため、トランジスタQ₃もまた活性化される。

10

【0039】

モードコントローラ358はスイッチS_{W2}を活性化して、比較器262が電圧V_{swc}（これは電圧V_{sw}とほぼ等しい）を電圧源回路362からの閾値電圧V_{TH_zvs}と比較できるようにする。電圧V_{swc}が電圧V_{TH}まで低下すると、比較器は出力信号CMPを強制的に論理高状態にする。定義されたデッドタイム内（PWM₂の立ち下がりエッジからPWM₁の立ち上がりエッジまで）に発生する信号CMPの論理高は、比較的高い負の磁化電流であっても、現在のスイッチングサイクルがゼロ電圧スイッチングを達成可能であることを示す。これに応答して、タイミング生成器は、次のスイッチングサイクルでPWM₂のオン時間を僅かに減少させて、負の磁化電流を徐々に減少させる。一方、定義されたデッドタイム内に信号CMPが論理高にならない場合は、現在のスイッチングサイクルはゼロ電圧スイッチングを達成できないことを示す。これに応答して、タイミング生成器は、次のスイッチングサイクルにおいて、PWM₂のオン時間を僅かに増加させて、スイッチングノード電圧を僅かに多く放電するための負の磁化電流を増加させる。タイミング生成器364は、信号CMPの論理レベル状態に基づいてオン時間を調整可能なワンショット回路とし得るか又はそれを含み得る。PWM₁信号が論理低になると、トランジスタQ₁はオフになり、正の磁化電流がスイッチノード258を充電し、スイッチング電圧V_{sw}が上昇する。信号PWM₂は、PWM₁の立ち下がりエッジからのデッドタイムの後、論理高になる。ゲートドライバ252（図2）は、PWM₂に応答してトランジスタQ₂を活性化することによって、電圧V_{sw}が最大レベルに到達する。モードコントローラ358は、信号PWM₂の正のアサートに応答してスイッチS_{W2}を非活性化することによって、比較器262（これはスイッチングサイクルのこの時点では比較器262は必要ない）を事実上無効にする。

20

30

【0040】

最終的に、電圧V_{sw}は電圧クランプ回路320のクランプ電圧まで上昇し、クランプ回路は活性化する。V_{sw}上昇期間の間、高速dv/dtによって、インピーダンスデバイス330（例えば、キャパシタ）を介して充電電流が生成され、その結果、キャパシタC_{ff}によって、クランプ端子321上の電圧がV_{sw}と同時に上昇し、クランプ回路が迅速に活性化される。クランプ回路320の活性化によってトランジスタQ₄のゲート上の電圧が固定（クランプ）される。抵抗器R_zは、トランジスタQ₄のソースからクランプ回路320のツェナーダイオードスタックまでの電流経路を提供する。抵抗器R_zは、抵抗器からのツェナースタックに流れる電流の大きさを制御するようなサイズとする。抵抗器R_zからの電流の大きさは、ツェナーダイオード320a内の漏れ電流にほぼ等しい。ツェナーダイオードからの漏れ電流を平衡させることにより、抵抗器R_zは、電圧V_{sw}がクランプ回路のクランプ電圧を上回ると、クランプ回路320を活性化された状態に維持するのに役立つ。電力は抵抗器R_z内で消散されるので、インピーダンスデバイス330により、抵抗器R_zが、比較的高い抵抗を有し、コンバータ効率に対してほとんど影

40

50

響を与えることなくツェナーダイオードの漏れ電流を克服することができる。一方、インピーダンスデバイス 330 が含まれない例においては、スイッチノードの立ち上がりエッジの間にクランプ回路 320 を充分迅速に活性化させるために、抵抗器 R_z は比較的低い抵抗値を有する必要がある、抵抗が低いとより多くの電力が消費され、コンバータの効率を低下させる。

【0041】

クランプ回路 320 が活性化されていることに起因してトランジスタ Q_4 のゲート電圧が固定された状態で、電圧 V_{sw} が上昇し続けると、ソース電圧は、トランジスタ Q_4 のゲート電圧を上回る閾値電圧よりも大きくなる。この時点で、トランジスタ Q_4 は非活性化される。一方、トランジスタ Q_3 は、そのソース電圧 (V_{sws}) が、電圧レギュレータ 356 によって固定されているトランジスタ Q_3 のゲート電圧を上回る閾値電圧よりも大きくなると、非活性化する。それにより、この時点で、電圧 V_{sw} が（例えば、1000 V まで）上昇し続けるとき、トランジスタ Q_3 及び Q_4 の両方が、スイッチングコントローラ 350 の残りの回路要素を保護する。トランジスタ Q_3 及び Q_4 のドレインソース間容量の直列結合は分圧器として機能し、そのため、各トランジスタの V_{ds} は電圧 V_{sw} のほぼ 2 分の 1 になる。

【0042】

タイミング生成器 364 からのワンショットパルスが終了すると、信号 PWM_2 は論理低になり、それに続いて（デッドタイムの後）、信号 PWM_1 が論理高になる。デッドタイムの間、負の磁化電流がスイッチノード電圧を放電するため、電圧 V_{sw} は電圧クランプ回路 320 のクランプ電圧を下回り、電圧クランプ回路が非活性化する。これにตอบสนองし、トランジスタ Q_4 は活性化する。トランジスタ Q_4 のゲートが抵抗器 R_1 を介してそのソースに結合され、トランジスタ Q_3 を介して電流が流れないと、トランジスタ Q_3 もまた活性化する。タイミング生成器は、信号 PWM_2 のパルス幅を実装する。信号 PWM_2 の立ち下がりエッジによって、モードコントローラ 358 はスイッチ SW_2 を閉にする。トランジスタ Q_3 及び Q_4 が活性化され、スイッチ SW_2 が閉にされると、比較器 262 は電圧 V_{swc} と V_{TH} を再び比較して、スイッチングコントローラ 350 が、信号 PWM_2 の立ち下がりエッジと、信号 PWM_1 の立ち上がりエッジとの間のデッドタイム内に ZVS が発生したか否かを検出できるようにする。上述のプロセスが繰り返される。

【0043】

図 3 の例において、 Q_4 のドレインはスイッチング端子 258 に結合され、そのため、トランジスタ Q_3 及び Q_4 、クランプ回路 320、インピーダンスデバイス 330、及び抵抗器 R_z を含む回路要素は、起動モードの間にモードコントローラ 358 の電源をオンにし、トランジスタ Q_1 のゼロ電圧スイッチングを提供するように機能し得る。幾つかの電力コンバータ応用例（例えば、連続導通モード (CCM) 及び／又は不連続導通モード (DCM) を実装するフライバックコンバータ）では、起動機能が必要であるが、トランジスタ Q_1 のゼロ電圧スイッチングは必要ではない。そのような応用例において、トランジスタ Q_4 のドレインは、スイッチング端子 258 ではなく、入力電圧端子 101 に結合され得る。

【0044】

図 3 の例において、複数の制御トランジスタ 264 は、2 つの直列結合された空乏モードトランジスタ Q_3 及び Q_4 を含み、一層高いレベルの電圧 V_{IN} （例えば、1000 V）のための分圧器として動作する。幾つかの応用例は、更に高いレベルの電圧 V_{IN} （1200 V、1500 V 等）を有していてもよい。従って、幾つかの例において、複数の制御トランジスタ 264 は、3 つ（又はそれよりも多く）の空乏モードトランジスタを含み得る。

【0045】

図 4 は、複数の制御トランジスタ 264 が、上述のトランジスタ Q_3 及び Q_4 及びトランジスタ Q_5 の 3 つのトランジスタを含む、例示のスイッチングコントローラ 550 の概略図である。スイッチングコントローラ 550 の大部分は、図 3 のスイッチングコントロ

10

20

30

40

50

ーラ 350 とほぼ同じであるため、スイッチングコントローラ 350 の前述の説明が参照され得る。トランジスタ Q_3 、 Q_4 、及び Q_5 は、空乏モードトランジスタ（例えば、N F E T）である。トランジスタ Q_5 はトランジスタ Q_3 と Q_4 との間に結合される。

【0046】

インピーダンスデバイス 330（例えば、キャパシタ C_{FF} ）は、上述のように、トランジスタ Q_4 のドレインとゲートとの間に結合される。同様に、抵抗器 R_z が、トランジスタ Q_4 のソースとゲートとの間に結合される。スイッチングコントローラ 550 には、クランプ端子 521 及び 522 を含むクランプ回路 520 が含まれる。クランプ端子 521 はトランジスタ Q_4 のゲートに結合され、クランプ端子 522 はトランジスタ Q_5 のゲートに結合される。クランプ回路 520 は、並列結合されたツェナーダイオード Z_{51} 、 Z_{52} 、 Z_{53} 、 Z_{54} 、 Z_{55} 、及び Z_{56} を含む。図 4 の例におけるクランプ回路 530 は 6 個のツェナーダイオードを含むが、他の例においてクランプ回路 520 は、6 個未満のツェナーダイオード又は 6 個よりも多くのツェナーダイオードを含んでいてもよい。ツェナーダイオード $Z+$ のカソードはクランプ端子 521 であり、これは、トランジスタ Q_4 のゲートに結合される。ツェナーダイオード Z_{54} のカソードはクランプ端子 522 であり、これはトランジスタ Q_5 のゲートに結合される。

【0047】

クランプ回路 520 のクランプ電圧は、ツェナーダイオードの直列組み合わせの降伏電圧の合計である。一例において、ツェナーダイオードの数とそれらの降伏電圧は、クランプ回路 520 のクランプ電圧が電圧 V_{SW} の最大レベルの 3 分の 2 にほぼ等しくなるように設定される。電圧 V_{SW} がクランプ回路 520 のクランプ電圧を上回ると、クランプ回路 520 は活性化し、トランジスタ Q_4 のゲート上の電圧が、電圧 V_{SW} の最大レベルのほぼ 3 分の 2 であるクランプ電圧において、クランプされる。図 4 の例において、クランプ回路 520 が活性化すると、ツェナーダイオード Z_{54} のカソード上の電圧は、クランプ回路 520 のクランプ電圧のほぼ 2 分の 1 になり、そのため、トランジスタ Q_5 のゲート上の電圧は、クランプ電圧のほぼ 3 分の 1 になる。クランプ回路が活性化すると、トランジスタ Q_4 及び Q_5 のゲート電圧はクランプ回路 520 によって固定され、トランジスタ Q_4 及び Q_5 は非活性化された状態（OFF）になる。上述のように、電圧レギュレータ 356 は、トランジスタ Q_3 のゲート上の電圧を固定する。電圧 V_{SW} がクランプ回路 520 を活性化するのに充分大きいときに、トランジスタ Q_3 も非活性化された状態になる。3 つのトランジスタ Q_3 、 Q_4 、及び Q_5 全てが非活性化されていると、トランジスタ $Q_3 \sim Q_5$ の直列組み合わせは、分圧器として動作し、電圧 V_{SW} のほぼ 3 分の 1 がトランジスタの各々の間で分割される。例えば、電圧 V_{SW} が 1200 V である場合、トランジスタ $Q_3 \sim Q_5$ の各々の V_{ds} は、およそ 400 V になる。従って、トランジスタ $Q_3 \sim Q_5$ の各々が電圧 V_{SW} 全体に対応するサイズである必要はない。

【0048】

図 5 は、電圧 V_{SW} がほぼ 0 V から 1400 V まで増加し再び 0 V に戻るときの時間に対する電圧 V_{SW} と、トランジスタ Q_5 のドレイン上の電圧（ V_{D_Q5} ）と、トランジスタ Q_3 のドレイン上の電圧（ V_{D_Q3} ）とのグラフの一例である。電圧 V_{SW} が 1400 V のとき、トランジスタ Q_5 のドレイン上の電圧はおよそ 933 V であり、トランジスタ Q_3 のドレイン上の電圧はおよそ 466 V である。各トランジスタ $Q_3 \sim Q_5$ の V_{ds} は、電圧 V_{SW} のおよそ 3 分の 1 であり、そのため、電圧 V_{SW} よりも実質的に小さい。

【0049】

上述したように、幾つかのフライバックコンバータ（例えば、連続導通モード（CCM）又は不連続導通モード（DCM）を実装するフライバックコンバータ）は、トランジスタ Q_1 の ZVS を実施する必要がないため、スイッチングコンバータにバイアスをかけるための起動機能のみが必要である。図 6 は、電力段 154 に結合されたスイッチングコントローラ 650 を含む例示の電力コンバータの概略図である。スイッチングコントローラ 650 は、制御論理回路 655、トランジスタ Q_3 及び Q_4 （例えば、上述のような空乏

モードNFET)、トランジスタ $Q_{DISABLE}$ (例えば、NFET)、クランプ回路320、インピーダンスデバイス330、抵抗器 R_Z 、 R_{LIM} 、及び R_{ZS2} 、ツェナーダイオード Z_{S2} 、及びキャパシタ C_{VDD} (電力段の一部として上述されている)、及び C_{REF} を含む。

【0050】

制御論理回路655は、 VDD 端子655a、電圧基準(REF)端子655b、及び出力端子655c等の端子を含む。抵抗器 R_{LIM} は、トランジスタ Q_3 のソースと VDD 端子655aとの間に結合される。キャパシタ C_{VDD} は、 VDD 端子655aと基準端子103との間に結合される。REF端子655bは、トランジスタ $Q_{DISABLE}$ のゲートに結合される。キャパシタ C_{REF} は、REF端子655bと基準端子103との間に結合される。出力端子655cは、電力段154(例えば、図1及び図2のトランジスタ Q_1)内のスイッチングトランジスタのゲートに結合される。制御論理655は、スイッチ、論理ゲート、フリップフロップ、比較器等を含み得、トランジスタ Q_1 のゲートのための制御信号として、出力端子655cにおいてパルス幅変調信号PWMを生成するように動作可能である。

10

【0051】

トランジスタ Q_3 及び Q_4 は、入力電圧端子101と抵抗器 R_{LIM} との間に直列に結合される。上述のように、クランプ回路320はトランジスタ Q_4 のゲートと基準端子103との間に結合され、インピーダンスデバイス330はトランジスタ Q_4 のドレインとゲートとの間に結合され、抵抗器 R_Z はトランジスタ Q_4 のソースとゲートとの間に結合される。クランプ回路320、インピーダンスデバイス330、及び抵抗器 R_Z は、上記とほぼ同じ様式で動作して、トランジスタ Q_4 のゲート上の電圧を、クランプ回路320によって実装されたクランプ電圧を上回る電圧 V_{IN} のレベルでクランプする。制御論理回路655は、 VDD 端子655aにおける電圧 V_{DD} に基づいて、REF端子655bにおいて基準電圧を提供するために、電圧レギュレータを含み得る。REF端子655bにおける基準電圧は、トランジスタ $Q_{DISABLE}$ のためのゲート電圧である。トランジスタ $Q_{DISABLE}$ は、REF端子655bにおける基準電圧が論理低であり、制御論理の VDD 端子上の電圧が $UVLO$ レベルを下回る場合に、非活性化され、REF端子における基準電圧が論理高である(VDD が $UVLO$ を上回る)ときに活性化される。制御論理655は、起動モードの間、トランジスタ $Q_{DISABLE}$ を活性化し、通常動作モードの間、トランジスタ $Q_{DISABLE}$ を非活性化する。

20

30

【0052】

図6の例において、トランジスタ Q_4 のドレインは、スイッチング端子258ではなく入力電圧端子101に結合される(それぞれ、図3及び図5のスイッチングコントローラ350及び550と同様)。起動モードの間、 VDD は $UVLO$ を下回り、REF端子655b上の電圧は0Vであり、これによりトランジスタ $Q_{DISABLE}$ が非活性化する。ダイオード Z_{S2} の両端の電圧降下によってトランジスタ Q_3 が活性化され、トランジスタ Q_3 のドレイン上の電圧は VDD (これは $UVLO$ 電圧レベルよりも低い)にほぼ等しい。この状態(Q_3 が活性化され、 $Q_{DISABLE}$ が非活性化され、電圧 VDD が $UVLO$ よりも低い)において、ゲート電圧(これは、起動の間、 V_{IN} が増加するにつれて増加する)がソース電圧よりも高いため、トランジスタ Q_4 も活性化される。

40

【0053】

最終的に、 V_{IN} は $UVLO$ 電圧レベルを超え、その時点で、制御論理655は内部基準電圧回路を有効にし、トランジスタ $Q_{DISABLE}$ を活性化するのに充分高いレベル(例えば、5V)に電圧REFを設定する。トランジスタ $Q_{DISABLE}$ が活性化されている場合、トランジスタ Q_3 のゲート電圧は、そのソース電圧よりも下に引き下げられ、それによってトランジスタ Q_3 を非活性化する。トランジスタ Q_3 が非活性化されている場合、 V_{IN} が増加すると、トランジスタ Q_3 のソース上の電圧及びトランジスタ Q_4 のドレイン上の電圧は増加する。トランジスタ Q_4 のソース電圧がトランジスタ Q_4 のゲート電圧を上回ると、トランジスタ Q_4 が非活性化する。また、 V_{IN} がクランプ回路3

50

20のクランプ電圧に到達すると、クランプ回路320が、活性化し、トランジスタ Q_4 のためのゲート電圧を固定する。トランジスタ Q_3 及び Q_4 の両方が非活性化された状態にあると、トランジスタ Q_3 及び Q_4 のドレインソース間容量が分圧器として機能し、入力電圧 V_{IN} を、トランジスタ Q_3 とトランジスタ Q_4 との間でほぼ均等に分割する。従って、トランジスタ Q_3 又はトランジスタ Q_4 のいずれも、入力電圧 V_{IN} の全体の大きさに対応するサイズである必要はない。

【0054】

本記載において、「結合する」という用語は、本記載と一貫した機能的関係を可能にする、接続、通信、又は信号経路を網羅し得る。例えば、デバイスAが、或るアクションを実施するためにデバイスBを制御するための信号を生成する場合、(a)第1の例において、デバイスAはデバイスBに結合され、或いは(b)第2の例において、介在構成要素CがデバイスAとデバイスBとの間の機能的関係を変更しない場合、デバイスAは、介在する構成要素Cを介してデバイスBに結合され、デバイスAによって生成された制御信号を介してデバイスBがデバイスAによって制御されるようにする。

10

【0055】

また、本記載において、「～に基づく」という記載は、「少なくとも部分的に～に基づく」という意味である。従って、XがYに基づく場合、XはY及び任意の数の他の要因の関数であり得る。

【0056】

或るタスク又は機能を実施するように「構成される」デバイスは、製造時に製造業者によってその機能を実施するように構成され(例えば、プログラム及び／又は配線接続)得、或いは、製造後にユーザによりそういった機能及び／又は他の付加的な又は代替的な機能を実施するように構成可能(又は再構成可能)であり得る。こういった構成は、デバイスのファームウェア及び／又はソフトウェアプログラミングを介してもよく、又は、ハードウェア構成要素の構成及び／又はレイアウト、デバイスの相互接続、又はそれらの組み合わせを介してもよい。

20

【0057】

本明細書に用いられるように、「端子」、「ノード」、「相互接続」、「ピン」、及び「リード」という用語は交換可能に用いられる。特に反対の記載がない限り、これらの用語は、概して、デバイス要素、回路要素、集積回路、デバイス、又は他の電子機器又は半導体構成要素間の相互接続又は終端を意味するために用いられる。

30

【0058】

或る構成要素を含むと説明される回路又はデバイスが、代わりに、それらの構成要素に結合されるように適合されて、説明された回路要素又はデバイスを形成してもよい。例えば、一つ又は複数の半導体要素(トランジスタ等)、一つ又は複数の受動要素(抵抗器、キャパシタ、及び／又はインダクタ等)、及び／又は、一つ又は複数の供給源(電圧及び／又は電流電源等)を含むとして説明される構造が、代わりに、単一の物理デバイス(例えば、半導体ダイ及び／又は集積回路(IC)パッケージ)内に半導体要素のみを含んでもよく、受動要素及び／又は供給源の少なくとも幾つかに結合されるように適合され、そのため、製造時又は製造時以降の時点のいずれかで、例えば、エンドユーザ及び／又は第三者によって、説明された構造を形成してもよい。

40

【0059】

特定のトランジスタの使用が本明細書において説明されているが、代わりに、他のトランジスタ(又は同等のデバイス)が、残りの回路要素にほとんど又は全く変更を加えずに、用いられてもよい。例えば、電界効果トランジスタ(FET)(nチャネルFET(NFET)又はpチャネルFET(PFET)等)、バイポーラ接合トランジスタ(BJT—例えば、NPNトランジスタ又はPNPトランジスタ)、絶縁ゲートバイポーラトランジスタ(IGBT)、及び／又は接合電界効果トランジスタ(JFET)が、本明細書に記載される一つ又は複数のデバイスの代わりに、又はそれらと連携して用いられ得る。トランジスタは、空乏モードデバイス、ドレイン拡張デバイス、エンハンスメントモードデ

50

バイス、ナチュラトランジスタ、又は他のタイプのデバイス構造トランジスタとし得る。また、デバイスは、シリコン基板（S i）、炭化ケイ素基板（S i C）、窒化ガリウム基板（G a N）又はガリウム砒素基板（G a A s）内又は上に実装され得る。

【0060】

トランジスタの制御入力及びその電流端子に対して請求項において参照することがあり得る。F E Tの文脈の場合、制御入力はゲートであり、電流端子はドレイン及びソースである。B J Tの文脈の場合、制御入力はベースであり、電流端子はコレクタとエミッタである。

【0061】

本明細書において、トランジスタが「活性化されている」又は「O Nである」という言及は、トランジスタの導電チャネルが存在し、ドレイン電流がトランジスタを介して流れ得ることを意味する。トランジスタが「非活性化されている」又は「O F Fである」という言及は、導電チャネルが存在しないため、ドレイン電流がトランジスタを介して流れないことを意味する。しかしながら、「非活性化された」トランジスタは、トランジスタのボディダイオードを介して流れる電流を有し得る。

【0062】

本明細書で説明される回路は、構成要素の交換の前に利用可能であった機能性に少なくとも部分的に類似した機能性を提供するように、付加的な又は異なる構成要素を含むように再構成可能である。別途記載のない限り、抵抗器として示されている構成要素は、概して、示された抵抗器によって表されるインピーダンスの量を提供するため直列又は並列に結合された任意の一つ又は複数の要素を表す。例えば、本明細書に単一の構成要素として説明された抵抗器が、代わりに、それぞれ、同じノード間に並列に結合され得る複数の抵抗器とし得る複数の抵抗器又はキャパシタとし得る。例えば、本明細書に単一の構成要素として図示及び説明された抵抗器又はキャパシタが、代わりに、単一の抵抗器又はキャパシタとして、同じノード間にそれぞれ並列に結合された複数の抵抗器又はキャパシタとし得る。例えば、本明細書に単一の構成要素として図示及び説明された抵抗器又はキャパシタが、代わりに、単一の抵抗器又はキャパシタとして、同じ2つのノード間にそれぞれ直列に結合された複数の抵抗器又はキャパシタとし得る。

【0063】

説明された例の或る要素が或る集積回路に含まれ、他の要素がその集積回路の外部にある一方、他の例示の実施例において、付加的な又はより少ない特徴がその集積回路に組み込まれてもよい。また、その集積回路の外部にあるように示される特徴の幾つか又は全てがその集積回路に含まれてもよく、及び／又は、集積回路の内部にあるように示されている幾つかの特徴が、集積回路の外側で組み込まれてもよい。本明細書で用いられるように、「集積回路」という用語は、（1）半導体基板内／上に組み込まれる、（2）単一の半導体パッケージに組み込まれる、（3）同じモジュールに組み込まれる、及び／又は、（4）同一のプリント回路基盤内／上に組み込まれる、一つ又は複数の回路を意味する。

【0064】

前述の説明における「接地」という語句の使用は、本記載の教示に適用可能な又は適した、シャーン接地、アース接地、フローティング接地、仮想接地、デジタル接地、共通接地、及び／又は任意のその他の形式の接地接続を含む。本記載において、特に明記されない限り、数字の前にある「約」、「およそ」、又は「実質的に」は、記載されたパラメータの＋／－10パーセントを意味し、パラメータがゼロの場合はゼロ付近の妥当な値の範囲を意味する。

【0065】

特許請求の範囲内で、説明した実施例における改変が可能であり、他の実施例が可能である。

10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/014436

A. CLASSIFICATION OF SUBJECT MATTER INV. H02M1/36 H02M3/335 H02M1/34 H02M3/00 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Texas Instruments: "UCC28780 High Frequency Active Clamp Flyback Controller", , 28 February 2018 (2018-02-28), XP055682122, Retrieved from the Internet: URL:https://www.ti.com/lit/ds/symlink/ucc28780.pdf?ts=1684950509923&ref_url=https%2F3A%252F%252Fwww.google.com%252F[retrieved on 2020-04-01]	1-7, 13-20
Y	pages 21, 26 - page 28; figures 19, 29 -----	8-12
Y	US 10 886 846 B2 (TEXAS INSTRUMENTS INC [US]) 5 January 2021 (2021-01-05)	8-12
A	column 5 - column 8; figures 1-4 -----	13-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 25 May 2023		Date of mailing of the international search report 05/06/2023
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Zeljkojvic, Sandra

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT			
Information on patent family members			International application No PCT/US2023/014436
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 10886846	B2	05-01-2021	NONE

10

20

30

40

50

フロントページの続き

,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,D
E,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,S
M,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,
AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,
ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,L
A,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL
,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC
,VN,WS,ZA,ZM,ZW

F ターム (参考) XX09 XX12 XX29 XX32