

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 3월 3일 (03.03.2016)



(10) 국제공개번호
WO 2016/032192 A1

- (51) 국제특허분류:
H01L 33/36 (2010.01)
- (21) 국제출원번호: PCT/KR2015/008839
- (22) 국제출원일: 2015년 8월 24일 (24.08.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2014-0112448 2014년 8월 27일 (27.08.2014) KR
10-2015-0116053 2015년 8월 18일 (18.08.2015) KR
- (71) 출원인: 서울바이오시스 주식회사 (SEOUL VIOSYS CO., LTD.) [KR/KR]; 15609 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).
- (72) 발명자: 유종균 (YOU, Jong Kyun); 15609 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 김다혜 (KIM, Da Hye); 15609 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 임창익 (IM, Chang Ik); 15609 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).
- (74) 대리인: 특허법인에이아이피 (AIP PATENT & LAW FIRM); 06239 서울시 강남구 테헤란로 14길 30-1, Seoul (KR).

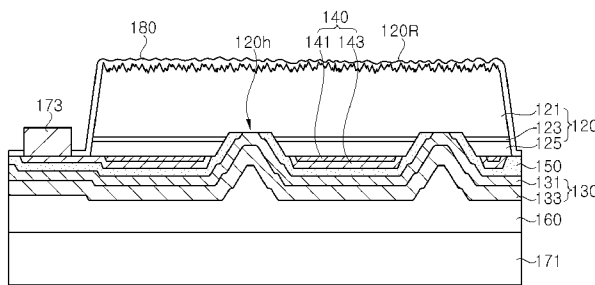
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

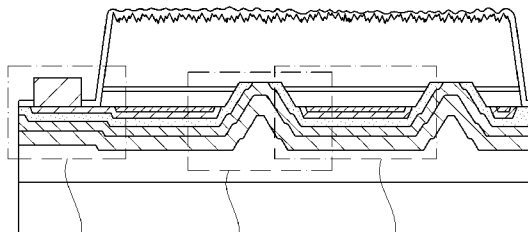
- 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: LIGHT EMITTING DIODE AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭 : 발광 다이오드 및 그 제조 방법



(a)



(b)

(57) Abstract: A light emitting diode and a manufacturing method therefor are disclosed. The light emitting diode of the present invention comprises: a support substrate; a light emitting structure including a second conductive type semiconductor layer, an active layer, and a first conductive type semiconductor layer, and having a semi-polar or non-polar growth surface; at least one groove formed on the lower surface of the light emitting structure, and of which the first conductive type semiconductor layer is partially exposed; a second type electrode located on at least the lower surface of the second conductive type semiconductor layer, and electrically connected with the second conductive type semiconductor layer; an insulating layer partially covering the second type electrode and the lower surface of the light emitting structure, and including at least one opening corresponding to the at least one groove; and a first type electrode electrically connected to the first conductive type semiconductor layer exposed to the groove, and at least partially covering the insulating layer, wherein the second type electrode includes a second type contact layer including an ohmic contact layer, and the ohmic contact layer is disposed in the shape of a plurality of regular or irregular islands.

(57) 요약서:

[다음 쪽 계속]



발광 다이오드 및 그 제조 방법이 개시된다. 본 발명이 발광 다이오드는, 지지 기판; 제 2 도전형 반도체층, 활성층, 및 제 1 도전형 반도체층을 포함하며, 반극성 또는 비극성의 성장면을 갖는 발광 구조체; 발광 구조체의 하면에 형성되며, 제 1 도전형 반도체층이 부분적으로 노출되는 적어도 하나의 홈; 적어도 제 2 도전형 반도체층의 하면 상에 위치하며, 제 2 도전형 반도체층과 전기적으로 접속되는 제 2 형 전극; 제 2 형 전극 및 발광 구조체의 하면을 부분적으로 덮되, 적어도 하나의 홈에 대응하는 적어도 하나의 개구부를 포함하는 절연층; 및 홈에 노출된 제 1 도전형 반도체층과 전기적으로 연결되며, 절연층을 적어도 부분적으로 덮는 제 1 형 전극을 포함하고, 제 2 형 전극은 오믹 콘택층을 포함하는 제 2 형 콘택층을 포함하며, 오믹 콘택층은 규칙적 또는 불규칙적인 다수의 아일랜드 형태로 배치된다.

명세서

발명의 명칭: 발광 다이오드 및 그 제조 방법

기술분야

- [1] 본 발명은 발광 다이오드 및 그 제조 방법에 관한 것으로, 특히, 비극성 또는 반극성의 성장면을 갖는 반도체층과 전극 간의 컨택 저항이 낮은 발광 다이오드 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 최근 고출력 발광 다이오드에 대한 요구가 증가하면서, 방열 효율이 우수하고, 발광 효율이 높은 수직형 발광 다이오드에 대한 수요가 증가하고 있다. 수직형 발광 다이오드는 성장 기판을 반도체층으로부터 분리하여, 분리면의 거칠기를 증가시킴으로써 광 추출 효율을 높일 수 있고, 또한, P형 반도체층 상에 금속 기판을 전면부에 부착하여 방열 효율 역시 높일 수 있다. 이에 따라, 수직형 발광 다이오드는 높은 전류 밀도로 구동되는 고출력 발광 다이오드에 적용될 수 있다.
- [3] 일반적으로, 수직형 발광 다이오드의 광 출사면은 성장 기판이 분리되어 노출된 n형 반도체층의 일면이다. 이러한 광 출사면의 반대편에 위치하는 p형 반도체층의 표면에는 광을 반사시키기 위한 구성들이 채택되며, 예컨대, Ag층과 같은 반사성 전극층이 형성된다. 일본 특허 공개공보 2010-56423호 등에는 상술한 Ag층의 컨택 저항을 낮추고, 반사 특성 유지하기 위하여 열처리를 수행하는 기술이 개시되어 있다.
- [4] 한편, 최근 여러 가지 어플리케이션에 이용되는 발광 다이오드의 출력 및 신뢰성 요구치는 종래의 그것보다 월등히 높다. 이에 따라, 비극성 또는 반극성의 성장면을 갖는 성장 기판을 이용하여 질화물계 반도체층을 성장시켜 수직형 발광 다이오드를 제조하는 기술에 대한 연구 및 개발이 활발히 진행되고 있다. 이러한 비극성 또는 반극성의 성장면을 갖는 수직형 발광 다이오드는 효율 드롭이 극성 성장면을 갖는 발광 다이오드에 비해 낮아, 고출력 발광 다이오드에 적합하다.
- [5] 그런데, 이러한 비극성 또는 반극성의 성장면에 성장된 질화물계 반도체층의 경우, C면에 성장된 질화물계 반도체층에 비해 P형 반도체층과 Ag 등을 포함하는 반사성 전극의 컨택 저항이 매우 높다. 더욱이, 컨택 저항을 낮추기 위하여, 상기 반사성 전극에 일본 특허 공개공보 2010-56423호 등에 개시된 열처리를 수행하면 반사 특성이 나빠져 발광 다이오드의 발광 효율이 매우 저하된다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명이 해결하고자 하는 과제는, 발광 다이오드의 전기적 특성 및 광학적 특성을 향상시킬 수 있는 컨택 전극을 갖는 다이오드 및 그 제조 방법을

제공하는 것이다.

과제 해결 수단

- [7] 본 발명의 일 측면에 따른 발광 다이오드는, 지지 기판; 제2 도전형 반도체층, 상기 제2 도전형 반도체층 상에 위치하는 활성층, 및 상기 활성층 상에 위치하는 제1 도전형 반도체층을 포함하며, 반극성 또는 비극성의 성장면을 갖고, 상기 지지 기판 상에 위치하는 발광 구조체; 상기 발광 구조체의 하면에 형성되며, 상기 제1 도전형 반도체층이 부분적으로 노출되는 적어도 하나의 홈; 적어도 상기 제2 도전형 반도체층의 하면 상에 위치하며, 상기 제2 도전형 반도체층과 전기적으로 접촉되는 제2형 전극; 상기 제2형 전극 및 상기 발광 구조체의 하면을 부분적으로 덮고, 상기 적어도 하나의 홈에 대응하는 적어도 하나의 개구부를 포함하는 절연층; 및 상기 홈에 노출된 제1 도전형 반도체층과 전기적으로 연결되며, 상기 절연층을 적어도 부분적으로 덮는 제1형 전극을 포함하고, 상기 제2형 전극은 상기 제2 도전형 반도체층과 접촉하는 제2형 컨택층을 포함하며, 상기 제2형 컨택층은 오믹 컨택층을 포함하며, 상기 오믹 컨택층은 규칙적 또는 불규칙적인 다수의 아일랜드 형태로 배치된다.
- [8] 이에 따라, 전극과 반도체층 간의 접촉 저항이 낮고, 발광 효율이 우수한 발광 다이오드가 제공될 수 있다.
- [9] 상기 오믹 컨택층은 Ni, Pt, Mg, Ni/Au 및 도전성 산화물 중 적어도 하나를 포함할 수 있다.
- [10] 상기 제2형 컨택층은 상기 오믹 컨택층을 덮는 반사층을 더 포함할 수 있고, 상기 반사층은 Ag 및/또는 Al을 포함할 수 있다.
- [11] 상기 제2형 전극은 상기 제2형 컨택층을 적어도 부분적으로 덮는 제2형 장벽층을 더 포함할 수 있고, 상기 제2형 장벽층의 일부는 상기 발광 구조체의 일 측면으로부터 연장되어 그 상부가 노출될 수 있다.
- [12] 나아가, 상기 제2형 장벽층은 상기 제2형 컨택층 하면의 일 부분을 덮고, 상기 제2형 컨택층 하면의 나머지 부분은 상기 절연층에 덮일 수 있다.
- [13] 상기 제2형 컨택층 하면을 덮는 절연층의 부분 중 적어도 일부는 상기 제2형 장벽층과 상기 제2형 컨택층의 사이에 개재될 수 있다.
- [14] 상기 발광 다이오드는, 상기 제2형 장벽층의 상부가 노출된 영역에서 상기 제2형 장벽층과 전기적으로 연결되는 제2형 패드 전극을 더 포함할 수 있고, 상기 제2형 패드 전극의 하면은 적어도 부분적으로 상기 제2형 장벽층과 접촉될 수 있다.
- [15] 상기 제1형 전극은 상기 제1 도전형 반도체층과 접촉하는 제1형 컨택층, 및 상기 제1형 컨택층을 적어도 부분적으로 덮는 제1형 장벽층을 포함할 수 있다.
- [16] 상기 제1형 컨택층은 상기 절연층의 하면을 덮을 수 있다.
- [17] 나아가, 상기 제1형 컨택층은 상기 적어도 하나의 개구부를 채우되, 상기 제2 도전형 반도체층의 하면 상에는 위치하지 않을 수도 있다.

- [18] 상기 발광 다이오드는, 상기 지지 기판과 상기 제2형 전극을 본딩하는 본딩층을 더 포함할 수 있다.
- [19] 본 발명의 또 다른 측면에 따른 발광 다이오드 제조 방법은, 반극성 또는 비극성의 성장면을 갖는 성장 기판 상에, 제1 도전형 반도체층, 상기 제1 도전형 반도체층 상에 위치하는 활성층, 및 상기 활성층 상에 위치하는 제2 도전형 반도체층을 포함하는 발광 구조체를 형성하고; 상기 발광 구조체를 부분적으로 제거하여 상기 제1 도전형 반도체층이 부분적으로 노출되는 적어도 하나의 홈을 형성함과 아울러, 상기 제2 도전형 반도체층 상에 위치하는 제2형 전극을 형성하고; 상기 발광 구조체 및 상기 제2형 전극을 덮되, 상기 홈에 대응하는 적어도 하나의 개구부를 포함하는 절연층을 형성하고; 상기 개구부를 통해 상기 제1 도전형 반도체층과 전기적으로 접속되며, 상기 절연층을 적어도 부분적으로 덮는 제1형 전극을 형성하고; 상기 제1형 전극 상에 지지 기판을 형성하고; 상기 성장 기판을 상기 발광 구조체로부터 분리하는 것을 포함하고, 상기 제2형 전극을 형성하는 것은, 상기 제2 도전형 반도체층과 접촉하는 오믹 컨택층을 포함하는 제2형 컨택층을 형성하는 것을 포함하고, 상기 오믹 컨택층은, 증착 공정 및/또는 패터닝 공정을 이용하여 규칙적 또는 불규칙적인 다수의 아일랜드 형태로 형성된다.
- [20] 상기 오믹 컨택층은 Ni, Pt, Mg, Au/Ni 및 도전성 산화물 중 적어도 하나를 포함할 수 있다.
- [21] 상기 제2형 컨택층을 형성하는 것은, 상기 오믹 컨택층을 덮는 반사층을 형성하는 것을 더 포함할 수 있고, 상기 반사층은 Ag 및/또는 Al을 포함할 수 있다.
- [22] 상기 제2형 전극을 형성하는 것은, 상기 제2형 컨택층을 적어도 부분적으로 덮는 제2형 장벽층을 형성하는 것을 더 포함할 수 있다.
- [23] 상기 발광 다이오드 제조 방법은, 상기 성장 기판을 분리한 후, 상기 발광 구조체를 부분적으로 제거하여 상기 제2형 장벽층을 부분적으로 노출시키는 것을 더 포함할 수 있다.
- [24] 나아가, 상기 발광 다이오드 제조 방법은, 상기 제2형 장벽층이 부분적으로 노출된 영역의 적어도 일부 상에 상기 제2형 장벽층과 전기적으로 연결되는 제2형 패드 전극을 형성하는 것을 더 포함할 수 있다.
- [25] 상기 제1형 전극을 형성하는 것은, 상기 개구부를 채우며, 상기 절연층을 적어도 부분적으로 덮는 제1형 컨택층을 형성하고; 상기 제1형 컨택층 상에 제1형 장벽층을 형성하는 것을 포함할 수 있다.
- [26] 상기 발광 다이오드 제조 방법은, 상기 성장 기판을 분리하기 전에, 상기 제2형 전극 상에 본딩층을 형성하여 지지 기판과 상기 제2형 전극을 본딩하는 것을 더 포함할 수 있다.
- [27] 상기 발광 다이오드 제조 방법은, 상기 성장 기판이 분리되어 노출된 제1 도전형 반도체층의 표면 상에 러프니스를 형성하는 것을 더 포함하고, 상기

러프니스를 형성하는 것은 건식 식각을 이용하는 것을 포함할 수 있다.

- [28] 본 발명의 또 다른 측면에 따른 발광 다이오드는, 제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층의 사이에 위치하는 활성층을 포함하며, 상기 제2 도전형 반도체층 및 활성층을 관통하여 상기 제1 도전형 반도체층이 부분적으로 노출되는 적어도 하나의 홈을 포함하고, 반극성 또는 비극성의 성장면을 갖는 발광 구조체; 상기 발광 구조체 상에 위치하며, 상기 제1 및 제2 도전형 반도체층에 각각 오믹 콘택하는 제1형 전극 및 제2형 전극; 상기 제1형 전극과 제2형 전극을 절연시키며, 상기 제1형 전극과 제2형 전극을 각각 노출시키는 제1 개구부 및 제2 개구부를 포함하는 절연층; 및 상기 절연층 상에 위치하며, 상기 제1형 전극 및 제2형 전극에 각각 전기적으로 연결된 제1 전극 패드 및 제2 전극 패드를 포함하고, 상기 제2형 전극은 상기 제2 도전형 반도체층과 접촉하는 제2형 콘택층을 포함하며, 상기 제2형 콘택층은 오믹 콘택층을 포함하고, 상기 오믹 콘택층은 규칙적 또는 불규칙적인 다수의 아일랜드 형태로 배치된다.

- [29] 상기 오믹 콘택층은 Ni, Pt, Mg, Ni/Au 및 도전성 산화물 중 적어도 하나를 포함할 수 있다.

- [30] 상기 제2형 콘택층은 상기 오믹 콘택층을 덮는 반사층을 더 포함할 수 있고, 상기 반사층은 Ag 및/또는 Al을 포함할 수 있다.

- [31] 상기 발광 구조체는 복수의 홈을 포함할 수 있고, 상기 복수의 홈의 상부에는 상기 제2 개구부가 위치하지 않을 수 있다.

발명의 효과

- [32] 본 발명에 따르면, 비극성 또는 반극성의 성장면을 가져 발광 효율이 우수하면서도, 제2형 전극과 제2 도전형 반도체층의 접촉 저항이 낮아, 순방향 전압이 낮은 발광 다이오드가 제공될 수 있다.

도면의 간단한 설명

- [33] 도 1 및 도 2는 본 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위한 평면도 및 단면도이다.
- [34] 도 3a 내지 도 3c는 본 발명의 실시예들에 따른 제2형 콘택층을 설명하기 위한 확대 단면도들 및 평면도들이다.
- [35] 도 4a 내지 도 4c는 본 발명의 실시예들에 따른 제2형 장벽층을 설명하기 위한 확대 단면도들이다.
- [36] 도 5a 및 도 5b는 본 발명의 실시예들에 따른 제1형 전극을 설명하기 위한 확대 단면도들이다.
- [37] 도 6a 및 도 6b는 본 발명의 실시예들에 따른 제2형 패드 전극을 설명하기 위한 확대 단면도들이다.
- [38] 도 7 내지 도 14는 본 발명의 또 다른 실시예에 따른 발광 다이오드 제조 방법을 설명하기 위한 단면도들이다.

- [39] 도 15 및 도 16은 본 발명의 다른 실시예에 따른 발광 다이오드를 설명하기 위한 평면도들 및 단면도이다.
- [40] 도 17은 본 발명의 일 실시예에 따른 발광 소자를 조명 장치에 적용한 예를 설명하기 위한 분해 사시도이다.
- [41] 도 18은 본 발명의 일 실시예에 따른 발광 소자를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.
- [42] 도 19는 본 발명의 일 실시예에 따른 발광 소자를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.
- [43] 도 20은 본 발명의 일 실시예에 따른 발광 소자를 헤드 램프에 적용한 예를 설명하기 위한 단면도이다.

발명의 실시를 위한 형태

- [44] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 본 발명이 속하는 기술분야의 통상의 기술자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 또한, 하나의 구성요소가 다른 구성요소의 "상부에" 또는 "상에" 있다고 기재된 경우 각 부분이 다른 부분의 "바로 상부" 또는 "바로 상에" 있는 경우뿐만 아니라 각 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 있는 경우도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [45] 도 1 및 도 2는 본 발명의 일 실시예에 따른 발광 다이오드를 설명하기 위한 평면도 및 단면도이다. 도 2의 단면도들은 도 1의 X-X선을 따른 단면을 도시한다. 또한, 도 2의 (b)는 도 3a 내지 도 6b에서 설명되는 확대 단면도들에 대응하는 영역을 표시하기 위한 도면이며, 도 3a 내지 도 4c는 도 2 (b)의 A 영역의 확대도에 대응하고, 도 5a 및 도 5b는 도 2 (b)의 B 영역의 확대도에 대응하며, 도 6a 및 도 6b는 도 2 (b)의 C 영역의 확대도에 대응한다.
- [46] 도 1 및 도 2를 참조하면, 상기 발광 다이오드는 발광 구조체(120), 적어도 하나의 홈(120h), 제1형 전극(130), 제2형 전극(140), 및 절연층(150)을 포함한다. 나아가, 상기 발광 다이오드는, 본딩층(160), 지지 기판(171), 제2형 패드 전극(173) 및 패시베이션층(180)을 더 포함할 수 있다.
- [47] 발광 구조체(120)는 제1 도전형 반도체층(121), 활성층(123) 및 제2 도전형 반도체층(125)을 포함하며, 제1 도전형 반도체층(121)은 제2 도전형 반도체층(125) 상에 위치하고, 활성층(123)은 제1 및 제2 도전형 반도체층(121, 125) 사이에 개재될 수 있다. 또한, 발광 구조체(120)는 그 상면에 형성되는 러프니스(120R)를 더 포함할 수 있다.
- [48] 제1 도전형 반도체층(121)과 제2 도전형 반도체층(125)은 III-V 계열 화합물

반도체를 포함할 수 있고, 예를 들어, (Al, Ga, In)N과 같은 질화물계 반도체를 포함할 수 있다. 제1 도전형 반도체층(121)은 n형 불순물 (예를 들어, Si)이 도핑된 n형 반도체층을 포함할 수 있고, 제2 도전형 반도체층(125)은 p형 불순물 (예를 들어, Mg)이 도핑된 p형 반도체층을 포함할 수 있다. 또한, 그 반대일 수도 있다. 나아가, 제1 도전형 반도체층(121) 및/또는 제2 도전형 반도체층(125)은 단일층일 수 있고, 또한 다중층을 포함할 수도 있다. 예를 들어, 제1 도전형 반도체층(121) 및/또는 제2 도전형 반도체층(125)은 클래드층 및 컨택층을 포함할 수 있고, 초격자층을 포함할 수도 있다.

- [49] 활성층(123)은 다중양자우물 구조(MQW)를 포함할 수 있으며, 상기 다중양자우물구조에서 원하는 피크 파장의 광을 방출하도록, 상기 다중양자우물 구조를 이루는 원소 및 그 조성이 조절될 수 있다. 예를 들어, 활성층(123)의 우물층은 $\text{In}_x\text{Ga}_{(1-x)}\text{N}$ ($0 \leq x \leq 1$)과 같은 삼성분계 반도체층일 수 있고, 또는 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)과 같은 사성분계 반도체층일 수 있으며, 이때, x 또는 y의 값을 조정하여 원하는 피크 파장의 광을 방출하도록 할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [50] 한편, 발광 구조체(120)은 비극성 또는 반극성의 성장면을 갖는 성장 기판 상에 성장되어 형성된 것일 수 있다. 따라서, 제1 도전형 반도체층(121), 활성층(123) 및 제2 도전형 반도체층(125)을 포함하는 발광 구조체(120)는 비극성 또는 반극성의 성장면을 가질 수 있다. 상기 비극성 성장면은 m면 또는 a면을 포함할 수 있다.
- [51] 발광 구조체(120)의 표면, 즉 제1 도전형 반도체층(121)의 상면에는 표면 거칠기가 증가되어 형성된 러프니스(120R)가 형성될 수 있다. 러프니스(120R)는 건식 식각, 습식 식각, 전기화학 식각 등 다양한 방법 중 적어도 하나를 이용하여 제1 도전형 반도체층(121)의 표면에 표면 처리 공정을 수행하여 제공될 수 있다. 러프니스(120R)가 형성됨으로써 상기 발광 다이오드의 상면으로 방출되는 광의 광 추출 효율을 향상시킬 수 있다.
- [52] 적어도 하나의 홈(120h)은 발광 구조체(120)의 하면에 형성될 수 있고, 상기 적어도 하나의 홈(120h)은, 도시된 바와 같이, 복수 개로 형성될 수 있다. 적어도 하나의 홈(120h)은 발광 구조체(120)의 하면으로부터 일부 영역이 제거되어 형성된 것일 수 있고, 상기 홈(120h) 내에는 제1 도전형 반도체층(121)이 노출될 수 있다. 또한, 홈(120h)의 측면에는 제2 도전형 반도체층(125) 및 활성층(123)이 노출될 수 있으며, 상기 홈(120h)의 측면은 경사질 수 있다. 홈(120h)이 경사진 측면을 가짐으로써, 홈(120h)의 측면 상에 위치하는 제1형 전극(130) 및 절연층(150)의 스텝 커버리지 특성이 향상될 수 있다.
- [53] 적어도 하나의 홈(120h)이 복수 개로 형성되는 경우, 홈(120h)들의 형태는 다양하게 조절될 수 있다. 후술하는 바와 같이, 홈(120h)을 통해 제1형 전극(130)이 제1 도전형 반도체층(121)과 전기적으로 연결되므로, 발광 다이오드 구동 시 전류 분산 형태 및 전류 분산 밀도를 고려하여 홈(120h)들의 배치 형태가

다양하게 변형될 수 있다. 예를 들어, 홈(120h)들의 형태는 복수의 닷(dot) 형태, 복수의 스트라이프 형태, 또는 닷 형태와 스트라이프 형태가 혼합된 형태 동일 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[54] 제2형 전극(140)은 적어도 제2 도전형 반도체층(125)의 하면 상에 위치하여 제2 도전형 반도체층(125)과 전기적으로 연결될 수 있고, 제2형 전극(140)의 일부는 발광 구조체(120)의 측면으로부터 연장되어 그 상면이 노출될 수 있다. 또한, 제2형 전극(140)은 제2형 콘택층(141) 및 제2형 장벽층(143)을 포함할 수 있다.

[55] 제2형 콘택층(141)은 제2 도전형 반도체층(125)의 하면 상에 위치하며, 이에 따라, 제2형 콘택층(141)은 제2 도전형 반도체층(125)과 접촉하여 오믹 콘택될 수 있다. 또한, 제2형 콘택층(141)은 오믹 콘택층과 상기 오믹 콘택층을 덮는 반사층을 포함할 수 있다. 제2 도전형 반도체층(125)이 p형을 갖는 경우, 오믹 콘택층은 비극성 또는 반극성의 성장면을 갖는 제2 도전형 반도체층(125)과 오믹 콘택을 형성하는 물질을 포함할 수 있고, 반사층은 광 반사성 특성을 갖고, 나아가, 제2 도전형 반도체층(125)과 오믹 콘택을 형성하는 물질을 포함할 수 있다.

[56] 다만, 상기 오믹 콘택층과 상기 제2 도전형 반도체층(125) 간의 접촉 저항은 상기 반사층과 제2 도전형 반도체층(125) 간의 접촉 저항보다 낮을 수 있다. 이에 따라, 제2형 전극(140)과 제2 도전형 반도체층(125) 간의 접촉 저항이 낮아질 수 있다. 이와 관련하여, 도 3a 내지 도 3b를 참조하여 본 발명의 다양한 실시예들에 관하여 상세하게 설명한다.

[57] 도 3a 내지 도 3c는 본 발명의 실시예들에 따른 제2형 콘택층을 설명하기 위한 확대 단면도들 및 평면도들이다. 도 3a 내지 도 3c의 (a)는 도 2 (b)의 A 영역에 대한 확대 단면도들이고, 도 3a 내지 도 3c의 (b)는 제2형 콘택층(141)의 일부를 도식적으로 표현한 평면도들이다.

[58] 먼저, 도 3a를 참조하면, 제2형 콘택층(141)은 오믹 콘택층(1411) 및 오믹 콘택층(1411)을 덮는 반사층(1413)을 포함할 수 있다.

[59] 오믹 콘택층(1411)은 비극성 또는 반극성의 성장면을 갖는 제2 도전형 반도체층(125)과 오믹 콘택을 형성하며, 접촉 저항이 낮은 물질을 포함할 수 있고, 예를 들어, Ni, Pt, Mg, Ni/Au 및 도전성 산화물 중 적어도 하나를 포함할 수 있다. 이때, 상기 도전성 산화물은 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, IrOx, RuOx, RuOx/ITO, MgO, ZnO 등을 포함할 수 있다. 또한, 오믹 콘택층(1411)은, 도식된 바와 같이, 규칙적인 복수의 아일랜드 패턴으로 형성될 수 있으며, 각각의 아일랜드 형태의 오믹 콘택층(1411)은 반구형의 형태를 가질 수 있다.

[60] 다만, 본 발명이 이에 한정되는 것은 아니며, 이와 달리 오믹 콘택층은 도 3b 및 도 3c에 도식된 바와 같이 다른 형태로 형성될 수도 있다. 도 3b에 도식된 바와 같이, 오믹 콘택층(1411a)은 불규칙적인 복수의 아일랜드 패턴으로 형성될 수 있고, 이때, 각각의 아일랜드 형태 및 크기 역시 일정하지 않을 수 있다. 또한, 도

3c에 도시된 바와 같이, 오믹 컨택층(1411b)은 단일의 필름 형태로 형성될 수도 있다.

- [61] 반사층(1413)은 오믹 컨택층(1411)을 덮도록 형성되며, 반사층(1413)의 적어도 일부는 제2 도전형 반도체층(125)과 접촉될 수 있다. 반사층(1413)은 광에 대한 반사도가 높고, 전기전도성을 가지며, 제2 도전형 반도체층(125)과 오믹 컨택을 형성할 수 있는 물질을 포함할 수 있고, 예를 들어, Ag 및/또는 Al을 포함할 수 있다. 반사층(1413)이 제2 도전형 반도체층(125)의 하면 상에 형성됨으로써, 발광 구조체(120)에서 방출되는 광을 발광 다이오드의 상부쪽으로 반사시켜 발광 다이오드의 발광 효율을 향상시킬 수 있다.
- [62] 본 발명의 실시예들에 따르면, 반사층(1413)과 제2 도전형 반도체층(125)의 사이에 개재된 오믹 컨택층(1411)이 형성되어, 제2형 전극(140)과 제2 도전형 반도체층(125) 간의 접촉 저항을 감소시킬 수 있다. 또한, 반사층(1413)만 구비되는 경우와 비교하여, 오믹 컨택층(1411)에 의해 반사층(1413)과 제2 도전형 반도체층(125)이 접촉하는 면적이 상대적으로 감소한다. 따라서, 반사층(1413)과 제2 도전형 반도체층(125) 간의 접촉 저항을 종래의 경우만큼 낮추지 않더라도, 제2형 컨택층(141)과 제2 도전형 반도체층(125) 간의 접촉 저항을 낮춰 발광 다이오드의 순방향 전압(Vf)를 감소시킬 수 있다. 더욱이, 반사층(1413)의 접촉 저항을 낮추기 위하여 열처리를 수행하지 않거나 저온에서 열처리를 수행할 수 있으므로, 열처리에 의한 반사층(1413)의 반사율 감소를 방지할 수 있다.
- [63] 다시 도 1 및 도 2를 참조하면, 제2형 장벽층(143)은 제2 도전형 반도체층(125)의 하면 상에 위치하며, 제2형 컨택층(141)을 적어도 부분적으로 덮을 수 있다. 또한, 제2형 장벽층(143)은 적어도 하나의 홈(120h)을 제외한 영역의 아래에서 일체로 형성될 수 있다. 나아가, 제2형 장벽층(143)의 일부는 발광 구조체(120)의 아래에 위치하지 않고, 발광 구조체(120)의 측면으로부터 연장되어 노출될 수 있다.
- [64] 제2형 장벽층(143)은 제2형 컨택층(141)과 다른 물질 간의 상호 확산을 방지할 수 있다. 따라서, 제2형 컨택층(141)에 외부의 다른 물질이 확산되어 제2형 컨택층(141)의 반사율이 감소하고, 저항이 증가하는 것을 방지할 수 있다. 또한, 제2형 장벽층(143)은 2차적인 광 반사기 역할을 할 수도 있다. 즉, 제2형 컨택층(141)이 형성되지 않은 영역으로 향하는 광들의 일부가 제2형 장벽층(143)이 위치하는 영역으로 향하는 경우, 제2형 장벽층(143)은 이러한 광들을 반사시키는 역할도 할 수 있다. 따라서, 제2형 장벽층(143)은 외부의 불순물이 제2형 컨택층(141)으로 침투하는 것을 방지할 수 있고, 광 반사성 특성을 갖는 물질을 포함할 수 있고, 예를 들어, Au, Ni, Ti, W, Pt, Cu, Pd, Ta 및 Cr 중 적어도 하나를 포함할 수 있으며, 단일층 또는 다중층을 포함할 수도 있다.
- [65] 한편, 제2형 장벽층(143)은 다양한 형태로 제2형 컨택층(141)을 덮을 수 있으며, 이와 관련하여, 도 4a 내지 도 4b를 참조하여 본 발명의 다양한 실시예들을

상세하게 설명한다.

- [66] 도 4a 내지 도 4c는 본 발명의 실시예들에 따른 제2형 장벽층을 설명하기 위한 확대 단면도들 및 평면도들이다. 도 4a 내지 도 4c의 (a)는 도 2 (b)의 A 영역에 대한 확대 단면도들이다.
- [67] 먼저, 도 4a를 참조하면, 제2형 장벽층(143)은, 도 2에 도시된 바와 같이, 제2형 컨택층(141)을 완전히 덮을 수 있다. 따라서, 제2형 컨택층(141)의 일부는 제2 도전형 반도체층(125)과 접촉될 수 있다.
- [68] 다음, 도 4b를 참조하면, 제2형 장벽층(143a)은 제2형 컨택층(141) 하면의 일부 상에만 위치할 수 있고, 이에 따라 제2형 컨택층(141)의 일부는 후술하는 절연층(150)에 덮일 수 있다. 본 실시예에 있어서, 제2형 장벽층(143a) 및 절연층(150)에 양자에 의해 제2형 컨택층(141)으로 외부의 불순물이 확산되는 것을 방지한다. 본 실시예에 따르면, 제2형 장벽층(143a)과 제2 도전형 반도체층(125)이 접촉하는 부분에서 접착성이 떨어지는 것으로 인하여 제2형 장벽층(143a)이 박리되는 것을 방지할 수 있다. 따라서, 제2형 장벽층(143a)이 박리되어 제2 도전형 반도체층(125)과 제2형 장벽층(143a)의 계면에서 외부의 불순물이 제2형 컨택층(141)으로 침투하는 것을 더욱 효과적으로 방지할 수 있다.
- [69] 다음, 도 4c를 참조하면, 제2형 장벽층(143b)은 제2형 컨택층(141) 하면의 일부를 덮고, 제2형 컨택층(141)의 표면 중 제2형 장벽층(143b)에 덮이지 않는 부분은 절연층(150)에 덮일 수 있다. 나아가, 제2형 장벽층(143b)은 절연층(150)을 더 덮을 수 있으며, 따라서 제2형 컨택층(141)의 덮는 절연층(150) 부분 중 적어도 일부는 제2형 컨택층(141)과 제2형 장벽층(143b)의 사이에 개재될 수 있다. 즉, 제2형 장벽층(143b)과 절연층(150)은 서로 맞물리는 형태로 형성될 수 있다. 이 경우, 제2형 장벽층(143b)이 절연층(150)에 끼인 형태가 되므로, 제2형 장벽층(143b)이 박리되어 제2형 컨택층(141)에 외부의 불순물이 침투하는 것을 더욱 효과적으로 방지할 수 있다.
- [70] 다시 도 1 및 도 2를 참조하면, 제2형 장벽층(143)의 일부는 발광 구조체(120)의 측면으로부터 연장되어 노출될 수 있고, 상기 노출된 제2형 장벽층(143) 부분은 제2형 패드 전극(173)과 전기적으로 연결될 수 있다. 이와 관련하여서는 후술하여 상세하게 설명한다.
- [71] 절연층(150)은 발광 구조체(120)의 아래에 위치할 수 있고, 제2형 전극(140)을 덮을 수 있다. 또한, 절연층(150)은 홈(120h)의 측면을 덮을 수 있고, 제1 도전형 반도체층(121)의 일부를 노출시킬 수 있도록, 홈(120h)이 위치하는 부분에 대응하여 위치한 적어도 하나의 개구부를 포함할 수 있다. 따라서, 상기 개구부를 통해 제1 도전형 반도체층(121) 하면의 일부가 절연층(150)에 덮이지 않고 노출될 수 있다.
- [72] 절연층(150)은 제1형 전극(130)과 제2형 전극(140)의 사이에 개재될 수 있고, 제1형 및 제2형 전극(130, 140)을 절연시킬 수 있다. 따라서, 절연층(140)은

절연성의 물질을 포함할 수 있으며, 예를 들어, SiO_2 또는 SiN_x 을 포함할 수 있다. 나아가, 절연층(150)은 다중층을 포함할 수 있고, 굴절률이 다른 물질이 교대로 적층된 분포 브래그 반사기를 포함할 수도 있다. 절연층(150)이 분포 브래그 반사기를 포함하는 경우, 발광 다이오드의 아래 방향으로 향하는 광이 더욱 효과적으로 상부로 반사되어, 발광 다이오드의 발광 효율이 더욱 개선될 수 있다.

- [73] 제1형 전극(130)은 절연층(150) 및 발광 구조체(120)의 아래에 위치할 수 있고, 절연층(150)의 하면을 덮을 수 있다. 또한, 제1형 전극(130)은 홈(120h)에 대응하는 부분에 위치하는 절연층(150)의 개구부를 통해 제1 도전형 반도체층(121)과 전기적으로 연결될 수 있다.
- [74] 제1형 전극(130)은 제1형 컨택층(131)과 제1형 장벽층(133)을 포함할 수 있고, 제1형 장벽층(133)은 제1형 컨택층(131)을 적어도 부분적으로 덮을 수 있다. 따라서, 도 2에 도시된 바와 같이, 제1형 컨택층(131)은 제1형 장벽층(133)과 절연층(150)의 사이에 위치할 수 있고, 또한, 제1형 컨택층(131)은 절연층(150)의 개구부를 통해 제1 도전형 반도체층(121)과 접촉할 수 있다. 제1형 장벽층(133)이 제1형 컨택층(131)을 적어도 부분적으로 덮도록 형성됨으로써, 후술하는 본딩층(160)으로부터 일부 불순물이 제1형 컨택층(131)으로 확산되는 것을 방지할 수 있다.
- [75] 본 발명의 실시예들에 따른 제1형 컨택층(131)의 형태 및 배치와 관련하여, 도 5a 및 도 5b를 참조하여 상세하게 설명한다. 도 5a 및 도 5b는 본 발명의 실시예들에 따른 제1형 전극(130)이 제1 도전형 반도체층(121)과 접촉되는 형태를 설명하기 위한 확대 단면도들이다. 도 5a 및 도 5b는 도 2 (b)의 B 영역에 대한 확대 단면도들이다.
- [76] 먼저, 도 5a를 참조하면, 제1형 컨택층(131)은, 도 2에 도시된 바와 같이, 절연층(150)의 하면을 덮도록 형성될 수 있으며, 홈(120h)의 측면에 형성된 절연층(150)을 덮을 수 있고, 나아가, 홈(120h)에 대응하는 부분에 위치하는 절연층(150)의 개구부를 채워, 제1 도전형 반도체층(121)과 접촉될 수 있다. 따라서, 제1형 장벽층(133)은 절연층(150)과 직접적으로 접촉되지 않는다. 이 경우, 제1형 컨택층(131)은 광을 반사시키는 역할도 할 수 있으며, 예를 들어, 발광 구조체(120)로부터 방출된 광 중, 제2형 전극(140)을 향하지 않고, 홈(120h)의 표면을 향하는 광을 상부로 반사시키는 역할을 할 수 있다.
- [77] 이와 달리, 도 5b에 도시된 바와 같이, 제1형 컨택층(131a)은 홈(120h)의 위치에 형성되어 절연층(150)의 개구부를 채워 제1 도전형 반도체층(121)과 접촉하되, 제2 도전형 반도체층(125)의 하면 상에는 위치하지 않을 수 있다. 즉, 제1형 컨택층(131a)은 절연층(150)의 개구부를 채워 제1 도전형 반도체층(121)과 오픈 컨택을 형성하여 제1형 장벽층(133)과 제1 도전형 반도체층(121)을 전기적으로 연결시키는 역할을 한다. 이때, 제1형 장벽층(133)을 제1형 컨택층(131a)을 덮음과 아울러, 절연층(150)의 하면을 덮을 수 있다. 따라서, 본 실시예의 경우,

발광 구조체(120)로부터 방출된 광 중, 제2형 전극(140)을 향하지 않고, 홈(120h)의 표면을 향하는 광은 제1형 장벽층(133)을 통해 상부로 반사될 수 있다.

[78] 다만, 본 발명의 제1형 전극(130)이 이에 한정되는 것은 아니다.

[79] 상술한 바와 같이, 제1형 컨택층(131)은 제1 도전형 반도체층(121)과 오믹 컨택될 수 있고, 나아가, 광을 반사시키는 역할을 할 수도 있다. 이에 따라, 제1형 컨택층(131)은 단일층 또는 다중층으로 이루어질 수 있고, Ti/Al, Ni/Al, Cr/Al, 및 Pt/Al의 적층 구조 중 적어도 하나를 포함할 수 있으며, 나아가, Al의 응집을 방지하기 위하여 Ni, W, Pt, Cu, Ti, Pd, Ta, Au 등을 더 포함할 수 있다. 또한, 제1형 컨택층(131)은 ITO와 같은 도전성 산화물을 포함할 수도 있다.

[80] 제1형 장벽층(133)은 제1형 컨택층(131)에 외부의 불순물이 확산되는 것을 방지할 수 있고, 또한, 제1형 컨택층(131)과 전기적으로 연결되며, 광을 반사시키는 역할도 할 수 있다. 이에 따라, 제1형 장벽층(133)은 단일층 또는 다중층으로 이루어질 수 있고, Ni, W, Pt, Cu, Ti, Pd, Ta, Au 등을 포함할 수 있다.

[81] 지지 기판(171)은 발광 구조체(120)의 아래에 위치할 수 있고, 본딩층(160)을 통해 제1형 전극(130)과 본딩될 수 있다. 지지 기판(171)은 도전성 기판, 회로 기판, 또는 도전 패턴을 갖는 절연성 기판일 수 있다. 본 실시예에 있어서, 지지 기판(171) 금속 기판일 수 있으며, 예를 들어, Mo층과 Cu층이 적층된 구조를 포함할 수 있다. 또한, 지지 기판(171)은 Ti, Cr, Ni, Al, Cu, Ag, Au, Pt 등을 포함할 수 있다.

[82] 지지 기판(171)은 제1형 전극(130)과 전기적으로 연결되어, 발광 구조체(120)의 제1 도전형 반도체층(121)에 외부 전원을 공급하는 제1형 패드 전극과 같은 역할을 할 수 있다. 예를 들어, 본 실시예에 따른 발광 다이오드가 다양한 어플리케이션에 적용될 때, 지지 기판(171)이 외부의 리드 전극과 같은 구조와 전기적으로 연결됨으로써, 발광 다이오드에 외부의 전원을 공급하는 전기적 통로를 제공할 수 있다.

[83] 본딩층(160)은 제1형 전극(130)과 지지 기판(171)의 사이에 위치하여, 이들을 본딩한다. 본딩층(160)은 도전성 물질을 포함할 수 있고, AuSn, NiSn, InSn, NiAu, InAu, CuSn 등과 같은 물질을 포함할 수 있다. 예를 들어, 본딩층(160)이 AuSn을 포함하는 경우, 상기 Au와 Sn은 공정 구조(Eutectic structure)를 형성할 수 있으며, 이는 공정 본딩(Eutectic bonding)을 통해 형성될 수 있다.

[84] 제2형 패드 전극(173)는 발광 구조체(120)의 측면과 이격되어 위치할 수 있고, 또한, 제2형 장벽층(143)이 노출된 영역 상에 위치할 수 있다.

[85] 제2형 패드 전극(173) 하면의 적어도 일부는 제2형 장벽층(143)과 접촉되어 전기적으로 연결될 수 있다. 예를 들어, 도 6a에 도시된 바와 같이, 제2형 패드 전극(173)의 하면 전체는 제2형 장벽층(143)과 접촉될 수 있다. 이와 달리, 도 6b에 도시된 바와 같이, 제2형 패드 전극(173) 하면의 일부만 제2형 장벽층(143c)과 접촉하고, 나머지 일부는 절연층(150)에 접촉할 수도 있다. 이때,

- 노출된 부분의 절연층(150)의 상면과 제2형 장벽층(143)의 상면은 나란하지 않게 형성될 수 있고, 따라서, 상기 노출된 부분의 표면에는 단차가 생길 수 있다. 제2형 패드 전극(173)가 이러한 단차 상에 위치할 수 있고, 하면의 단차로 인해 제2형 패드 전극(173)가 박리되는 것이 방지될 수 있다.
- [86] 패시베이션층(180) 발광 구조체(120)의 상면 및 측면을 덮을 수 있다. 또한, 제2 패드 전극(173)의 측면을 부분적으로 덮을 수 있다. 패시베이션층(180)은 발광 구조체(120)를 외부로부터 보호할 수 있고, 또한, 제1 도전형 반도체층(121) 상면의 러프니스(120R)의 경사보다 완만한 경사를 갖는 표면을 가질 수 있다. 이에 따라, 발광 구조체(120)의 상면에서의 광 추출 효율을 향상시킬 수 있다. 패시베이션층(180)은 투광성 절연 물질을 포함할 수 있고, 예를 들어, SiO_2 를 포함할 수 있다.
- [87] 본 발명의 실시예들에 따른 발광 다이오드는, 비극성 또는 반극성의 성장면을 갖는 발광 구조체(120)를 포함하여 발광 효율이 향상될 수 있고, 또한, 오믹 컨택층과 반사층을 포함하는 제2형 컨택층을 포함하여 제2형 전극과 비극성 또는 반극성의 성장면을 갖는 제2 도전형 반도체층과의 접촉 저항을 낮출 수 있다.
- [88] 도 7 내지 도 14는 본 발명의 또 다른 실시예에 따른 발광 다이오드 제조 방법을 설명하기 위한 단면도들이다. 도 8에 있어서, 도 8의 (a)는 평면도이고, (b)는 (a)의 평면도에서 X-X선에 대응하는 부분의 단면을 도시한다. 본 실시예에서, 도 1 내지 도 6b를 참조하여 설명한 구성과 동일한 구성에 대해서는 동일한 도면 부호를 사용하며, 중복되는 부분에 대한 상세한 설명은 생략한다.
- [89] 먼저, 도 7을 참조하면, 비극성 또는 반극성의 성장면을 갖는 성장 기판(110) 상에 제1 도전형 반도체층(121), 활성층(123) 및 제2 도전형 반도체층(125)을 포함하는 발광 구조체(120)를 형성한다.
- [90] 성장 기판(110)은 비극성 또는 반극성의 성장면을 가지며, 발광 구조체(120)를 성장시킬 수 있는 기판이면 한정되지 않으며, 사파이어 기판, 실리콘 카바이드 기판, 실리콘 기판, 질화갈륨 기판 또는 질화알루미늄 기판과 같은 질화물 기판 동일 수 있다. 예를 들어, 성장 기판(110)은 그 성장면으로 m면, a면 또는 반극성면을 갖는 질화물 기판일 수 있고, 이때, 상기 성장면은 특정 결정면으로부터 소정의 오프셋 각도로 틸트(tilt)된 상태일 수도 있다.
- [91] 제1 도전형 반도체층(121), 활성층(123) 및 제2 도전형 반도체층(125)은 III-V 계열 화합물 반도체를 포함할 수 있고, 예를 들어, (Al, Ga, In)N과 같은 질화물계 반도체를 포함할 수 있다. 제1 도전형 반도체층(121)은 n형 불순물 (예를 들어, Si)을 포함할 수 있고, 제2 도전형 반도체층(125)은 p형 불순물 (예를 들어, Mg)을 포함할 수 있다. 또한, 그 반대일 수도 있다. 활성층(123)은 다중양자우물 구조(MQW)를 포함할 수 있다.
- [92] 제1 도전형 반도체층(121), 활성층(123), 및 제2 도전형 반도체층(125)은 MOCVD(Metal Organic Chemical Vapor Deposition), MBE(Molecular Beam

Epitaxy) 또는 HVPE(Hydride Vapor Phase Epitaxy) 등의 기술을 이용하여 성장 기판(110) 상에 성장될 수 있다. 특히, 발광 구조체(120)가 비극성 또는 반극성의 성장면을 갖는 성장 기판(110) 상에 성장됨으로써, 발광 구조체(120)는 비극성 또는 반극성 면에 수직한(normal) 방향으로 성장된다. 따라서, 성장된 발광 구조체(120)에 있어서, 전자와 정공이 재결합하는 방향에서 자발 분극이 형성되지 않으므로, 내부 양자 효율이 향상된다.

- [93] 다음, 도 8 및 도 9를 참조하면, 발광 구조체(120)를 부분적으로 제거하여 제1 도전형 반도체층(121)이 부분적으로 노출되는 적어도 하나의 홈(120h)을 형성함과 아울러, 제2 도전형 반도체층(125) 상에 제2형 전극(140)을 형성한다. 또한, 발광 구조체(120) 상에 제2형 전극(140)을 덮는 절연층(150)을 더 형성할 수 있다. 본 실시예에서, 적어도 하나의 홈(120h)을 형성하고, 제2형 전극(140)을 형성하는 것으로 설명하나, 적어도 하나의 홈(120h)을 형성하는 것과 제2형 전극(140)을 형성하는 것에 대한 순서는 제한되지 않는다.
- [94] 먼저, 도 8을 참조하면, 사진 및 식각 공정을 이용하여 발광 구조체(120)를 패터닝할 수 있다. 이에 따라, 적어도 하나의 홈(120h)이 형성될 수 있으며, 사진 및 식각 공정에서 포토레지스트의 리플로우를 이용하여 홈(120h)이 경사진 측면을 갖도록 할 수 있다. 즉, 도식된 바와 같이, 홈(120h)의 측면은 발광 구조체(120)의 하면에 수직한 가상선(V)에 대해서 소정 각도로 기울어진 경사를 가질 수 있다. 홈(120h)의 측면이 경사지도록 형성함으로써, 후술하는 공정들에서 형성되는 절연층(150) 및 제1형 전극(130)의 스텝 커버리지를 우수하게 할 수 있다.
- [95] 도 8의 (a)에 도식된 바와 같이, 홈(120h)은 복수 개로 형성될 수 있으며, 일정한 간격으로 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [96] 도 9를 참조하면, 제2 도전형 반도체층(125) 상에 제2형 전극(130)을 형성하고, 제2형 전극(130) 및 발광 구조체(120)의 상면을 덮되, 제1 도전형 반도체층(121)을 부분적으로 노출시키는 개구부(150h)를 갖는 절연층(150)을 형성할 수 있다.
- [97] 제2형 전극(130)을 형성하는 것은, 제2형 콘택층(131)을 형성하고, 상기 제2형 콘택층(131)을 덮는 제2형 장벽층(133)을 형성하는 것을 포함할 수 있다. 한편, 후속 공정에서 제2형 패드 전극(173)을 형성할 영역에는 제2형 장벽층(133)만이 위치하도록 제2형 전극(130)을 형성할 수 있다. 즉, 후속 공정에서 발광 구조체(120)의 일부를 식각하여 제2형 전극(130)을 노출시키는 영역에는, 제2형 콘택층(131)이 노출되지 않도록 상기 영역에는 제2형 장벽층(133)만을 형성할 수 있다.
- [98] 제2형 콘택층(131)을 형성하는 것은, 제2 도전형 반도체층(125)과 접촉하는 오믹 콘택층을 형성하고, 상기 오믹 콘택층을 덮는 반사층을 형성하는 것을 포함할 수 있다. 오믹 콘택층과 반사층의 구조는 도 3a 내지 도 3c를 참조하여 설명한 바와 대체로 유사하다.

- [99] 도 3a 내지 도 3c를 참조하여 설명한 바와 같이, 오믹 컨택층은 Ni, Pt, Mg, Ni/Au 및 도전성 산화물 중 적어도 하나를 제2 도전형 반도체층(125) 상에 증착 등의 방법을 이용하여 형성함으로써 제공될 수 있다. 이때, 상기 오믹 컨택층은 제2 도전형 반도체층(125) 상에 필름 형태 또는 복수의 아일랜드 패턴으로 형성될 수 있다. 예를 들어, Ni, Pt, Mg, Ni/Au 및 도전성 산화물 중 적어도 하나를 전자선 증착 등의 방법으로 제2 도전형 반도체층(125) 상에 형성함으로써 도 3c와 같은 필름 형태의 오믹 컨택층이 제공될 수 있으며, 상기 필름 형태의 오믹 컨택층을 패터닝하면 도 3a와 같이 규칙적인 아일랜드 형태의 오믹 컨택층이 제공될 수도 있다. 한편, 증착 공정에서의 공정 조건 등을 조절하여 오믹 컨택층이 불규칙적으로 제2 도전형 반도체층(125) 상에 형성되도록 하는 경우, 도 3b와 같은 형태의 오믹 컨택층이 제공될 수도 있다. 다만, 본 발명이 이에 한정되는 것은 아니다. 상기 반사층은 Ag 및/또는 Al을 증착 또는 도금 공정을 이용하여 상기 오믹 컨택층을 덮도록 형성할 수 있다.
- [100] 또한, 제2형 전극(140)을 형성하는 것은, 제2 도전형 반도체층(125) 상에 제2형 컨택층(141)을 형성한 후, 제2형 컨택층(141)을 열처리하는 것을 더 포함할 수도 있다. 다만, 상기 열처리는 상대적으로 저온(예를 들어, 약 500°C 이하)에서 수행될 수 있고, 따라서, 열처리로 인하여 제2형 컨택층(141)의 반사율이 저하되는 것을 방지할 수 있다. 더욱이, 본 실시예의 발광 다이오드 제조 방법에 따르면, 제2형 컨택층(141)이 오믹 컨택층을 포함함으로써 제2형 컨택층(141)과 제2 도전형 반도체층(125) 간의 접촉 저항이 충분히 낮을 수 있으므로, 상기 열처리 공정이 생략될 수도 있다.
- [101] 제2형 장벽층(143)은 Au, Ni, Ti, W, Pt, Cu, Pd, Ta 및 Cr 중 적어도 하나를 포함하는 물질을 증착 및/또는 도금을 방식을 이용하여 제2형 컨택층(141)을 적어도 부분적으로 덮도록 형성될 수 있다. 제2형 장벽층(143)의 형태는 도 4a 내지 도 4c에 도시된 바와 같을 수 있다. 특히, 제2형 장벽층(143)이 도 4c에 도시된 바와 같이 형성되는 경우, 제2형 장벽층(143)은 절연층(150)의 일부가 형성된 후에, 제2형 컨택층(141) 상에 형성될 수 있다. 즉, 제2형 장벽층(143)을 도 4c에 도시된 바와 같이 형성하는 경우, 제2형 전극(140)을 형성하는 것은, 제2형 컨택층(141)을 부분적으로 노출시키는 절연층(150)을 먼저 형성한 후, 상기 노출된 제2형 컨택층(141)에 접촉하며 절연층(150)을 부분적으로 덮는 제2형 장벽층(143)을 형성하고, 이어서 다시 절연층(150)이 제2형 장벽층(143)을 덮도록 추가로 절연층(150)을 형성하는 것을 포함할 수 있다.
- [102] 절연층(150)은 SiO₂ 또는 SiN_x을 포함하는 물질을 전자선 증착, 열 증착, 또는 스퍼터링과 같은 증착 공정을 이용하여 발광 구조체(120) 및 제2형 전극(140)을 덮도록 형성될 수 있다. 나아가, 절연층(150)을 패터닝하여 적어도 하나의 홈(120h)에 대응하는 부분에서 제1 도전형 반도체층(121)을 노출시키는 적어도 하나의 개구부(150h)를 형성할 수도 있다. 이와 달리, 증착 및 리프트 오프 공정을 이용하여 개구부(150h)를 포함하는 절연층(150)을 형성할 수도 있다. 한편, 서로

다른 굴절률을 갖는 유전체 층을 반복 적층하여, 분포 브래그 반사기를 포함하는 절연층(150)을 형성할 수도 있다.

- [103] 이어서, 도 10 및 도 11을 참조하면, 개구부(150h)를 통해 제1 도전형 반도체층(121)과 전기적으로 접촉되며, 절연층(150)을 적어도 부분적으로 덮는 제1형 전극(140)을 형성한다. 제1형 전극(140)을 형성하는 것은, 제1형 컨택층(141)과 제1형 장벽층(143)을 형성하는 것을 포함할 수 있다.
- [104] 먼저, 도 10을 참조하면, 개구부(150h)를 채워 제1 도전형 반도체층(121)과 접촉하는 제1형 컨택층(141)을 형성할 수 있다. 제1형 컨택층(141)은 증착 및/또는 도금 공정을 이용하여 Ti/Al, Ni/Al, Cr/Al, 및 Pt/Al의 적층 구조 중 적어도 하나를 형성함으로써 제공될 수 있고, 나아가, 제1형 컨택층(141)을 형성하는 것은 Ni, W, Pt, Cu, Ti, Pd, Ta, Au 등을 포함하는 물질을 증착 또는 도금 공정을 이용하여 형성하는 것을 더 포함할 수도 있다. 이때, 제1형 컨택층(141)과 제1형 장벽층(143)을 형성하는 것은 연속적으로 이루어질 수 있다.
- [105] 한편, 제1형 컨택층(141)은 도 10에 도시된 바와 같이, 절연층(150)의 상면을 전체적으로 덮도록 형성될 수 있으나, 이와 달리, 개구부(150h)를 채우고 그 주변에만 부분적으로 형성될 수도 있다. 이 경우, 제1형 컨택층(141)은 도 5b에 도시된 바와 같이 형성될 수 있고, 패터닝 또는 리프트 오프 공정을 통해 제1형 컨택층(141)이 원하는 위치에 형성되도록 할 수 있다. 이 경우, 제1형 컨택층(141)은 일부의 특정 위치에만 형성되므로, 제1형 컨택층(141)과 제1형 장벽층(143)을 형성하는 것은 단속적으로 이루어질 수 있다.
- [106] 이어서, 도 11을 참조하면, 제1형 컨택층(141)을 덮는 제1형 장벽층(143)을 형성할 수 있다. 제1형 장벽층(143)은 Ni, W, Pt, Cu, Ti, Pd, Ta, Au 등을 포함하는 물질을 단일층 또는 다중층으로 증착 및/또는 도금함으로써 형성될 수 있다.
- [107] 도 12를 참조하면, 발광 구조체(120) 상에 지지 기관(171)을 형성하되, 상기 지지 기관(171)과 제1형 전극(130)을 접착하는 본딩층(160)을 더 형성할 수 있다.
- [108] 본딩층(160)은 지지 기관(171)과 제1형 전극(130)을 본딩하기 위하여 그 사이에 개재될 수 있다. 본딩층(160)은 지지 기관(171)을 형성하기 전에, 제1형 전극(130) 상에 형성될 수 있고, 지지 기관(171)과 제1형 전극(130)을 전기적으로 연결함과 아울러, 이들을 접착할 수 있는 물질이면 제한되지 않는다. 예를 들어, 본딩층(160)을 형성하는 것은 공정 본딩을 이용하는 것을 포함할 수 있고, 상기 공정 본딩은 제1형 전극(130) 상에 AuSn과 같은 물질을 형성한 후, AuSn의 공정 온도 (Eutectic temperature, 약 280°C) 이상의 온도(예컨대, 약 350°C)로 가열한 후, 상기 AuSn을 냉각시킴으로써 달성될 수 있다.
- [109] 다음, 도 13을 참조하면, 발광 구조체(120)로부터 성장 기관(110)을 분리한다. 또한, 본 실시예의 발광 다이오드 제조 방법은, 성장 기관(110)이 분리되어 노출된 제1 도전형 반도체층(121)의 표면의 거칠기를 증가시켜 러프니스(120R)를 형성하는 것을 더 포함할 수도 있다.
- [110] 성장 기관(110)은, 예를 들어, 레이저 리프트 오프, 화학적 리프트 오프, 또는

응력 리프트 오프 등 다양한 방법으로 제거될 수 있다. 성장 기관(110)을 제거하는 방법에 따라, 발광 구조체(120)와 성장 기관(110) 사이에 추가적인 층들이 더 개재될 수 있다. 예를 들어, 성장 기관(110)이 발광 구조체(120)와 동종의 질화물 기관인 경우, 성장 기관(110)과 발광 구조체(120) 사이에 희생층(미도시)이 더 개재될 수 있다. 이때, 상기 희생층의 일부를 화학적으로 제거하여 성장 기관(110)을 발광 구조체(120)로부터 분리할 수도 있고, 상기 희생층에 응력을 가하여 성장 기관(110)을 발광 구조체(120)로부터 분리할 수도 있다. 다만, 본 발명이 이에 한정되는 것은 아니다. 나아가, 성장 기관(110)을 분리한 후, 제1 도전형 반도체층(121)을 일정 두께로 절삭하는 공정을 더 수행할 수도 있다.

- [111] 성장 기관(110)이 분리되어 노출된 제1 도전형 반도체층(121)의 표면의 거칠기를 증가시켜 러프니스(120R)를 형성하는 것은 습식, 건식 또는 전기화학식각 등을 이용하는 것을 포함할 수 있다. 특히, 본 실시예에 있어서, 제1 도전형 반도체층(121)의 노출된 표면은 비극성 또는 반극성면이므로, 상기 러프니스(120R)를 형성하는 것은 건식 식각을 이용하는 것을 포함할 수 있다.
- [112] 본 발명의 제조 방법에 따라 제조된 제1 도전형 반도체층(121)은 낮은 결함 밀도를 가질 수 있고, 또한 성장 기관(110)이 분리되어 노출된 면이 극성을 거의 갖지 않으므로, 습식 식각만을 이용한 러프니스(120R) 형성이 어렵다. 따라서, 건식 식각 또는 건식 식각과 습식 식각 방법을 복합적으로 이용하는 식각 공정을 통해 제1 도전형 반도체층(121)의 표면에 러프니스(120R)를 효과적으로 형성할 수 있다.
- [113] 이어서, 도 14를 참조하면, 발광 구조체(120)의 일부 영역(120b)을 제거하여, 제2형 장벽층(143)을 부분적으로 노출시킬 수 있다. 이후, 상기 일부 영역(120b)에 제2형 패드 전극(173)을 형성하고, 패시베이션층(180)을 형성함으로써, 도 2에 도시된 바와 같은 발광 다이오드가 제공될 수 있다.
- [114] 제2형 패드 전극(173)과 증착 및 리프트 오프 기술을 이용하여 형성될 수 있으며, 제2형 패드 전극(173)의 하면은 제2형 장벽층(143)과 적어도 부분적으로 접촉된다. 패시베이션층(180)은 SiO_2 또는 SiN_x 를 포함하는 물질을 증착 공정을 이용하여 발광 구조체(120)를 덮도록 형성함으로써 제공될 수 있다.
- [115] 본 실시예에 따르면, 전기적 및 광학적 특성이 우수한 발광 다이오드를 제조하는 방법이 제공될 수 있다.
- [116] 도 15 및 도 16은 본 발명의 다른 실시예에 따른 발광 다이오드를 설명하기 위한 평면도들 및 단면도이다. 도 15(a)는 본 실시예의 발광 다이오드의 평면을 도시하고, 도 15(b)은 홈(120h)의 위치 및 제1 및 제2 개구부(153a, 153b)의 위치를 설명하기 위한 평면도이며, 도 16은 도 15의 단면도들에서 Y-Y'선에 대응하는 부분의 단면을 도시한다.
- [117] 본 실시예의 발광 다이오드는, 상술한 실시예들에 따른 발광 다이오드와 비교하여 발광 구조체(120)의 구조에서 차이가 있으며, 패드 전극들(211, 213)의

구조에서 차이가 있다. 이하, 차이점을 중심으로 본 실시예의 발광 다이오드에 관하여 설명하며, 동일한 구성에 대한 상세한 설명은 생략한다.

- [118] 도 15 및 도 16을 참조하면, 발광 다이오드는 발광 구조체(120), 제1형 전극(130), 제2형 전극(140), 절연층(151, 153)을 포함한다. 나아가, 발광 다이오드는 성장 기판(미도시), 파장변환부(220), 제1 및 제2 패드 전극(211, 213)을 더 포함할 수 있다.
- [119] 발광 구조체(120)는 제1 도전형 반도체층(121), 활성층(123) 및 제2 도전형 반도체층(125)을 포함한다. 또한, 발광 구조체(120)는 제2 도전형 반도체층(125) 및 활성층(123)을 관통하여 제1 도전형 반도체층(121)이 부분적으로 노출되는 적어도 하나의 홈(120h)을 포함할 수 있다.
- [120] 적어도 하나의 홈(120h)은 제2 도전형 반도체층(125) 및 활성층(123)이 부분적으로 제거되어 형성될 수 있으며, 상기 적어도 하나의 홈(120h)은, 도식된 바와 같이, 복수 개로 형성될 수 있다. 또한, 홈(120h)의 측면에는 제2 도전형 반도체층(125) 및 활성층(123)이 노출될 수 있으며, 상기 홈(120h)의 측면은 경사질 수 있다. 적어도 하나의 홈(120h)이 복수 개로 형성되는 경우, 홈(120h)들의 형태는 다양하게 조절될 수 있다. 홈(120h)을 통해 제1형 전극(130)이 제1 도전형 반도체층(121)과 전기적으로 연결되므로, 발광 다이오드 구동 시 전류 분산 형태 및 전류 분산 밀도를 고려하여 홈(120h)들의 배치 형태가 다양하게 변형될 수 있다. 예를 들어, 홈(120h)들의 형태는 복수의 닷(dot) 형태, 복수의 스트라이프 형태, 또는 닷 형태와 스트라이프 형태가 혼합된 형태 등일 수 있다. 본 실시예에서, 복수의 홈(120h)은 발광 구조체(120)의 표면 전반에 걸쳐 형성될 수 있다.
- [121] 몇몇 실시예들에서, 제2 전극 패드(213)의 하부 영역에는, 홈(120h)이 형성되지 않는 부분이 형성될 수 있다. 즉, 도 15의 (b)에 도식된 바와 같이, 제2 전극 패드(213)와 제2형 전극(140) 간의 전기적 연결을 허용하기 위한 제2 절연층(153)의 제2 개구부(153b)의 주변에는 홈(120h)이 형성되지 않을 수 있다. 제2 전극 패드(213)와 제2형 전극(140)이 접촉되는 부분 주변에 홈(120h)이 형성된 경우, 이 부분 주변의 홈(120h)의 인접 영역의 제1 도전형 반도체층(121)에 전류가 집중될 가능성이 있어 전류 분산 효율이 저하될 수 있다. 따라서, 본 실시예와 같이, 제2 절연층(153)의 제2 개구부(153b)의 주변, 특히, 제2 개구부(153b)의 하부에는 홈(120h)을 형성하지 않음으로써, 전류 분산 효율을 더욱 향상시킬 수 있다.
- [122] 홈(120h)들은 발광 구조체(120)의 전체에 걸쳐 대체로 규칙적으로 위치할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 홈(120h)의 배치 형태 및 개수는 다양하게 변형될 수 있다. 또한, 제1 도전형 반도체층(121)이 노출된 형태는 홈(120h)과 같은 형태에 한정되는 것은 아니다. 예를 들어, 제1 도전형 반도체층(121) 노출되는 영역은 라인 형태, 홀 및 라인이 복합된 형태 등으로 형성될 수 있다.

- [123] 한편, 발광 구조체(120)는 비극성 또는 반극성의 성장면을 갖는 성장 기판 상에 성장되어 형성된 것일 수 있다. 따라서, 제1 도전형 반도체층(121), 활성층(123) 및 제2 도전형 반도체층(125)을 포함하는 발광 구조체(120)는 비극성 또는 반극성의 성장면을 가질 수 있다. 상기 비극성 성장면은 m면 또는 a면을 포함할 수 있다.
- [124] 제2형 전극(140)은 제2 도전형 반도체층(125) 상에 위치하여, 오믹 접촉될 수 있다. 제2형 전극(140)은 제2 도전형 반도체층(125)의 상면을 전반적으로 덮도록 배치될 수 있으며, 나아가, 제2 도전형 반도체층(125)의 상면을 거의 완전히 덮도록 형성될 수 있다. 제2형 전극(140)은 발광 구조체(120) 전체에 걸쳐 단일체로 형성될 수 있으며, 이 경우, 제2형 전극(140)은 복수의 홈(120h)의 위치에 대응하는 개구 영역들을 포함할 수 있다. 이에 따라, 발광 구조체(120)의 전체에 대해 전류를 균일하게 공급하여, 전류 분산 효율이 향상될 수 있다.
- [125] 비극성 또는 반극성의 성장면을 갖는 제2 도전형 반도체층(125)에 오믹 접촉되는 제2형 전극(140)은 상술한 실시예들에서 설명한 바와 같은 구조를 가질 수 있다. 구체적으로, 제2형 전극(140)은 제2형 접촉층(141) 및 제2형 장벽층(143)을 포함할 수 있으며, 도 3a 내지 도 3c를 참조하여 설명한 바와 같은 제2형 전극(140)의 구조는 본 실시예에서도 동일하게 적용될 수 있다. 따라서, 제2형 접촉층(141)은 오믹 접촉층(1411) 및 오믹 접촉층(1411)을 덮는 반사층(1413)을 포함할 수 있다. 또한, 오믹 접촉층(1411)은, 예를 들어, Ni, Pt, Mg, Ni/Au 및 도전성 산화물 중 적어도 하나를 포함할 수 있다. 이때, 상기 도전성 산화물은 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, IrOx, RuOx, RuOx/ITO, MgO, ZnO 등을 포함할 수 있다. 또한, 오믹 접촉층(1411)은, 규칙적인 복수의 아일랜드 패턴, 불규칙적인 아일랜드 패턴 또는 시트(필름) 형태 등으로 형성될 수 있으며, 각각의 아일랜드 형태의 오믹 접촉층(1411)은 반구형의 형태를 가질 수 있다.
- [126] 절연층(151, 153)은 발광 구조체(120) 및 제2형 전극(140)을 부분적으로 덮을 수 있다. 절연층(151, 153)은 제1형 전극(130)과 제2형 전극(140)을 서로 절연시킬 수 있다. 또한, 절연층(151, 153)은 제1 절연층(151) 및 제2 절연층(153)을 포함할 수 있다.
- [127] 제1 절연층(151)은 발광 구조체(120)의 상면 및 제2형 전극(140)을 부분적으로 덮을 수 있다. 제1 절연층(151)은 복수의 홈(120h)들의 측면을 덮되, 홈(120h)의 하면에 위치하는 제1 도전형 반도체층(121)을 부분적으로 노출시키는 개구부를 포함할 수 있다. 따라서 상기 개구부는 복수의 홈(120h)이 배치된 위치에 대응하여 위치할 수 있다. 또한, 제1 절연층(151)은 제2형 전극(140)의 일부를 노출시키는 개구부를 포함할 수 있다. 나아가, 제1 절연층(151)은 발광 구조체(120)의 적어도 일부의 측면을 더 덮을 수 있다.
- [128] 제1 절연층(151)은 절연성 물질로 형성될 수 있고, 예를 들어, SiO₂ 또는 SiN_x을 포함할 수 있다. 나아가, 상부 절연층(153)은 다중층을 포함할 수 있고, 굴절률이

다른 물질이 교대로 적층된 분포 브래그 반사기를 포함할 수도 있다.

- [129] 상기 분포 브래그 반사기는 굴절률이 서로 다른 유전체층들이 반복 적층되어 형성될 수 있으며, 예컨대, 교대로 적층된 TiO_2 층/ SiO_2 층의 구조를 가질 수 있다. 분포 브래그 반사기의 각 층은 특정 파장의 1/4의 광학 두께를 가질 수 있으며, 4 내지 20 페어(pairs)로 형성할 수 있다. 분포 브래그 반사기의 하부에는 분포 브래그 반사기의 막질을 향상시킬 수 있는 기반층이 형성될 수 있다. 예컨대, 제1 절연층(151)은 약 $0.2\mu\text{m}$ 내지 $1.0\mu\text{m}$ 두께의 SiO_2 로 형성된 기반층 및 상기 기반층 상에 TiO_2 층/ SiO_2 층이 소정 주기로 반복 적층된 구조의 분포 브래그 반사기를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상기 분포 브래그 반사기는 ZrO_2 , HfO_2 등의 유전체를 포함할 수도 있다.
- [130] 상기 분포 브래그 반사기는 비교적 높은 가시광에 대한 반사율을 가질 수 있다. 상기 분포 브래그 반사기는 입사각이 $0\sim 60^\circ$ 이고, 파장이 $400\sim 700\text{nm}$ 인 광에 대해 90% 이상의 반사율을 갖도록 설계될 수 있다. 상술한 반사율을 갖는 분포 브래그 반사기는 분포 브래그 반사기를 형성하는 복수의 유전체층들의 종류, 두께, 적층 주기등을 제어함으로써 제공될 수 있다. 이에 따라, 상대적으로 장파장의 광(예컨대, 550nm 내지 700nm) 및 상대적으로 단파장의 광(예컨대, 400nm 내지 550nm)에 대해 높은 반사율을 갖는 분포 브래그 반사기를 형성할 수 있다.
- [131] 이와 같이, 분포 브래그 반사기가 넓은 파장대의 광에 대해 높은 반사율을 갖도록, 상기 분포 브래그 반사기는 다중 적층 구조를 포함할 수 있다. 즉, 상기 분포 브래그 반사기는 제1 두께를 갖는 유전체층들이 적층된 제1 적층 구조, 제2 두께를 갖는 유전체층들이 적층된 제2 적층 구조를 포함할 수 있다. 예를 들어, 상기 분포 브래그 반사기는 가시광의 중심 파장(약 550nm)의 광에 대해 1/4의 광학 두께보다 작은 두께를 갖는 유전체층들이 적층된 제1 적층 구조, 및 가시광의 중심 파장(약 550nm)의 광에 대해 1/4의 광학 두께보다 두꺼운 두께를 갖는 유전체층들이 적층된 제2 적층 구조를 포함할 수 있다. 나아가, 상기 분포 브래그 반사기는, 가시광의 중심 파장(약 550nm)의 광에 대해 1/4의 광학 두께보다 두꺼운 두께를 갖는 유전체층과 상기 광에 대해 1/4의 광학 두께보다 얇은 두께를 갖는 유전체층이 반복 적층된 제3 적층 구조를 더 포함할 수 있다.
- [132] 발광 구조체(120)의 상면을 거의 전반적으로 덮는 제1 절연층(151)의 분포 브래그 반사기를 포함함으로써, 상기 발광 다이오드의 발광 효율이 향상될 수 있다. 특히, 제2형 전극(140)의 제2형 장벽층(143)에 덮이지 않는 홈(120h)의 측면으로 탈출하는 광이 제1 절연층(151)의 분포 브래그 반사기에 반사될 수 있어, 발광 다이오드의 발광 효율이 더욱 향상될 수 있다.
- [133] 제1형 전극(130)은 발광 구조체(120)를 부분적으로 덮을 수 있으며, 제1 절연층(151) 상에 위치할 수 있다. 홈(120h)들 및 상기 홈(120h)들에 대응하는 부분에 위치하는 제1 절연층(151)의 개구부를 통해 제1 도전형 반도체층(121)과 오믹 콘택할 수 있다. 또한, 도시된 바와 달리, 제1형 전극(130)은 발광 구조체(120)의 측면까지 덮도록 형성될 수도 있다. 또한, 제1형 전극(130)은

제1형 컨택층(131) 및 제1형 장벽층(133)을 포함할 수 있다.

- [134] 제2 절연층(153)은 제1형 전극(130)을 부분적으로 덮을 수 있으며, 제1형 전극(130)을 부분적으로 노출시키는 제1 개구부(153a), 및 제2형 전극(140)을 부분적으로 노출시키는 제2 개구부(153b)를 포함할 수 있다. 제1 및 제2 개구부(153a, 153b) 각각은 하나 이상 형성될 수 있다. 또한, 상기 개구부들(153a, 153b)은 서로 반대하여 위치하는 측면들에 각각 치우쳐 위치할 수 있다. 제2 절연층(153)은 절연성의 물질을 포함할 수 있으며, 예를 들어, SiO_2 , SiN_x , MgF_2 등을 포함할 수 있다. 몇몇 실시예들에 있어서, 제2 절연층(153)은 분포 브래그 반사기를 포함할 수 있다. 또한, 제2 절연층(153)이 다중층으로 이루어지는 경우, 제2 절연층(153)의 최상부층은 SiN_x 로 형성될 수 있다. SiN_x 로 형성된 층은 방습성이 우수하여, 발광 다이오드를 습기로부터 보호할 수 있다.
- [135] 제1 전극 패드(211) 과 제2 전극 패드(213) 은 발광 구조체(120) 상에 위치할 수 있고, 제1 전극 패드(211) 및 제2 전극 패드(213) 은 각각 제1형 전극(130) 및 제2형 전극(140)에 전기적으로 연결될 수 있다. 도 1 내지 도 14의 실시예들과 달리, 본 실시예의 제1 및 제2 전극 패드(211, 213)는 발광 구조체(120)의 상부에 위치할 수 있다. 따라서, 본 실시예의 발광 다이오드는 제1 및 제2 전극 패드(211, 213)를 통해 플립 본딩될 수 있다.
- [136] 다양한 실시예들에서, 상기 발광 다이오드는 성장 기판(미도시)을 더 포함할 수 있다. 상기 성장 기판은 비극성 또는 반극성의 성장면을 가지며, 발광 구조체(120)를 성장시킬 수 있는 기판이면 한정되지 않으며, 사파이어 기판, 실리콘 카바이드 기판, 실리콘 기판, 질화갈륨 기판 또는 질화알루미늄 기판과 같은 질화물 기판 등일 수 있다. 예를 들어, 성장 기판은 그 성장면으로 m면, a면 또는 반극성면을 갖는 질화물 기판일 수 있고, 이때, 상기 성장면은 특정 결정면으로부터 소정의 오프셋 각도로 틸트(tilt)된 상태일 수도 있다. 본 실시예의 발광 다이오드에 있어서, 제1 및 제2 전극 패드(211, 213)은 발광 구조체(120) 상에 위치하므로, 성장 기판이 발광 구조체(120)로부터 분리되지 않은 상태로 제공될 수도 있다. 또한, 성장 기판은 발광 구조체(120)를 지지하는 역할을 할 수도 있다.
- [137] 파장변환부(220)는 발광 구조체(120)의 하면 상에 배치될 수 있다. 파장변환부(210)에 의해 발광 구조체(120)로부터 방출된 광이 파장변환되어 다양한 색의 광을 구현할 수 있는 발광 다이오드가 제공될 수 있다. 또한, 파장변환부(210)는 발광 구조체(120)의 하면뿐만 아니라, 발광 구조체(120)의 측면까지 연장되어 형성될 수 있고, 나아가, 절연지지체(280)의 측면까지 더 연장되어 형성될 수도 있다. 상기 발광 다이오드가 성장 기판(미도시)을 더 포함하는 경우, 파장변환부(220)는 상기 성장 기판의 하면을 더 덮을 수 있다. 이 경우, 상기 성장 기판은 파장변환부(220)와 발광 구조체(120)의 사이에 개재될 수 있다.
- [138] 파장변환부(220)는 광의 파장을 변환시킬 수 있는 물질을 포함할 수 있고, 예를

들어, 과장변환부(220)는 담지체 내에 형광체가 분산된 형태로 제공될 수 있고, 또는 단결정 형광체 시트 형태로 제공될 수도 있으며, 또는 양자점 물질을 포함하는 형태로 제공될 수도 있다. 다만, 본 발명이 이에 한정되는 것은 아니다. 발광 다이오드가 과장변환부(220)를 포함함으로써, 백색광을 방출할 수 있는 칩 스케일 패키지가 제공될 수 있다.

- [139] 도 17은 본 발명의 일 실시예에 따른 발광 소자를 조명 장치에 적용한 예를 설명하기 위한 분해 사시도이다.
- [140] 도 17을 참조하면, 본 실시예에 따른 조명 장치는, 확산 커버(1010), 발광 소자 모듈(1020) 및 바디부(1030)를 포함한다. 바디부(1030)는 발광 소자 모듈(1020)을 수용할 수 있고, 확산 커버(1010)는 발광 소자 모듈(1020)의 상부를 커버할 수 있도록 바디부(1030) 상에 배치될 수 있다.
- [141] 바디부(1030)는 발광 소자 모듈(1020)을 수용 및 지지하여, 발광 소자 모듈(1020)에 전기적 전원을 공급할 수 있는 형태이면 제한되지 않는다. 예를 들어, 도시된 바와 같이, 바디부(1030)는 바디 케이스(1031), 전원 공급 장치(1033), 전원 케이스(1035), 및 전원 접속부(1037)를 포함할 수 있다.
- [142] 전원 공급 장치(1033)는 전원 케이스(1035) 내에 수용되어 발광 소자 모듈(1020)과 전기적으로 연결되며, 적어도 하나의 IC칩을 포함할 수 있다. 상기 IC칩은 발광 소자 모듈(1020)로 공급되는 전원의 특성을 조절, 변환 또는 제어할 수 있다. 전원 케이스(1035)는 전원 공급 장치(1033)를 수용하여 지지할 수 있고, 전원 공급 장치(1033)가 그 내부에 고정된 전원 케이스(1035)는 바디 케이스(1031)의 내부에 위치할 수 있다. 전원 접속부(115)는 전원 케이스(1035)의 하단에 배치되어, 전원 케이스(1035)와 결속될 수 있다. 이에 따라, 전원 접속부(1037)는 전원 케이스(1035) 내부의 전원 공급 장치(1033)와 전기적으로 연결되어, 외부 전원이 전원 공급 장치(1033)에 공급될 수 있는 통로 역할을 할 수 있다.
- [143] 발광 소자 모듈(1020)은 기판(1023) 및 기판(1023) 상에 배치된 발광 소자(1021)를 포함한다. 발광 소자 모듈(1020)은 바디 케이스(1031) 상부에 마련되어 전원 공급 장치(1033)에 전기적으로 연결될 수 있다.
- [144] 기판(1023)은 발광 소자(1021)를 지지할 수 있는 기판이면 제한되지 않으며, 예를 들어, 배선을 포함하는 인쇄회로기판일 수 있다. 기판(1023)은 바디 케이스(1031)에 안정적으로 고정될 수 있도록, 바디 케이스(1031) 상부의 고정부에 대응하는 형태를 가질 수 있다. 발광 소자(1021)는 상술한 본 발명의 실시예들에 따른 발광 소자들 중 적어도 하나를 포함할 수 있다.
- [145] 확산 커버(1010)는 발광 소자(1021) 상에 배치되며, 바디 케이스(1031)에 고정되어 발광 소자(1021)를 커버할 수 있다. 확산 커버(1010)는 투광성 재질을 가질 수 있으며, 확산 커버(1010)의 형태 및 광 투과성을 조절하여 조명 장치의 지향 특성을 조절할 수 있다. 따라서 확산 커버(1010)는 조명 장치의 이용 목적 및 적용 태양에 따라 다양한 형태로 변형될 수 있다.

- [146] 도 18은 본 발명의 일 실시예에 따른 발광 소자를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.
- [147] 본 실시예의 디스플레이 장치는 표시패널(2110), 표시패널(2110)에 광을 제공하는 백라이트 유닛 및, 상기 표시패널(2110)의 하부 가장자리를 지지하는 패널 가이드를 포함한다.
- [148] 표시패널(2110)은 특별히 한정되지 않고, 예컨대, 액정층을 포함하는 액정표시패널일 수 있다. 표시패널(2110)의 가장자리에는 상기 게이트 라인으로 구동신호를 공급하는 게이트 구동 PCB가 더 위치할 수 있다. 여기서, 게이트 구동 PCB는 별도의 PCB에 구성되지 않고, 박막 트랜지스터 기판상에 형성될 수도 있다.
- [149] 백라이트 유닛은 적어도 하나의 기관 및 복수의 발광 소자(2160)를 포함하는 광원 모듈을 포함한다. 나아가, 백라이트 유닛은 바텀커버(2180), 반사 시트(2170), 확산 플레이트(2131) 및 광학 시트들(2130)을 더 포함할 수 있다.
- [150] 바텀커버(2180)는 상부로 개구되어, 기관, 발광 소자(2160), 반사 시트(2170), 확산 플레이트(2131) 및 광학 시트들(2130)을 수납할 수 있다. 또한, 바텀커버(2180)는 패널 가이드와 결합될 수 있다. 기관은 반사 시트(2170)의 하부에 위치하여, 반사 시트(2170)에 둘러싸인 형태로 배치될 수 있다. 다만, 이에 한정되지 않고, 반사 물질이 표면에 코팅된 경우에는 반사 시트(2170) 상에 위치할 수도 있다. 또한, 기관은 복수로 형성되어, 복수의 기관들이 나란히 배치된 형태로 배치될 수 있으나, 이에 한정되지 않고, 단일의 기관으로 형성될 수도 있다.
- [151] 발광 소자(2160)는 상술한 본 발명의 실시예들에 따른 발광 소자들 중 적어도 하나를 포함할 수 있다. 발광 소자(2160)들은 기관 상에 일정한 패턴으로 규칙적으로 배열될 수 있다. 또한, 각각의 발광 소자(2160) 상에는 렌즈(2210)가 배치되어, 복수의 발광 소자(2160)들로부터 방출되는 광을 균일성을 향상시킬 수 있다.
- [152] 확산 플레이트(2131) 및 광학 시트들(2130)은 발광 소자(2160) 상에 위치한다. 발광 소자(2160)로부터 방출된 광은 확산 플레이트(2131) 및 광학 시트들(2130)을 거쳐 먼 광원 형태로 표시패널(2110)로 공급될 수 있다.
- [153] 이와 같이, 본 발명의 실시예들에 따른 발광 소자는 본 실시예와 같은 직하형 디스플레이 장치에 적용될 수 있다.
- [154] 도 19는 일 실시예에 따른 발광 소자를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.
- [155] 본 실시예에 따른 백라이트 유닛이 구비된 디스플레이 장치는 영상이 디스플레이되는 표시패널(3210), 표시패널(3210)의 배면에 배치되어 광을 조사하는 백라이트 유닛을 포함한다. 나아가, 상기 디스플레이 장치는, 표시패널(3210)을 지지하고 백라이트 유닛이 수납되는 프레임(240) 및 상기 표시패널(3210)을 감싸는 커버(3240, 3280)를 포함한다.

- [156] 표시패널(3210)은 특별히 한정되지 않고, 예컨대, 액정층을 포함하는 액정표시패널일 수 있다. 표시패널(3210)의 가장자리에는 상기 게이트 라인으로 구동신호를 공급하는 게이트 구동 PCB가 더 위치할 수 있다. 여기서, 게이트 구동 PCB는 별도의 PCB에 구성되지 않고, 박막 트랜지스터 기판상에 형성될 수도 있다. 표시패널(3210)은 그 상하부에 위치하는 커버(3240, 3280)에 의해 고정되며, 하부에 위치하는 커버(3280)는 백라이트 유닛과 결속될 수 있다.
- [157] 표시패널(3210)에 광을 제공하는 백라이트 유닛은 상면의 일부가 개구된 하부 커버(3270), 하부 커버(3270)의 내부 일 측에 배치된 광원 모듈 및 상기 광원 모듈과 나란하게 위치되어 점광을 면광으로 변환하는 도광판(3250)을 포함한다. 또한, 본 실시예의 백라이트 유닛은 도광판(3250) 상에 위치되어 광을 확산 및 집광시키는 광학 시트들(3230), 도광판(3250)의 하부에 배치되어 도광판(3250)의 하부방향으로 진행하는 광을 표시패널(3210) 방향으로 반사시키는 반사시트(3260)를 더 포함할 수 있다.
- [158] 광원 모듈은 기판(3220) 및 상기 기판(3220)의 일면에 일정 간격으로 이격되어 배치된 복수의 발광 소자(3110)를 포함한다. 기판(3220)은 발광 소자(3110)를 지지하고 발광 소자(3110)에 전기적으로 연결된 것이면 제한되지 않으며, 예컨대, 인쇄회로기판일 수 있다. 발광 소자(3110)는 상술한 본 발명의 실시예들에 따른 발광 소자를 적어도 하나 포함할 수 있다. 광원 모듈로부터 방출된 광은 도광판(3250)으로 입사되어 광학 시트들(3230)을 통해 표시패널(3210)로 공급된다. 도광판(3250) 및 광학 시트들(3230)을 통해, 발광 소자(3110)들로부터 방출된 점 광원이 면 광원으로 변형될 수 있다.
- [159] 이와 같이, 본 발명의 실시예들에 따른 발광 소자는 본 실시예와 같은 에지형 디스플레이 장치에 적용될 수 있다.
- [160] 도 20은 본 발명의 일 실시예에 따른 발광 소자를 헤드 램프에 적용한 예를 설명하기 위한 단면도이다.
- [161] 도 20을 참조하면, 상기 헤드 램프는, 램프 바디(4070), 기판(4020), 발광 소자(4010) 및 커버 렌즈(4050)를 포함한다. 나아가, 상기 헤드 램프는, 방열부(4030), 지지랙(4060) 및 연결 부재(4040)를 더 포함할 수 있다.
- [162] 기판(4020)은 지지랙(4060)에 의해 고정되어 램프 바디(4070) 상에 이격 배치된다. 기판(4020)은 발광 소자(4010)를 지지할 수 있는 기판이면 제한되지 않으며, 예컨대, 인쇄회로기판과 같은 도전 패턴을 갖는 기판일 수 있다. 발광 소자(4010)는 기판(4020) 상에 위치하며, 기판(4020)에 의해 지지 및 고정될 수 있다. 또한, 기판(4020)의 도전 패턴을 통해 발광 소자(4010)는 외부의 전원과 전기적으로 연결될 수 있다. 또한, 발광 소자(4010)는 상술한 본 발명의 실시예들에 따른 발광 소자를 적어도 하나 포함할 수 있다.
- [163] 커버 렌즈(4050)는 발광 소자(4010)로부터 방출되는 광이 이동하는 경로 상에 위치한다. 예컨대, 도시된 바와 같이, 커버 렌즈(4050)는 연결 부재(4040)에 의해 발광 소자(4010)로부터 이격되어 배치될 수 있고, 발광 소자(4010)로부터 방출된

광을 제공하고자하는 방향에 배치될 수 있다. 커버 렌즈(4050)에 의해 헤드 램프로부터 외부로 방출되는 광의 지향각 및/또는 색상이 조절될 수 있다. 한편, 연결 부재(4040)는 커버 렌즈(4050)를 기관(4020)과 고정시킴과 아울러, 발광 소자(4010)를 둘러싸도록 배치되어 발광 경로(4045)를 제공하는 광 가이드 역할을 할 수도 있다. 이때, 연결 부재(4040)는 광 반사성 물질로 형성되거나, 광 반사성 물질로 코팅될 수 있다. 한편, 방열부(4030)는 방열핀(4031) 및/또는 방열팬(4033)을 포함할 수 있고, 발광 소자(4010) 구동 시 발생하는 열을 외부로 방출시킨다.

[164] 이와 같이, 본 발명의 실시예들에 따른 발광 소자는 본 실시예와 같은 헤드 램프, 특히, 차량용 헤드 램프에 적용될 수 있다.

[165] 이상에서, 본 발명의 다양한 실시예들에 대하여 설명하였지만, 상술한 다양한 실시예들 및 특징들에 본 발명이 한정되는 것은 아니고, 본 발명의 특허청구범위에 의한 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변형과 변경이 가능하다.

[166]

청구범위

- [청구항 1] 지지 기판;
제2 도전형 반도체층, 상기 제2 도전형 반도체층 상에 위치하는 활성층,
및 상기 활성층 상에 위치하는 제1 도전형 반도체층을 포함하며, 반극성
또는 비극성의 성장면을 갖고, 상기 지지 기판 상에 위치하는 발광
구조체;
상기 발광 구조체의 하면에 형성되며, 상기 제1 도전형 반도체층이
부분적으로 노출되는 적어도 하나의 홈;
적어도 상기 제2 도전형 반도체층의 하면 상에 위치하며, 상기 제2 도전형
반도체층과 전기적으로 접속되는 제2형 전극;
상기 제2형 전극 및 상기 발광 구조체의 하면을 부분적으로 덮되, 상기
적어도 하나의 홈에 대응하는 적어도 하나의 개구부를 포함하는 절연층;
및
상기 홈에 노출된 제1 도전형 반도체층과 전기적으로 연결되며, 상기
절연층을 적어도 부분적으로 덮는 제1형 전극을 포함하고,
상기 제2형 전극은 상기 제2 도전형 반도체층과 접촉하는 제2형 콘택층을
포함하며, 상기 제2형 콘택층은 오믹 콘택층을 포함하고,
상기 오믹 콘택층은 규칙적 또는 불규칙적인 다수의 아일랜드 형태로
배치되는 발광 다이오드.
- [청구항 2] 청구항 1에 있어서,
상기 오믹 콘택층은 Ni, Pt, Mg, Ni/Au 및 도전성 산화물 중 적어도 하나를
포함하는 발광 다이오드.
- [청구항 3] 청구항 1에 있어서,
상기 제2형 콘택층은 상기 오믹 콘택층을 덮는 반사층을 더 포함하고,
상기 반사층은 Ag 및/또는 Al을 포함하는 발광 다이오드.
- [청구항 4] 청구항 1에 있어서,
상기 제2형 전극은 상기 제2형 콘택층을 적어도 부분적으로 덮는 제2형
장벽층을 더 포함하고,
상기 제2형 장벽층의 일부는 상기 발광 구조체의 일 측면으로부터
연장되어 그 상부가 노출되는 발광 다이오드.
- [청구항 5] 청구항 4에 있어서,
상기 제2형 장벽층은 상기 제2형 콘택층 하면의 일 부분을 덮고, 상기
제2형 콘택층 하면의 나머지 부분은 상기 절연층에 덮이는 발광
다이오드.
- [청구항 6] 청구항 5에 있어서,
상기 제2형 콘택층 하면을 덮는 절연층의 부분 중 적어도 일부는 상기
제2형 장벽층과 상기 제2형 콘택층의 사이에 개재되는 발광 다이오드.

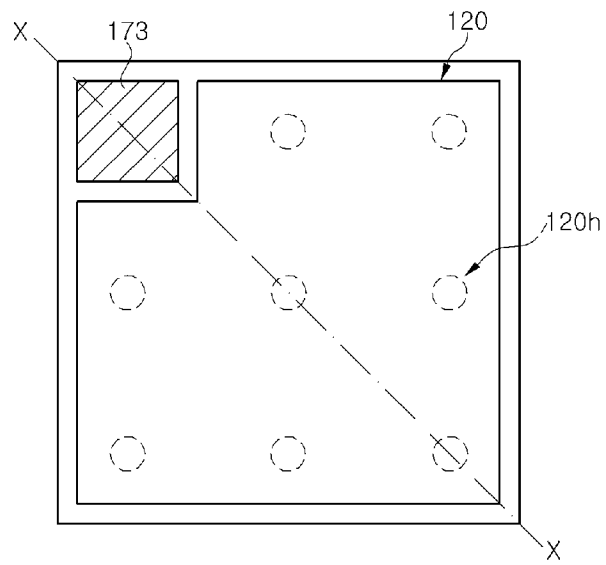
- [청구항 7] 청구항 4에 있어서,
상기 제2형 장벽층의 상부가 노출된 영역에서 상기 제2형 장벽층과 전기적으로 연결되는 제2형 패드 전극을 더 포함하고,
상기 제2형 패드 전극의 하면은 적어도 부분적으로 상기 제2형 장벽층과 접촉되는 발광 다이오드.
- [청구항 8] 청구항 1에 있어서,
상기 제1형 전극은 상기 제1 도전형 반도체층과 접촉하는 제1형 컨택층, 및 상기 제1형 컨택층을 적어도 부분적으로 덮는 제1형 장벽층을 포함하는 발광 다이오드.
- [청구항 9] 청구항 8에 있어서,
상기 제1형 컨택층은 상기 절연층의 하면을 덮는 발광 다이오드.
- [청구항 10] 청구항 8에 있어서,
상기 제1형 컨택층은 상기 적어도 하나의 개구부를 채워지, 상기 제2 도전형 반도체층의 하면 상에는 위치하지 않는 발광 다이오드.
- [청구항 11] 청구항 1에 있어서,
상기 지지 기판과 상기 제2형 전극을 본딩하는 본딩층을 더 포함하는 발광 다이오드.
- [청구항 12] 반극성 또는 비극성의 성장면을 갖는 성장 기판 상에, 제1 도전형 반도체층, 상기 제1 도전형 반도체층 상에 위치하는 활성층, 및 상기 활성층 상에 위치하는 제2 도전형 반도체층을 포함하는 발광 구조체를 형성하고;
상기 발광 구조체를 부분적으로 제거하여 상기 제1 도전형 반도체층이 부분적으로 노출되는 적어도 하나의 홈을 형성함과 아울러, 상기 제2 도전형 반도체층 상에 위치하는 제2형 전극을 형성하고;
상기 발광 구조체 및 상기 제2형 전극을 덮되, 상기 홈에 대응하는 적어도 하나의 개구부를 포함하는 절연층을 형성하고;
상기 개구부를 통해 상기 제1 도전형 반도체층과 전기적으로 접속되며, 상기 절연층을 적어도 부분적으로 덮는 제1형 전극을 형성하고;
상기 제1형 전극 상에 지지 기판을 형성하고; 및
상기 성장 기판을 상기 발광 구조체로부터 분리하는 것을 포함하고,
상기 제2형 전극을 형성하는 것은, 상기 제2 도전형 반도체층과 접촉하는 오믹 컨택층을 포함하는 제2형 컨택층을 형성하는 것을 포함하고,
상기 오믹 컨택층은, 증착 공정 및/또는 패터닝 공정을 이용하여 규칙적 또는 불규칙적인 다수의 아일랜드 형태로 형성되는 발광 다이오드 제조 방법.
- [청구항 13] 청구항 12에 있어서,
상기 오믹 컨택층은 Ni, Pt, Mg, Au/Ni 및 도전성 산화물 중 적어도 하나를 포함하는 발광 다이오드 제조 방법.

- [청구항 14] 청구항 12에 있어서,
상기 제2형 컨택층을 형성하는 것은, 상기 오믹 컨택층을 덮는 반사층을 형성하는 것을 더 포함하고, 상기 반사층은 Ag 및/또는 Al을 포함하는 발광 다이오드 제조 방법.
- [청구항 15] 청구항 12에 있어서,
상기 제2형 전극을 형성하는 것은, 상기 제2형 컨택층을 적어도 부분적으로 덮는 제2형 장벽층을 형성하는 것을 더 포함하는 발광 다이오드 제조 방법.
- [청구항 16] 청구항 15에 있어서,
상기 성장 기판을 분리한 후, 상기 발광 구조체를 부분적으로 제거하여 상기 제2형 장벽층을 부분적으로 노출시키는 것을 더 포함하는 발광 다이오드 제조 방법.
- [청구항 17] 청구항 16에 있어서,
상기 제2형 장벽층이 부분적으로 노출된 영역의 적어도 일부 상에 상기 제2형 장벽층과 전기적으로 연결되는 제2형 패드 전극을 형성하는 것을 더 포함하는 발광 다이오드 제조 방법.
- [청구항 18] 청구항 12에 있어서,
상기 제1형 전극을 형성하는 것은,
상기 개구부를 채우며, 상기 절연층을 적어도 부분적으로 덮는 제1형 컨택층을 형성하고;
상기 제1형 컨택층 상에 제1형 장벽층을 형성하는 것을 포함하는 발광 다이오드 제조 방법.
- [청구항 19] 청구항 12에 있어서,
상기 성장 기판을 분리하기 전에, 상기 제2형 전극 상에 본딩층을 형성하여 상기 지지 기판과 상기 제2형 전극을 본딩하는 것을 더 포함하는 발광 다이오드 제조 방법.
- [청구항 20] 청구항 12에 있어서,
상기 성장 기판이 분리되어 노출된 제1 도전형 반도체층의 표면 상에 러프니스를 형성하는 것을 더 포함하고,
상기 러프니스를 형성하는 것은 건식 식각을 이용하는 것을 포함하는 발광 다이오드 제조 방법.
- [청구항 21] 제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층의 사이에 위치하는 활성층을 포함하며, 상기 제2 도전형 반도체층 및 활성층을 관통하여 상기 제1 도전형 반도체층이 부분적으로 노출되는 적어도 하나의 홈을 포함하고, 반극성 또는 비극성의 성장면을 갖는 발광 구조체;
상기 발광 구조체 상에 위치하며, 상기 제1 및 제2 도전형 반도체층에 각각 오믹 컨택하는 제1형 전극 및 제2형 전극;

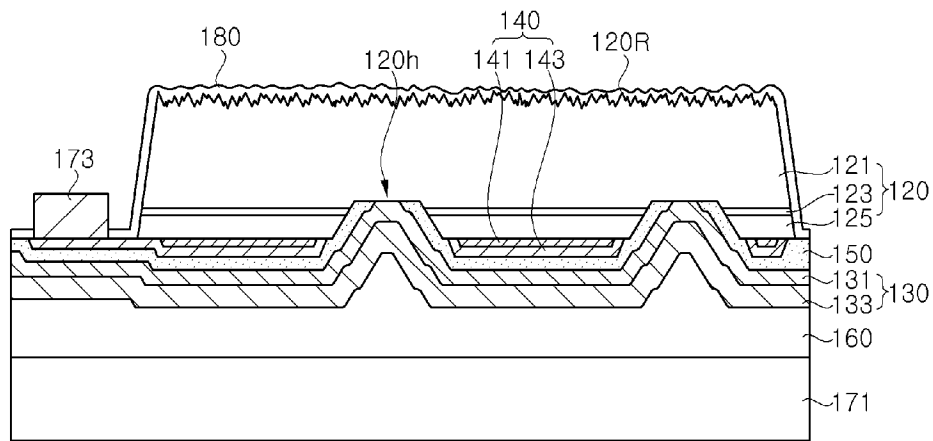
상기 제1형 전극과 제2형 전극을 절연시키며, 상기 제1형 전극과 제2형 전극을 각각 노출시키는 제1 개구부 및 제2 개구부를 포함하는 절연층; 및 상기 절연층 상에 위치하며, 상기 제1형 전극 및 제2형 전극에 각각 전기적으로 연결된 제1 전극 패드 및 제2 전극 패드를 포함하고, 상기 제2형 전극은 상기 제2 도전형 반도체층과 접촉하는 제2형 컨택층을 포함하며, 상기 제2형 컨택층은 오믹 컨택층을 포함하고, 상기 오믹 컨택층은 규칙적 또는 불규칙적인 다수의 아일랜드 형태로 배치되는 발광 다이오드.

- [청구항 22] 청구항 21에 있어서,
상기 오믹 컨택층은 Ni, Pt, Mg, Ni/Au 및 도전성 산화물 중 적어도 하나를 포함하는 발광 다이오드.
- [청구항 23] 청구항 21에 있어서,
상기 제2형 컨택층은 상기 오믹 컨택층을 덮는 반사층을 더 포함하고,
상기 반사층은 Ag 및/또는 Al을 포함하는 발광 다이오드.
- [청구항 24] 청구항 21에 있어서,
상기 발광 구조체는 복수의 홈을 포함하고,
상기 복수의 홈의 상부에는 상기 제2 개구부가 위치하지 않는 발광 다이오드.

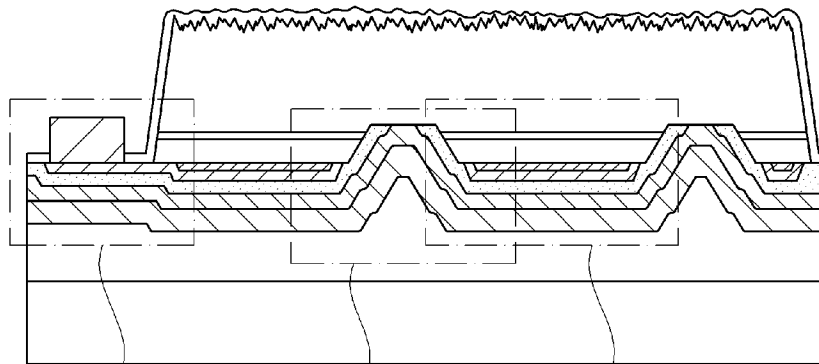
[도1]



[도2]

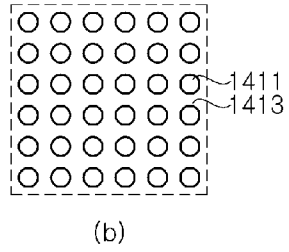
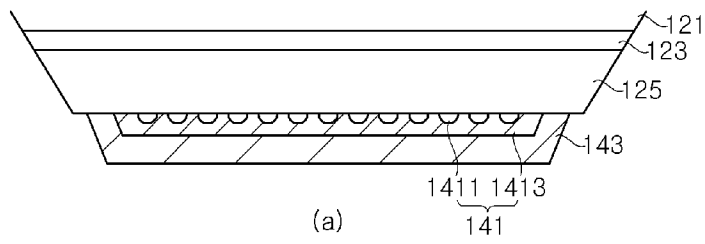


(a)

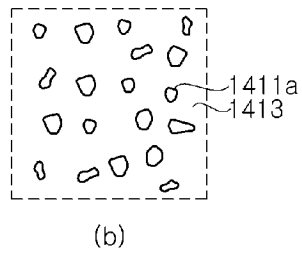
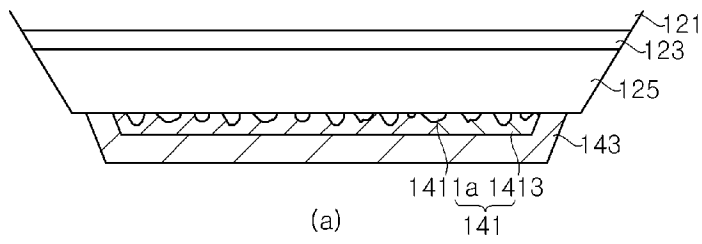


(b)

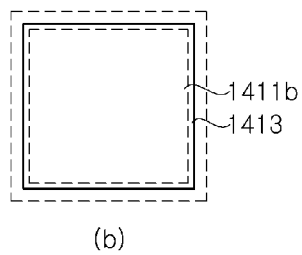
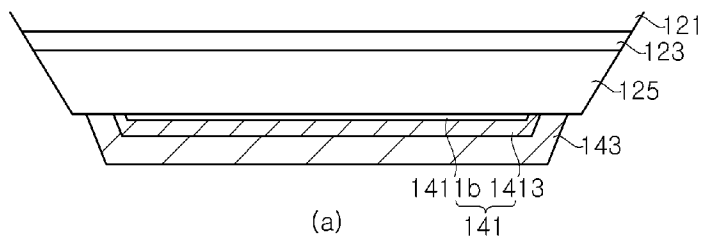
[도3a]



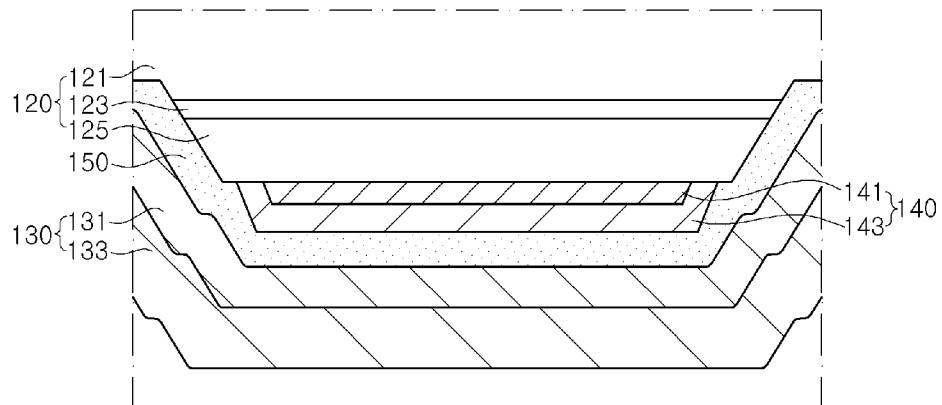
[도3b]



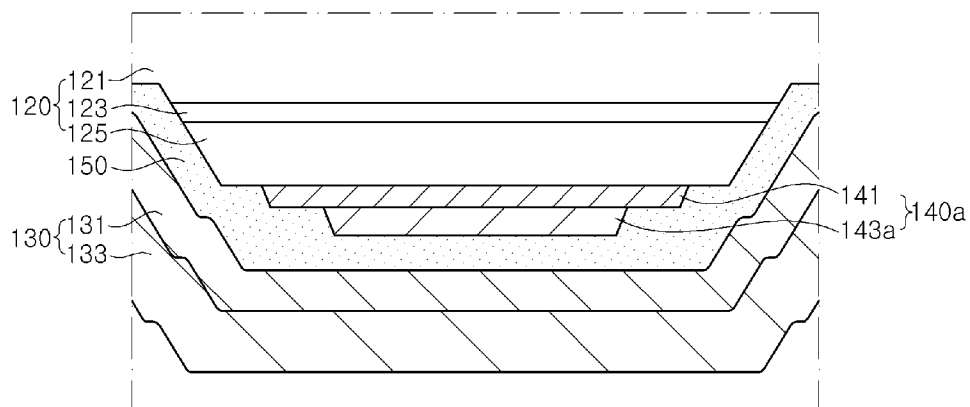
[도3c]



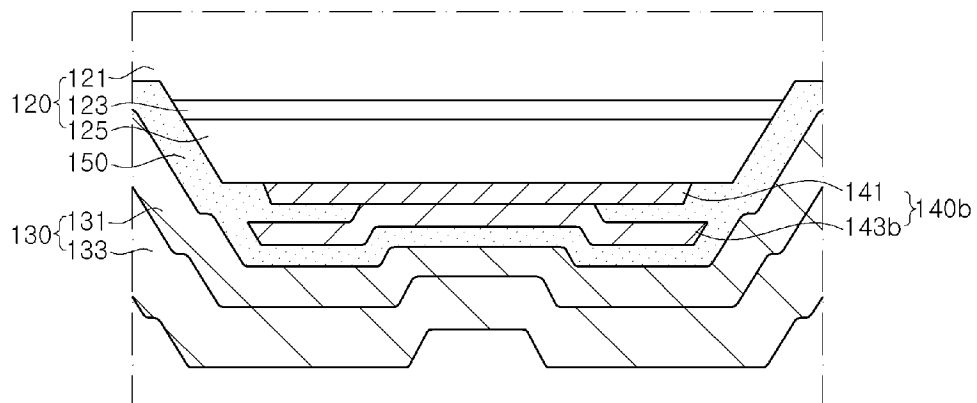
[도4a]



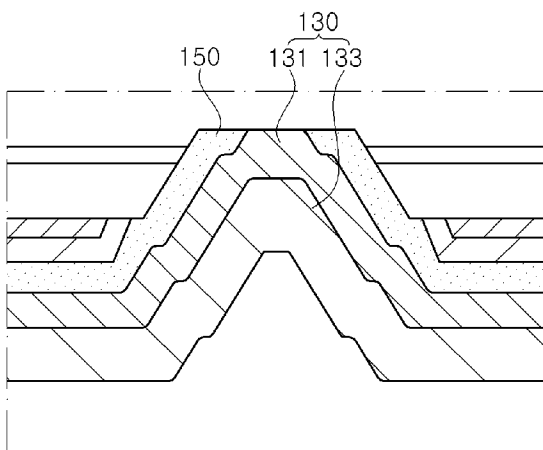
[도4b]



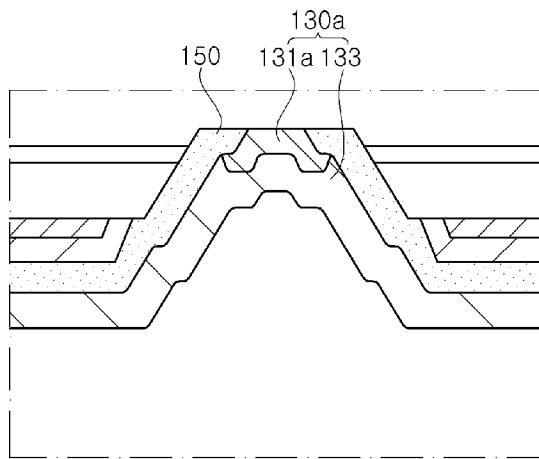
[도4c]



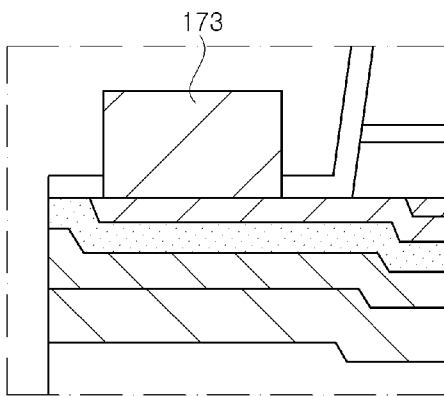
[도5a]



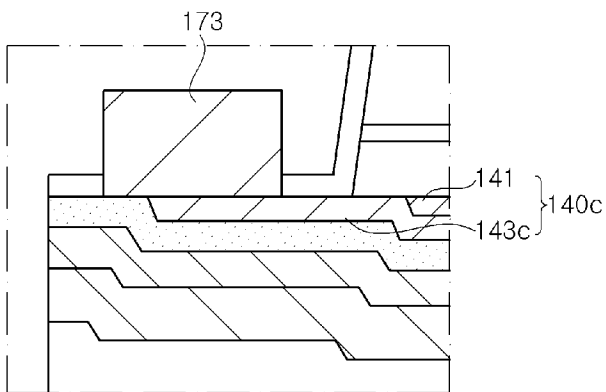
[도5b]



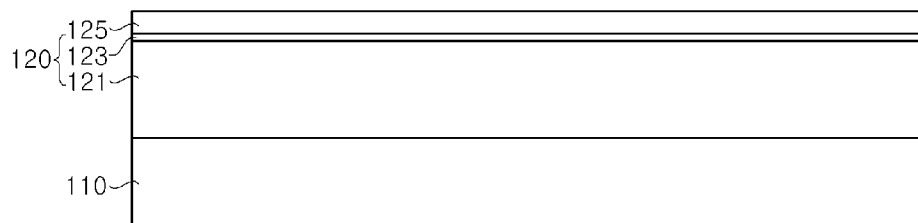
[도6a]



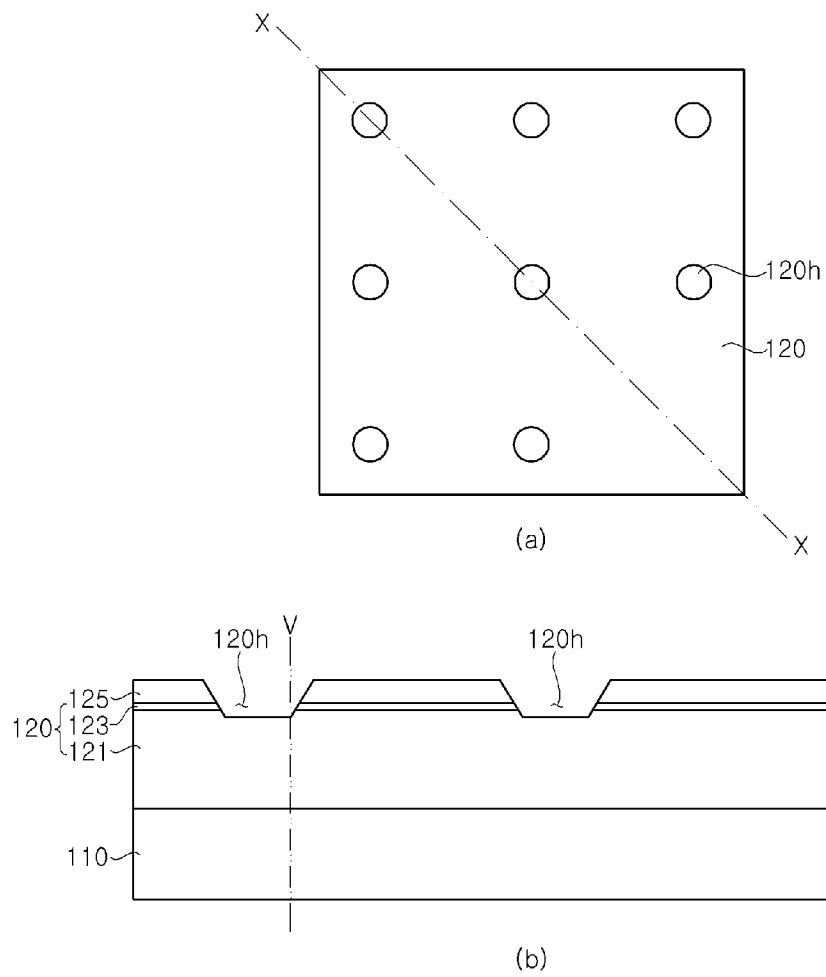
[도6b]



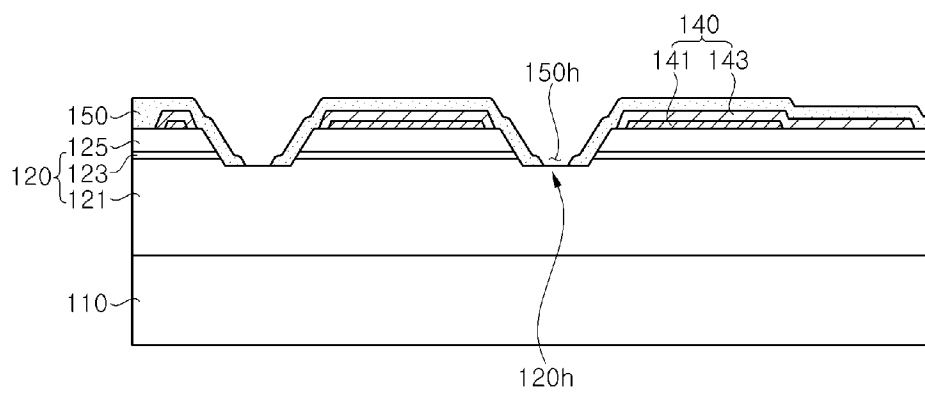
[도7]



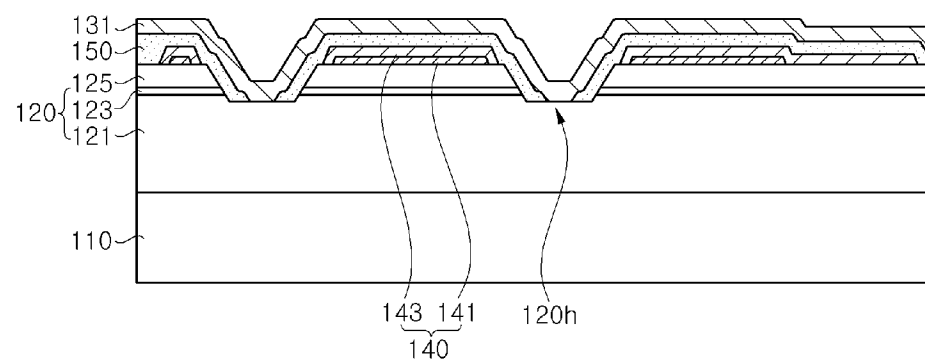
[도8]



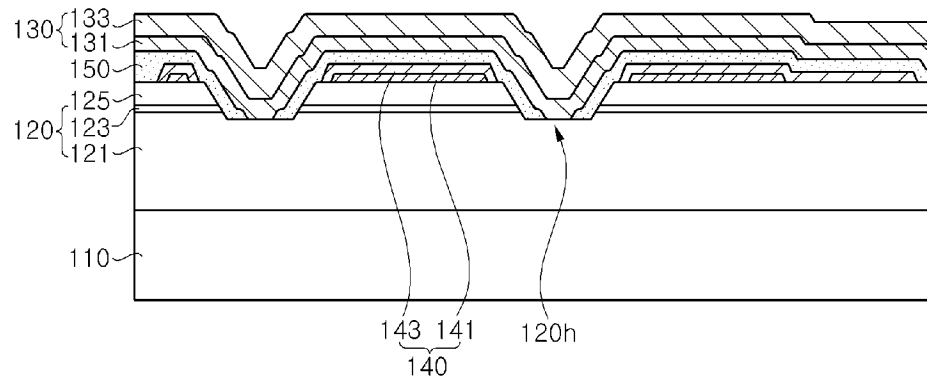
[도9]



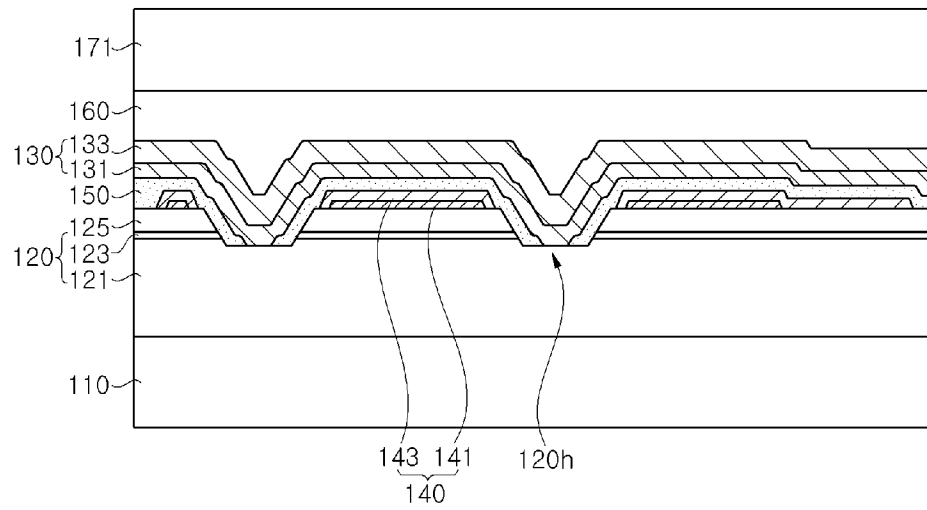
[도10]



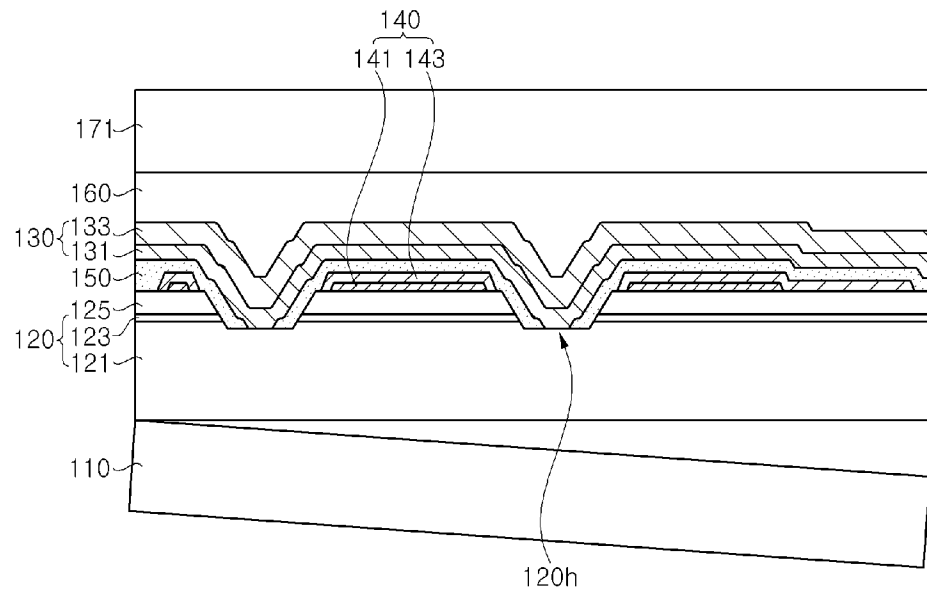
[도11]



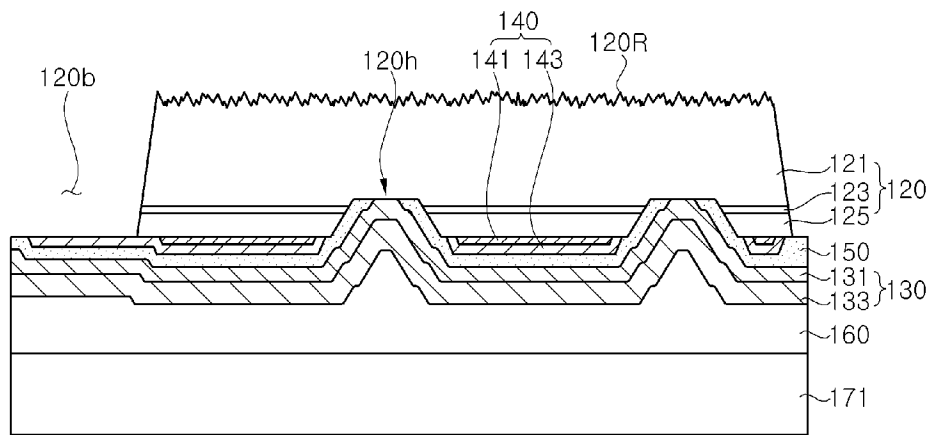
[도12]



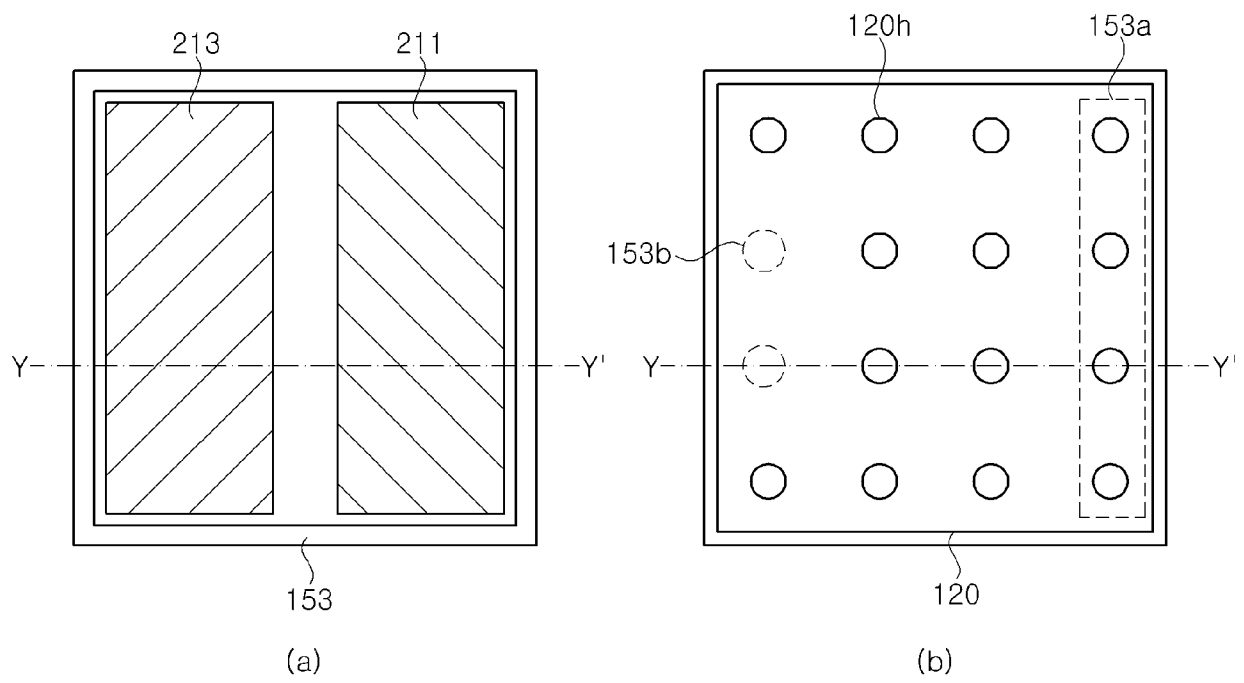
[도13]



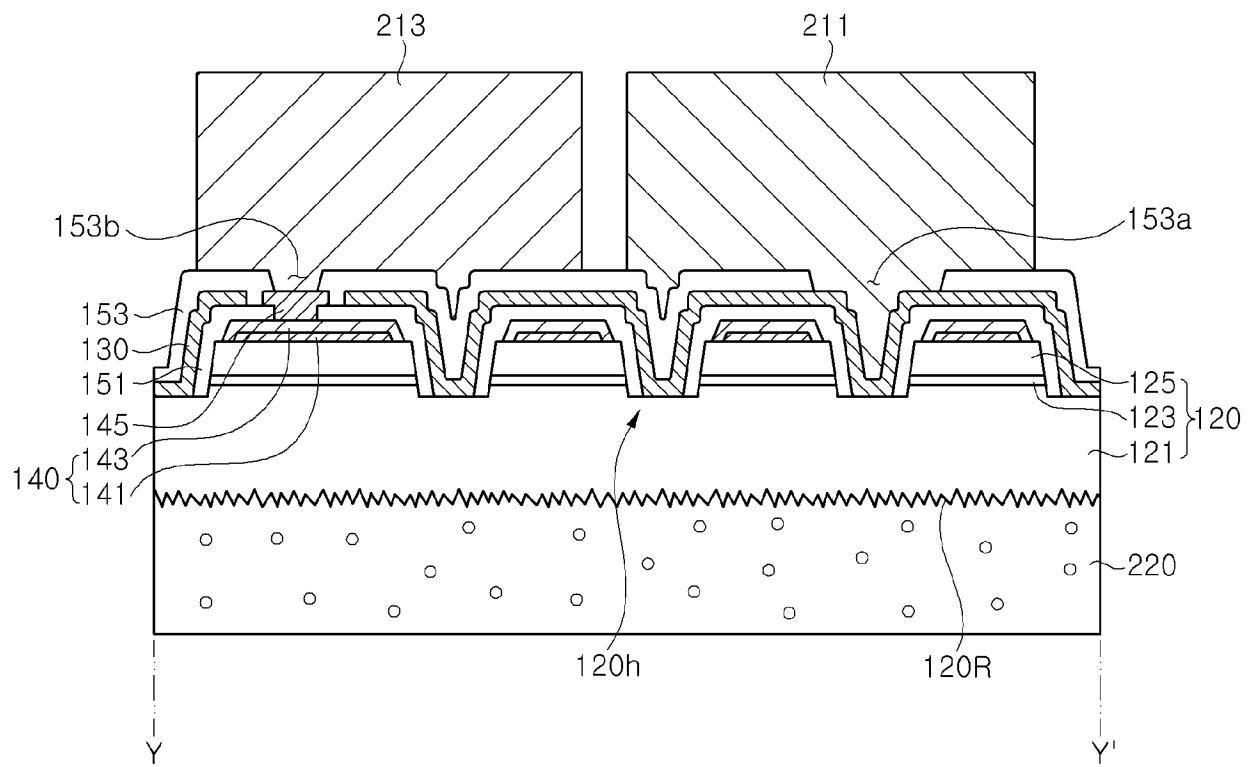
[도14]



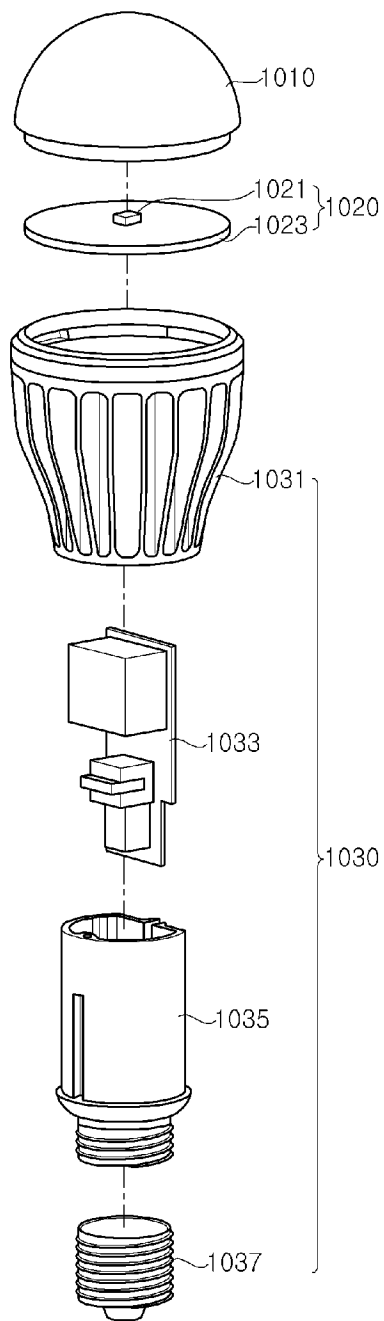
[도15]



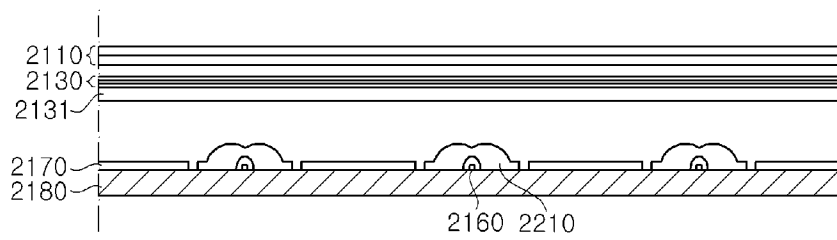
[도16]



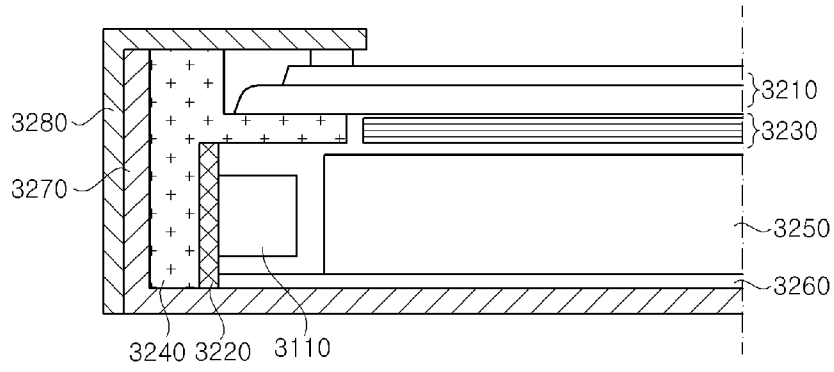
[도17]



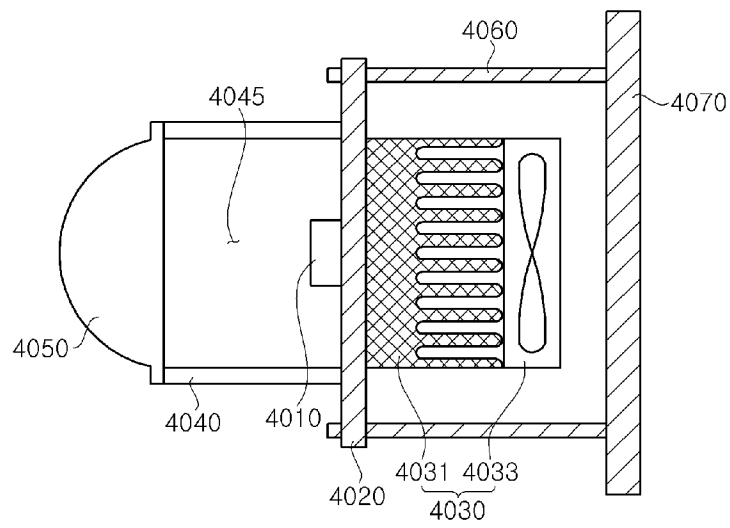
[도18]



[도19]



[도20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/008839**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 33/36(2010.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/36; H01L 33/20; H01L 33/12; H01L 33/08; H01L 33/62; H01L 33/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: ohmic contact layer, ireland, light emitting, electrode, semiconductor layer, opening part, semipolar, growth surface, electrode pad

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-116439 A (NICHIA UEM. IND. LTD.) 26 June 2014 See paragraphs [0018]-[0028], [0077]-[0103], claim 5, and figures 1A, 5A-5F.	1-24
Y	KR 10-2014-0086624 A (SAMSUNG ELECTRONICS CO., LTD.) 08 July 2014 See paragraphs [0023], [0030]-[0039], [0064], claims 1-3, and figures 1-2d, 6.	1-24
A	KR 10-0935974 B1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 08 January 2010 See paragraphs [0022]-[0027], claim 1, and figure 1.	1-24
A	US 2013-0214308 A1 (SAMSUNG ELECTRONICS CO., LTD.) 22 August 2013 See paragraphs [0044]-[0054], claim 1, and figure 3.	1-24
A	KR 10-2014-0060149 A (SEOUL VIOSYS CO., LTD.) 19 May 2014 See paragraphs [0022]-[0043], claims 1-2, and figures 2-3.	1-24



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

27 NOVEMBER 2015 (27.11.2015)

Date of mailing of the international search report

27 NOVEMBER 2015 (27.11.2015)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/008839

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2014-116439 A	26/06/2014	NONE	
KR 10-2014-0086624 A	08/07/2014	US 2014-0183546 A1 US 9142724 B2	03/07/2014 22/09/2015
KR 10-0935974 B1	08/01/2010	JP 2009-130364 A KR 10-0956200 B1 KR 10-2009-0053549 A US 2009-0134410 A1 US 8253125 B2	11/06/2009 04/05/2010 27/05/2009 28/05/2009 28/08/2012
US 2013-0214308 A1	22/08/2013	KR 10-2013-0095054 A US 8981396 B2	27/08/2013 17/03/2015
KR 10-2014-0060149 A	19/05/2014	EP 2731150 A2 JP 2014-096592 A US 2014-0131731 A1	14/05/2014 22/05/2014 15/05/2014

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/36(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/36; H01L 33/20; H01L 33/12; H01L 33/08; H01L 33/62; H01L 33/22

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 오믹 컨택층, 아일랜드, 발광, 전극, 반도체층, 개구부, 반극성, 성장면, 전극 패드

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	JP 2014-116439 A (NICHIA CHEM. IND. LTD.) 2014.06.26 단락 18-28, 77-103, 청구항 5, 및 도면 1A, 5A-5F 참조.	1-24
Y	KR 10-2014-0086624 A (삼성전자주식회사) 2014.07.08 단락 23, 30-39, 64, 청구항 1-3, 및 도면 1-2d, 6 참조.	1-24
A	KR 10-0935974 B1 (삼성전기주식회사) 2010.01.08 단락 22-27, 청구항 1, 및 도면 1 참조.	1-24
A	US 2013-0214308 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2013.08.22 단락 44-54, 청구항 1, 및 도면 3 참조.	1-24
A	KR 10-2014-0060149 A (서울바이오시스 주식회사) 2014.05.19 단락 22-43, 청구항 1-2, 및 도면 2-3 참조.	1-24

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2015년 11월 27일 (27.11.2015)

국제조사보고서 발송일

2015년 11월 27일 (27.11.2015)

ISA/KR의 명칭 및 우편주소

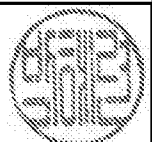
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2014-116439 A	2014/06/26	없음	
KR 10-2014-0086624 A	2014/07/08	US 2014-0183546 A1 US 9142724 B2	2014/07/03 2015/09/22
KR 10-0935974 B1	2010/01/08	JP 2009-130364 A KR 10-0956200 B1 KR 10-2009-0053549 A US 2009-0134410 A1 US 8253125 B2	2009/06/11 2010/05/04 2009/05/27 2009/05/28 2012/08/28
US 2013-0214308 A1	2013/08/22	KR 10-2013-0095054 A US 8981396 B2	2013/08/27 2015/03/17
KR 10-2014-0060149 A	2014/05/19	EP 2731150 A2 JP 2014-096592 A US 2014-0131731 A1	2014/05/14 2014/05/22 2014/05/15