

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5206822号
(P5206822)

(45) 発行日 平成25年6月12日 (2013. 6. 12)

(24) 登録日 平成25年3月1日 (2013. 3. 1)

(51) Int. Cl.

F I

HO 1 L 25/07 (2006. 01)

HO 1 L 25/04 C

HO 1 L 25/18 (2006. 01)

HO 1 L 23/46 Z

HO 1 L 23/473 (2006. 01)

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2011-41854 (P2011-41854)	(73) 特許権者	000004260
(22) 出願日	平成23年2月28日 (2011. 2. 28)		株式会社デンソー
(65) 公開番号	特開2012-33862 (P2012-33862A)		愛知県刈谷市昭和町 1 丁目 1 番地
(43) 公開日	平成24年2月16日 (2012. 2. 16)	(74) 代理人	110001128
審査請求日	平成24年2月9日 (2012. 2. 9)		特許業務法人ゆうあい特許事務所
(31) 優先権主張番号	特願2010-157085 (P2010-157085)	(72) 発明者	井手 茂生
(32) 優先日	平成22年7月9日 (2010. 7. 9)		愛知県刈谷市昭和町 1 丁目 1 番地 株式会
(33) 優先権主張国	日本国 (JP)		社デンソー内
		(72) 発明者	岩出 知生
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会
			社デンソー内
		審査官	石野 忠志

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

半導体素子（11、30、31）と、前記半導体素子に熱的に接続され前記半導体素子からの熱を伝達する金属体（13、14）と、冷媒が流れる冷媒流路（18）を形成し前記冷媒流路中に前記半導体素子および前記金属体が配置されるケース部（19）と、前記ケース部の外部に露出して前記半導体素子および電源に電氣的に接続される主電流電極端子（21）とを有する半導体実装体（1）を備え、前記半導体実装体が複数個積層して配置される半導体装置において、

前記半導体実装体が積層された方向を積層方向（X）としたとき、

前記主電流電極端子は、前記積層方向（X）に延びていて前記ケース部の外形面に対向する面側が前記ケース部内に埋め込まれており、

前記主電流電極端子における前記積層方向（X）端部は、前記ケース部における前記積層方向端部のケース部壁面（191）まで延びており、前記半導体実装体が積層されたときに隣接する前記半導体実装体における前記主電流電極端子同士が接触するように構成されており、

前記主電流電極端子における前記積層方向（X）端部に、前記積層方向（X）に弾性変形可能な可撓片（213）を備えることを特徴とする半導体装置。

【請求項 2】

前記主電流電極端子（21）における前記積層方向（X）端部の端子壁面（211）は、前記ケース部壁面（191）よりも前記積層方向に突出していることを特徴とする請求

10

20

項 1 に記載の半導体装置。

【請求項 3】

前記主電流電極端子（21）における前記積層方向（X）端部の端子壁面（211）は、前記ケース部壁面（191）と面一であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記主電流電極端子（21）のうち、隣接する前記半導体実装体（1）における前記ケース部壁面（191）間に配置される部位は、前記ケース部壁面（191）に埋め込まれていることを特徴とする請求項 1 ないし 3 のいずれか 1 つに記載の半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体素子と放熱用の金属体とが一体化された半導体実装体を冷媒により冷却する半導体装置に関し、さらに半導体実装体を複数個積層してなる半導体装置に関する。

【背景技術】

【0002】

従来の半導体装置は、半導体素子と、半導体素子と熱的に接続され半導体素子からの熱を伝達する金属体と、金属体の放熱面が露出するように半導体素子および金属体を包み込むように封止する封止部と、冷媒が流れる冷媒流路を形成するケース部とを有する半導体実装体を備えている。そして、冷媒流路中に半導体素子および金属体が配置されて、金属体の放熱面が冷媒により冷却されるようになっている。

20

【0003】

また、半導体実装体が複数個積層して配置され、半導体素子に電氣的に接続された主電流電極端子の一端がケース部の外部に突出し、複数個の主電流電極端子がバスバーに溶接により接合されている（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2006-165534 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、従来の半導体装置は、複数個の主電流電極端子とバスバーとを溶接により接合するようにしているため、バスバーが必要で、しかも溶接点数が多いという問題があった。また、主電流電極端子とバスバーによる電流経路が長くなるため、インダクタンスが大きくなるという問題があった。

【0006】

本発明は上記点に鑑みて、半導体実装体が複数個積層して配置される半導体装置において、主電流電極端子が接合されるバスバーを不要にすることを第 1 の目的とし、低インダクタンスを実現することを第 2 の目的とする。

40

【課題を解決するための手段】

【0007】

上記目的を達成するため、請求項 1 に記載の発明では、半導体素子（11、30、31）と、半導体素子に熱的に接続され半導体素子からの熱を伝達する金属体（13、14）と、冷媒が流れる冷媒流路（18）を形成し冷媒流路中に半導体素子および金属体が配置されるケース部（19）と、ケース部の外部に露出して半導体素子および電源に電氣的に接続される主電流電極端子（21）とを有する半導体実装体（1）を備え、半導体実装体が複数個積層して配置される半導体装置において、半導体実装体が積層された方向を積層方向（X）としたとき、主電流電極端子は、積層方向（X）に延びていてケース部の外形

50

面に対向する面側がケース部内に埋め込まれており、主電流電極端子における積層方向（X）端部は、ケース部における積層方向端部のケース部壁面（191）まで延びており、半導体実装体が積層されたときに隣接する半導体実装体における主電流電極端子同士が接触するように構成されており、主電流電極端子における積層方向（X）端部に、積層方向（X）に弾性変形可能な可撓片（213）を備えることを特徴とする。

【0008】

これによると、半導体実装体を積層することにより隣接する半導体実装体における主電流電極端子間が電氣的に接続されるため、主電流電極端子が接合されるバスバーを不要にすることができる。

【0009】

また、主電流電極端子同士の接触部の溶接を廃止することもできる。或いは、主電流電極端子同士の接触部を溶接にて接合する場合であっても、溶接点数が少なくなる。

【0010】

さらに、主電流電極端子はケース部の外形面に対向する面側がケース部内に埋め込まれているため、バスバーが不要であることと相俟って、電流経路が短くなり、低インダクタンスを実現することができる。

また、請求項1に記載の発明では、主電流電極端子における積層方向（X）端部に、積層方向（X）に弾性変形可能な可撓片（213）を備えているから、ケースの積層方向寸法および主電流電極端子の積層方向寸法のバラツキを可撓片の弾性変形によって吸収することができる。したがって、半導体実装体を積層した際に主電流電極端子同士を確実に接触させることができると共に、半導体実装体を積層した際に隣接する半導体実装体におけるケース部壁面間に隙間が発生しないようにして冷媒流路のシール性を確保することができる。

【0011】

請求項2に記載の発明では、請求項1に記載の半導体装置において、主電流電極端子（21）における積層方向（X）端部の端子壁面（211）は、ケース部壁面（191）よりも積層方向に突出していることを特徴とする。

【0012】

これによると、半導体実装体を積層した際に、主電流電極端子同士を確実に接触させることができる。

【0013】

請求項3に記載の発明では、請求項1に記載の半導体装置において、主電流電極端子（21）における積層方向（X）端部の端子壁面（211）は、ケース部壁面（191）と面一であることを特徴とする。

【0014】

これによると、半導体実装体を積層した際に、隣接する半導体実装体におけるケース部壁面間に隙間が発生しないようにすることができる。

【0015】

請求項4に記載の発明では、請求項1ないし3のいずれか1つに記載の半導体装置において、主電流電極端子（21）のうち、隣接する半導体実装体（1）におけるケース部壁面（191）間に配置される部位は、ケース部壁面（191）に埋め込まれていることを特徴とする。

【0016】

これによると、端子壁面のケース部壁面からの突出量を小さくして、隣接する半導体実装体におけるケース部壁面間の隙間を小さくしたり、或いは、端子壁面をケース部壁面と面一にして、隣接する半導体実装体におけるケース部壁面間に隙間が発生しないようにすることができる。

【0019】

なお、この欄および特許請求の範囲に記載した各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

10

20

30

40

50

【図面の簡単な説明】

【0020】

【図1】第1実施形態に係る半導体装置の分解斜視図である。

【図2】図1の半導体実装体の斜視図である。

【図3】(a)は図2のA-A線に沿う断面図、(b)は(a)のB部を拡大して示す断面図である。

【図4】図2のC-C線に沿う断面図である。

【図5】図4のE-E線に沿う断面図である。

【図6】図1の半導体実装体のD矢視図である。

【図7】第1実施形態の変形例としての半導体装置の要部を示す断面図である。

10

【図8】第2実施形態に係る半導体装置の要部を示す断面図である。

【発明を実施するための形態】

【0021】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、図中、同一符号を付してある。

【0022】

(第1実施形態)

本発明の第1実施形態について説明する。図1は本発明の第1実施形態に係る半導体装置の分解斜視図、図2は図1の半導体実装体の斜視図、図3(a)は図2のA-A線に沿う断面図、図3(b)は図3(a)のB部を拡大して示す断面図、図4は図2のC-C線

20

【0023】

本実施形態の半導体装置は、上アーム（ハイサイド側素子）用の1つの半導体パワー素子を封止部にて封止した1 in 1構造の半導体実装体を用いた半導体装置である。

【0024】

図1に示すように、半導体装置は、半導体実装体1が複数個積層され、これらの半導体実装体1の一端側に第1蓋材8が配置され、これらの半導体実装体1の他端側に第2蓋材9が配置されて、図示しない多数のボルトによってそれらが締結されている。以下、本明細書では、半導体実装体1が積層された方向を、積層方向Xという。

30

【0025】

図2～図6に示すように、半導体実装体1は、半導体パワー素子としてのIGBT（絶縁ゲート型バイポーラトランジスタ）からなる主半導体チップ30と、FWD（フリーホイールダイオード）からなる副半導体チップ31と、金属体としての下側ヒートシンク13と、金属体としての上側ヒートシンク14と、これらの間に介在する各はんだ15a、15b、16a、16bと、半導体チップ30、31およびヒートシンク13、14を封止する樹脂製の封止部17と、冷媒（空気、水、油などの流体）が流れる冷媒流路18を形成する樹脂製のケース部19と、ヒートシンク13、14の表面に設けられた絶縁層20と、2つの正極端子21と、1つの出力端子23と、制御端子24とを備えている。

【0026】

40

ケース部19は、四角筒状であり、積層方向Xに沿って見たときにケース部19の外形は横長の長方形になっている。以下、本明細書では、積層方向Xに対して垂直で、且つ図2においてケース部19の上下の外形面と平行な方向を、幅方向Yという。また、積層方向Xに対して垂直で、且つ図2においてケース部19の左右の外形面と平行な方向を、高さ方向Zという。

【0027】

主半導体チップ30と副半導体チップ31は幅方向Yに並べて配置されており、これらの半導体チップ30、31の周囲部分およびヒートシンク13、14の隙間に樹脂が充填されて封止部17が形成されている。そして、封止部17にて一体化された半導体チップ30、31およびヒートシンク13、14は、略直方体になっており、冷媒流路18中に

50

配置された状態でケース部 19 に収容されている。また、封止部 17 とケース部 19 は、エポキシ樹脂等のモールド材料を用いて、モールド成型によって一体に形成されている。

【0028】

主半導体チップ 30 の裏面（図 3（a）中の下面）と下側ヒートシンク 13 の上面との間は、下側第 1 はんだ 15a によって接合され、主半導体チップ 30 の表面（図 3（a）中の上面）と上側ヒートシンク 14 の下面との間は、上側第 1 はんだ 16a によって接合されている。これにより、下側ヒートシンク 13 および上側ヒートシンク 14 は、主半導体チップ 30 と熱的に接続されて主半導体チップ 30 からの熱を伝達する。

【0029】

副半導体チップ 31 の裏面（図 3（a）中の下面）と下側ヒートシンク 13 の上面との間は、下側第 2 はんだ 15b によって接合され、副半導体チップ 31 の表面（図 3（a）中の上面）と上側ヒートシンク 14 の下面との間は、上側第 2 はんだ 16b によって接合されている。これにより、下側ヒートシンク 13 および上側ヒートシンク 14 は、副半導体チップ 31 と熱的に接続されて副半導体チップ 31 からの熱を伝達する。

【0030】

主半導体チップ 30 および副半導体チップ 31 には、図示しない電極が形成されている。そして、各半導体チップ 30、31 の電極は、下側第 1 はんだ 15a および下側第 2 はんだ 15b を介して下側ヒートシンク 13 に電氣的に接続されている。

【0031】

下側ヒートシンク 13 においては、図 3（a）中の下面が放熱面として構成され、上側ヒートシンク 14 においては、図 3（a）中の上面が放熱面として構成されている。そして、それらの放熱面は、封止部 17 から露出していて、冷媒流路 18 を流れる冷媒と接触するようになっている。

【0032】

これにより、主半導体チップ 30 の表面では、上側第 1 はんだ 16a から上側ヒートシンク 14 を介して放熱が行われ、主半導体チップ 30 の裏面では、下側第 1 はんだ 15a から下側ヒートシンク 13 を介して放熱が行われる。

【0033】

また、副半導体チップ 31 の表面では、上側第 2 はんだ 16b から上側ヒートシンク 14 を介して放熱が行われ、副半導体チップ 31 の裏面では、下側第 2 はんだ 15b から下側ヒートシンク 13 を介して放熱が行われる。

【0034】

なお、下側ヒートシンク 13 および上側ヒートシンク 14 は、たとえば、銅合金もしくはアルミ合金等の熱伝導性および電気伝導性の良い金属で構成されている。また、下側ヒートシンク 13 および上側ヒートシンク 14 は、たとえば、全体としてほぼ長方形の板材とすることができる。

【0035】

そして、上側ヒートシンク 14 の放熱面に絶縁層 20 が設けられ（図 3（b）参照）、また、図示しないが下側ヒートシンク 13 の放熱面にも同様に絶縁層が設けられ、各ヒートシンク 13、14 の放熱面は、各半導体チップ 30、31 と電氣的に絶縁されている。したがって、冷媒が水などの導電性を有するものであっても、半導体チップ 30、31 による回路を適切に構成することができる。

【0036】

ここで、本実施形態の半導体装置は、例えば直流電源に基づいて電気負荷である三相モータを交流駆動するためのインバータとして用いられるもので、直列接続した上下アームが三相分並列接続された構成とされ、主半導体チップ 30 と副半導体チップ 31 はインバータの各相の上アームを構成する。

【0037】

そして、主電流電極端子としての正極端子 21 は、銅合金等の電気伝導性の良い金属にて構成され、積層方向 X に延びる直方体のブロックになっており、一部がケース部 19 の

10

20

30

40

50

外部に露出している。より詳細には、正極端子 2 1 は、ケース部 1 9 の外形面のうち出力端子 2 3 が配置されている面と共通の面に配置されている。そして、正極端子 2 1 は、ケース部 1 9 の外形面（図 2、図 5 においてケース部 1 9 の下面）に対向する面側がケース部 1 9 内に埋め込まれており、ケース部 1 9 の外形面に対向しない面側がケース部 1 9 の外形面から突出している。また、正極端子 2 1 は、ケース部 1 9 の外形面に対向する面側が下側ヒートシンク 1 3 に溶接またははんだにて接合されて、主半導体チップ 3 0 のコレクタに電氣的に接続されている。

【0038】

さらに、正極端子 2 1 における積層方向 X 端部の壁面である正極端子壁面 2 1 1 は、ケース部 1 9 における積層方向 X 端部の壁面であるケース部壁面 1 9 1 まで延びている。より詳細には、正極端子壁面 2 1 1 とケース部壁面 1 9 1 は面一であり、換言すると、正極端子壁面 2 1 1 とケース部壁面 1 9 1 は、同じ平面上にあって両者間に段差がない状態になっている。

【0039】

なお、正極端子 2 1 は、本実施形態では 1 つの半導体実装体 1 に 2 つ設けたが、1 つの半導体実装体 1 に 1 つ設けてもよい。

【0040】

出力端子 2 3 は、銅合金等の電気伝導性の良い金属にて構成された板材よりなり、ケース部 1 9 の外部に露出して、図示しない三相モータに電氣的に接続されるようになっている。また、出力端子 2 3 は、ケース部 1 9 の外形面のうち正極端子 2 1 が配置されている面と共通の面に配置され、正極端子 2 1 とともに幅方向 Y に沿って配置され、且つ、2 つの正極端子 2 1 間に配置されている。さらに、出力端子 2 3 は、高さ方向 Z に延びている。さらにまた、出力端子 2 3 は、上側ヒートシンク 1 4 に溶接またははんだにて接合されて、主半導体チップ 3 1 のエミッタに電氣的に接続されている。

【0041】

制御端子 2 4 は、半導体チップ 3 0、3 1 の周囲に設けられたリードフレーム等からなるもので、その先端部がケース部 1 9 の外部に突出している。より詳細には、制御端子 2 4 は、ケース部 1 9 の外形面のうち正極端子 2 1 等が配置されている面とは異なる面から突出し、高さ方向 Z に延びている。

【0042】

この制御端子 2 4 の先端部には、たとえば外部の制御回路基板などが電氣的に接続されるようになっており、それによって半導体装置と当該制御回路基板とが電氣的に接続されるものである。この制御端子 2 4 は、半導体チップ 3 0、3 1 の表面に設けられている信号電極（たとえばゲート電極）などと導通する端子や基準端子となるものである。そして、図示しないが、この制御端子 2 4 と半導体チップ 3 0、3 1 とはボンディングワイヤなどによって結線され、電氣的に接続されている。

【0043】

図 1 に示すように、第 1 蓋材 8 は、略直方体の樹脂製の板であり、積層された半導体実装体 1 の一端側を塞ぐものである。第 1 蓋材 8 は、冷媒の入口となる入口パイプ 8 1、および冷媒の出口となる出口パイプ 8 2 を備え、入口パイプ 8 1 および出口パイプ 8 2 は、半導体実装体 1 の冷媒流路 1 8 に連通している。また、第 1 蓋材 8 には、ボルトを通す貫通穴 8 3 が形成されている。

【0044】

さらに、第 1 蓋材 8 には、銅合金等の電気伝導性の良い金属にて構成された 2 つの正極中継端子 8 4 が設けられている。正極中継端子 8 4 は、半導体実装体 1 と一体化された際に正極端子 2 1 と接触するように構成されており、また、直流電源の正極に電氣的に接続される。

【0045】

なお、第 1 蓋材 8 は金属などの導電材にて構成してもよい。その場合は、第 1 蓋材 8 と正極中継端子 8 4 との間は、例えば絶縁材を介在させて絶縁する。

【0046】

第2蓋材9は、略直方体の樹脂製の板であり、積層された半導体実装体1の他端側を塞ぐものである。第2蓋材9には、ボルトが螺合される雌ねじ91が形成されている。なお、正極中継端子84は、第2蓋材9に設けてもよい。

【0047】

そして、半導体実装体1を積層し、それらの両側に第1蓋材8および第2蓋材9を配置した後に、第1蓋材8の貫通穴83にボルトを通し、ボルトを第2蓋材9の雌ねじ91に螺合させることにより、複数の半導体実装体1、第1蓋材8、および第2蓋材9が締結される。

【0048】

なお、隣接する半導体実装体1間、半導体実装体1と第1蓋材8間、および半導体実装体1と第2蓋材9間の気密性は、図示しないＯリングまたは接着剤によって保たれるようになっている。なお、Ｏリングにてシールする場合は、半導体実装体1、第1蓋材8、および第2蓋材9を締結するボルトの軸力によって、Ｏリングが加圧される。

【0049】

このように、半導体実装体1、第1蓋材8、および第2蓋材9が積層して締結された状態では、隣接する半導体実装体1の正極端子21同士が正極端子壁面211において接触して電氣的に接続される。

【0050】

また、半導体実装体1、第1蓋材8、および第2蓋材9が積層して締結された状態では、第1蓋材8と隣接する半導体実装体1の正極端子21は、第1蓋材8の正極中継端子84に接触して電氣的に接続される。

【0051】

なお、正極端子21同士の接触部、および正極端子21と正極中継端子84との接触部は、両者間の電氣的な接続をより確実にするために、溶接やはんだにて接合したり、或いは、導電性フィルムを介在させてもよい。

【0052】

また、それらの接触部を溶接やはんだにて接合する場合は、正極端子壁面211とケース部壁面191とは面一でなくてもよい。すなわち、正極端子壁面211がケース部壁面191よりも積層方向Xに凹んでいてもよい。

【0053】

さらに、正極端子壁面211をケース部壁面191よりも積層方向Xに突出させてもよく、これにより、半導体実装体1等を積層した際に、正極端子21同士の接触部、および正極端子21と正極中継端子84との接触部において、接触状態を確実なものにして、両者間の電氣的な接続をより確実にすることができる。

【0054】

以上の説明から明らかなように、本実施形態の半導体装置によると、半導体実装体1を積層することにより隣接する半導体実装体1における正極端子21間が電氣的に接続されるため、正極端子21が接合されるバスバーを不要にすることができる。

【0055】

また、正極端子21同士の接触部の溶接を廃止することもできる。或いは、その接触部を溶接にて接合する場合であっても、溶接点数が少なくなる。

【0056】

さらに、正極端子壁面211とケース部壁面191とを面一にしているため、半導体実装体1を積層した際に、隣接する半導体実装体1におけるケース部壁面191間に隙間が発生しない。

【0057】

さらにまた、正極端子21はケース部19の外形面に対向する面側がケース部19内に埋め込まれているため、バスバーが不要であることと相俟って、電流経路が短くなり、低インダクタンスを実現することができる。

10

20

30

40

50

【0058】

[変形例]

図7は本第1実施形態の変形例としての半導体装置の要部を示す断面図である。

【0059】

本実施形態においては、正極端子21は直方体のブロックを用いたが、図7に示すように、導電性金属よりなる板材を断面コ字状に成形した正極端子21を用いてもよい。

【0060】

この場合、正極端子21のうち、隣接する半導体実装体1におけるケース部壁面191間に配置される部位、換言すると、正極端子21における積層方向X両端の折り曲げ片部212は、ケース部壁面191に埋め込まれている。このように、折り曲げ片部212をケース部壁面191に埋設することにより、正極端子壁面211のケース部壁面191からの突出量を小さくして、隣接する半導体実装体1におけるケース部壁面191間の隙間を小さくしたり、或いは、正極端子壁面211をケース部壁面191と面一にして、隣接する半導体実装体1におけるケース部壁面191間に隙間が発生しないようにすることができる。

10

【0061】

なお、本実施形態では上アーム用の半導体装置について説明したが、下アーム（ローサイド素子）用の半導体装置も同様の構成を採用することができる。

【0062】

（第2実施形態）

20

本発明の第2実施形態について説明する。図8（a）は第2実施形態に係る半導体装置における半導体実装体を積層する前の状態を示す要部の断面図、図8（b）は第2実施形態に係る半導体装置における半導体実装体を積層した後の状態を示す要部の断面図である。以下、第1実施形態と異なる部分についてのみ説明する。

【0063】

図8（a）に示すように、本実施形態の正極端子21は、銅合金等の電気伝導性の良い金属製板材よりなり、積層方向X両端部を折り曲げて、積層方向X両端部に、積層方向Xに弾性変形可能な可撓片213が形成されている。

【0064】

ここで、この可撓片213の自由状態における積層方向Xの長さのうち、可撓片213の先端部の長さをL1、可撓片213の基端部の長さをL2とし、半導体実装体1におけるケース部壁面191間の長さをL3とすると、 $L1 > L3$ 、 $L2 \leq L3$ 、に設定されている。

30

【0065】

図8（b）に示すように、半導体実装体1が複数個積層され、これらの半導体実装体1が蓋材8、9（図1参照）と共にボルトによって締結された状態では、可撓片213が弾性変形して、隣接する半導体実装体1の正極端子21同士が正極端子壁面211において接触すると共に、隣接する半導体実装体1のケース部壁面191同士が密着する。

【0066】

本実施形態によると、可撓片213の自由状態における積層方向X長さL1、L2や、半導体実装体1におけるケース部壁面191間の長さL3のバラツキを可撓片213の弾性変形によって吸収することができる。したがって、半導体実装体1を積層した際に正極端子21同士を確実に接触させることができると共に、半導体実装体1を積層した際に隣接する半導体実装体1におけるケース部壁面191間に隙間が発生しないようにして冷媒流路18（図1参照）のシール性を確保することができる。

40

【0067】

（他の実施形態）

上記各実施形態は、実施可能な範囲で任意に組み合わせが可能である。

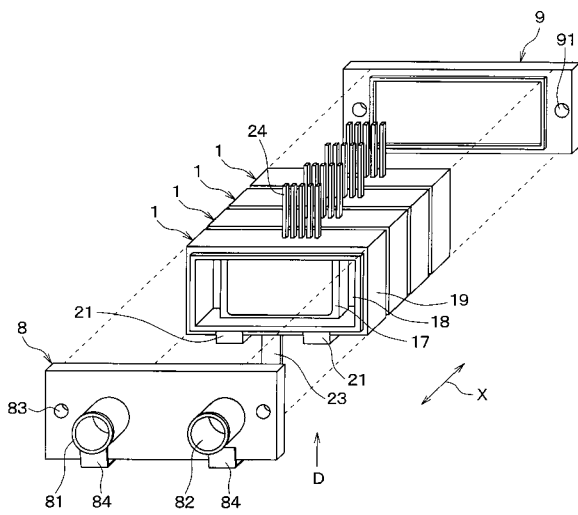
【符号の説明】

【0068】

50

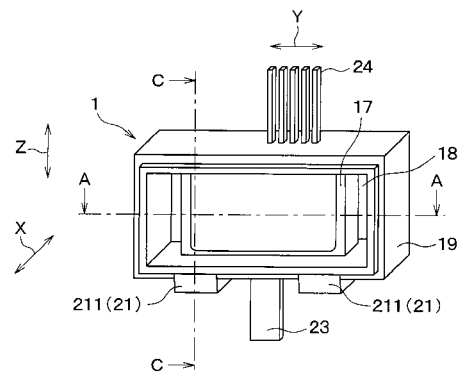
- 1 半導体実装体
- 1 1 半導体素子
- 1 3 ヒートシンク（金属体）
- 1 4 ヒートシンク（金属体）
- 1 8 冷媒流路
- 1 9 ケース部
- 2 1 正極端子（主電流電極端子）
- 3 0 半導体素子
- 3 1 半導体素子
- 1 9 1 ケース部壁面

【図 1】

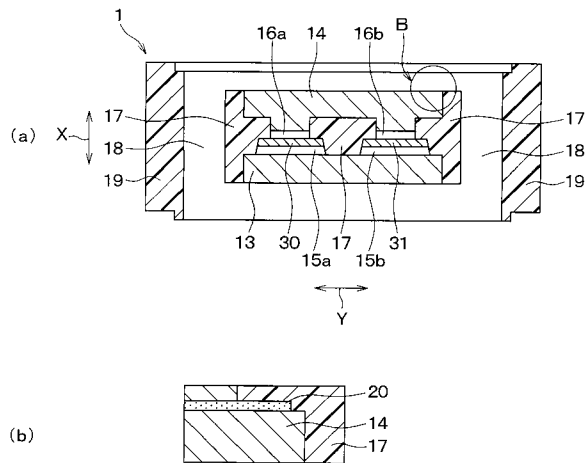


19 : ケース部
21 : 正極端子

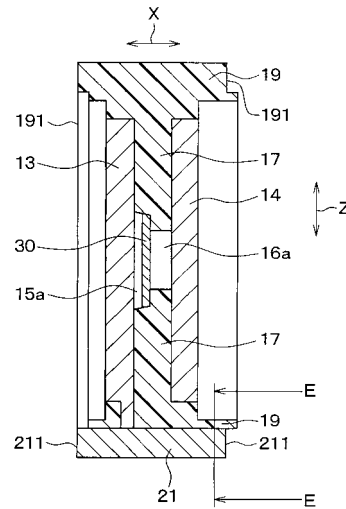
【図 2】



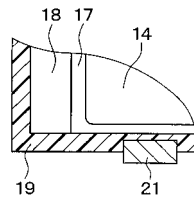
【図 3】



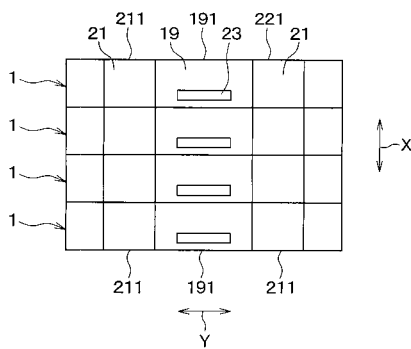
【図 4】



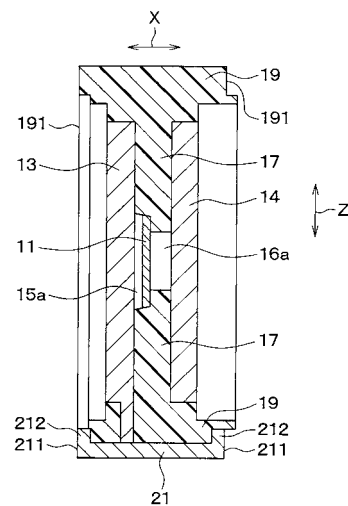
【図 5】



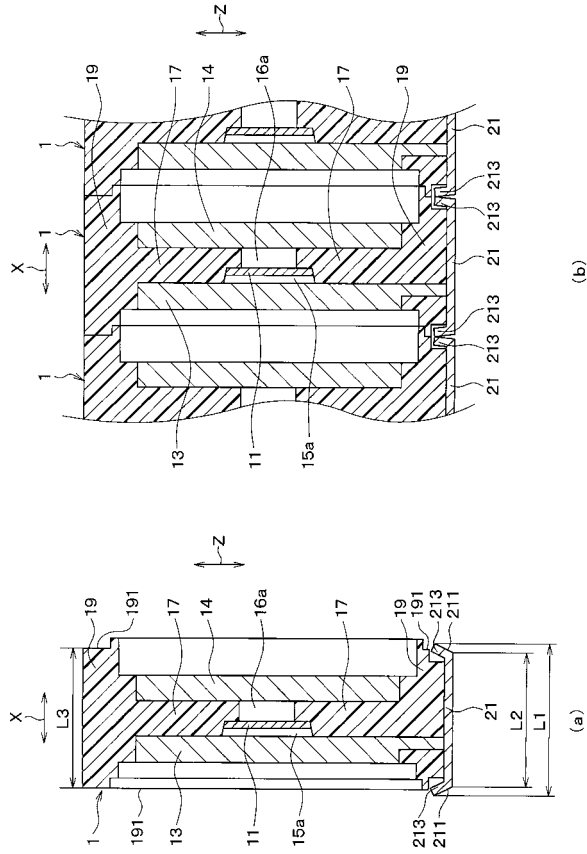
【図 6】



【図 7】



【図 8】



フロントページの続き

- (56)参考文献 特開2006-165534 (JP, A)
実開昭60-179045 (JP, U)
特開平08-148635 (JP, A)
特開2003-110397 (JP, A)
特開2007-258458 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/07
H01L 25/18
H01L 23/34-23/473